

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/15 (2006.01)

G11C 16/06 (2006.01)



[12] 发明专利说明书

专利号 ZL 200310120108.6

[45] 授权公告日 2008年6月4日

[11] 授权公告号 CN 100392758C

[22] 申请日 2003.12.5

[21] 申请号 200310120108.6

[30] 优先权

[32] 2002.12.5 [33] JP [31] 2002-353734

[73] 专利权人 夏普株式会社

地址 日本大阪府

[72] 发明人 森川佳直

[56] 参考文献

CN1136207A 1996.11.20

US20020057593A1 2002.5.16

US6204139B1 2001.3.20

CN1347120A 2002.5.1

审查员 董乐

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 徐谦 叶恺东

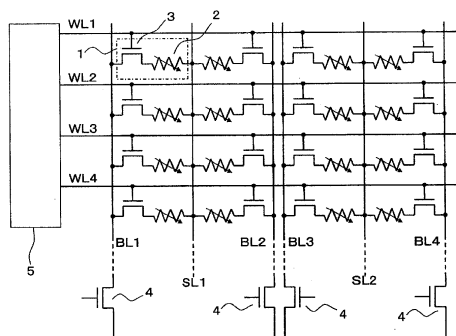
权利要求书1页 说明书10页 附图11页

[54] 发明名称

非易失性半导体存储装置

[57] 摘要

具有沿行方向及列方向分别排列配置多个非易失性存储单元(1)，为从其中选择规定的存储单元或存储单元组，沿行方向与列方向分别排列配置多根字线(WL)与多根位线(BL)而成的存储单元阵列，存储单元(1)构成为，连接利用电阻的变化来存储信息的可变电阻元件(2)的一端侧和选择晶体管(3)的源极，在存储单元阵列中，选择晶体管(3)的漏极沿列方向与共用位线(BL)连接，可变电阻元件(2)的另一端与源线(SL)连接，选择晶体管(3)的栅极沿行方向与共用字线(WL)连接。根据该构成，可以提供一种能减轻读出及写入操作时对非选择存储单元的可变电阻元件的电压应力，可靠性更高的数据保持特性的非易失性半导体存储装置。



1. 一种非易失性半导体存储装置，其特征在于，

具有沿行方向及列方向分别排列配置多个非易失性存储单元，为了从其中选择规定的存储单元或存储单元组而沿行方向与列方向分别排列配置多根字线与多根位线而成的存储单元阵列，

所述存储单元通过将利用电阻的变化来存储信息的可变电阻元件的一端侧和选择晶体管的源极连接所构成，其中所述可变电阻元件是由电应力引起电阻变化的可变电阻元件，

在所述存储单元阵列中，所述选择晶体管的漏极沿所述列方向与共用的所述位线连接，所述可变电阻元件的另一端侧与源线连接，所述选择晶体管的栅极沿所述行方向与共用的所述字线连接，

在向所述存储单元写入数据时，通过在与写入对象的所述存储单元的所述选择晶体管的栅极连接的选择字线上，施加使所述选择晶体管导通的选择字线电压，并在与写入对象的所述存储单元连接的所述位线上，施加以所述源线作为基准的写入电压，从而在写入对象的所述存储单元的所述可变电阻元件的所述一端侧与所述另一端侧之间，直接施加所述电应力，

在所述选择字线以外的非选择字线上，施加使所述选择晶体管截止的非选择字线电压。

2. 根据权利要求 1 所述的非易失性半导体存储装置，其特征在于，所述可变电阻元件由含有锰的钙钛矿结构的氧化物形成。

非易失性半导体存储装置

技术领域

本发明涉及具有沿行方向及列方向分别排列配置多个非易失性存储单元，为了从其中选择规定的存储单元或存储单元组而沿行方向与列方向分别排列配置多根字线与多根位线所形成的存储单元阵列的非易失性半导体存储装置，更具体地讲，涉及存储单元具有利用电阻的变化存储信息的可变电阻元件的非易失性半导体存储装置。

背景技术

对于具备钙钛矿结构的薄膜材料，特别是由重型磁致电阻（CMR: colossal magneto resistance）材料或高温超导（HTSC: high temperature superconductivity）材料构成的薄膜或衬底，提出了一种通过施加 1 个以上短的电脉冲改变其电特性的方法。该电脉冲产生的电场强度或电流密度，只要是足够大到可以改变其材料的物理状态，相反足够小到不破坏材料本身的能量即可，该电脉冲无论是正负极性的哪一个都可以。另外，通过多次反复施加电脉冲，可以进一步改变材料特性。

有关现有技术，例如在美国专利第 6204139 号说明书中揭示。图 8 及图 9 是表示现有技术中施加脉冲数与电阻值关系的曲线。详细地讲，表示对金属制衬底上成长的 CMR 薄膜施加的脉冲数与电阻的关系。在图 8 中，施加 47 次振幅 32V、脉冲宽度 71ns 的电压脉冲。在相关条件下，该图表明电阻值有 1 个数量级程度的变化。

图 10 与图 11 是表示现有技术中施加脉冲的极性与电阻值的变化关系曲线。图 10 表示施加 +12V（正极性）与 -12V（负极性）的电压脉冲时的电阻变化的模样。在图 11 中，施加电压为 +51V 与 -51V，电阻的测定在各极性的脉冲施加的最后进行。从图 10 与图 11 可以看出，在施加几次的正极性脉冲而使电阻值减小之后，再施加负极性的脉冲，

可以达到电阻值增大（最终成为饱和状态）的目的。这可以考虑以施加正极性的状态为复位状态，而以施加负极性状态为写入状态，让其应用于存储装置中。

在上述示例中，揭示了将具有该特性的 CMR 薄膜呈阵列状配置，以构成存储阵列的示例。在图 12 所示的该存储阵列中，在基板 25 上形成底面电极 26，在其上形成构成各 1 位的可变电阻元件 27、上面电极 28，在每个可变电阻元件 27 中，即在每个位上，电线 29 与上面电极 28 连接，施加写入用的脉冲。另外，构成为在读出时也从与每个位上的上面电极 28 连接的电线 29 读出与可变电阻元件 27 的电阻值对应的电流。

然而，上述图 10、图 11 中示出的 CMR 薄膜的电阻变化为 2 倍左右，若考虑元件间的偏差等，若要良好地识别复位状态与写入状态，优选需要更大的电阻变化。另外，施加在 CMR 薄膜上的电压高，对希望低电压操作、低电力消耗的存储装置是不适合的。

因此，本案的申请人等，采用与上述现有技术相同的钙钛矿结构，含有锰的氧化物的 CMR 材料的 PCMO ($\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$) 等，通过施加 1 个以上短的电脉冲，得到了新的特性。具体地讲，通过施加约为 $\pm 5\text{V}$ 的低电压脉冲，可以得到薄膜材料的电阻值从几百 Ω 变化到约 $1\text{M}\Omega$ 的特性。以下，将以该含有锰的钙钛矿结构的氧化物形成的可变电阻元件称为 RRAM (Resistance control nonvolatile Random Access Memory) 元件。

另外，除上述 CMR 薄膜以外，还有不是施加电脉冲而通过利用磁场或热，使电阻变化来存储信息，读出与该变化后的电阻值对应的信息的形式来实现非易失性存储单元的元件。例如，提出 MRAM (Magnetic RAM) 或 OUM (Ovonic Unified Memory)、MTJ (Magnetic Tunnel Junction) 等各种方案。作为利用上述 MTJ 元件的存储阵列元件构成，在特开 2002-151661 号公报中揭示。对于该现有示例，在图 5 中只表示与读出相关信号的存储单元构成。

然而，在图 12 中示出的存储阵列中，由于在每个位上将电线与电极连接，在写入操作时通过该电线施加写入用脉冲，而在读出时，也是从在每个位上与电极连接的电线中读出电流，虽然可以进行薄膜材料的特性评价，但存在不能提高存储装置的集成度的问题。另外，在进行写入

操作、读出操作、复位动作时，根据存储装置外部的输入信号控制全部元件，不能构成象现有的存储装置那样，在存储装置内部就可以控制写入操作、读出操作、复位操作。

图 13 是示意性地表示与实际装置更接近的存储阵列的构成例的电路图。使用上述 PCMO 材料形成的可变电阻元件 R_c 构成呈 4×4 的矩阵状配置的存储阵列 10。各可变电阻元件 R_c 的一方端子与字线 $W1 \sim W4$ 连接，另一方端子与位线 $B1 \sim B4$ 连接。与存储阵列 10 相邻设置有外围电路 32。在各位线 $B1 \sim B4$ 上连接有位线选择晶体管 34，形成向反相器 38 的通路。在位线选择晶体管 34 与反相器 38 之间连接负载晶体管 36。根据该构成，可以进行对存储阵列 10 的各可变电阻元件 R_c 的写入、读出。

在该现有的存储阵列 10 中，可以进行低电压下的存储操作。但是，在该写入、读出方式中，由于产生流向与存取的存储单元相邻的存储单元的漏电流通路，在读出操作时不能评价正确的电流值。再有，在写入时，也由于产生流向相邻存储单元的漏电流通路，出现不能进行正确的写入操作的可能性。

例如，在读出操作中，为了读出选择存储单元中可变电阻元件 R_{ca} 的电阻值，通过在字线 $W3$ 上施加电源电压 V_{cc} ，使位线 $B2$ 为接地电位 GND ，其他位线 $B1$ 、 $B3$ 、 $B4$ 及字线 $W1$ 、 $W2$ 、 $W4$ 开路 (open)，接通位线选择晶体管 34a，由于可以形成用箭头 $A1$ 表示的电流通路，故可以读出可变电阻元件 R_{ca} 的电阻值。然而，对于和可变电阻元件 R_{ca} 相邻的可变电阻元件 R_c ，例如，由于产生用箭头 $A2$ 、 $A3$ 等表示的电流通路，故只能读出选择存储单元中的可变电阻元件 R_{ca} 的电阻的值。

因此，如特开 2002-151661 号公报中所揭示的现有例所示，通过将可变电阻元件与选择晶体管串联来形成存储单元，断开非选择行的存储单元的选择晶体管，可以截断在图 13 中产生的流过非选择的可变电阻元件的电流通路，可以解决上述的读出时、写入时的问题。

以下，对作为可变电阻元件使用的是 RRAM 元件时的存储阵列进行说明。图 6 是将 RRAM 元件 2 与选择晶体管 3 串联连接所形成的存储单元 11 的电路图，除了可变电阻元件是 RRAM 元件这一点以外，与图 5 所示的特开 2002-151661 号公报的存储单元是相同的构成。图 7 表示使

用了该存储单元 11 时的存储阵列构成。在位线 BL1~BL4 上分别连接多个 RRAM 元件。

首先，说明读出操作。使位线选择晶体管 4 启动，以便可以在与被选择的 RRAM 元件连接的位线上施加偏置电压，例如，在位线上施加 1.5V 的电压。同时，由字线驱动器 5 使与读出对象的存储单元的 RRAM 元件 2 连接的选择晶体管 3（单元选择晶体管）的栅极上连接的字线为高电平（例如 7V），接通该单元选择晶体管 3。另外，通过让单元选择晶体管 3 的源极（与共用源线 SL1、SL2 连接）成基准电压，例如为接地电位 0V，形成从位线的偏置电压流过 RRAM 元件、单元选择晶体管 3，流向接地电位的电流通路。另一方面，对于非选择存储单元，通过由字线驱动器 5 将非选择字线变为低电平（例如为接地电位 0V），再有，使非选择位线为低电平，或成为高阻抗（开路状态），流过由读出位线选择的存储单元的 RRAM 元件以外的电流通路消失。在这种状况中，只有被选择的 RRAM 元件的电阻变化表现为流过位线的电流的变化，通过在读出电路中判别该电流变化，从而可以正确地读出已存储于选择存储单元中的信息。其结果是，可以将 RRAM 元件作为存储元件活用。

接着，说明本存储阵列的写入操作。在这里，RRAM 元件 2 的电阻值相对作为基准的电阻值大时为写入状态，小的情况下为擦除状态。使位线选择晶体管 4 启动，以便可以在与被选择的 RRAM 元件 2 连接的位线上施加偏置电压，例如在位线上施加 3V 的电压。同时，由字线驱动器 5 使与写入 RRAM 元件 2 连接的单元选择晶体管 3 的栅极上连接的字线为高电平（例如 7V），接通该单元选择晶体管 3。另外，使单元选择晶体管 3 的源极（与共用源线 SL1、SL2 连接）成为规定的值（例如接地电位 0V），形成从位线的偏置电压流过 RRAM 元件、单元选择晶体管 3，流向接地电位的电流通路，进行向选择存储单元写入的操作。另一方面，对于非选择存储单元，通过将非选择字线设定为低电平（例如接地电位 0V），从而对于非选择 RRAM 元件不形成从选择位线流向接地电位的电流通路，不进行写入操作。

接下来，说明将该存储阵列的擦除操作、以块为单位整体擦除的块擦除的情况。使位线选择晶体管 4 启动，以便可以在与位于块内的 RRAM

元件连接的全部位线上施加偏置电压，例如在位线上施加接地电位 0V 的电压。同时，与全部 RRAM 元件连接的单元选择晶体管 3 的栅极上连接的字线为高电平（例如 7V），接通该单元选择晶体管 3。另外，以单元选择晶体管 3 的源极（与共用源线 SL1、SL2 连接）为基准电压，例如为 3V，形成从位线的偏置电压流过块内的全部单元选择晶体管与 RRAM 元件，流向接地电位 0V 的电流通路。通过以上操作，可以进行位于块内的全部存储单元的擦除操作。

然而，在上述图 7 的构成中，由于并不只是被选择的 RRAM 元件，而且非选择的 RRAM 元件也形成与已被选择的位线连接的构成，例如，在为了进行读出操作，而在与读出相关的位线上施加偏置电压的情况下，尽管非选择行的字线为低电平，但也存在向非选择的 RRAM 元件施加电压应力的可能性。另外，关于该电压应力，在 1 次的读出操作中，即使微弱到可以忽略的程度，但有对相同存储单元反复产生该电压应力的可能，担心 RRAM 元件的电阻状态长时间逐渐变化。再有，在写入时，也有发生与读出时同样问题的可能性，期望可靠度更高的数据保持特性的确立。该问题，由于 RRAM 元件是利用电应力使电阻变化而存储数据的方式的存储元件，故比利用磁场或热使电阻变化的 MRAM 元件或 OUM 显著，期望更确切地回避的方案。

发明内容

本发明鉴于上述问题点，其目的在于提供一种可以减轻读出及写入操作时对非选择存储单元的可变电阻元件的电压应力，可以确保更高可靠度的数据保持特性的非易失性半导体存储装置。

为了达成该目的，本发明的非易失性半导体存储装置的第 1 特征构成，是一种具有沿行方向及列方向分别排列配置多个非易失性存储单元，为了从其中选择规定的存储单元或存储单元组，沿行方向与列方向分别排列配置多根字线与多根位线而成的存储单元阵列的非易失性半导体存储装置，其中，上述存储单元构成为连接利用电阻的变化来存储信息的可变电阻元件的一端侧和选择晶体管的源极，在上述存储单元阵列中，上述选择晶体管的漏极沿上述列方向与共用的上述位线连接，上述可变

电阻元件的另一端与源线连接，上述选择晶体管的栅极沿上述行方向与共用的上述字线连接。

根据上述第 1 特征构成，首先，由于存储单元是可变电阻元件与选择晶体管串联连接形成，故对于非选择行的存储单元，因选择晶体管成为断开状态，所以可断开通过选择存储单元以外的可变电阻元件的电流通路，在读出或写入操作时不能正确读出选择存储单元的问题，或误写入非选择存储单元的问题不会发生。再有，由于是在位线与可变电阻元件之间存在选择晶体管的构成，故非选择的存储单元的可变电阻元件在读出及写入操作时，因与被施加规定的读出及写入电压的位线电分离，所以解决了在特开 2002-151661 号公报中揭示的现有的存储单元的构成中不能完全解决的，对可变电阻元件的电压应力的问题，可以具有更高可靠度的数据保持特性。

为了达成该目的，本发明的非易失性半导体存储装置的第 2 特征构成，是一种具有沿行方向及列方向分别排列配置多个非易失性存储单元，为了从其中选择规定的存储单元或存储单元组而沿行方向与列方向分别排列配置多根字线与多根位线而成的存储单元阵列的非易失性半导体存储装置，其中，上述存储单元构成为连接利用电阻的变化来存储信息的可变电阻元件的一端侧与第 1 选择晶体管的源极，并且连接上述可变电阻元件的另一端与第 2 选择晶体管的漏极，在上述存储单元阵列内，上述第 1 选择晶体管的漏极沿上述列方向与共用的上述位线连接，上述第 2 选择晶体管的源极与源线连接，上述第 1 及第 2 选择晶体管的栅极分别沿上述行方向与共用的上述字线连接。

根据上述第 2 特征构成，首先，由于存储单元是可变电阻元件与选择晶体管串联连接形成，故对于非选择行的存储单元，因选择晶体管成为断开状态，所以可断开通过选择存储单元以外的可变电阻元件的电流通路，在读出或写入操作时不能正确读出选择存储单元的问题，或误写入非选择存储单元的问题不会发生。再有，由于是在位线与可变电阻元件之间存在选择晶体管的构成，故非选择的存储单元的可变电阻元件在读出及写入操作时，因与被施加规定的读出及写入电压的位线电分离，所以解决了在特开 2002-151661 号公报中揭示的现有的存储单元的构成

中不能完全解决的，对可变电阻元件的电压应力的问题。进一步，由于是在源线与可变电阻元件之间存在选择晶体管的构成，故在选择性地个别擦除存储阵列内的一部分存储单元时，非选择存储单元的可变电阻元件在个别擦除操作中，因与被施加规定的读出及写入电压的源线电分离，所以从个别擦除时的电压应力开放，可以具有更高可靠度的数据保持特性。

在上述第 1 或第 2 特征构成的基础上，也优选上述可变电阻元件是由电应力引起电阻变化的可变电阻元件的特征构成。再有，优选的特征构成为上述可变电阻元件由含有锰的钙钛矿结构的氧化物形成。

根据这些特征构成，特别是对于对电压应力敏感的存储单元，发挥上述第 1 或第 2 特征构成的作用效果，可以期待其数据保持特性的改善。

附图说明

图 1 是表示本发明的非易失性半导体存储装置的一实施方式中的存储单元的电路图。

图 2 是表示本发明的非易失性半导体存储装置的一实施方式中的存储单元阵列的电路图。

图 3 是示意性地表示图 1 所示的存储单元的剖面结构的剖视图。

图 4 是表示本发明的非易失性半导体存储装置的另一实施方式中的存储单元的电路图。

图 5 是表示现有的非易失性半导体存储装置的存储单元构成的一例的电路图。

图 6 是表示现有的非易失性半导体存储装置的存储单元构成的另一例的电路图。

图 7 是表示使用了图 6 所示的存储单元的现有的非易失性半导体存储装置的存储单元阵列构成的一例的电路图。

图 8 是表示现有技术中的施加脉冲数与电阻值的关系曲线。

图 9 是表示现有技术中的施加脉冲数与电阻值的关系曲线。

图 10 是表示现有技术中的施加脉冲的极性与电阻值的关系曲线。

图 11 是表示现有技术中的施加脉冲的极性与电阻值的关系曲线。

图 12 是表示现有技术中的存储阵列构成的立体图。

图 13 是表示现有的非易失性半导体存储装置的存储阵列构成的一例的电路图。

具体实施方式

以下，参照附图，说明本发明的非易失性半导体存储装置（以下适当称为“本发明装置”）的实施方式。再有，对于和现有技术的非易失性半导体存储装置重复的部分，在附图上采用相同符号进行说明。

图 1 表示本发明装置的存储单元构成。如图 1 所示，存储单元 1 构成为将作为可变电阻元件的 RRAM 元件 2 的一端侧与由 N 型 MOS 晶体管形成的选择晶体管 3 的源极连接，选择晶体管 3 的漏极与位线 BL 连接，RRAM 元件 2 的另一端与源线 SL 连接，选择晶体管 3 的栅极与字线 WL 连接。作为存储单元，在可变电阻元件 2 与选择晶体管串联连接构成方面，与图 5、图 6 所揭示的现有存储单元构成类似。然而，在这些现有的存储单元构成中，在位线 BL 侧连接作为可变电阻元件 2 的 MTJ 元件或 RRAM 元件的一端，选择晶体管 3 的源极与源线 SL 连接，而在本实施方式中，不同的是，如图 1 所示，RRAM 元件 2 的一端与源线 SL 连接，同时选择晶体管 3 的漏极侧与位线 BL 连接。

在这里，RRAM 元件 2，是通过根据电应力的施加改变电阻，即使解除电应力后也保持变化后的电阻，而可以以其电阻变化来进行数据存储的非易失性存储元件，例如是利用 MOCVD 法、旋转镀膜法、激光侵蚀、溅射法等形成用 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 或 $\text{La}_{(1-x-y)}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ （其中 $x < 1$ ， $y < 1$ ， $x + y < 1$ ）表示的任何物质，例如 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ 等的锰氧化膜，来做成的。

图 2 表示使用了图 1 的存储单元的本发明装置的存储阵列构成。以下，对图 2 的存储阵列的读出操作进行说明。选择存储单元的读出时，与选择存储单元连接的位线选择晶体管 4 为接通状态，在选择位线上施加规定的偏置电压（例如 1.5V）的同时，由字线驱动器 5 使与选择存储单元的 RRAM 元件 2 连接的选择晶体管 3（单元选择晶体管）的栅极上

连接的字线为高电平（例如 7V），接通该单元选择晶体管 3。另外，通过让单元选择晶体管 3 的源极（与共用源线“SL1、SL2”连接）为基准电压，例如为接地电位 0V，形成从位线 BL 的偏置电压经由单元选择晶体管 3 与 RRAM 元件 2，流向接地电位的电流通路。

另一方面，对于非选择存储单元，通过由字线驱动器 5 将非选择字线变为规定的电位（例如为 0V），电断开非选择存储单元的 RRAM 元件 2 与选择位线 BL 的连接。

在这种状况中，只有被选择的 RRAM 元件的电阻变化表现为流过位线的电流的变化，通过在读出电路中判别该电流变化，从而可以正确地读出已存储于选择存储单元中的信息。再有，由于电断开非选择存储单元的 RRAM 元件 2 与选择位线 BL 的连接，对于同一位线 BL，即使反复进行读出操作，在非选择存储单元的 RRAM 元件 2 上也不会直接施加位线 BL 的电压应力。其结果是，由电压应力引起的 RRAM 元件 2 的电阻状态的变化，即存储的数据电阻的消失的可能性大幅度减少。

以上，虽然对读出操作进行了说明，在写入操作时也可以获得同样的效果。即，在反复进行向相同存储单元 1 的 RRAM 元件 2 写入的操作时，由于在与该写入 RRAM 元件 2 连接的位线 BL 上连接的其他非选择存储单元 1 的 RRAM 元件 2 上，不会从位线 BL 施加写入偏置电压，故存储的电阻状态不会变化。由此，进一步提高与 RRAM 元件 2 的数据保持相关的可靠性。再有，图 3 中表示图 1 的存储单元 1 的示意性的剖视图。

另外，图 2 所示的存储阵列构成，虽然在说明的方便上例示了 4×4 的构成，但存储单元的排列配置数并未限定于上述 4×4 。

接下来，说明本发明装置的第 2 实施方式。

图 4 表示 RRAM 元件 2 的两侧串联第 1 及第 2 选择晶体管 3 的本发明装置的第 2 存储单元构成。在第 1 实施方式（图 1 及图 2）的存储单元构成中，对于读出操作时与写入操作时，解决由对非选择存储单元的 RRAM 元件 2 反复施加电压应力而导致的非选择存储单元的干扰现象（存储数据的无意识的改写），可以改善数据保持特性。

然而，在擦除操作时，在将与共用的源线 SL 连接的多个存储单元作为 1 块，并以块为单位一并擦除的情况下，即使是第 1 实施方式的存

储单元构成，虽然不会特别成为问题，但在存储单元单位的擦除中，存在对非选择存储单元的 RRAM 元件 2 引起干扰现象的可能性。例如，在以存储单元为单位个别擦除某个选择存储单元的情况下，若在选择列的位线上例如施加 0V 电压，在选择行的字线上例如施加 7V 电压，在与被选择的存储单元连接的源线上例如施加 3V 电压，则在相同的块内，即使在非选择存储单元上，由于源线上被施加 3V 电压，故也有擦除操作时的干扰现象产生的可能性。在图 4 所示的第 2 实施方式的存储单元结构中，由于在可变电阻元件 2 的两端配置选择晶体管 3，故既可以防止以存储单元为单位的个别擦除操作时的干扰现象，在读出操作、写入操作、擦除操作的任何操作的情况下，都可以防止对非选择存储单元的 RRAM 元件 2 施加电压应力，可以更进一步改善数据保持特性。

还有，在上述各实施方式中，在读出操作、写入操作、擦除操作的各项操作中施加在位线、字线、源线上的电压，是应根据使用的 RRAM 元件的特性而被决定的，上述各电压值只是举例，并未限定于上述各实施方式的电压值。

根据本发明装置的第 1 实施方式，首先由于存储单元是可变电阻元件与选择晶体管串联形成的，故对于非选择行的存储单元，因选择晶体管成为断开状态，所以可断开通过选择存储单元以外的可变电阻元件的电流通路，在读出或写入操作时不能正确读出选择存储单元的问题，或误写入非选择存储单元的问题不会发生。再有，由于是在位线与可变电阻元件之间存在选择晶体管的构成，所以即使从同一位线反复进行读出或写入，也不会从该位线对非选择存储单元的可变电阻元件直接施加电压应力。其结果是，没有由电压应力导致的电阻状态变化而引起的数据改写的可能性，提高可变电阻元件的数据保持的可靠性。另外，根据本发明装置的第 2 实施方式，即使在以存储单元为单位的个别擦除操作时也可以防止擦除操作时的干扰现象，在读出操作、写入操作、擦除操作的任何操作的情况下，都可以防止对非选择存储单元的 RRAM 元件施加电压应力，从而防止发生数据的改写。

虽然根据优选实施方式说明了本发明，但在不脱离本发明的精神和范围的情况下可以由熟练的技术人员进行各种改进和变更。因此本发明仅被限定在权利要求书的范围内。

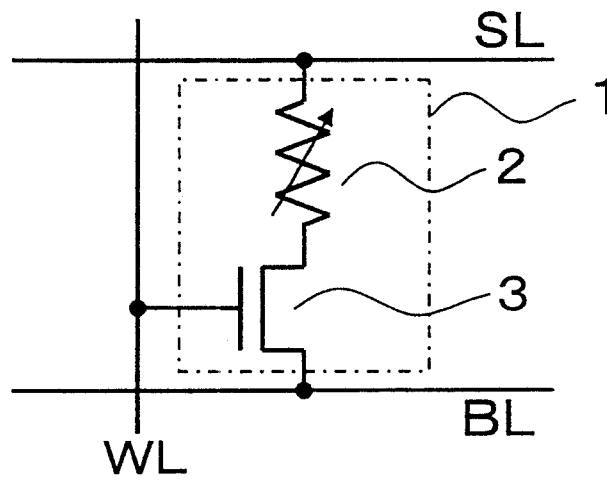


图 1

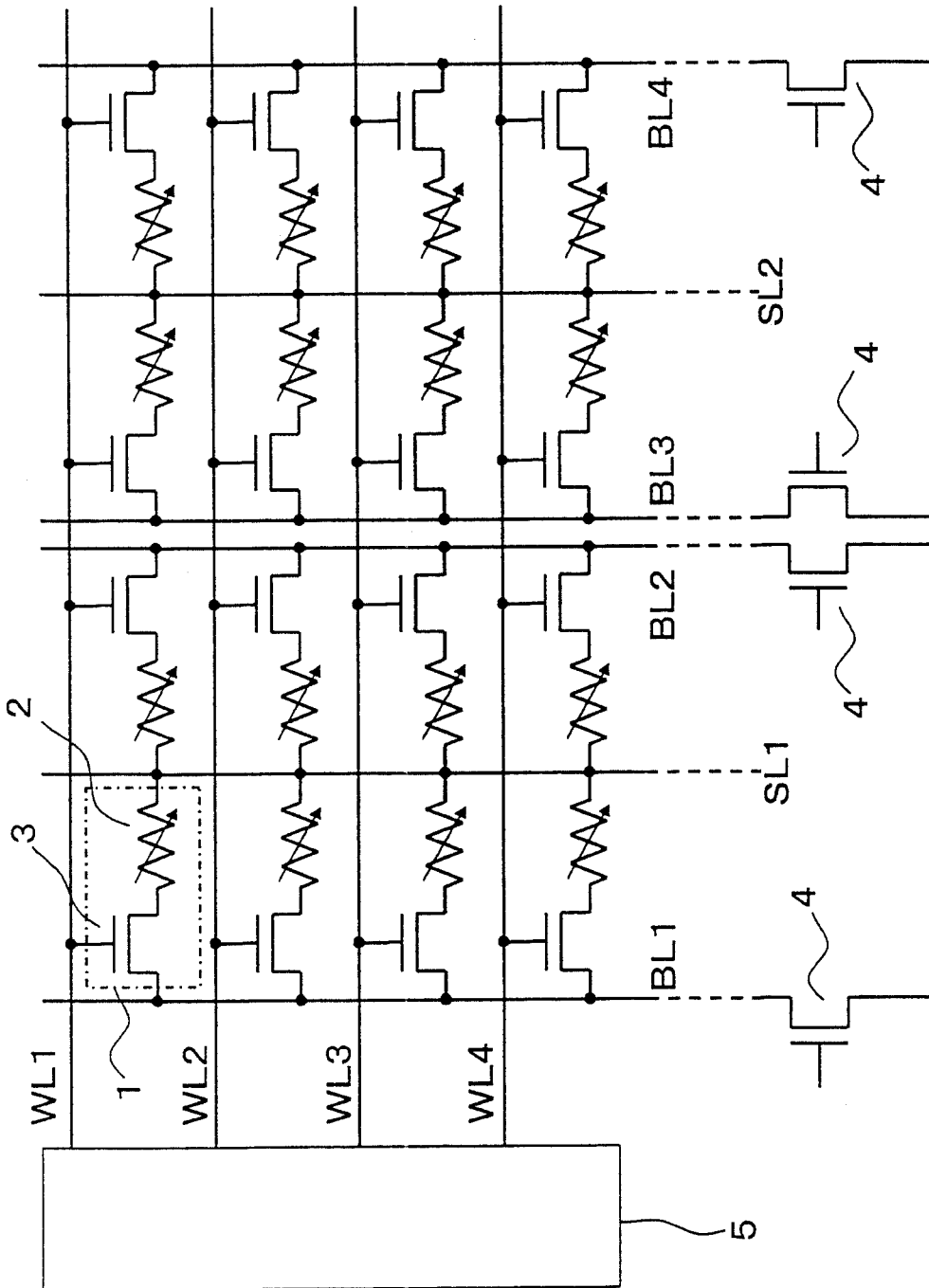


图 2

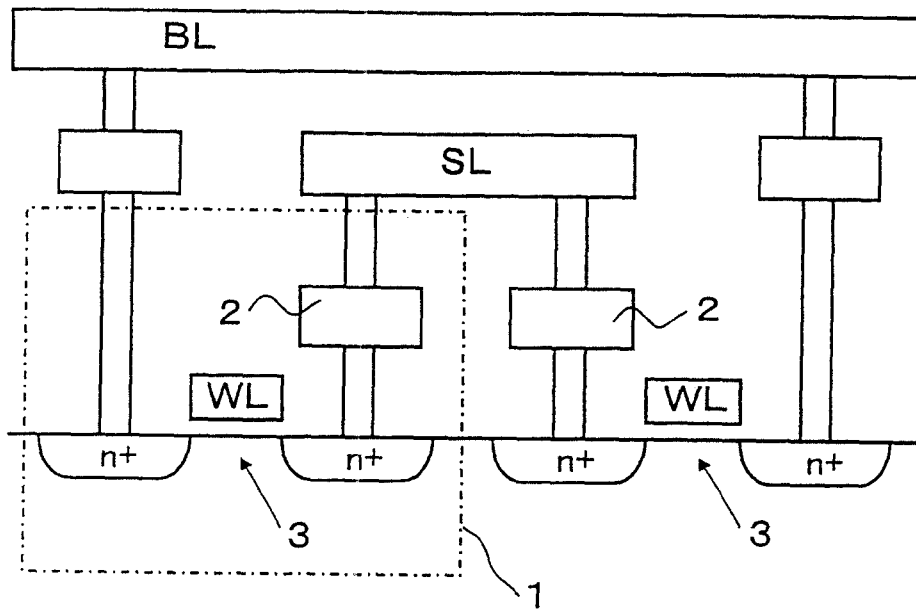


图 3

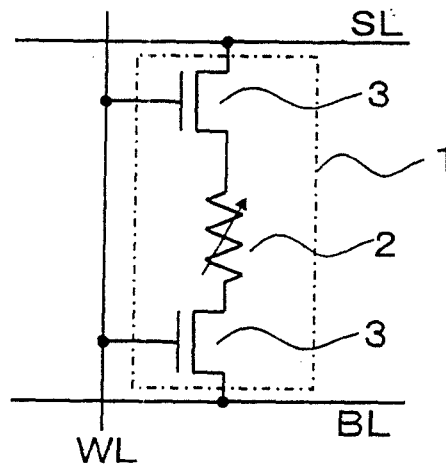


图 4

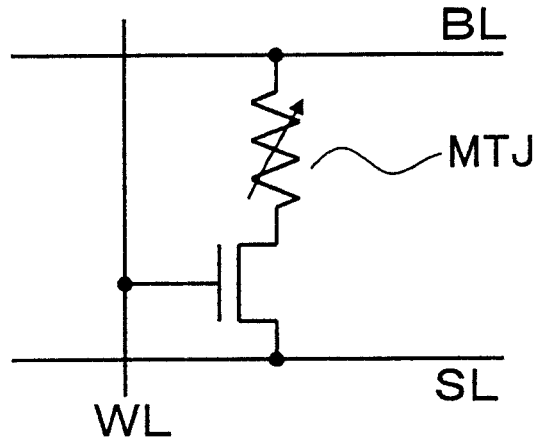


图 5

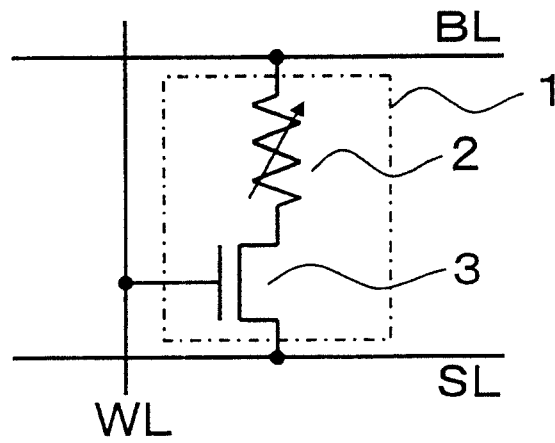


图 6

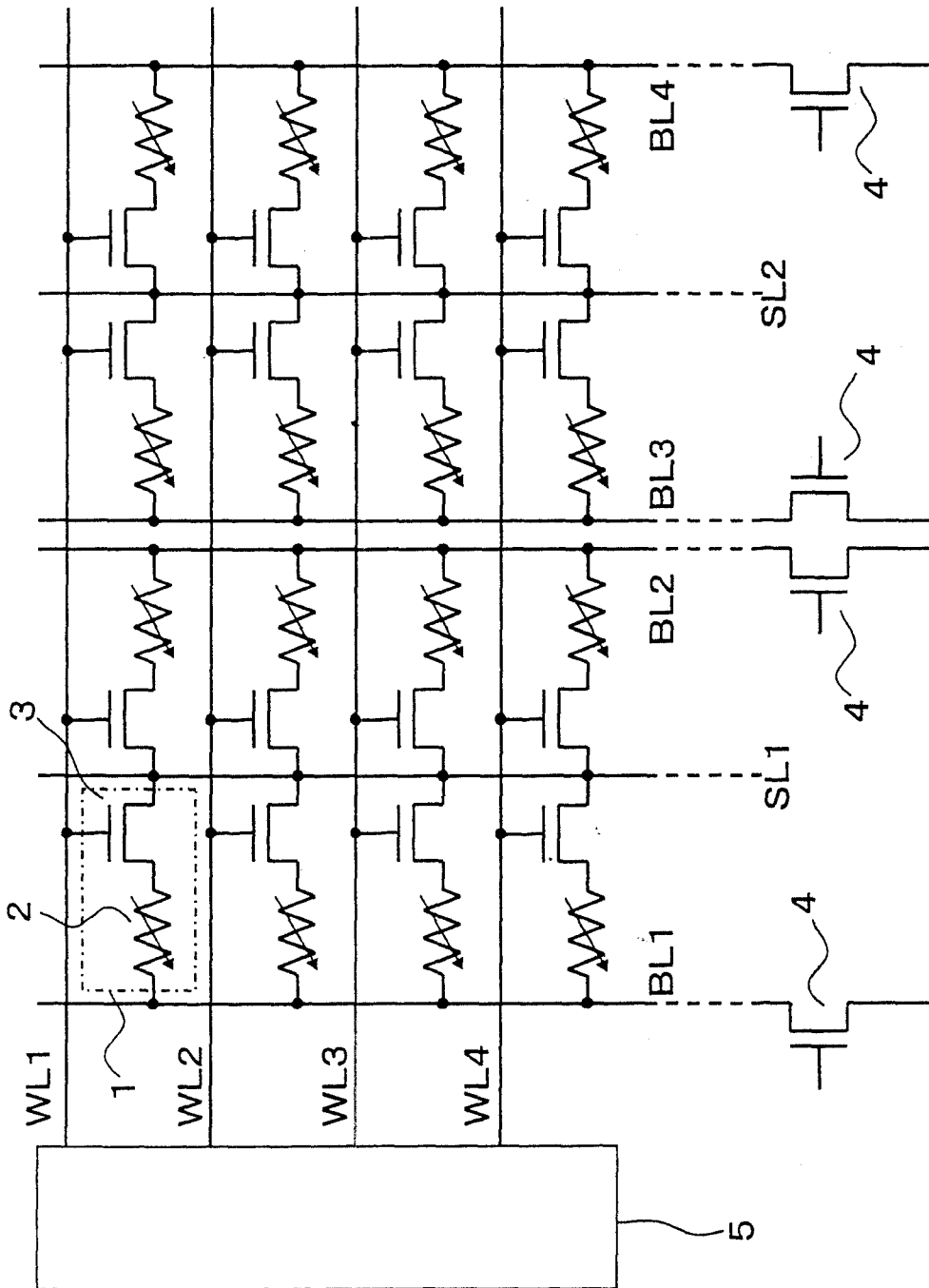


图7

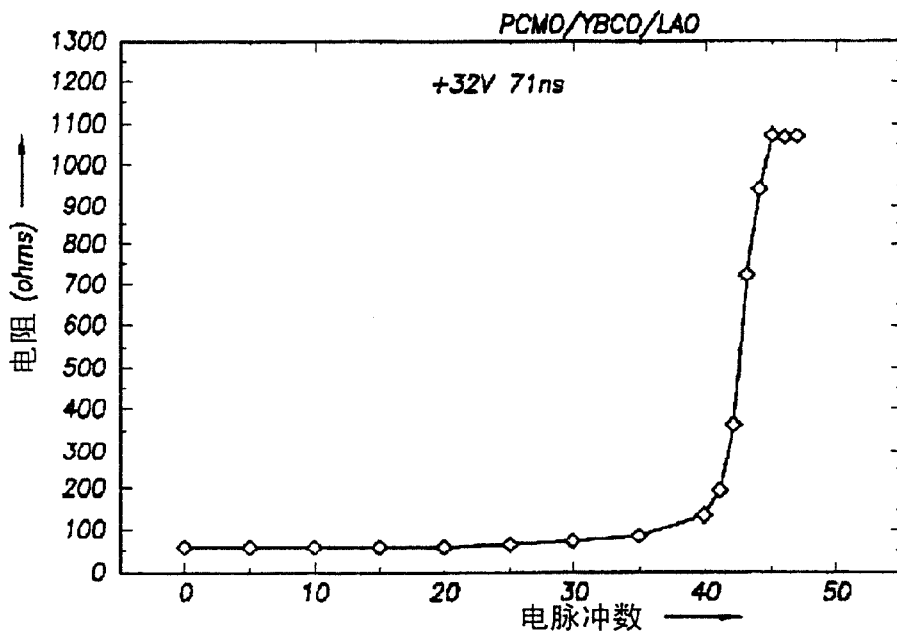


图 8

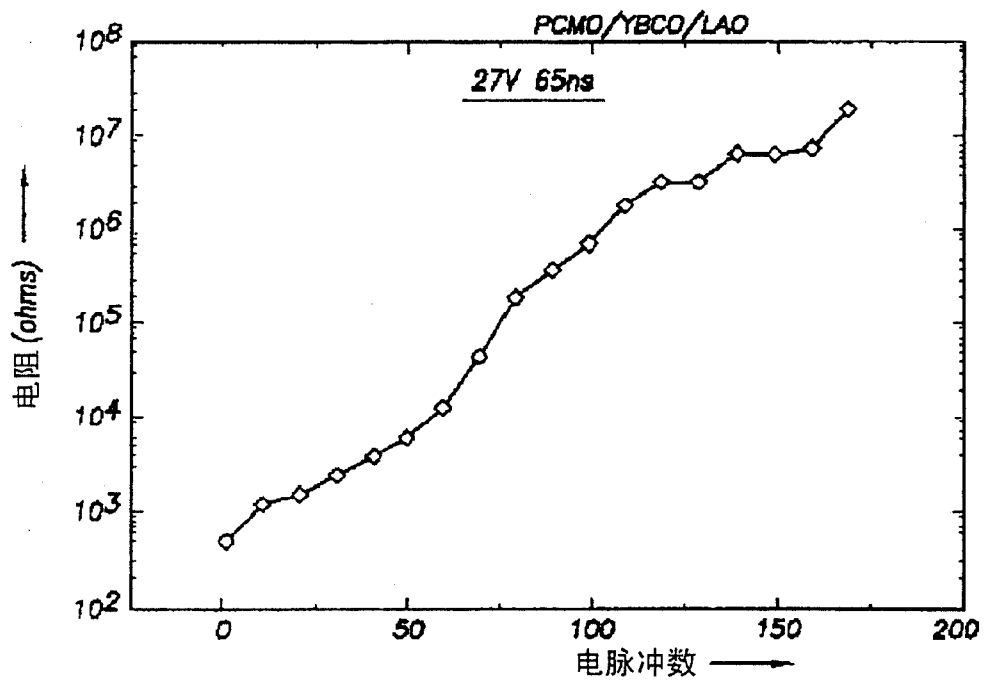


图 9

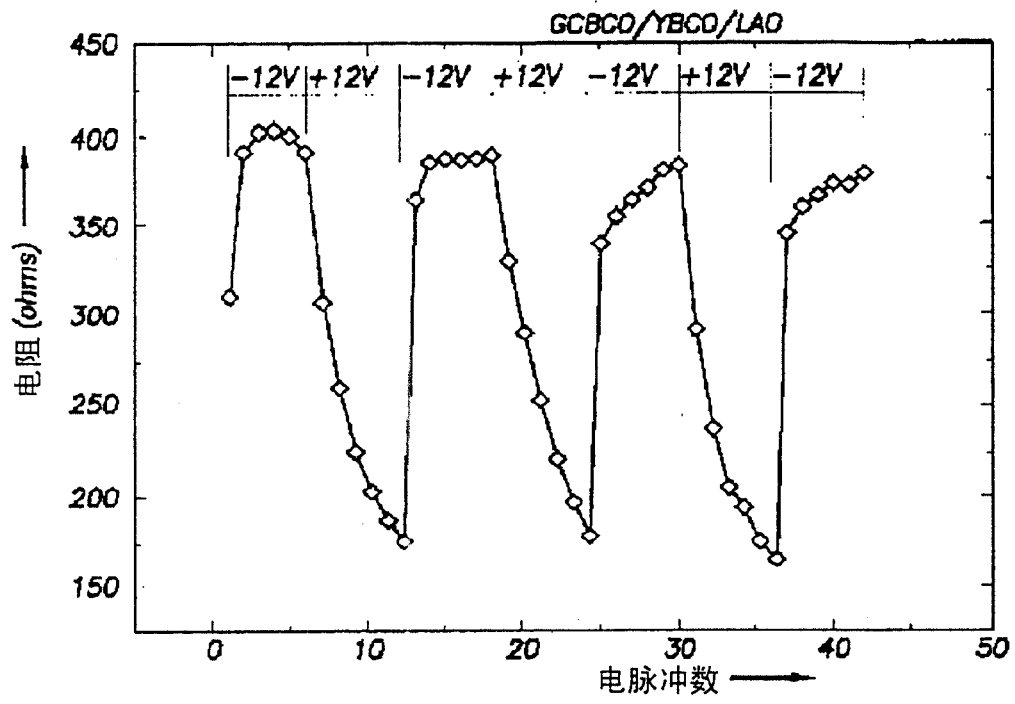


图 10

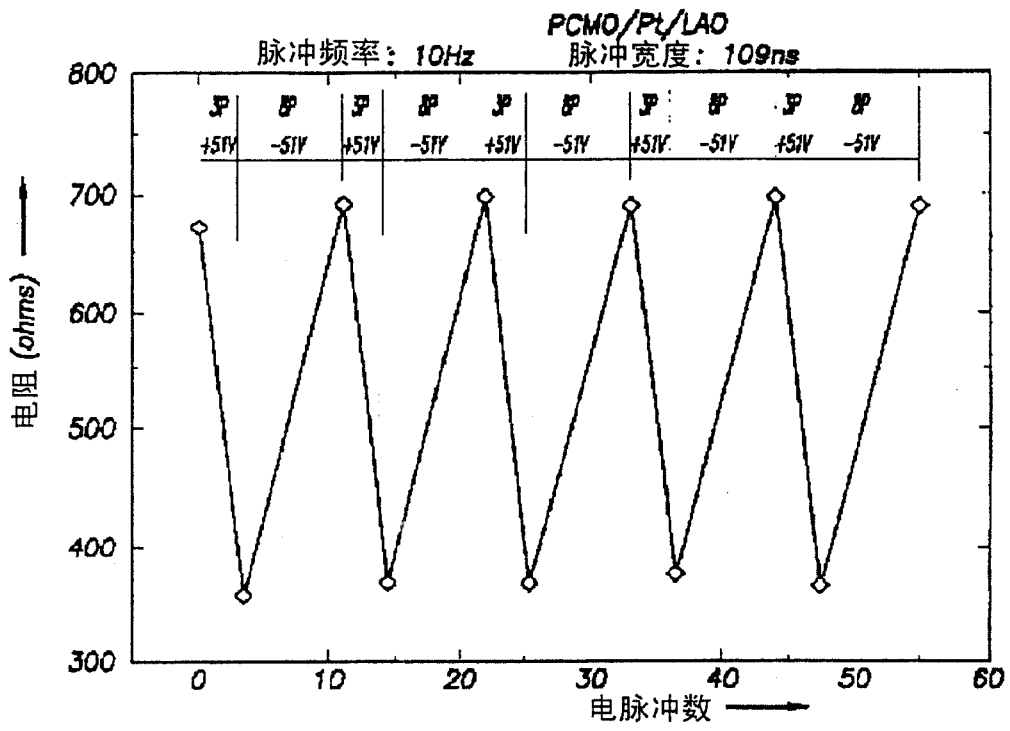


图 11

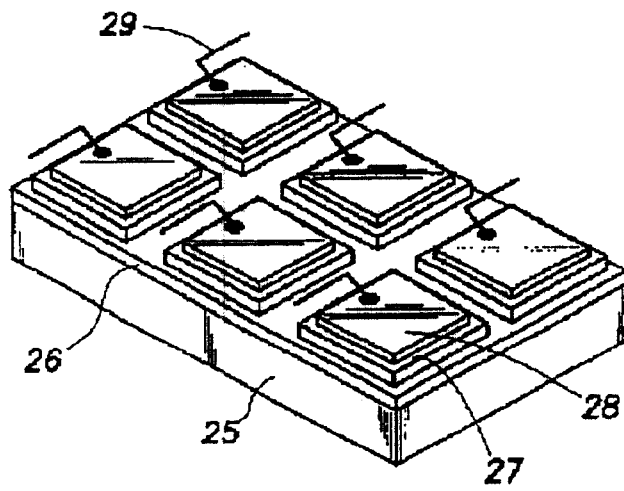


图 12

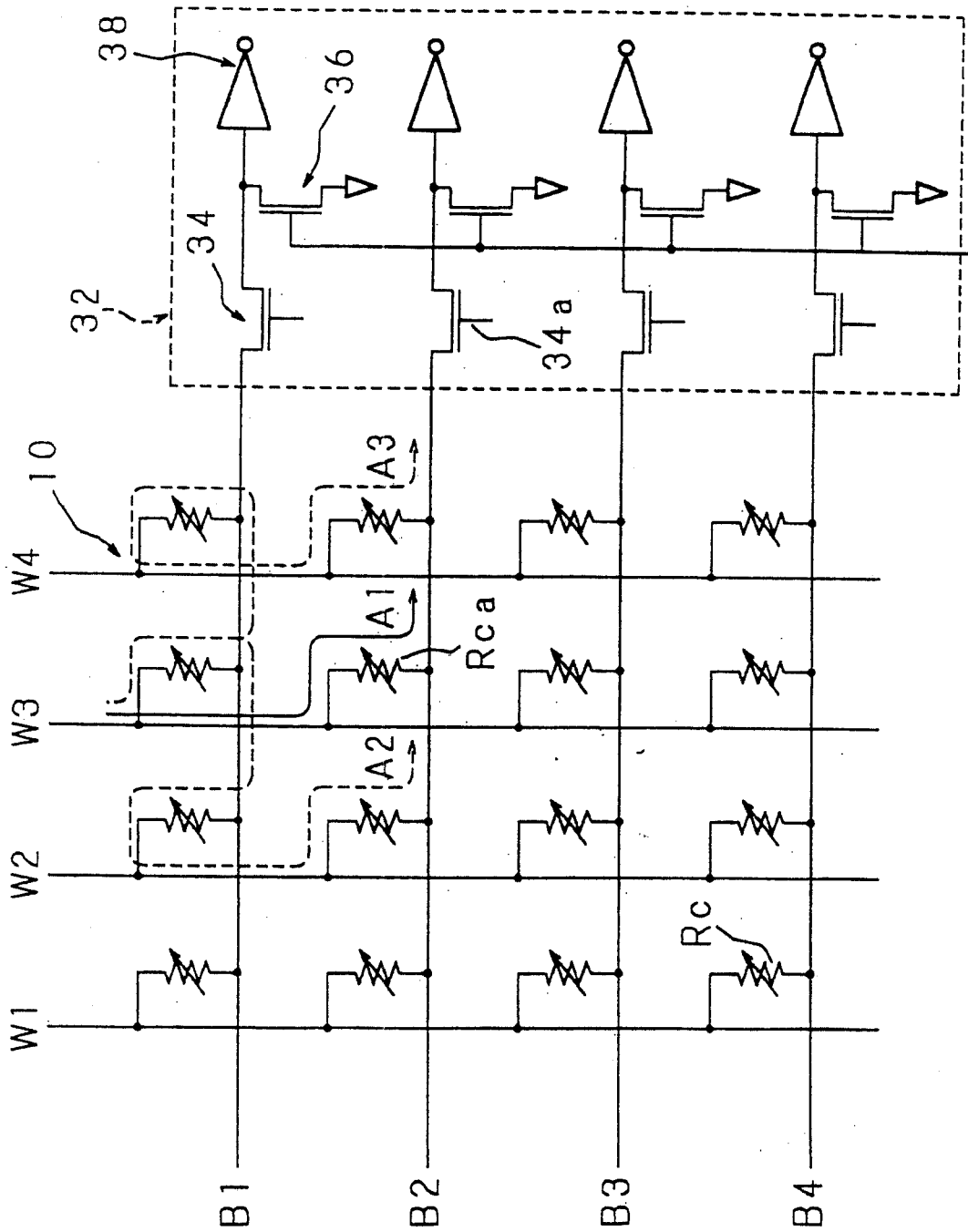


图 13