



(12)发明专利申请

(10)申请公布号 CN 109584917 A

(43)申请公布日 2019.04.05

(21)申请号 201811113924.7

(22)申请日 2014.11.07

(30)优先权数据

2013-231020 2013.11.07 JP

(62)分案原申请数据

201410638738.0 2014.11.07

(71)申请人 瑞萨电子株式会社

地址 日本东京

(72)发明人 饭岛正章

(74)专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 韩峰 孙志湧

(51)Int.Cl.

G11C 7/10(2006.01)

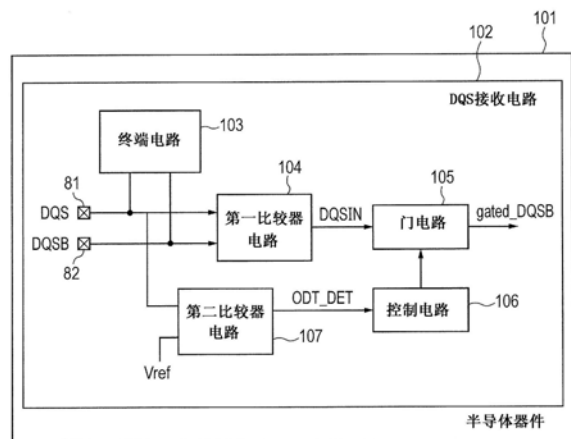
权利要求书2页 说明书9页 附图9页

(54)发明名称

半导体器件

(57)摘要

本发明涉及一种半导体器件。过去存在不能够防止产生在信号DQS和DQSB之间的差的高阻抗状态的问题。通过本发明,第一比较器电路在将输入端子耦合到端子电位之后并且从两个信号的前导的开始时刻之前起输出表示DQS和DQSB之间的差的信号DQSIN。第二比较器电路将DQS或者DQSB的电平与基准电压Vref进行比较并且输出表示比较结果的信号ODT_DET。门电路在掩蔽状态下通过信号EW掩蔽信号DQSIN。控制电路基于ODT_DET识别前导的开始时刻,并且在开始之前将信号EW设置为掩蔽状态并且从前导的开始时刻起将信号EW设置为去掩蔽状态。



1. 一种半导体器件,其包括:

数据接收电路,所述数据接收电路被耦合到用于从存储器接收数据信号的数据输入端子,以及

数据选通接收电路,所述数据选通接收电路被耦合到第一和第二输入端子,所述第一和第二输入端子用于分别接收来自所述存储器的数据选通信号和反相数据选通信号,所述数据选通接收电路包括:

终端电路,所述终端电路基于终端使能信号来将所述第一和第二输入端子耦合到端子电位;

第一比较器电路,所述第一比较器电路输出所述数据选通信号和所述反相数据选通信号之间的差;

第二比较器电路,所述第二比较器电路比较所述数据选通信号和所述反相数据选通信号之一的电平;

门电路,所述门电路通过掩蔽信号来掩蔽所述第一比较器电路的输出信号;以及

控制电路,所述控制电路基于所述第二比较器电路的输出信号来识别所述数据选通信号和所述反相数据选通信号的前导的开始时刻,并且设置用于指令所述第一比较器电路的输出信号的掩蔽状态直到所述前导的开始之时的所述掩蔽信号,

其中,所述控制电路设置用于指令在所述前导的开始之后的所述第一比较器的输出信号的去掩蔽状态的所述掩蔽信号,以及

其中,所述数据接收电路基于在所述掩蔽信号指示所述去掩蔽状态时的所述门电路的输出信号,来输出所述数据信号作为从所述存储器的读取数据。

2. 根据权利要求1所述的半导体器件,其中,所述数据接收电路包括:

数据接收器,其用于接收所述数据信号;

第一和第二捕获单元,其用于分别接收所述数据接收器的输出信号,并且根据所述门电路的输出信号将所述数据接收器的输出信号锁存在所述第一捕获单元中,并且根据所述门电路的输出信号的反相信号将所述数据接收器的输出信号锁存在所述第二捕获单元中,以及

选择器,其用于交替地选择所述第一和第二捕获单元的输出信号以及作为从所述存储器的所述读取数据而输出的所述第一和第二捕获单元的输出信号。

3. 根据权利要求1所述的半导体器件,其中,

所述控制电路在所述数据选通信号和所述反相数据选通信号的后导的结束时刻之后将所述掩蔽信号设置为所述掩蔽状态。

4. 根据权利要求3所述的半导体器件,进一步包括:

读取控制逻辑,所述读取控制逻辑用于在所述后导的开始时刻之前将掩蔽使能信号输出到所述门电路,

其中,所述控制电路在所述前导的开始时刻处将指示所述去掩蔽状态的掩蔽信号输出到所述门电路;并且

其中,所述门电路包括逻辑电路,该逻辑电路用于执行在所述第一比较器电路的输出信号和所述掩蔽信号之间的逻辑运算;以及

掩蔽信号生成电路,所述掩蔽信号生成电路基于所述去掩蔽指令信号来从所述前导的

开始时刻起将所述掩蔽信号设置为所述去掩蔽状态,并且基于所述掩蔽使能信号来在所述后导的结束时刻之后将所述掩蔽信号设置为所述掩蔽状态。

5. 根据权利要求1所述的半导体器件,其中,

所述控制电路将在从所述第二比较器电路输出的信号的电平中的第一变化的时刻识别作为所述前导的开始时刻。

6. 根据权利要求1所述的半导体器件,其中,

所述第二比较器电路将所述数据选通信号的电平与所述基准电压进行比较,并且其中,所述端子电位是电源电压。

7. 根据权利要求1所述的半导体器件,其中,

所述第二比较器电路将所述反相数据选通信号的电平与所述基准电压进行比较,并且其中,所述端子电位是接地电位。

半导体器件

[0001] 本申请是申请日为2014年11月7日、申请人为“瑞萨电子株式会社”、发明名称为“半导体器件”、申请号为201410638738.0的发明专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 通过引用将包括说明书、附图以及摘要的于2013年11月7日提交的日本专利申请No.2013-231020的全部内容整体合并在此。

技术领域

[0004] 本发明涉及一种半导体器件。更加具体地,本发明涉及一种包括数据选通信号接收电路的半导体器件。

背景技术

[0005] 在现有技术中,已经有已知技术,该已知技术从DRAM读出之后,防止带来从DRAM输出的数据选通信号的高阻抗(中间电平)状态。

[0006] 例如,日本未经审查的专利公开No.2008-103013描述其中存储器读取控制电路输入与来自于存储器的数据的读取有关的读取请求信号和与读取请求有关的突发长度信息信号的数据选通接收机。当读取请求信号变成有效的时,存储器读取控制电路控制上拉电路以上拉数据选通信号DQS。在检测数据选通信号DQS从高电平到低电平的转变之后,存储器读取控制电路将掩蔽信号设置为去掩蔽状态。在基于突发长度信息信号确定数据选通信号已经重复预定的转变之后存储器读取控制电路将掩蔽信号设置为掩蔽状态。继重复的转变之后,数据选通信号DQS的后导被启动。在后导时段的结束,存储器读取控制电路将数据选通信号DQS上拉到高电平。

发明内容

[0007] 然而,在上面引用的专利公开中描述的数据选通接收器仅接收单数据选通信号DQS并且被设计成防止带来仅一个数据选通信号的高阻抗状态。

[0008] 同时,存在接收补充数据选通信号DQS和DQSB的数据选通接收器。通过检测在接收到的信号DQS和DQSB之间的差,这种类型的数据选通接收器能够减少被叠加在信号DQS和DQSB上的噪声。问题是,在上面引用的专利公开中描述的方法不能够被应用于接收补充数据选通信号DQS和DQSB的此数据选通接收器。这是因为接收补充数据选通信号的数据选通接收器将其间的差上拉到高阻抗状态,然而上述专利公开的方法不能够防止带来这样产生的高阻抗状态。

[0009] 根据本发明的一个实施例,提供一种数据选通接收电路,其包括第一和第二比较器电路。第一比较器电路在将输入端子耦合到端子电位之后并且从前导的开始之前起输出数据选通信号和反相数据选通信号之间的差。第二比较器电路将数据选通信号或者反相数据选通信号的电平与基准电压进行比较并且将表示比较结果的信号输出到控制电路。数据选通接收电路进一步包括门电路和控制电路。门电路使用掩蔽信号掩蔽第一比较器电路的

输出信号。控制电路基于从第二比较器电路输出的信号识别前导的开始时刻,在前导的开始之前将掩蔽信号设置为掩蔽状态,并且从前导的开始时刻起将掩蔽信号设置为去掩蔽状态。

[0010] 因此根据在上面概述的本发明的一个实施例,能够防止带来在信号DQS和DQSB之间的差的高阻抗状态。

附图说明

[0011] 在阅读下面的描述和附图之后本发明的更进一步的优点和优点将会变得显而易见,其中:

[0012] 图1是示出作为本发明的第一实施例的半导体器件的结构图;

[0013] 图2是第一实施例中的当从DDR-SDRAM中读取数据时生效的时序图;

[0014] 图3是示出作为本发明的第二实施例的半导体器件的结构图;

[0015] 图4是示出第二实施例中的DDR-PHY的结构图;

[0016] 图5是示出第二实施例中的DQS-IO的结构图;

[0017] 图6是第二实施例中的当从DDR-SDRAM中读取数据时生效的时序图;

[0018] 图7是解释在DQS/DQSB前导的启动之后如何将ODT使能信号DQS_ODTE激活到高电平的图;

[0019] 图8是示出在本发明的第三实施例中的DDR-PHY的结构图;

[0020] 图9是示出在第三实施例中的DQS-IO的结构图;以及

[0021] 图10是在第三实施例中的当从DDR-SDRAM读取数据时生效的时序图。

具体实施方式

[0022] 下面参考附图描述本发明的一些优选实施例。

[0023] 第一实施例

[0024] 图1是示出作为本发明的第一实施例的半导体器件101的结构图。

[0025] 参考图1,半导体器件101包括DQS接收电路102。DQS接收电路102包括输入端子81、输入端子82、终端电路103、第一比较器电路104、门电路105、控制电路106以及第二比较器电路107。

[0026] 输入端子81接收从存储器输出的数据选通信号DQS。输入端子82接收从存储器输出的反相数据选通信号DQSB。

[0027] 从终端电路103在从DQS/DQSB前导的启动时刻之前起将输入端子81和82耦合到端子电位。

[0028] 在将输入端子81和82耦合到端子电位之后并且在DQS/DQSB前导的启动时刻之前,第一比较器电路104输出表示在数据选通信号DQS与反相数据选通信号DQSB之间的差的DQS输入信号DQSIN。

[0029] 第二比较器电路107将数据选通信号DQS或者反相数据选通信号DQSB的电平与基准电压Vref进行比较,并且输出表示比较结果的ODT(片内端接)状态检测信号ODT_DET。

[0030] 门电路105使用处于掩蔽状态中的DQS掩蔽信号EW掩蔽从第一比较器电路104输出的DQS输入信号DQSIN。

[0031] 基于从第二比较器电路107输出的ODT状态检测信号ODT_DET,控制电路106识别DQS/DQSB前导的启动时刻并且相应地控制DQS掩蔽信号EW的电平变化。在DQS/DQSB前导的启动之前,控制电路106将DQS掩蔽信号EW设置为掩蔽状态。从DQS/DQSB前导的启动时刻起,控制电路106将DQS掩蔽信号EW设置为去掩蔽状态。

[0032] 图2是第一实施例中的当从DDR-SDRAM 6读取数据时生效的时序图。

[0033] DQS/DQSB前导是在信号开始跳转之前补充数据选通信号DQS和DQSB分别地变成低和高的部分。DQS/DQSB后导是在它们停止跳转之后补充数据选通信号DQS和DQSB分别地变成低和高的部分。

[0034] 因为终端电路103将输入端子81和82耦合到端子电位使得输入端子81和82被上拉,在DQS/DQSB前导的启动之前并且在DQS/DQSB后导的结束从第一比较器电路104输出的DQS输入信号DQSIN采用不确定值。

[0035] 在DQS/DQSB前导的启动之前,控制电路106将DQS掩蔽信号EW设置为低电平掩蔽状态。这使门电路105使用处于掩蔽状态中的DQS掩蔽信号EW(低电平)掩蔽不确定值的DQS输入信号DQSIN。

[0036] 在DQS/DQSB前导的启动时刻,控制电路106将DQS掩蔽信号EW设置为高电平去掩蔽状态。这使门电路105没有使用DQS掩蔽信号EW掩蔽DQS输入信号DQSIN。

[0037] 在DQS/DQSB后导的结束时,从第一比较器电路104输出的DQS输入信号DQSIN再次采用不确定值。在DQS/DQSB后导的结束时刻,控制电路106将DQS掩蔽信号EW设置为低电平掩蔽状态。这使门电路105使用处于掩蔽状态中的DQS掩蔽信号EW(低电平)掩蔽不确定值的DQS输入信号DQSIN。

[0038] 根据上述第一实施例,能够防止接收补充数据选通信号的数据选通接收器在前导之前带来信号DQS和DQSB之间的差的高阻抗状态。

[0039] 第二实施例

[0040] 图3是示出作为本发明的第二实施例的半导体器件500的结构图。

[0041] 半导体器件500包括DDR-SDRAM(双数据速率同步动态随机存取存储器)6、DDR-PHY(DDR物理接口)2、DDR存储器控制器3、系统总线4、CPU(中央处理单元)1以及系统寄存器5。

[0042] LSI(大规模集成电路)7和DDR-SDRAM 6被安装在印制电路板70上。LSI 7包括DDR-PHY 2和DDR存储器控制器3。

[0043] 提供作为在DDR-PHY 2和DDR-SDRAM 6之间的接口信号的时钟信号CLK、命令信号、地址信号、数据信号DQ以及补充数据选通信号DQS和DQSB。

[0044] 在同步时钟信号的上升和下降沿两者处,DDR-SDRAM 6输出数据(读取)和输入数据(写入)。

[0045] DDR-PHY 2将来自于DDR存储器控制器3的并行数据转换成串行数据并且将该数据发送到DDR-SDRAM 6。DDR-PHY 2也将来自于DDR-SDRAM 6的串行数据转换成并行数据并且将该数据发送到DDR存储器控制器3。

[0046] DDR存储器控制器3控制DDR-SDRAM 6。系统总线6是将CPU 1耦合到DDR存储器控制器3的总线。

[0047] CPU 1在核心时钟信号C_CLK上操作。CPU 1命令来自DDR-SDRAM 6的数据的读取和到该DDR-SDRAM 6的数据的写入。

[0048] 系统寄存器5保存代表在DDR-SDRAM 6和DDR-PHY 2之间的阻抗的大小的阻抗信息。

[0049] 图4是示出在第二实施例中的DDR-PHY 2的结构图。DDR-PHY 2包括DQ接收电路92和DQS接收电路91。

[0050] DQ接收电路92包括DQ-I/O 11、延迟电路16、第一上升沿捕获触发器34、第一下降沿捕获触发器35、上升沿读取FIFO 36、下降沿读取FIFO 37、选择器38以及触发器39。DQS接收电路91包括输入端子81、输入端子82、DQS-I/O 12、DQS门电路23、读取控制逻辑15、基准电压控制电路14、基准电压生成电路13、EW开路控制电路24、逆变器17、DLL(延迟锁相环)电路18以及DLL电路19。

[0051] DQ-I/O 11包括差动接收器电路20。差动接收器电路20将数据信号DQ与基准电压 V_r 进行比较。

[0052] 延迟电路16延迟差动接收器电路20的输出。第一上升沿捕获触发器34在从DLL电路18输出的第一校正数据选通信号 dqs_{90} 的上升沿处锁存来自延迟电路16的输出。第一下降沿捕获触发器35在从DLL电路19输出的第二校正数据选通信号 dqs_{270} 的上升沿处锁存来自延迟电路16的输出。

[0053] 上升沿读取FIFO 36基于先进先出保存第一上升沿捕获触发器34的输出。下降沿读取FIFO 37基于先进先出保存第一下降沿捕获触发器35的输出。

[0054] 选择器38交替地选择上升沿读取FIFO 36的输出或者下降沿读取FIFO 37的输出。

[0055] 触发器39将选择器38的输出作为读取数据RD转发给DDR存储器控制器3。

[0056] 读取控制逻辑15根据从CPU 1发送的从DDR-SDRAM 6读取数据的指令控制从DDR-SDRAM 6的数据的读取。读取控制逻辑15将关闭信号(掩蔽使能信号)Close输出到DQS门电路23并且将开路信号(去掩蔽使能信号)Open输出到开路控制电路。读取控制逻辑15也将ODT使能信号DQS_ODTE输出到DQS-I/O 12并且将DQS输入使能信号DQS_IE输出到DQS-I/O 12并且输出到EW开路控制电路24。与CPU 1一样,读取控制逻辑15在核心时钟信号C_CLK上操作。

[0057] 基准电压控制电路14基于从系统寄存器5发送的阻抗信息确定基准电压 V_{ref} 的大小。

[0058] 基准电压生成电路13输出通过基准电压控制电路14已经确定其大小的基准电压 V_{ref} 。

[0059] 输入端子81接收从DDR-SDRAM6输出的数据选通信号DQS。输入端子82接收从DDR-SDRAM 6输出的反相数据选通信号DQSB。

[0060] 在从DDR-SDRAM 6读出之后,DQS-I/O 12基于从DDR-SDRAM 6输出的补充数据选通信号DQS和DQSB、基准电压 V_{ref} 、DQS输入使能信号DQS_IE以及ODT使能信号DQS_ODTE输出DQS输入信号DQSIN和ODT状态检测信号ODT_DET。

[0061] 图5是示出在第二实施例中的DQS-I/O 12的结构图。DQS-I/O 12包括差动接收器电路21、单接收器电路22、以及终端电路53。终端电路53用来抑制信号反射,并且包括开关SW1和SW2与被耦合到承载电源电压VCCQ(例如,1.5V)的VCCQ端子的电阻R1和R2。

[0062] 开关SW1和寄存器R1被插入地位于VCCQ端子和输入端子82之间。开关SW2和电阻R2被插入地位于VCCQ端子和输入端子81之间。通过从读取控制逻辑15发送的ODT使能信号

DQS_ODTE控制开关SW1和SW2。当在ODT有效时段期间将ODT使能信号DQS_ODTE激活到高电平时,开关SW1和SW2被接通。通过被接通的开关SW1和SW2,输入端子81和82的电压被上拉到电源电压VCCQ。

[0063] 结果,即使DDR-SDRAM 6在数据读出之后将数据选通信号DQS驱动到低电平,DDR-PHY 2的VCCQ端子保持有效,使得数据选通信号DQS没有下降至0V。这阻止诸如AND电路的CMOS逻辑门检测数据选通信号DQS的电平。在第二实施例中,单接收器电路22被用于在大小上比较数据选通信号DQS与基准电压Vref使得检测数据选通信号DQS的电平。

[0064] 当DQS输入使能信号DQS_IE处于高电平时,差动接收器电路21产生表示在输入端子81和82之间的电压差的DQS输入信号DQSIN。当DQS输入使能信号DQS_IE处于低电平时差动接收器电路21输出低电平。

[0065] 单接收器电路22比较输入端子81的电压与基准电压Vref以找到其间的不同,并且相应地输出ODT状态检测信号ODT_DET。

[0066] DQS门电路23基于从DQS-I/O 12输出的DQS输入信号DQSIN、从EW开路控制短路24输出的EW开路信号(非掩蔽指令信号)以及从读取控制逻辑15输出的关闭信号(掩蔽使能信号)Close产生DQS掩蔽信号EW(使能窗口)。假定被产生的DQS掩蔽信号EW和DQS输入信号DQSIN,DQS门电路23将门DQS信号gated_DQSB作为被掩蔽的DQS信号输出。

[0067] DQS门电路23包括NAND电路25和掩蔽信号生成单元69。NAND电路25输出作为DQS输入信号DQSIN和DQS掩蔽信号EW的NAND的门DQS信号gated_DQSB。当DQS掩蔽信号EW是处于高电平(去掩蔽状态)时门DQS信号gated_DQSB变成反相数据选通信号DQS。当DQS掩蔽信号EW是处于低电平(掩蔽状态)时,门DQS信号gated_DQSB是处于高电平,不论数据选通信号DQS如何。

[0068] 掩蔽信号生成电路69基于来自EW开路控制电路24的被激活的EW开路信号EW_open(去掩蔽指令信号)将DQS掩蔽信号设置为去掩蔽状态。掩蔽信号生成单元69基于来自读取控制逻辑15的被激活的关闭信号Close(掩蔽使能信号)进一步将DQS掩蔽信号EW设置为掩蔽状态。

[0069] 掩蔽信号生成单元69包括控制逻辑26和装备连接板端子的D型触发器27。控制逻辑26是由一个或者多个逻辑电路组成并且需要时安装。

[0070] 被附接到D型触发器27的连接板端子SB接收EW开路信号EW_open。触发器27的数据输入端子接收反过来接收关闭信号Close的控制逻辑26的输出。触发器27的时钟端子接收从NAND电路25输出的门信号gated_DQSB。触发器27的输出端子输出DQS掩蔽信号EW。

[0071] EW开路控制电路24基于从DQS-I/O 12输出的ODT状态检测信号ODT_DET、从读取控制逻辑15输出的DQS输入使能信号DQS_IE以及从读取控制逻辑15输出的被激活的开路信号Open(去掩蔽使能信号)输出EW开路信号EW_open以激活DQS掩蔽信号EW。

[0072] EW开路控制电路24识别作为DQS/DQSB前导的开始时刻的时刻,在该时刻来自于DQS-I/O 12的ODT状态检测信号ODT_DET第一次从高电平变成低电平,并且在被这样识别的时刻处将EW开路信号EW_open设置为低电平。

[0073] EW开路控制电路24包括选择器28和29、装备连接板端子的D型触发器31以及控制逻辑30。控制逻辑30是由一个或者多个逻辑电力组成并且需要时被安装。

[0074] 第一级中的选择器28从读取控制逻辑15接收作为选择信号的DQS输入使能信号

DQS_IE。选择器28接收从DQS-I0 12输出的ODT状态检测信号ODT_DET和被固定到高电平的“1” (1' b1) (即,一个二进制数)。选择器28输出ODT状态检测信号Se1_ODT_DET。

[0075] 被附接到D型触发器31的连接板端子SB接收DQS输入使能信号DQS_IE。触发器31的数据输入端子接收反过来接收开路信号Open的控制逻辑30的输出。触发器31的时钟端子接收从选择器28输出的ODT状态检测信号Se1_ODT_DET。触发器31的输出端子输出门信号EW_open_gate。

[0076] 第二级中的选择器29接收从触发器31输出的门信号EW_open_gate作为选择信号。第二级选择器29也接收被固定到高电平(1' b1)的“1”和从选择器28输出的ODT状态检测信号Se1_ODT_DET。选择器29输出EW开路信号EW_open。

[0077] 逆变器17反转门DQS信号gated_DQSB。DLL 18输出第一校正数据选通信号dqs90、通过让逆变器17的输出(即,在逻辑上被反转的门DQS信号gated_DQSB)在相位上延迟了90度的信号。第一校正数据选通信号dqs90是相对于数据选通信号DQS在相位上被延迟了90的信号。

[0078] DLL 19输出第二校正数据选通信号dqs270、通过让门DQS信号gated_DQSB在相位上被延迟了90度而获得的信号。第二校正数据选通信号dqs270是相对于数据选通信号DQS在相位上被延迟了270度的信号。

[0079] (操作)

[0080] 图6是在第二实施例中的当从DDR-SDRAM 6中读取数据时生效的时序图。

[0081] 首先,在读出的开始(1),从DDR-SDRAM 6输出的补充数据选通信号DQS和DQSB的电平是不确定的。在初始状态下从读取控制逻辑15输出的DQS输入使能信号DQS_IE和ODT使能信号DQS_ODTE是处于低电平处。在初始状态下开路信号Open(去掩蔽使能信号)和关闭信号Close(掩蔽使能信号)是处于高电平处。

[0082] 因为DQS输入使能信号DQS_IE处于低电平,所以在EW开路控制电路24中的第一级选择器28输出固定值(高电平)并且使触发器31进入设定状态。结果,ODT状态检测信号Se1_ODT_DET、门信号EW_open_gate以及EW开路信号EW_open被设置为高电平。

[0083] 接下来,在DQS/DQSB前导时段的(2)开启之前,读取控制逻辑15将ODT使能信号DQS_ODTE激活到高电平。这接通终端电路53中的开关SW1和SW2并且上拉输入端子81和82使得输入补充数据选通信号DQS和DQSB各自被设置为高电平(通过(A)指示)。这时,DQS输入使能信号DQS_IE是处于低电平,使得从差动接收器电路21输出的DQS输入信号DQSIN在低电平处保持未被改变。并且因为DQS-I012中的开关SW1和SW2被接通,所以从单接收器电路22输出的ODT状态检测信号ODT_DET变成高电平。因为DQS输入信号DQSIN处于低电平,所以关闭信号Close处于高电平,并且EW开路信号EW_open是处于高电平,DQS门电路23中的门DQSB信号gated_DQSB被设置为高电平并且DQS掩蔽信号EW被设置为低电平。

[0084] 然后在DQS/DQSB前导时段之前的时间点(3)并且在时间点(2)之后,读取控制逻辑15将DQS输入使能信号DQS_IE激活到高电平。通过被激活到高电平的DQS输入使能信号DQS_IE,差动接收器电路21执行差分输出。两种信号被输入到差动接收器电路21:来自于输入端子81并且被上拉到高电平的数据选通信号DQSB,和来自于输入端子82并且被上拉到高电平的反相数据选通信号DQSB。信号输入使从差动接收器电路21输出的DQS输入信号DQSIN变成不确定的(通过(C)指示)。这时,DQS掩蔽信号EW保持在低电平,使得DQS门电路23中的NAND

电路25在高电平处输出门DQSB信号gated_DQSB,即使DQS输入信号DQSIN是不确定的。这允许DQS输入信号DQSIN的不确定值被掩蔽。当DQS输入使能信号DQS_IE变成高电平时,EW开路控制电路24中的第一级选择器28输出ODT状态检测信号ODT_DET(高电平)作为ODT状态检测信号Se1_ODT_DET(高电平)。而且在时间点(3),读取控制逻辑15将开路信号Open激活到低电平。即,去掩蔽使能信号(低电平开路信号Open)被输出。

[0085] 接下来,在时间点(4),DQS/DQSB前导时段被开启。即,DDR-SDRAM 6分别将补充数据选通信号DQS/DQSB驱动到低电平和高电平。这将从差动接收器电路21输出的DQS输入信号DQSIN设置为低电平。从单接收器电路22输出的ODT状态检测信号ODT_DET变成低电平。通过变成低电平的ODT状态检测信号ODT_DET,从EW开路控制电路24中的第一级选择器28输出的ODT状态检测信号Se1_ODT_DET变成低电平,因为DQS输入使能信号DQS_IE处于高电平。从EW开路控制电路24中的触发器31输出的门信号EW_open_gate保持在高电平,并且从第二级选择器29输出的EW开路信号EW_open被激活到低电平。即,去掩蔽指令信号(低电平EW开路信号EW_open)被输出。当EW开路信号EW_open变成低电平时,DQS门电路23中的触发器27进入设定状态。因为关闭信号Close处于高电平,所以从触发器27输出的DQS掩蔽信号变成高电平。通过处于高电平的DQS掩蔽信号EW,DQS门电路23中的NAND电路25输出是反相DQS输入信号DQSIN的门DQSB信号gated_DQSB。这使DQS输入信号DQSIN被去掩蔽。

[0086] 接下来,在时间点(5),DQS/DQSB前导时段结束并且DQS跳转时段开启。即,数据选通信号DQS变成高电平并且反相数据选通信号DQSB变成低电平。这使从差动接收器电路21输出的DQS输入信号DQSIN变成高电平。从单接收器电路22输出的ODT状态检测信号ODT_DET也变成高电平。通过变成高电平的ODT状态检测信号ODT_DET,ODT状态检测信号Se1_ODT_DET变成高电平。因为开路信号Open被设置为低电平,所以从触发器31输出的门信号EW_open_gate变成低电平。结果,第二级选择器29选择被固定的高电平,使得EW开路信号EW_open变成高电平。当EW开路信号EW_open变成高电平时,DQS门电路23中的触发器27的设置状态被取消。

[0087] 读取控制逻辑15响应于读取请求控制从DDR-SDRAM 6中输出的数据信号DQ的数目。即,读取控制逻辑15基于突发长度控制关闭信号Close的电平。具体地,当在读取指令的接收之后检测门DQS信号gated_DQSB的第(突发长度-1)个上升沿时,读取控制逻辑15将关闭信号Close激活到低电平(通过E指示)。因此掩蔽使能信号被输出。低电平关闭信号Close(掩蔽使能信号)被发送到DQS门电路23中的控制逻辑26。

[0088] 然后在时间点(6),DQS后导时段被启动。DDR-SDRAM 6分别将补充数据选通信号DQS和DQSB驱动到低电平和高电平。当门DQS信号gated_DQSB变高时,关闭信号Close被设置为低电平,这使从DQS门电路23中的触发器27输出的DQS掩蔽信号EW变成低电平。

[0089] 然后在时间点(7),DQS/DQSB后导时段结束。这时,终端电路53上拉输入端子81和82,使输入补充数据选通信号DQS和DQSB各自进入高电平(通过(B)指示)。两个信号被输入到差动接收器电路21:来自于输入端子81并且被上拉到高电平的数据选通信号DQS,和来自于输入端子82并且被上拉到高电平的反相数据选通信号DQSB。信号输入使从差动接收器电路21输出的DQS输入信号DQSIN变成不确定的(通过(D)指示)。这时,DQS掩蔽信号EW被设置为低电平,使得在DQS门电路23中的NAND电路25在高电平输出门DQSB信号gated_DQSB,即使DQS输入信号DQSIN是不确定的。这使DQS输入信号DQSIN的不确定值被掩蔽。

[0090] 在上面解释的一系列的操作能够掩蔽在DQS/DQSB前导之前和在DQS/DQSB后导之后产生的DQS输入信号DQSIN的不确定值。

[0091] (参考)

[0092] 根据第二实施例,在DQS/DQSB前导被启动之前ODT使能信号DQS_ODTE被激活到高电平。这使输入端子81和82被上拉以将输入补充数据选通信号DQS和DQSB各自设置为高电平。结果,在DQS/DQSB前导时段期间,防止在反射的影响下噪声被混合到数据选通信号DQS。

[0093] 另一方面,如在图7中所示,如果在DQS/DQSB前导被启动之后ODT使能信号DQS_ODTE被激活到高电平,在反射的影响下噪声能够被混合到数据选通信号DQS直到开关SW1和SW2被完全地接通。如果噪声被混合到数据选通信号DQS,则在从差动接收器电路21输出的DQS输入信号DQSIN中能够产生假信号G。因为在DQS/DQSB前导的时刻处DQS掩蔽信号EW被设置为高电平,所以假信号能够被混合到门DQS信号gated_DQSB。

[0094] 第三实施例

[0095] 图8是示出本发明的第三实施例中的DDR-PHY 302的结构图。

[0096] 图8的DDR-PHY 302不同于图4的DDR-PHY 2,不同之处在于:图8的DDR-PHY 302被装备有替换图4的DQS-I/O 12的DQS-I/O 40。

[0097] 而且,图8中的EW开路控制电路43包括没有被包括在图4中的EW开路控制电路24中的逆变器42。

[0098] 图9是示出第三实施例中的DQS-I/O 40的结构图。DQS-I/O 40包括差动接收器电路21、单接收器电路41以及终端电路54。终端电路54用作抑制信号反射并且包括被接地的开关SW1和SW2以及电阻器R1和R2。

[0099] 开关SW1和电阻器R1被插入地定位在接地和输入端子81之间。开关SW2和电阻器R2被插入地定位在接地和输入端子82之间。通过从读取控制逻辑15发送的ODT使能信号DQS_ODTE控制开关SW1和SW2。当ODT使能信号DQS_ODTE被激活到高电平时,开关SW1和SW2被接通。通过被接通的开关SW1和SW2,输入端子81和82的电压被下拉到接地。

[0100] 差动接收器电路21与被包括在图5中的DQS-I/O 12中的其对应物相同,并且从而将不会进一步进行描述。

[0101] 单接收器电路41将输入端子82的电压与基准电压Vref进行比较以找到其间的差,并且相应地输出ODT状态检测信号ODT_DET。

[0102] 图10是在第三实施例中的当从DDR-SDRAM 6读取数据时生效的时序图。

[0103] 图10的时序图不同于图6的时序图,不同之处在于:在时间点(2),读取控制逻辑15将ODT使能信号DQS_ODTE激活到高电平。这使端子电路54中的开关SW1和SW2被接通。

[0104] 当在第二实施例中开关SW1和SW2被接通时,输入端子81和82被上拉。在第三实施例中,与之相比,通过被接通的开关SW1和SW2,输入端子81和82被下拉,并且输入补充数据选通信号DQS和DQSB各自被设置为低电平(通过(J)指示)。

[0105] 而且,当在第二实施例中开关SW1和SW2被接通时,从单接收器电路22输出的ODT状态检测信号ODT_DET变成高电平。在第三实施例中,与之相比,通过被接通的开关SW1和SW2,从单接收器电路41输出的ODT状态检测信号ODT_DET变成低电平。

[0106] 第二实施例中的单接收器电路22将基准电压Vref与输入数据选通信号DQS的输入端子81进行比较。与之相比,第三实施例中的信号接收器电路41将基准电压Vref与输入反

相数据选通信号DQSB的输入端子82进行比较。因此第三实施例的ODT状态检测信号ODT_DET和第二实施例的ODT状态检测信号ODT_DET在相位上彼此相反。

[0107] 然而,在第三实施例中,EW开路控制电路43具有位于选择器28的上游的逆变器42。此结构允许通过EW开路控制电路43产生的ODT状态检测信号Se1_ODT_DET执行与第二实施例的ODT状态检测信号Se1_ODT_DET相同的电平转变。

[0108] 结果,基于ODT状态检测信号Se1_ODT_DET产生的其它信号的电平转变变成与第二实施例中的相同。

[0109] 在时间点(7),DQS/DQSB后导结束。这时,终端电路54下拉输入端子81和82,使输入补充数据选通信号DQS和DQSB各自变成低电平(通过(K)指示)。

[0110] 根据上述第三实施例,即使当终端电路下拉输入端子时,能够以与第二实施例中相同的方式掩蔽在DQS/DQSB前导之前和在DQS/DQSB后导之后产生的DQS输入信号DQSIN的不确定值。

[0111] 要理解的是,虽然结合特定实施例已经描述了本发明,但是显然的是,根据前面的描述对于本领域的技术人员来说许多变更、修改和变化将会变得显而易见。因此,旨在本发明包含如落入随附的权利要求的精神和范围中的所有的这样的变更、修改以及变化。

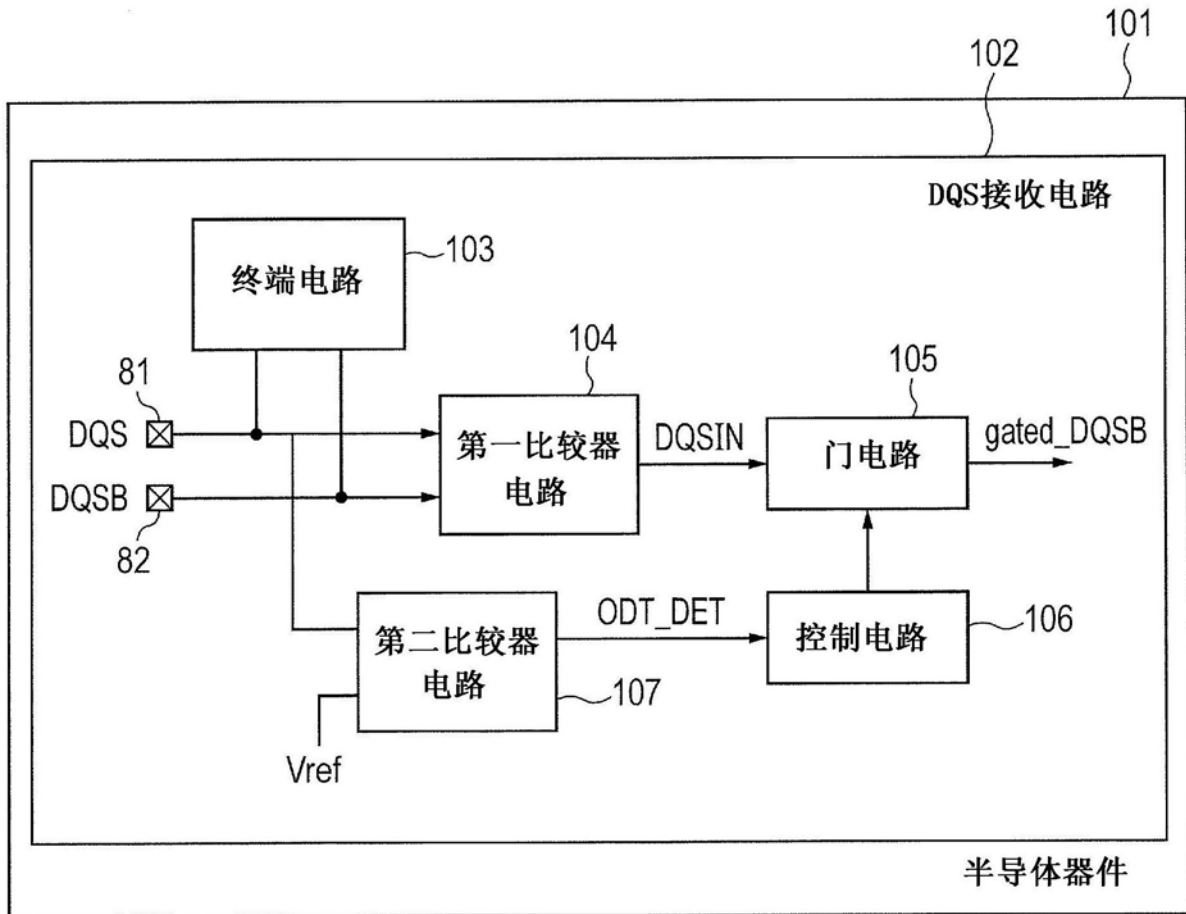


图1

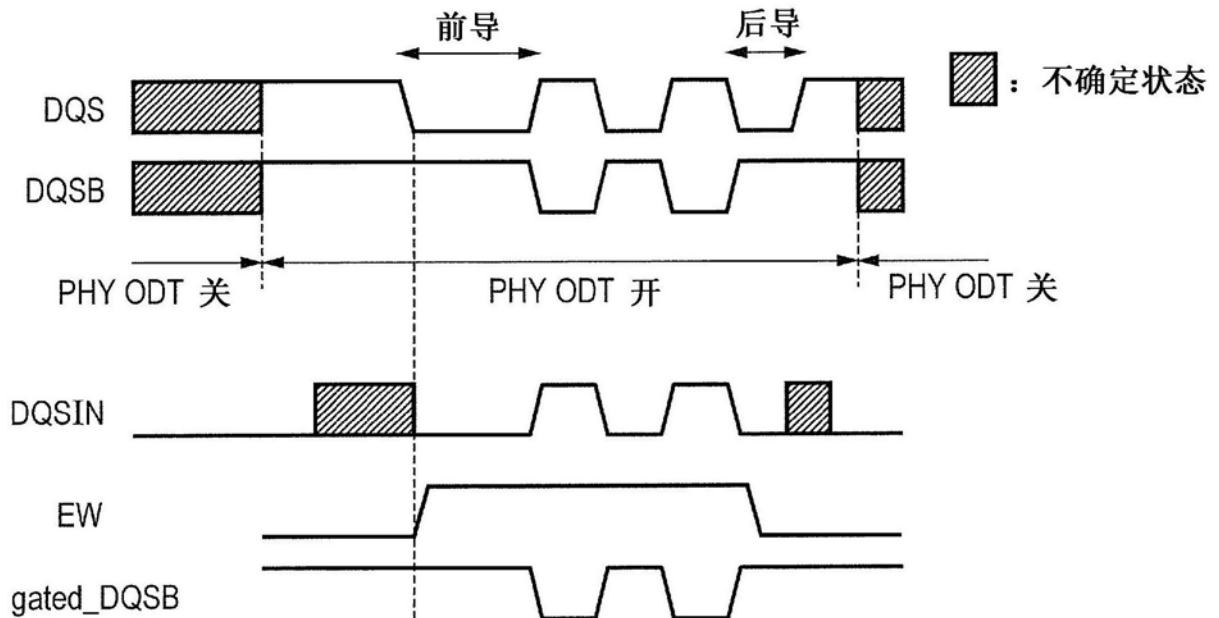


图2

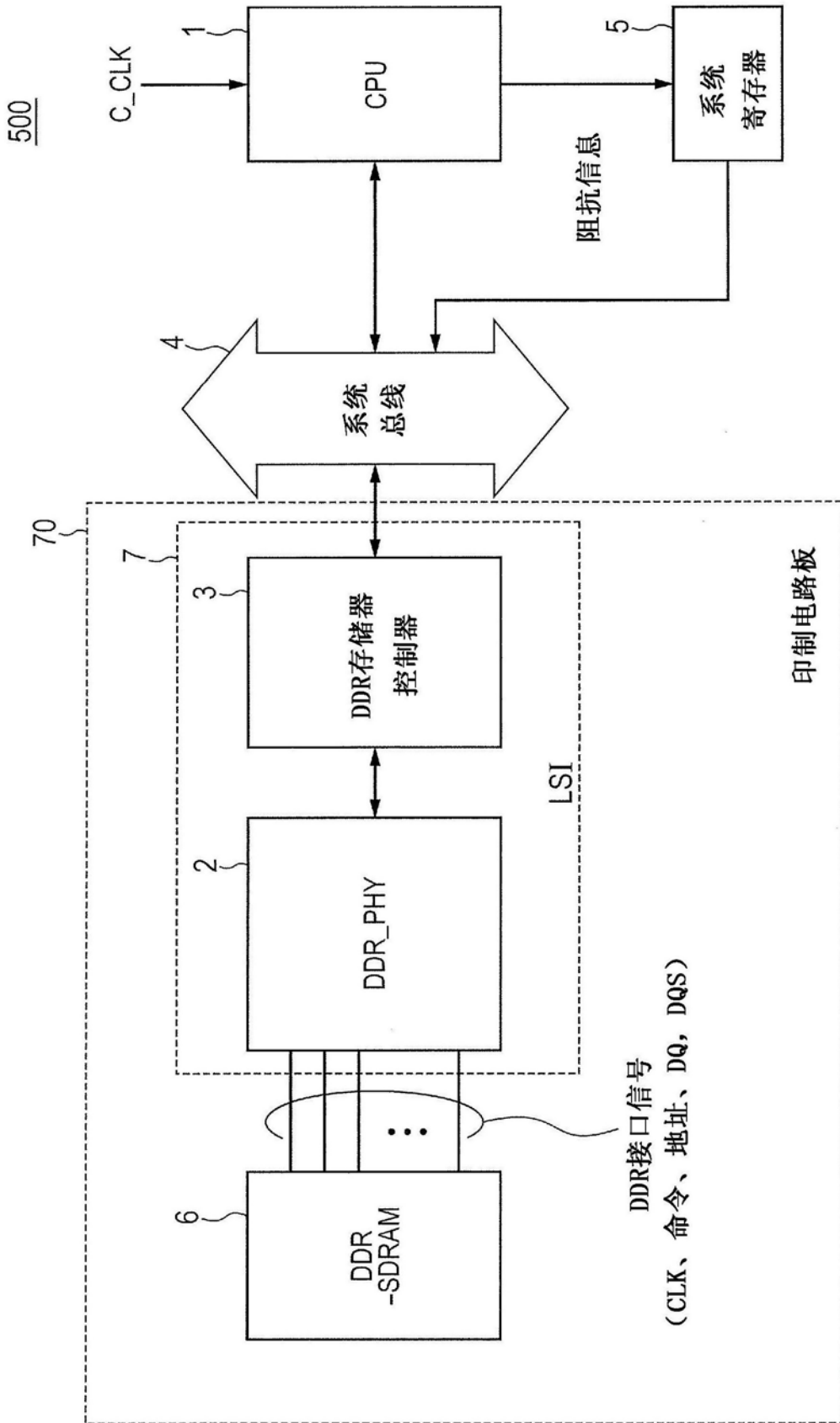


图3

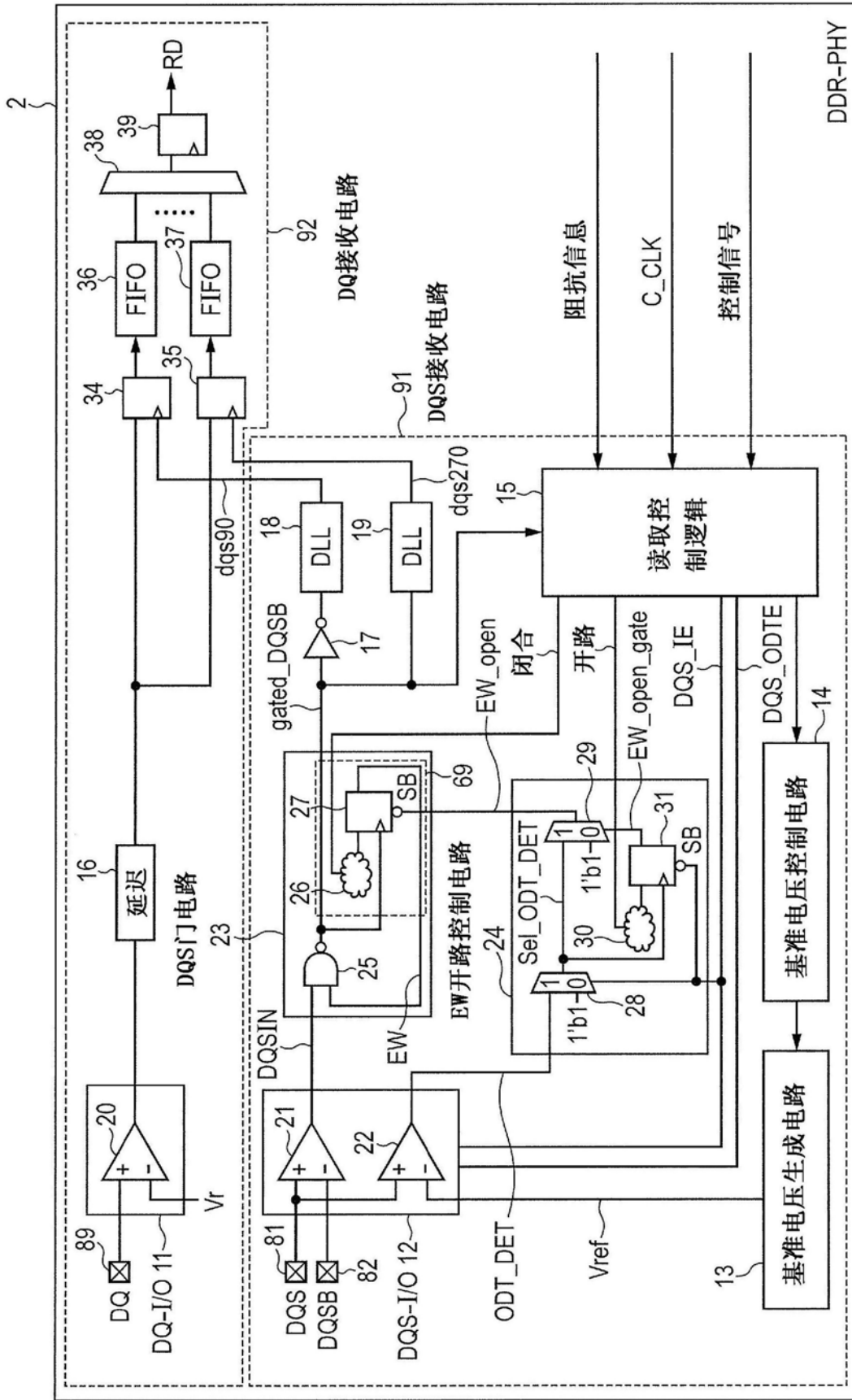


图4

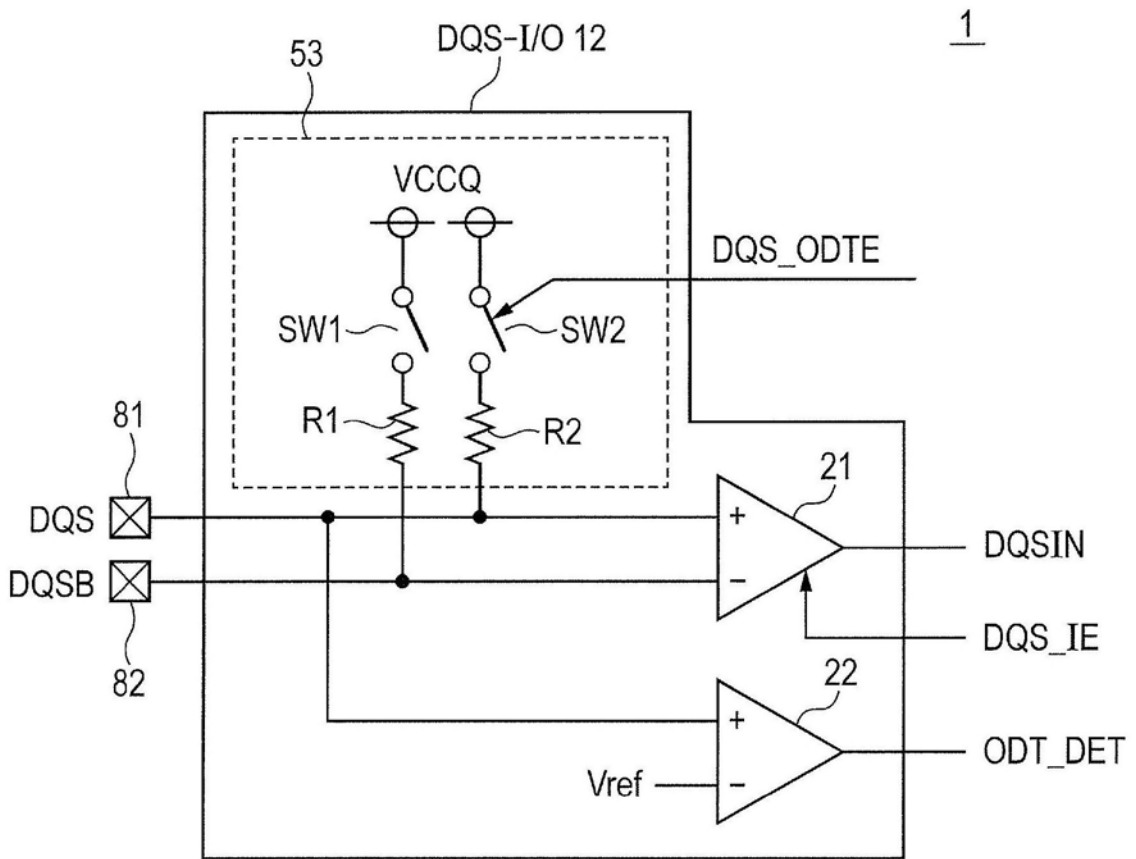


图5

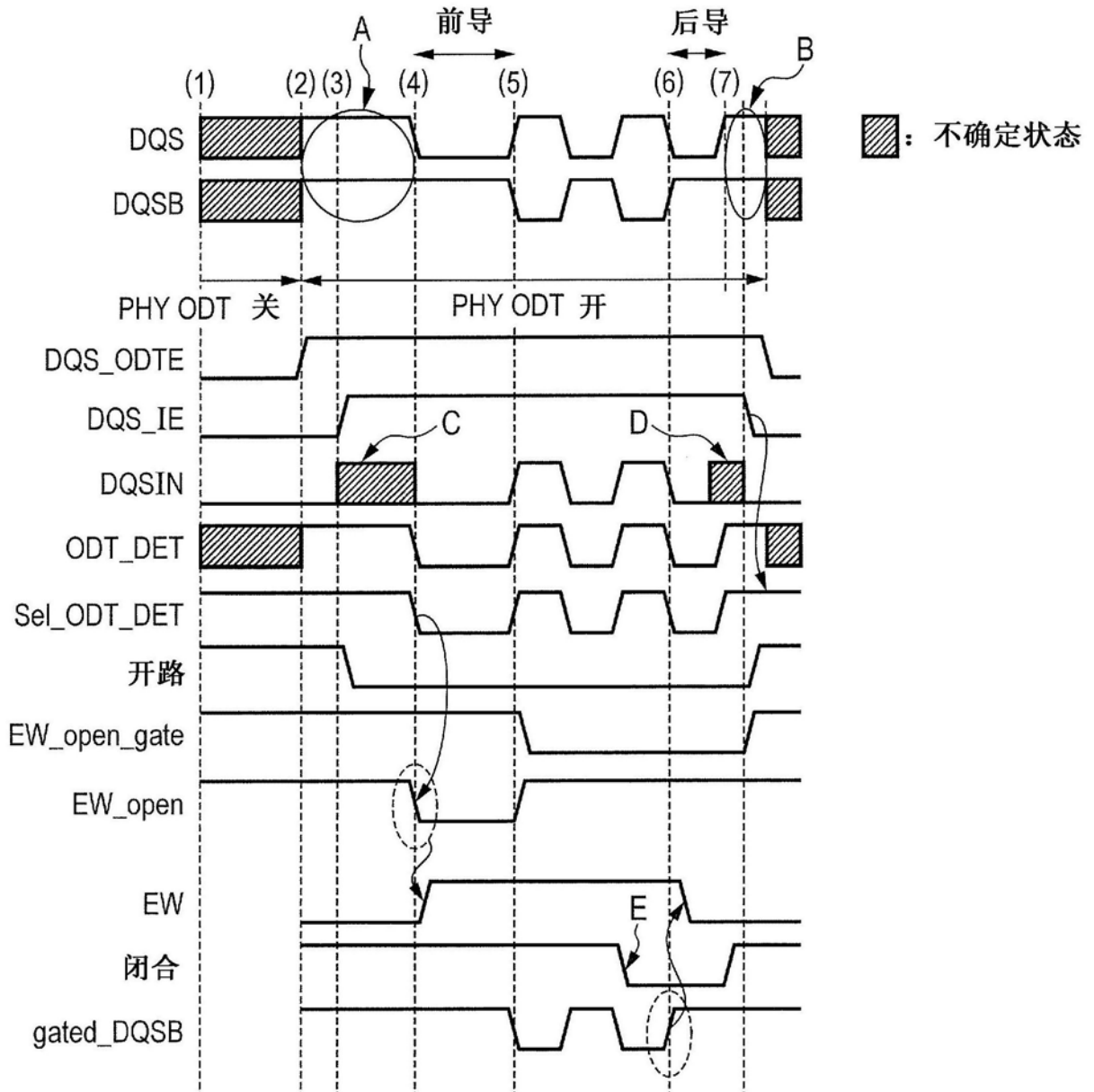


图6

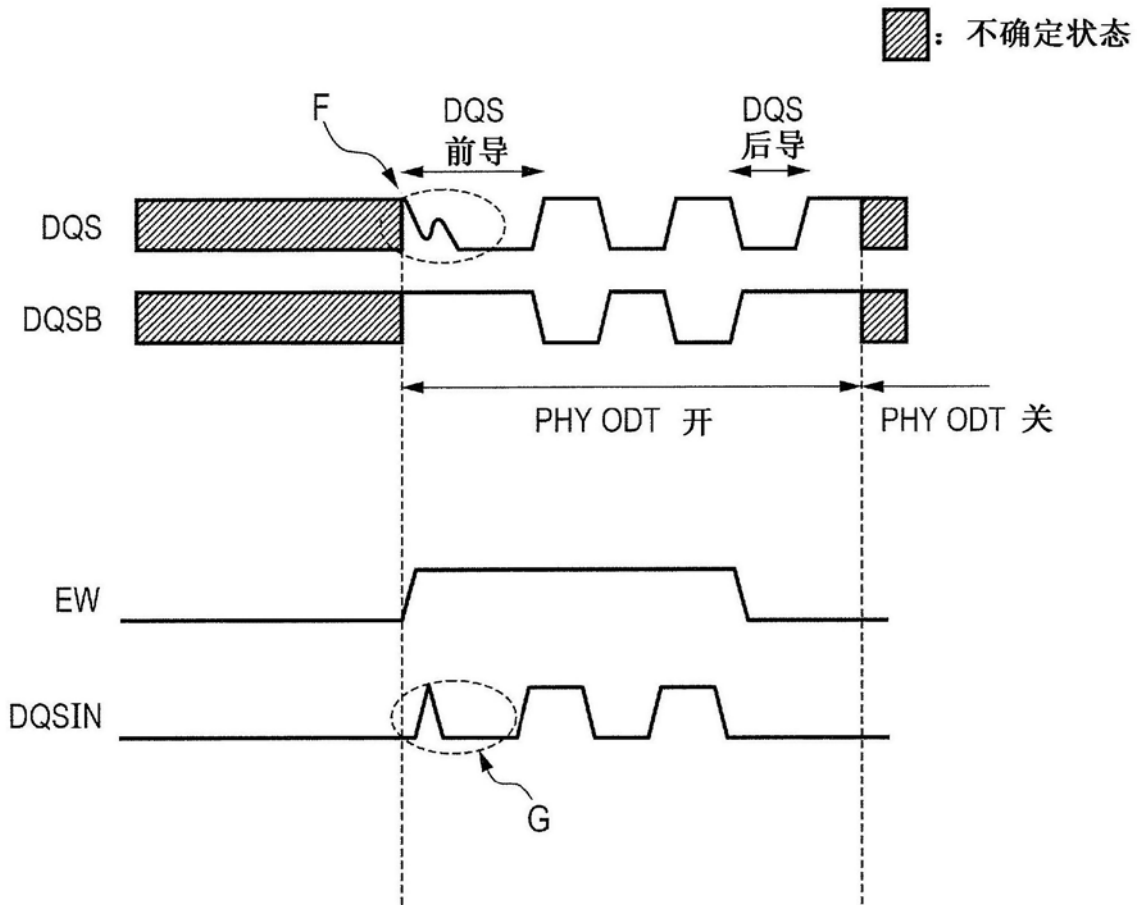


图7

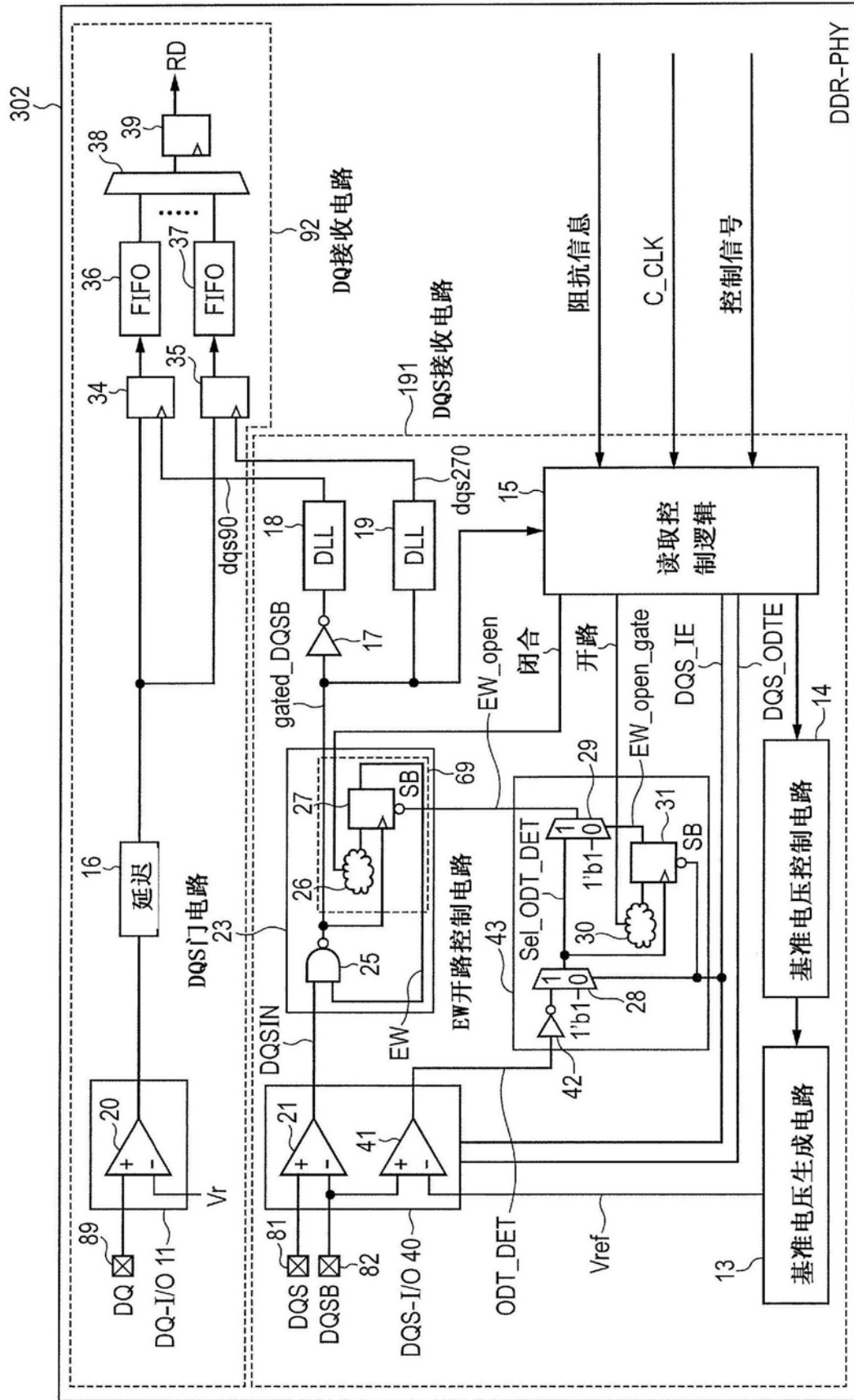


图8

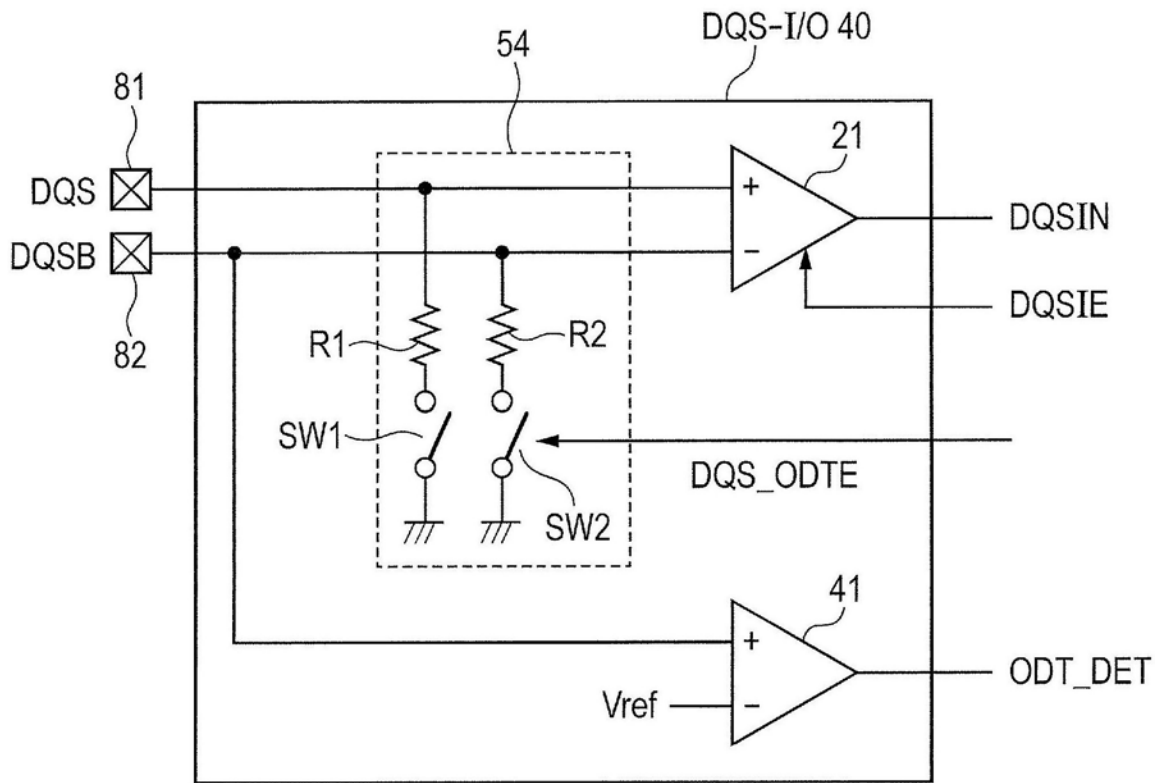


图9

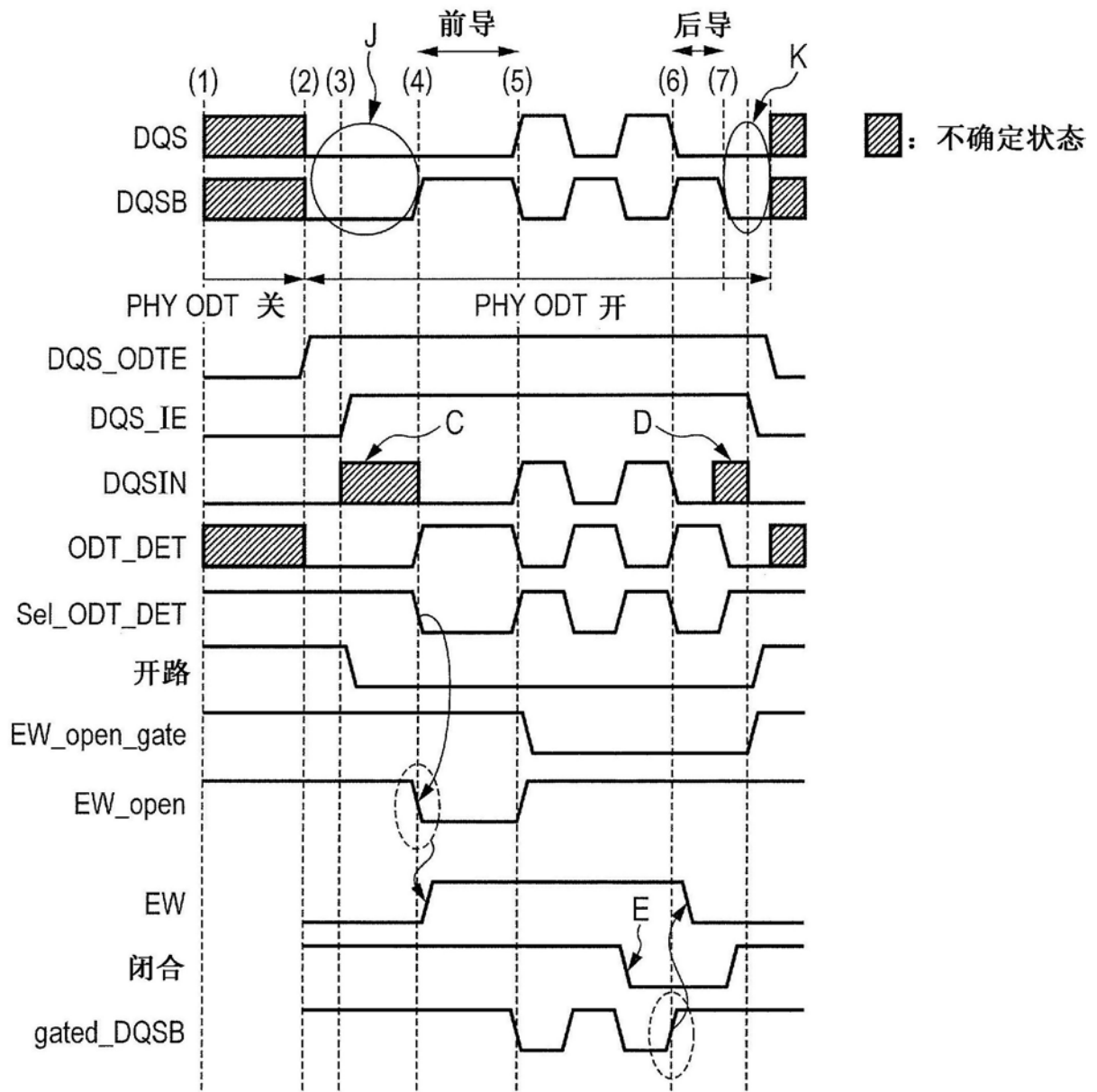


图10