

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 9 月 21 日 (21.09.2017)

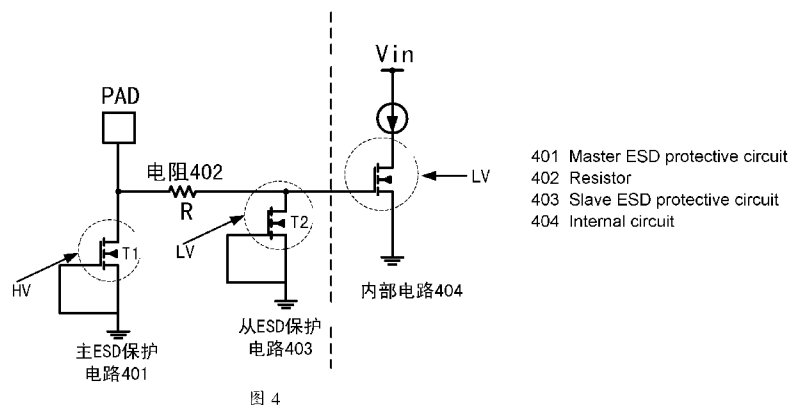


(10) 国际公布号
WO 2017/157117 A1

- (51) 国际专利分类号:
H02H 9/00 (2006.01)
- (21) 国际申请号: PCT/CN2017/073392
- (22) 国际申请日: 2017 年 2 月 13 日 (13.02.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610154495.2 2016 年 3 月 17 日 (17.03.2016) CN
- (71) 申请人: 电信科学技术研究院 (CHINA ACADEMY OF TELECOMMUNICATIONS TECHNOLOGY) [CN/CN]; 中国北京市海淀区学院路 40 号, Beijing 100191 (CN)。
- (72) 发明人: 安建宏 (AN, Jianhong); 中国北京市海淀区学院路 40 号, Beijing 100191 (CN)。
- (74) 代理人: 北京同达信恒知识产权代理有限公司 (TDIP & PARTNERS); 中国北京市海淀区知春路 7 号致真大厦 A1304-05 室, Beijing 100191 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。
- 本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: ELECTROSTATIC DISCHARGE (ESD) PROTECTIVE CIRCUIT FOR INTEGRATED CIRCUIT

(54) 发明名称: 一种应用于集成电路的静电放电 ESD 保护电路



(57) Abstract: An electrostatic discharge (ESD) protective circuit for an integrated circuit comprises a master ESD protective circuit (401), a resistor (402), and a slave ESD protective circuit (403). The master ESD protective circuit (401) at least comprises one high-voltage N-trench MOS transistor (T1). A gate, a source and a body of the high-voltage N-trench MOS transistor (T1) are grounded, and a drain of the high-voltage N-trench MOS transistor (T1) is connected to a pin pad of an integrated circuit. The slave ESD protective circuit (403) at least comprises one low-voltage N-trench MOS transistor (T2). A gate, a source and a body of the low-voltage N-trench MOS transistor (T2) are grounded, and a drain of the low-voltage N-trench MOS transistor (T2) is connected to the drain of the high-voltage N-trench MOS transistor (T1) by means of the resistor (402), and is connected to a protected circuit (404) in the integrated circuit. By means of the electrostatic discharge (ESD) protective circuit, an ESD protective circuit having a small leaked current can be implemented, thereby reducing power consumption of a system.

(57) 摘要:

[见续页]



一种应用于集成电路的静电放电 ESD 保护电路，包括：主 ESD 保护电路(401)、电阻(402)和从 ESD 保护电路(403)；主 ESD 保护电路(401)中至少包括一个高压 N 沟道 MOS 管(T1)，该高压 N 沟道 MOS 管(T1)的栅极、源极和体端连接到地，该高压 N 沟道 MOS 管(T1)的漏极连接集成电路芯片的引脚焊盘 PAD；从 ESD 保护电路(403)中至少包括一个低压 N 沟道 MOS 晶体管(T2)，该低压 N 沟道 MOS 管(T2)的栅极、源极和体端连接到地，该低压 N 沟道 MOS 管(T2)的漏极通过所述电阻(402)连接到高压 N 沟道 MOS 管(T1)的漏极，并连接到集成电路芯片内部被保护的电路(404)。该静电放电 ESD 保护电路能够实现一种漏电电流较小的 ESD 保护电路，降低系统功耗。

一种应用于集成电路的静电放电 ESD 保护电路

本申请要求在 2016 年 3 月 17 日提交中国专利局、申请号为 201610154495.2、申请名称为“一种应用于集成电路的静电放电 ESD 保护电路”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及电子电路领域，尤其涉及一种应用于集成电路的静电放电 ESD 保护电路。

背景技术

ESD (Electrostatic Discharge, 静电放电) 是当今集成电路中最重要的可靠性问题之一。ESD 现象主要能对电子器件造成以下的损坏: 在半导体器件中由于介质击穿而导致氧化物薄膜破裂; 由于 EOS (Electrical Overstress, 电气过应力) 引起过热导致金属导线熔化; 由于寄生的 PNP 结构而导致 CMOS (Complementary Metal-Oxide-Semiconductor, 互补金属氧化物半导体) 器件闭锁; 使元器件结构中产生潜藏的缺陷, 它们并不立即失效, 但会引起断续的故障以及长期可靠性问题, 这种损伤非常微弱, 不易发现, 即潜在损伤。集成电路工业由 ESD 导致的损失是一个非常严重的问题。ESD 造成的失效机理主要热击穿和电击穿。

ESD 保护电路的作用是: 当 ESD 脉冲出现后, 能提供一条低阻抗的放电通路, 并能够将电压钳位在一定水平。该通路对 ESD 脉冲的开启速度快于内部电路, 对正常工作影响较小, 包括较小漏电流、寄生、栓锁等。ESD 保护电路在集成电路设计中一般设计在芯片引脚焊盘 PAD 旁, 用以保护芯片的内部电路。通常用一个或多个器件构成 ESD 保护电路, 用来构成 ESD 保护电路的器件有很多种, MOS 管 (Metal-Oxide-Semiconductor Field-Effect Transistor, 金属氧化物半导体场效应管) 就是其中一种, 包括 NMOS 管 (N-Channel MOS, N 沟道 MOS 管) 和 PMOS 管 (P-Channel MOS, P 沟道 MOS 管)。图 1 (a) 和图 1 (b) 分别示出了 NMOS 管的结构和电流电压特性, 主要利用 NMOS 管的瞬间崩溃 (Snapback) 效应来钳位瞬间高压和进行分流的, 如图 1 (a) 所示, NMOS 管内部有一个横向寄生 n-p-n 晶体管, 即由源极 Source、P 型衬底 p-substrate 和漏极 Drain 形成的, 图 1 (b) 中的 E (V1, I1) 坐标点即为该寄生晶体管开启时的电压电流, 在 ESD 发生时, 该寄生 n-p-n 晶体管触发导通, ESD 放出的静电电荷则能够通过该器件泄放到地, 此时该器件两端的电压回落至 V_{hold} , 使得被保护器件两端电压被限制在 V_{hold} , 即钳位电压为 V_{hold} 。

一个好的 ESD 保护电路应该能够可以抵抗多次 ESD 事件; 还应该具有足够快的开启

速度以及低的开启电阻，以保证在 ESD 事件发生时，能够快速将电压钳位，使得相应的被保护电路不受损伤。保护电路还应该具有独立性，在被保护电路工作时，保护电路应该是高阻状态，不影响被保护内部电路的正常工作，尤其在低功耗系统应用中，如低功耗晶振解决方案，对 ESD 保护电路漏电要求比较高，要求漏电很小。

因此，如何实现一种漏电电流较小的 ESD 保护电路，从而降低系统功耗，满足低功耗系统的要求，是业界所亟待研究和解决的问题。

发明内容

本申请实施例提供一种应用于集成电路的静电放电 ESD 保护电路，用以实现一种漏电电流较小的 ESD 保护电路，降低系统功耗。

本申请的一个实施例提供的一种应用于集成电路的静电放电 ESD 保护电路，包括：主 ESD 保护电路、电阻和从 ESD 保护电路。

所述主 ESD 保护电路中至少包括高压 N 沟道金属氧化物半导体场效应 MOS 管，所述高压 N 沟道 MOS 管的栅极、源极和体端连接到地，所述高压 N 沟道 MOS 管的漏极连接集成电路的引脚焊盘 PAD。

所述从 ESD 保护电路中至少包括低压 N 沟道 MOS 晶体管，所述低压 N 沟道 MOS 管的栅极、源极和体端连接到地，所述低压 N 沟道 MOS 管的漏极通过所述电阻连接到所述高压 N 沟道 MOS 管的漏极，并连接到所述集成电路内部被保护的电路。

本申请的一些实施例中，高压 N 沟道 MOS 管的工作电压高于或等于 5V。

本申请的一些实施例中，低压 N 沟道 MOS 管的工作电压低于或等于 1.8V。

本申请的一些实施例中，高压 N 沟道 MOS 管为高压 N 沟道增强型 MOS 管；低压 N 沟道 MOS 管为低压 N 沟道增强型 MOS 管。

本申请的一些实施例中，主 ESD 保护电路中还包括高压 P 沟道 MOS 管，所述高压 P 沟道 MOS 管的栅极、源极和体端连接到电源正极，所述高压 P 沟道 MOS 管的漏极连接到所述高压 N 沟道 MOS 管的漏极。

本申请的一些实施例中，从 ESD 保护电路中还包括低压 P 沟道 MOS 管，所述低压 P 沟道 MOS 管的栅极、源极和体端连接到电源正极，所述低压 P 沟道 MOS 管的漏极连接到所述低压 N 沟道 MOS 管的漏极。

本申请的一些实施例中，电阻为阻值量级在百 K 欧姆范围内的限流电阻。

本申请的一些实施例中，限流电阻为多晶硅电阻或扩散电阻。

本申请的一些实施例中，高压 N 沟道 MOS 管的栅极与地之间还串联有电阻。

可以看到,本申请实施例所提供的一种应用于集成电路的ESD保护电路,包括有两级ESD保护电路,并在主ESD保护电路中采用的是高压NMOS管,从而能够利用高压NMOS管的电气特性,实现较小的漏电电流,达到降低系统功耗的效果,从而能够更好地满足低功耗系统的应用要求。

附图说明

为了更清楚地说明本申请实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简要介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域的普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

图1(a)为NMOS管的结构示意图;

图1(b)为NMOS管的电流电压特性示意图;

图2为背景技术中一种ESD保护电路的结构示意图;

图3为背景技术中又一种ESD保护电路的结构示意图;

图4为本申请的一些实施例提供的一种应用于集成电路的ESD保护电路的结构示意图;

图5为本申请的又一些实施例提供的一种应用于集成电路的ESD保护电路的结构示意图;

图6为本申请的又一些实施例提供的一种应用于集成电路的ESD保护电路的结构示意图;

图7为本申请的又一些实施例提供的一种应用于集成电路的ESD保护电路的结构示意图。

具体实施方式

为了使本申请的目的、技术方案和优点更加清楚,下面将结合附图对本申请作进一步地详细描述,显然,所描述的实施例仅仅是本申请一部份实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例,都属于本申请保护的范围。

随着IC(Integrated Circuit,集成电路)设计和制造技术的发展,ESD对集成电路的影响也越来越大。常用的ESD保护器件有电阻、二极管、双极性晶体管、MOS管、SCR(Silicon Controlled Rectifier,可控硅晶闸管)等。由于MOS管与CMOS工艺兼容性好,通常采用

MOS 管构造保护电路。

对于低压或低功耗系统的集成电路设计,图 2 示出了现有技术中常用的一种 ESD 保护电路,该保护电路包括两级 ESD 保护电路(主 ESD201 和从 ESD203)以及限流电阻 R_{0202} 。其中,主 ESD201 用于在发生 ESD 事件时泄放大部分静电电流,从 ESD203 用于钳位电压以及进一步泄放静电电流,电阻 R_{0202} 用于限流。由于低压或低功耗系统往往采用低压电子元器件来构造集成电路,即如图 2 所示的,受保护的内部电路 204 中与该 ESD 保护电路相连接的内部 MOS 管为低压(LV)MOS 管,比如工作电压为 1.2V 或 1.8V 的低压 MOS 管,因此为了配合内部电路的工作电压,应用在低压或低功耗系统中的 ESD 保护电路也采用工作电压低的电子元器件构成。

具体如图 2 所示,主 ESD201 和从 ESD203 均由低压(LV)gg-NMOS 管(grounded-gate NMOS,栅极接地 NMOS 管)构成,比如工作电压为 1.2V 或 1.8V 的低压 MOS 管。其中,主 ESD201 的低压 gg-NMOS 管的漏极端(Drain)连接至 PAD,即集成电路的引脚焊盘,栅极端(Gate)以及源极端(Source)和体端(p-substrate)接地;从 ESD203 的低压 gg-NMOS 管的漏极端通过电阻 R_{0202} 连接至 PAD,栅极端以及源极端和体端接地;从 ESD203 的低压 gg-NMOS 管的漏极端连接至内部电路 204,如图 2 所示的连接到内部电路 204 的低压 MOS 管的栅极。在如图 2 所示的 ESD 电路结构中, R_{0202} 的阻值一般取几 K 欧姆。通过利用 gg-NMOS 管内寄生的 n-p-p 三极管,形成一个低阻抗的放电通路,当在 PAD 上施加 ESD 脉冲时,低压 gg-NMOS 管被触发,内部的寄生 n-p-n 晶体管开启,对 ESD 电流进行旁路,从而实现对内部电路 204 的保护。

图 3 示出了现有技术中的又一种较为常见的 ESD 保护电路,与图 2 所示的 ESD 保护电路类似的,图 3 所示的 ESD 保护电路也包括两级 ESD 保护电路(主 ESD301 和从 ESD303)以及限流电阻 R_{1302} ,区别在于图 3 所示的 ESD 保护电路中的主 ESD301 和从 ESD303 均分别包括一个低压(LV)gg-NMOS 管和一个低压(LV)gc-PMOS 管(grounded-coupled PMOS,栅接电源 PMOS 管),可以看到,如图 3 所示的 ESD 保护电路为在图 2 所示的 ESD 保护电路的基础上,主 ESD301 进一步包括一个低压 gc-PMOS 管,其漏极端连接至 PAD,栅极端以及源极端和体端(n-substrate)连接到电源正极,从 ESD303 进一步包括一个低压 gc-PMOS 管,其漏极端通过电阻 R_{1302} 连接至 PAD,栅极端以及源极端和体端连接到电源正极,其原理也是利用 MOS 管,包括 NMOS 管和 PMOS 管,在漏极端电压达到一定值时, NMOS 管内部的寄生 n-p-n 晶体管以及 PMOS 管内部的寄生 p-n-p 晶体管开启,对 ESD 电流进行旁路,实现对内部电路的保护。

尽管如图 2 或图 3 所示的背景技术中常用的 ESD 保护电路具有钳位电压低和低开启电

阻的优点,但其在低压低功耗系统中的应用仍然存在有较大的缺点,即 ESD 保护电路的低压 MOS 管的漏电流会比较大,对内部电路影响很大,往往不能够很好的满足低压或低功耗系统的应用要求,比如低功耗晶振解决方案对 ESD 保护电路漏电要求就很高,要求漏电很小。

为了克服现有 ESD 保护电路的上述缺陷,提供一种能够更好满足低功耗系统应用要求的 ESD 保护技术方案,本申请实施例提出一种 ESD 保护电路,该 ESD 保护电路应用于集成电路中,能够实现较小的漏电流,从而达到降低系统功耗的效果。

下面结合附图对本申请实施例进行详细描述。

图 4 示出了本申请实施例提供的一种应用于集成电路的静电放电 ESD 保护电路的示意图,该 ESD 保护电路包括:主 ESD 保护电路 401、电阻 402 和从 ESD 保护电路 403。图 4 中还示出了该 ESD 保护电路用以保护的内部电路与该 ESD 保护电路连接的部分,该内部电路 404 可以是低压或低功耗系统中的集成电路的部分,因此所采用的电子元器件为低压电子元器件,即图 4 所示的内部电路 404 通过一个低压 NMOS 管的栅极连接到电阻 402,该低压 NMOS 管的源极接地,应当理解的是,图 4 所示的内部电路部分以及其与 ESD 保护电路连接的结构仅是一种常用的连接情况的示意,本申请实施例所提供的 ESD 保护电路在应用中并不限于如图 4 所示的内部电路以及如图 4 所示的连接情况,被保护的电路以及其与本申请实施例所提供的 ESD 保护电路的连接可以有多种情况,本申请对此不作具体限定。

如图 4 所示,主 ESD 保护电路 401 中至少包括高压 N 沟道 MOS 管,即图 4 所示的高压 (HV) NMOS 管 T1。该高压 N 沟道 MOS 管 T1 的栅极、源极和体端连接到地,该高压 N 沟道 MOS 管 T1 的漏极连接集成电路的引脚焊盘 PAD。

其中,引脚焊盘 PAD 是 PCB (Printed Circuit Board, 印刷电路板) 中的焊盘,一般可以用于设置 IC 芯片引脚、导线、连通点等,在 PCB 实际应用中,PCB 中的 PAD 根据所连接的工作电路的不同情况用于输入或输出控制信号、电源、脉冲等,或者还用于连接到地,连接到电阻,悬空等。为了保护内部电路,ESD 保护电路一般设计在 PAD 旁。

比如以芯片为例,ESD 一般通过芯片的引脚焊盘 PAD 导入芯片内部,为了防止芯片受 ESD 损伤,应当能够保证芯片引脚焊盘 PAD 处可能发生的 ESD 都可以由低阻旁路释放,即芯片的 I/O (Input/Output, 输入输出) 电路中与 PAD 直接相连的器件需要建立 ESD 保护电路以提供 ESD 电流的低阻旁路,如 PAD 到地的低阻放电通路, PAD 到电源的低阻放电通路, PAD 到 PAD 的低阻放电通路等,就整个芯片来说,ESD 保护电路在芯片中应能够多次引用。

从ESD保护电路403中至少包括低压N沟道MOS晶体管，即图4所示的低压(LV)NMOS管T2。该低压N沟道MOS管T2的栅极、源极和体端连接到地，该低压N沟道MOS管T2的漏极通过电阻R402连接到高压N沟道MOS管T1的漏极，该低压N沟道MOS管T2的漏极还连接到集成电路内部被保护的电路，即图4所示的内部电路404。

在本申请的一些实施例中，主ESD保护电路401所采用的高压N沟道MOS管T1的工作电压高于或等于5V。具体可以根据该ESD保护电路用于保护的内部电路中电子元器件的工作电压来选择，比如对于内部电路中与该ESD保护电路连接的MOS管工作电压为1.2或1.8V，则可以选择工作电压为5V的NMOS管来构成主ESD保护电路。

在本申请的一些实施例中，从ESD保护电路403所采用的低压N沟道MOS管T2的工作电压低于或等于1.8V。具体可以根据该ESD保护电路用于保护的内部电路中电子元器件的工作电压来选择，比如对于内部电路中与该ESD保护电路连接的MOS管工作电压为1.2或1.8V，则可以选择工作电压为1.2V或者1.8V的NMOS管来构成从ESD保护电路。

本申请的一些优选实施例中，主ESD保护电路401所采用的高压NMOS管T1为高压N沟道增强型MOS管；从ESD保护电路403所采用的低压NMOS管T2为低压N沟道增强型MOS管。

可以看到，图4所示的本申请实施例所提供的ESD保护电路与如图2所示的现有技术中的一种ESD保护电路相比，在主ESD保护电路401中采用了高压NMOS管，从而能够利用高压NMOS管的电气特性，实现较小的漏电电流，从而达到降低系统功耗的效果。尽管理论上对从ESD保护电路403也可以采用高压NMOS管来构成，但是由于在制作工艺上，工作电压越高的MOS管的面积也越大，因此如果对主ESD保护电路401和从ESD保护电路403均采用高压MOS的方案，有悖于目前集成电路小型化的趋势，不利于生产制造。

由于主ESD保护电路401采用的是高压NMOS管，为了保护从ESD保护电路403所采用的低压NMOS以及内部电路404的低压NMOS管的栅氧层不被击穿，在本申请实施例所提供的ESD保护电路中所采用的电阻R402为阻值量级在百K欧姆范围内的限流电阻，比如阻值为400K欧姆至600K欧姆范围的电阻。在本申请的一些优选实施例中，电阻R402可以采用多晶硅(poly)电阻或扩散电阻等。

对于如图4所示的本申请实施例所提供的应用于集成电路的ESD保护电路，其基本构思还可以适应性应用到如图3所示的现有技术中的又一种常见的ESD保护电路，即本申请的又一些实施例所提供的应用于集成电路的ESD保护电路可以如图5所示。

如图 5 所示的, 主 ESD 保护电路 401 中还进一步地包括有高压 P 沟道 MOS 管, 即图 5 所示的高压 (HV) PMOS 管 T3。该高压 P 沟道 MOS 管 T3 的栅极、源极和体端连接到电源正极, 该高压 P 沟道 MOS 管 T3 的漏极连接到主 ESD 保护电路 401 中高压 N 沟道 MOS 管 T1 的漏极。

本申请的又一些实施例所提供的应用于集成电路的 ESD 保护电路也可以如图 6 所示。如图 6 所示的, 从 ESD 保护电路 403 中还进一步地包括有低压 P 沟道 MOS 管, 即图 6 所示的低压 (LV) PMOS 管 T4。该低压 P 沟道 MOS 管 T4 的栅极、源极和体端连接到电源正极, 该低压 P 沟道 MOS 管 T4 的漏极连接到从 ESD 保护电路 403 中低压 N 沟道 MOS 管 T2 的漏极。

本申请的又一些实施例所提供的应用于集成电路的 ESD 保护电路还可以如图 7 所示。如图 7 所示的电路综合了图 5 所示的主 ESD 保护电路 401 中进一步包括的高压 P 沟道 MOS 管, 即图 5 所示的高压 (HV) PMOS 管 T3, 以及如图 6 所示的从 ESD 保护电路 403 中进一步包括的低压 P 沟道 MOS 管, 即图 6 所示的低压 (LV) PMOS 管 T4。

具体地, 如图 4 所示的本申请实施例所提供的 ESD 保护电路中对所采用 NMOS 管工作电压的确定以及采用增强型 MOS 管的构思也同样适应于如图 5、图 6 以及图 7 所示的 ESD 保护电路中对 NMOS 管与 PMOS 管的选择。

此外, 为了使 ESD 发生时, ESD 电流分布更均匀, 提高 NMOS 管的防护能力, 在图 4 所示的高压 NMOS 管 T1 的栅极与地之间可以串联一个电阻 R_{gate} 。

对于集成电路设计, ESD 保护电路的目的就是要避免工作电路 (被保护的电路) 成为 ESD 的放电通路而遭到损害, 比如芯片设计, 应当保证在任意两芯片引脚之间在发生 ESD 事件时都有适合的低阻旁路 (ESD 保护电路) 将 ESD 电流泄放。因此, 与现有的 ESD 保护电路在实际应用中类似的, 本申请实施例所提供的 ESD 保护电路在实际的电路设计中, 在版图中一般设计在 PAD 旁, 从而保证在 ESD 发生时, 旁路 ESD 电流, 并立即有效地钳位电路电压, 其中从 ESD 保护电路在版图中应当尽量靠近被保护的内部电路, 以减小连线的电阻。在工艺制作上, 本申请实施例所提供的 ESD 保护电路可以与被保护的内部电路中能够的器件采用相同的工艺制作, 比如采用 BCD (Bipolar CMOS DMOS) 集成工艺技术。

综上所述, 本申请实施例所提供的应用于集成电路的 ESD 保护电路不仅能够继承现有技术中的 ESD 保护电路所具备的优点, 即可以通过主 ESD 保护电路泄放大部分的 ESD 电流以及通过从 ESD 保护电路钳位电压, 防止工作电路由于 ESD 而受损, 并能够在 ESD 发生时快速响应, 同时本申请实施例所提供的 ESD 保护电路由于在主 ESD 保护电路中采用了高压 MOS 管, 从而能够利用高压 MOS 管的电气特性, 实现较小的漏电电流, 克服现有

技术中的 ESD 保护电路漏电较大的缺陷，达到降低系统功耗的效果，进而能够更好地满足低压或低功耗系统的应用要求。

以上所描述的仅是本申请所提供的一种应用于集成电路的 ESD 保护电路的部分优选实施例。应当理解的是，本申请所提供的 ESD 保护电路并不局限于上述优选实施例，在集成电路设计中，本申请所提供的 ESD 保护电路能够结合实际的应用需求，产生多种电子元器件的选择情况和电路的实现情况。

尽管已描述了本申请的优选实施例，但本领域内的技术人员一旦得知了基本创造性概念，则可对这些实施例作出另外的变更和修改。所以，所附权利要求意欲解释为包括优选实施例以及落入本申请范围的所有变更和修改。

显然，本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的精神和范围。这样，倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内，则本申请也意图包含这些改动和变型在内。

权利要求

1、一种应用于集成电路的静电放电 ESD 保护电路，其特征在于，包括：主 ESD 保护电路、电阻和从 ESD 保护电路；

所述主 ESD 保护电路中至少包括高压 N 沟道金属氧化物半导体场效应 MOS 管，所述高压 N 沟道 MOS 管的栅极、源极和体端连接到地，所述高压 N 沟道 MOS 管的漏极连接集成电路的引脚焊盘 PAD；

所述从 ESD 保护电路中至少包括低压 N 沟道 MOS 晶体管，所述低压 N 沟道 MOS 管的栅极、源极和体端连接到地，所述低压 N 沟道 MOS 管的漏极通过所述电阻连接到所述高压 N 沟道 MOS 管的漏极，并连接到所述集成电路内部被保护的电路。

2、如权利要求 1 所述的 ESD 保护电路，其特征在于，所述高压 N 沟道 MOS 管的工作电压高于或等于 5V。

3、如权利要求 1 所述的 ESD 保护电路，其特征在于，所述低压 N 沟道 MOS 管的工作电压低于或等于 1.8V。

4、如权利要求 1 所述的 ESD 保护电路，其特征在于，所述高压 N 沟道 MOS 管为高压 N 沟道增强型 MOS 管；所述低压 N 沟道 MOS 管为低压 N 沟道增强型 MOS 管。

5、如权利要求 1 所述的 ESD 保护电路，其特征在于，所述主 ESD 保护电路中还包括高压 P 沟道 MOS 管，所述高压 P 沟道 MOS 管的栅极、源极和体端连接到电源正极，所述高压 P 沟道 MOS 管的漏极连接到所述高压 N 沟道 MOS 管的漏极。

6、如权利要求 1 所述的 ESD 保护电路，其特征在于，所述从 ESD 保护电路中还包括低压 P 沟道 MOS 管，所述低压 P 沟道 MOS 管的栅极、源极和体端连接到电源正极，所述低压 P 沟道 MOS 管的漏极连接到所述低压 N 沟道 MOS 管的漏极。

7、如权利要求 1 所述的 ESD 保护电路，其特征在于，所述电阻为阻值量级在百 K 欧姆范围内的限流电阻。

8、如权利要求 7 所述的 ESD 保护电路，其特征在于，所述限流电阻为多晶硅电阻或扩散电阻。

9、如权利要求 1 所述的 ESD 保护电路，其特征在于，所述高压 N 沟道 MOS 管的栅极与地之间还串联有电阻。

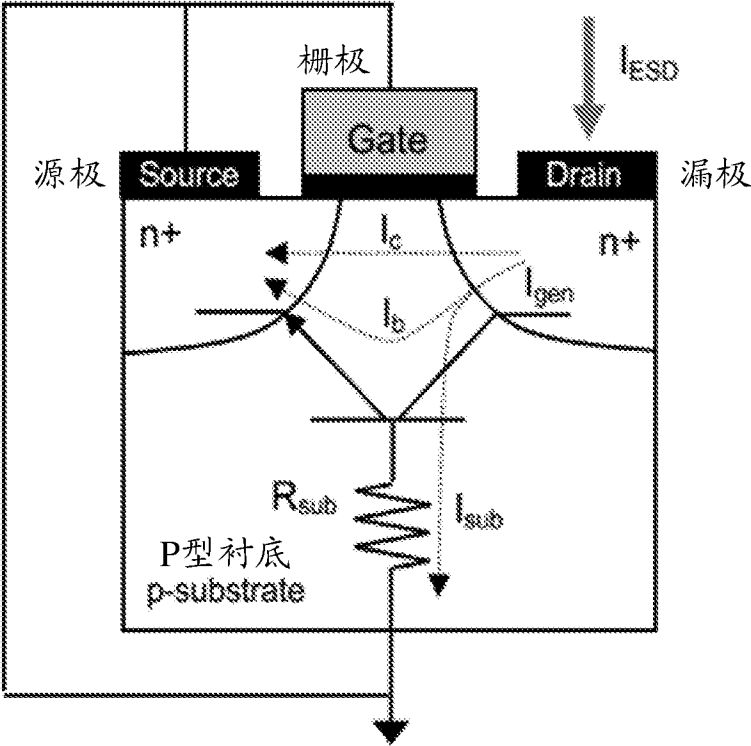


图 1 (a)

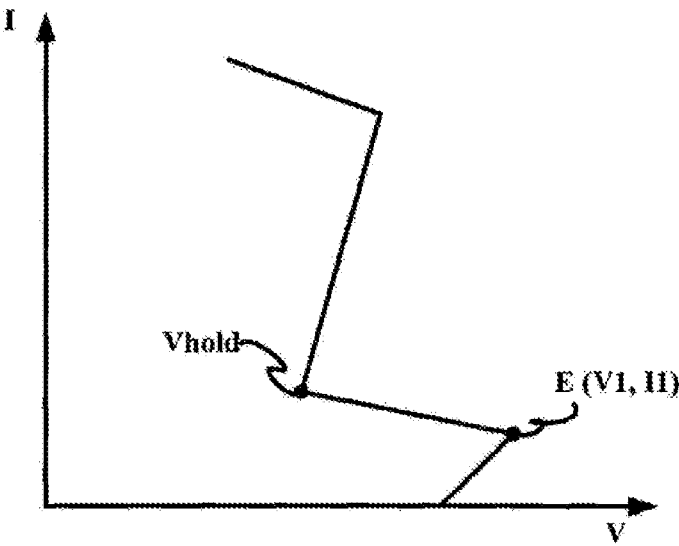


图 1 (b)

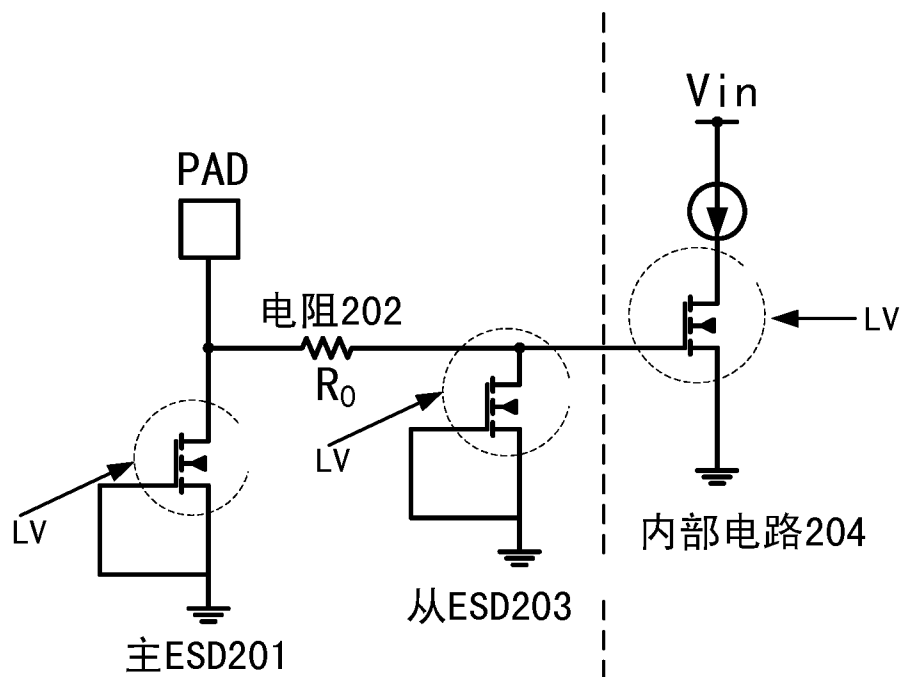


图 2

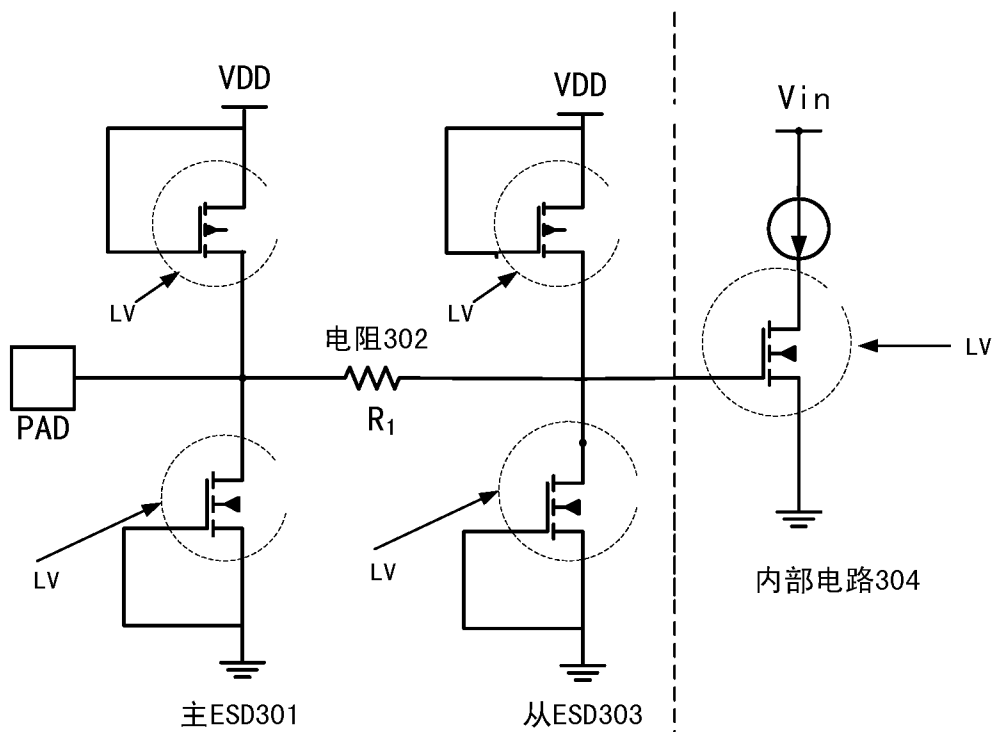


图 3

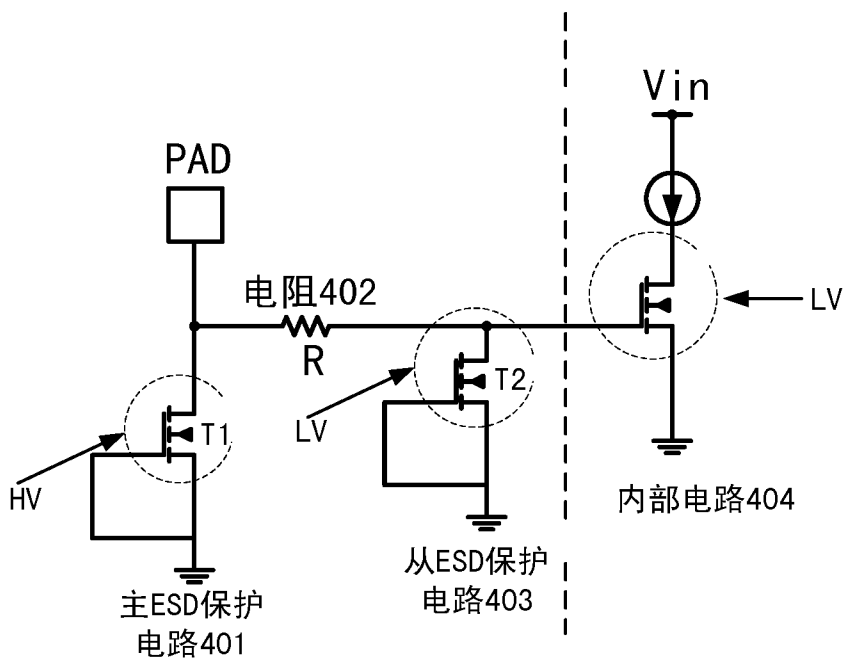


图 4

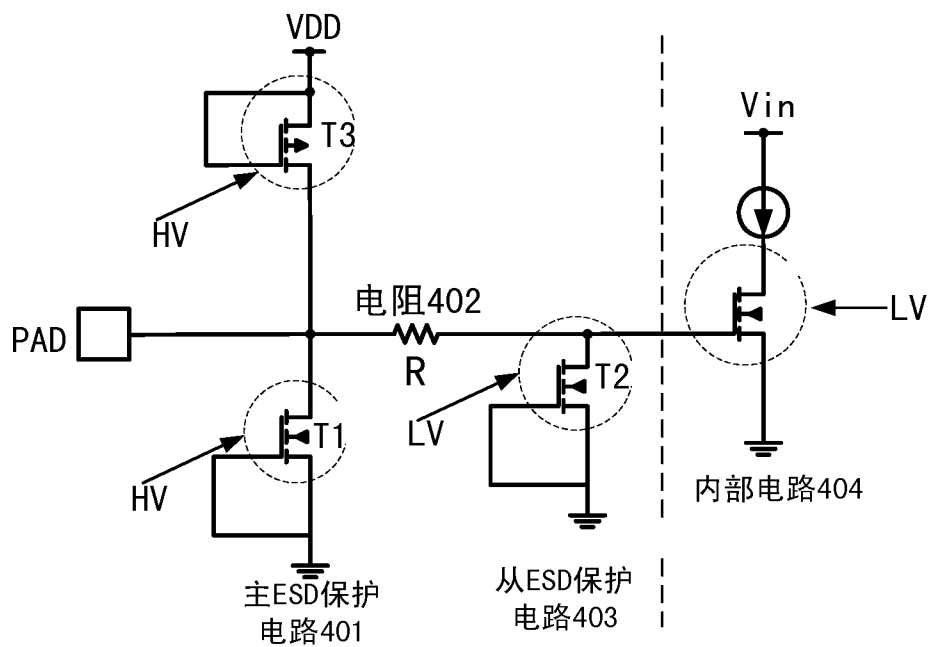


图 5

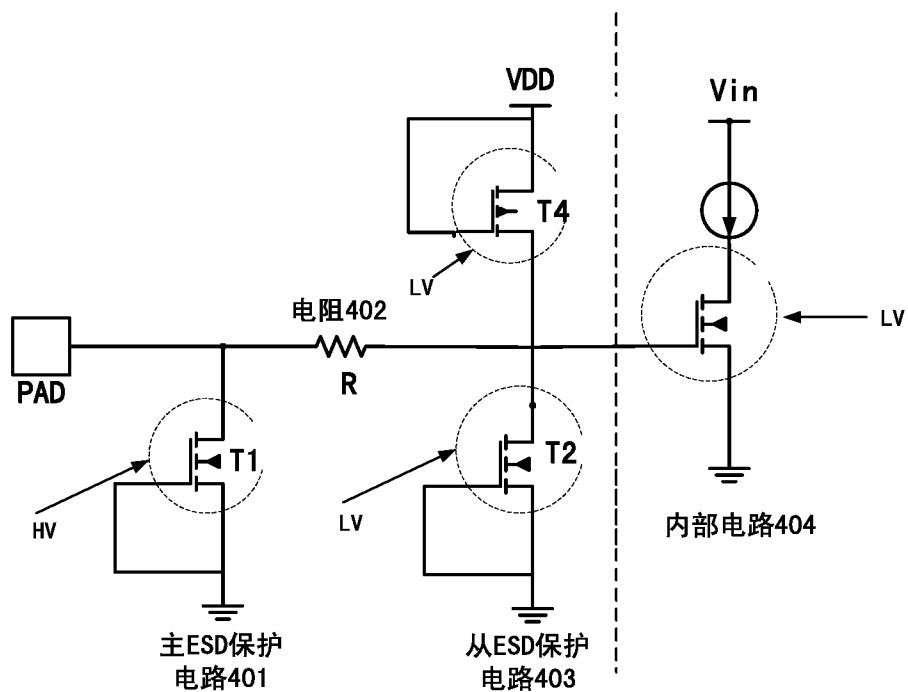


图 6

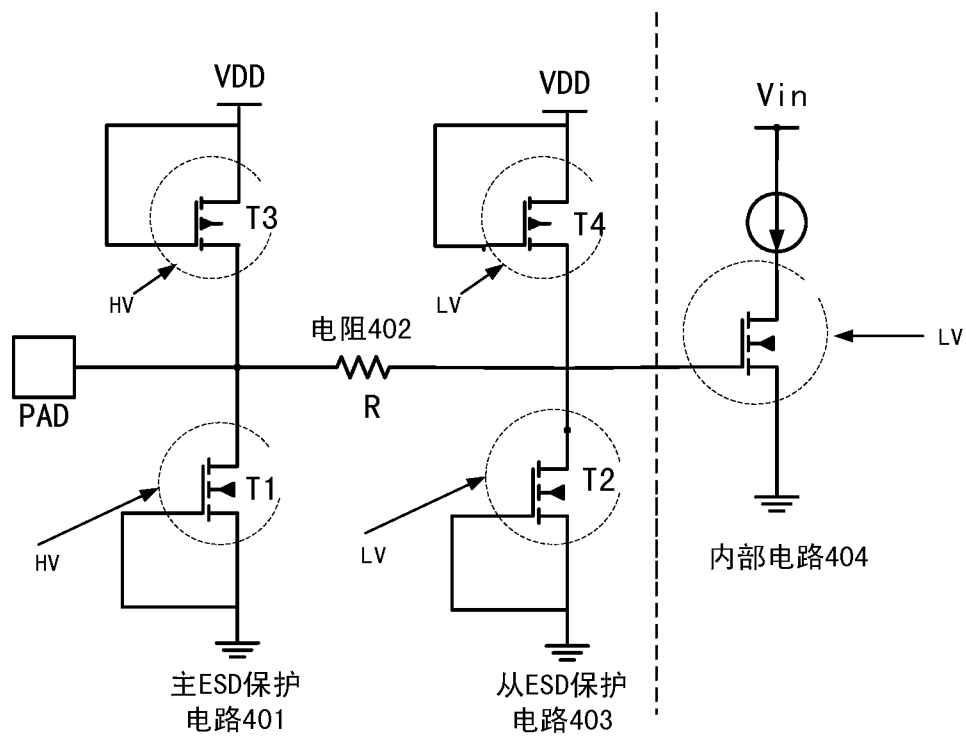


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/073392

A. CLASSIFICATION OF SUBJECT MATTER

H02H 9/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02H; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI: high voltage, hv, esd, electrostatic, discharge, circuit, mos, mosfet, nmos, pmos, transistor, operating voltage, electric leakage

WPI, EPODOC: high w voltage, esd, electro w static, discharg+, circuit, mos, mosfet, nmos, pmos, transistor, leak+, current

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103515939 A (TEXAS INSTRUMENTS DEUTSCHLAND GMBH), 15 January 2014 (15.01.2014), description, paragraphs [0004]-[0005], and figure 1	1-9
A	CN 101102040 A (SHANGHAI HUA HONG NEC ELECTRONICS CO., LTD.), 09 January 2008 (09.01.2008), the whole document	1-9
A	US 6351362 B1 (SEIKO INSTRUMENTS INC.), 26 February 2002 (26.02.2002), the whole document	1-9

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01 April 2017 (01.04.2017)	Date of mailing of the international search report 27 April 2017 (27.04.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LIU, Jing Telephone No.: (86-10) 62413952

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/073392

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103515939 A	15 January 2014	US 8830640 B2	09 September 2014
		US 2013342940 A1	26 December 2013
CN 101102040 A	09 January 2008	CN 100502193 C	17 June 2009
US 6351362 B1	26 February 2002	JP H11295684 A	29 October 1999
		JP 3140419 B2	05 March 2001

A. 主题的分类 H02H 9/00 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类														
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H02H; H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI: 高压, 高电压, hv, esd, 静电, 放电, 电路, mos, mosfet, nmos, pmos, 晶体管, 工作电压, 漏电 WPI, EPDOC: high w voltage, esd, electro w static, discharg+, circuit, mos, mosfet, nmos, pmos, transistor, leak +, current														
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103515939 A (德克萨斯仪器德国股份有限公司) 2014年 1月 15日 (2014 - 01 - 15) 说明书第[0004]-[0005]段, 附图1</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>CN 101102040 A (上海华虹NEC电子有限公司) 2008年 1月 9日 (2008 - 01 - 09) 全文</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>US 6351362 B1 (SEIKO INSTRUMENTS INC.) 2002年 2月 26日 (2002 - 02 - 26) 全文</td> <td>1-9</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103515939 A (德克萨斯仪器德国股份有限公司) 2014年 1月 15日 (2014 - 01 - 15) 说明书第[0004]-[0005]段, 附图1	1-9	A	CN 101102040 A (上海华虹NEC电子有限公司) 2008年 1月 9日 (2008 - 01 - 09) 全文	1-9	A	US 6351362 B1 (SEIKO INSTRUMENTS INC.) 2002年 2月 26日 (2002 - 02 - 26) 全文	1-9
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
X	CN 103515939 A (德克萨斯仪器德国股份有限公司) 2014年 1月 15日 (2014 - 01 - 15) 说明书第[0004]-[0005]段, 附图1	1-9												
A	CN 101102040 A (上海华虹NEC电子有限公司) 2008年 1月 9日 (2008 - 01 - 09) 全文	1-9												
A	US 6351362 B1 (SEIKO INSTRUMENTS INC.) 2002年 2月 26日 (2002 - 02 - 26) 全文	1-9												
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。														
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件														
国际检索实际完成的日期 2017年 4月 1日		国际检索报告邮寄日期 2017年 4月 27日												
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 刘婧 电话号码 (86-10) 62413952												

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/073392

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103515939	A	2014年 1月 15日	US	8830640	B2	2014年 9月 9日
				US	2013342940	A1	2013年 12月 26日
CN	101102040	A	2008年 1月 9日	CN	100502193	C	2009年 6月 17日
US	6351362	B1	2002年 2月 26日	JP	H11295684	A	1999年 10月 29日
				JP	3140419	B2	2001年 3月 5日

表 PCT/ISA/210 (同族专利附件) (2009年7月)