



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0084755
(43) 공개일자 2025년06월11일

(51) 국제특허분류(Int. Cl.)
H03F 1/32 (2006.01) H01F 27/38 (2006.01)
H03F 3/193 (2006.01)
(52) CPC특허분류
H03F 1/3205 (2013.01)
H01F 27/385 (2013.01)
(21) 출원번호 10-2023-0173784
(22) 출원일자 2023년12월04일
심사청구일자 2023년12월04일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
김철영
대전광역시 서구 둔산로 155, 112동 1302호(둔산동, 크로바아파트)
김준형
세종특별자치시 다정북로 109, 316동 803호 (다정동, 가온마을3단지)
백민석
대전광역시 유성구 대학로137번길 14 (궁동)
(74) 대리인
특허법인빛과소금

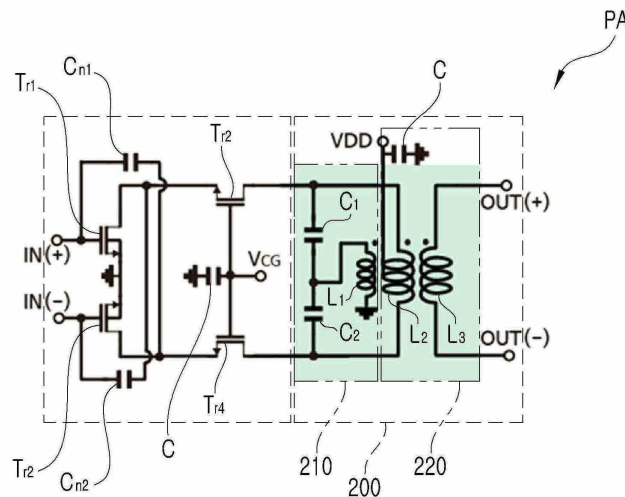
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 2차 고조파 억제를 위한 선형화기를 갖는 증폭기

(57) 요약

단일신호를 입력받아 차동신호로 변환하고, 변환된 차동신호를 증폭한 제1증폭신호를 생성하는 구동증폭단; 및 상기 구동증폭단의 후단에서 상기 구동증폭단이 생성한 상기 제1증폭신호를 전달받아 상기 제1증폭신호를 증폭한 제2증폭신호를 생성하는 전력증폭단; 을 포함하고, 상기 전력증폭단은, 상기 구동증폭단으로부터 전달된 상기 제1증폭신호를 증폭한 상기 제2증폭신호를 생성하는 증폭부; 및 상기 증폭부로부터 생성된 상기 제2증폭신호를 전달받아 상기 제2증폭신호를 필터링하여 출력하는 출력부; 를 포함하며, 상기 출력부는, 상기 증폭부로부터 증폭된 상기 제2증폭신호를 전달받아 상기 제2증폭신호 내 고조파를 제거한 필터링신호를 생성하는 선형화기; 및 상기 선형화기와 자기적으로 커플링됨으로써 상기 선형화기가 생성한 상기 필터링신호를 단일신호로 출력하는 출력발룬; 을 포함하는 것을 특징으로 하는 고조파 억제를 위한 선형화기를 갖는 증폭기를 제공한다.

대표도 - 도3



(52) CPC특허분류

H03F 3/193 (2013.01)

H03F 2200/09 (2013.01)

H03F 2200/267 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345370812
과제번호	2021RIS-004
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	지자체대학협력기반지역혁신사업
연구과제명	(대전세종충남지역혁신플랫폼)충남대학교
기 여 율	1/1
과제수행기관명	(대전세종충남지역혁신플랫폼)충남대학교
연구기간	2023.04.01 ~ 2024.02.29

명세서

청구범위

청구항 1

단일신호를 입력받아 차동신호로 변환하고, 변환된 차동신호를 증폭한 제1증폭신호를 생성하는 구동증폭단; 및
상기 구동증폭단의 후단에서 상기 구동증폭단이 생성한 상기 제1증폭신호를 전달받아 상기 제1증폭신호를 증폭한 제2증폭신호를 생성하는 전력증폭단; 을 포함하고,

상기 전력증폭단은,

상기 구동증폭단으로부터 전달된 상기 제1증폭신호를 증폭한 상기 제2증폭신호를 생성하는 증폭부; 및

상기 증폭부로부터 생성된 상기 제2증폭신호를 전달받아 상기 제2증폭신호를 필터링하여 출력하는 출력부; 를 포함하며,

상기 출력부는,

상기 증폭부로부터 증폭된 상기 제2증폭신호를 전달받아 상기 제2증폭신호 내 고조파를 제거한 필터링신호를 생성하는 선형화기; 및

상기 선형화기와 자기적으로 커플링됨으로써 상기 선형화기가 생성한 상기 필터링신호를 단일신호로 출력하는 출력발룬; 을 포함하는 것을 특징으로 하는

고조파 억제를 위한 선형화기를 갖는 증폭기.

청구항 2

제1항에 있어서,

상기 증폭부는, 상기 제1증폭신호가 입력되는 입력부로부터 상기 필터링신호가 출력되는 출력부의 신호전달 경로인 제1전송경로와 제2전송경로에 전기적으로 연결되어 상기 입력부로부터 입력된 상기 제1증폭신호를 증폭한 상기 제2증폭신호를 상기 출력부로 전달하며,

상기 증폭부는,

상기 제1전송경로에 배치되되, 게이트단으로 신호를 입력받고 소스단이 접지되는 제1트랜지스터; 및

상기 제1전송경로에 배치되되, 소스단이 상기 제1트랜지스터의 드레인단으로부터 신호를 입력받고 게이트단이 접지되는 제2트랜지스터;

상기 제2전송경로에 배치되되, 게이트단으로 신호를 입력받고 소스단이 접지되는 제3트랜지스터; 및

상기 제2전송경로에 배치되되, 소스단이 상기 제3트랜지스터의 드레인단으로부터 신호를 입력받고 게이트단이 접지되는 제4트랜지스터;를 포함하고,

상기 제1트랜지스터와 상기 제3트랜지스터는 게이트단으로 신호를 입력받고, 소스단이 접지되는 공통소스구조로 마련되며,

상기 제2트랜지스터와 제4트랜지스터는 소스단으로 신호를 입력받고, 게이트단이 접지되는 공통게이트구조로 마련되는 것을 특징으로 하는

고조파 억제를 위한 선형화기를 갖는 증폭기.

청구항 3

제2항에 있어서,
 상기 선형화기는,
 일단이 상기 제1전송경로에 연결되는 제1커패시터;
 일단이 상기 제1커패시터와 연결되고, 타단이 상기 제2전송경로에 연결되는 제2커패시터;
 일단이 상기 제1커패시터의 타단 및 상기 제2커패시터의 일단 간의 접점에 연결되고, 타단이 접지되는 제1인덕터;를 포함하는 것을 특징으로 하는
 상기 선형화기는 상기 제2증폭신호에 포함된 2차 고조파를 제거하기 위한 고역통과필터로 동작하는 것을 특징으로 하는
 고조파 억제를 위한 선형화기를 갖는 증폭기.

청구항 4

제3항에 있어서,
 상기 출력발룬은,
 양단이 각각 상기 제1전송경로 및 상기 제2전송경로에 연결되되, 상기 제1인덕터와 커플링됨으로써 상기 필터링 신호를 전달받는 제2인덕터; 및
 상기 제2인덕터와 커플링됨으로써 차동신호인 상기 필터링신호를 단일신호로 출력하는 제3인덕터;를 포함하는 것을 특징으로 하는
 고조파 억제를 위한 선형화기를 갖는 증폭기.

청구항 5

제4항에 있어서,
 상기 제1인덕터와 제2인덕터는 가극성의 상호 인덕턴스를 형성하는 것을 특징으로 하는
 고조파 억제를 위한 선형화기를 갖는 증폭기.

청구항 6

제5항에 있어서,
 상기 출력부는 단일 칩 내 집적되어 형성되되, 상기 출력부를 구성하는 상기한 제1인덕터, 제2인덕터 및 제3인덕터 각각이 상하 적층된 3차원 적층 구조로 마련되고,
 상기 출력부는,
 상기 제1인덕터를 구현하기 위해 제1층에 마련되는 제1권선;
 상기 제2인덕터를 구현하기 위해 제2층에 마련되는 제2권선; 및
 상기 제3인덕터를 구현하기 위해 제3층에 마련되는 제3권선;을 포함하고,
 상기 제1권선, 상기 제2권선 및 상기 제3권선 각각은 이웃한 권선과 수직적으로 자기 결합되는 것을 특징으로 하는
 고조파 억제를 위한 선형화기를 갖는 증폭기.

청구항 7

제6항에 있어서,
상기 제2권선은 탑 메탈 레이어로 마련되는 것을 특징으로 하는
고조파 억제를 위한 선형화기를 갖는 증폭기.

청구항 8

제7항에 있어서,
상기 제1권선은 상기 제2권선과 상이한 메탈 레이어로 마련되는 것을 특징으로 하는
고조파 억제를 위한 선형화기를 갖는 증폭기.

청구항 9

제8항에 있어서,
상기 제1권선은 일측으로 연장된 양단 중 일단을 통해 상기 제2증폭신호를 입력받고, 타단은 접지되며,
상기 제2권선은 일측으로 연장된 양단이 상기 증폭부와 전기적으로 연결되면서 상기 제1커패시터 및 상기 제2커패시터를 통해 상기 제1권선과 전기적으로 연결되고, 수직적으로 자기 결합된 상기 제1권선과 커플링됨으로써 상기 필터링신호를 입력받으며,
상기 제3권선은 타측으로 연장된 양단 중 일단을 통해 상기 제2권선으로부터 전달받은 상기 필터링신호를 단일신호로 출력하고, 타단은 접지되는 것을 특징으로 하는
고조파 억제를 위한 선형화기를 갖는 증폭기.

청구항 10

입력된 차동신호를 증폭한 증폭신호를 생성하는 증폭부; 및
상기 증폭부로부터 생성된 상기 증폭신호를 전달받아 상기 증폭신호를 필터링하여 출력하는 출력부; 를 포함하며,
상기 출력부는,
상기 증폭부로부터 증폭된 상기 증폭신호를 전달받아 상기 증폭신호 내 고조파를 제거한 필터링신호를 생성하는 선형화기; 및
상기 선형화기와 자기적으로 커플링됨으로써 상기 선형화기가 생성한 상기 필터링신호를 단일신호로 출력하는 출력발룬; 을 포함하는 것을 특징으로 하는
고조파 억제를 위한 선형화기를 갖는 증폭기.

청구항 11

제10항에 있어서,
상기 증폭부는, 상기 증폭신호가 입력되는 입력부로부터 상기 필터링신호가 출력되는 출력부의 신호전달 경로인 제1전송경로와 제2전송경로에 전기적으로 연결되어 상기 입력부로부터 입력된 상기 증폭신호를 증폭한 상기 증폭신호를 상기 출력부로 전달하며,
상기 선형화기는,
일단이 상기 제1전송경로에 연결되는 제1커패시터;

일단이 상기 제1커패시터와 연결되고, 타단이 상기 제2전송경로에 연결되는 제2커패시터; 및

일단이 상기 제1커패시터의 타단 및 상기 제2커패시터의 일단 간의 접점에 연결되고, 타단이 접지되는 제1인덕터;를 포함하고,

상기 출력발룬은,

양단이 각각 상기 제1전송경로 및 상기 제2전송경로에 연결되되, 상기 제1인덕터와 커플링됨으로써 상기 필터링 신호를 전달받는 제2인덕터; 및

상기 제2인덕터와 커플링됨으로써 차동신호인 상기 필터링신호를 단일신호로 출력하는 제3인덕터;를 포함하며,

상기 출력부는 단일 칩 내 집적되어 형성되되, 상기 출력부를 구성하는 상기한 제1인덕터, 제2인덕터 및 제3인덕터 각각이 상하 적층된 3차원 적층 구조로 마련되는 것을 특징으로 하는

고조파 억제를 위한 선형화기를 갖는 증폭기.

발명의 설명

기술 분야

[0001] 본 발명은 증폭기에 관한 것이다.

배경 기술

[0003] 위상배열시스템은 5G, 6G 통신 뿐만 아니라, 의학·항공·해상 항법·군사 작전·기상 예보를 포함한 광범위한 분야에서 이용된다. 이러한 위상배열시스템 안에는 무선통신용 초고주파 칩(Radio Frequency Integrated Circuit, 이하 ‘RFIC’라 통칭함)이 배열로 구성되어 있다.

[0004] RFIC에는 RF 전력증폭기(RFPA : RF Power Amplifier, 이하 ‘전력증폭기’라 함), 저잡음증폭기(LNA : Low Noise Amplifier), 믹서(Mixer), 발진기(Oscillators), RF 스위치(RF Switch) 및 RF 트랜시버(RF Transceiver) 등이 있다.

[0005] 이 중 전력증폭기는 RFIC의 송신 단에서 기능하여 입력받은 신호를 증폭시킴으로써 안테나 모듈이 정상적이고 충분한 세기를 가진 RF신호를 송출할 수 있도록 돕는 구성으로, 무선통신 품질에 상당한 영향을 준다.

[0006] 이러한 전력증폭기는 위상배열시스템의 전체 성능을 일정 수준 이상으로 유지하거나 향상시키기 위해 높은 변조 신호(OFDM, PAPR > 10 dB)에서 높은 선형출력파워를 가지면서도, 그 효율을 유지할 필요성이 있다.

[0007] 기존에 보고된 전력증폭기의 경우, 선형출력파워 및 효율 즉, 성능 향상을 위한 기술의 일환으로, 제2고조파(Second harmonic)를 억제하기 위한 선형화기를 포함한다.

[0008] 도1 내지 도2는 종래의 전력증폭기를 설명하기 위해 예시한 참조도이다.

[0009] 참고로, 도1은 입력과 출력 사이에 구동증폭단(DA)과 전력증폭단(PA)으로 구성된 전력증폭기를 간단히 예시한 것이며, 도2는 도1의 예시된 전력증폭기 중 종래 전력증폭단(PA)의 회로를 예시한 것이다.

[0010] 도2를 참고하면, 종래의 전력증폭기의 전력증폭단(PA)에는 높은 출력파워를 구현하기 위한 증폭부(11), 증폭부(11)에서 증폭된 증폭신호에서 제2고조파를 제거하기 위한 선형화부(12) 및 선형화부(12)에서 필터링된 신호를 안테나와 같은 타 구성으로 출력하기 위한 출력발룬(13)을 포함할 수 있다.

[0011] 이때, 선형화부(12)의 경우, 인덕터가 회로 크기에 상당한 영향을 미치기 때문에 두 개의 커패시터와 하나의 인덕터로 구성된 C-L-C 구조의 T-형 선형화기가 적용되는 것이 일반적이다.

[0012] 이러한 종래의 전력증폭기는 다음과 같은 문제점이 있었다.

[0013] 첫째, 증폭부(11)와 출력발룬(13) 사이에 선형화부(12)를 배치하게 되는데, 선형화부(12)를 구성하기 위한 구성들 중 셉트 인덕터(Ls)의 별도 배치공간이 요구되므로, 회로 크기는 증가하게 된다. 이러한 사이즈 이슈는 그 활용도를 제한할 뿐 아니라, 성능을 개선하더라도 칩 사이즈 확장에 따른 제작비용 상승이 수반될 수밖에 없었

다.

- [0014] 둘째, 증폭부(11)와 출력발룬(13) 사이의 불필요한 전송선로의 길이가 증가하게 된다. 전송선로의 길이가 증가할수록 저항성분이 증가할 수밖에 없다. 이러한 저항성분의 증가로 인한 영향으로 선형출력파워가 감소하게 되므로, 성능적인 면에서도 효율적이지 않다.

선행기술문헌

비특허문헌

- [0016] (비특허문헌 0001) B. Park et al., "Highly Linear mm-wave CMOS Power Amplifier", IEEE TMTT, vol. 64, no. 12, pp. 4535-4544, 2016.
- (비특허문헌 0002) H. Park et al., "A High Efficiency 39GHz CMOS Cascode Power Amplifier for 5G Applications", IEEE RFIC, pp. 179-182, 2019.

발명의 내용

해결하려는 과제

- [0017] 본 발명은 상술한 문제점을 해결하기 위한 것으로 우수한 성능을 담보하면서도 소형화하기 위한 고민으로부터 창출되었다.

과제의 해결 수단

- [0019] 이러한 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 고조파 억제를 위한 선형화기를 갖는 증폭기는, 단 일신호를 입력받아 차동신호로 변환하고, 변환된 차동신호를 증폭한 제1증폭신호를 생성하는 구동증폭단; 및 상기 구동증폭단의 후단에서 상기 구동증폭단이 생성한 상기 제1증폭신호를 전달받아 상기 제1증폭신호를 증폭한 제2증폭신호를 생성하는 전력증폭단; 을 포함하고, 상기 전력증폭단은, 상기 구동증폭단으로부터 전달된 상기 제1증폭신호를 증폭한 상기 제2증폭신호를 생성하는 증폭부; 및 상기 증폭부로부터 생성된 상기 제2증폭신호를 전달받아 상기 제2증폭신호를 필터링하여 출력하는 출력부; 를 포함하며, 상기 출력부는, 상기 증폭부로부터 증폭된 상기 제2증폭신호를 전달받아 상기 제2증폭신호 내 고조파를 제거한 필터링신호를 생성하는 선형화기; 및 상기 선형화기와 자기적으로 커플링됨으로써 상기 선형화기가 생성한 상기 필터링신호를 단일신호로 출력하는 출력발룬; 을 포함할 수 있다.
- [0020] 제1항에 있어서, 상기 증폭부는, 상기 제1증폭신호가 입력되는 입력부로부터 상기 필터링신호가 출력되는 출력부로의 신호전달 경로인 제1전송경로와 제2전송경로에 전기적으로 연결되어 상기 입력부로부터 입력된 상기 제1증폭신호를 증폭한 상기 제2증폭신호를 상기 출력부로 전달하며, 상기 증폭부는, 상기 제1전송경로에 배치되되, 게이트단으로 신호를 입력받고 소스단이 접지되는 제1트랜지스터; 및 상기 제1전송경로에 배치되되, 소스단이 상기 제1트랜지스터의 드레인단으로부터 신호를 입력받고 게이트단이 접지되는 제2트랜지스터; 상기 제2전송경로에 배치되되, 게이트단으로 신호를 입력받고 소스단이 접지되는 제3트랜지스터; 및 상기 제2전송경로에 배치되되, 소스단이 상기 제3트랜지스터의 드레인단으로부터 신호를 입력받고 게이트단이 접지되는 제4트랜지스터; 를 포함하고, 상기 제1트랜지스터와 상기 제3트랜지스터는 게이트단으로 신호를 입력받고, 소스단이 접지되는 공통소스구조로 마련되며, 상기 제2트랜지스터와 제4트랜지스터는 소스단으로 신호를 입력받고, 게이트단이 접지되는 공통게이트구조로 마련될 수 있다.
- [0021] 여기서, 상기 선형화기는, 일단이 상기 제1전송경로에 연결되는 제1커패시터; 일단이 상기 제1커패시터와 연결되고, 타단이 상기 제2전송경로에 연결되는 제2커패시터; 일단이 상기 제1커패시터의 타단 및 상기 제2커패시터의 일단 간의 접점에 연결되고, 타단이 접지되는 제1인덕터; 를 포함할 수 있다.
- [0022] 이때, 상기 선형화기는 상기 제2증폭신호에 포함된 2차 고조파를 제거하기 위한 고역통과필터로 동작할 수 있다.

- [0023] 그리고, 상기 출력발룬은, 양단이 각각 상기 제1전송경로 및 상기 제2전송경로에 연결되되, 상기 제1인덕터와 커플링됨으로써 상기 필터링신호를 전달받는 제2인덕터; 및 상기 제2인덕터와 커플링됨으로써 차동신호인 상기 필터링신호를 단일신호로 출력하는 제3인덕터;를 포함할 수 있다.
- [0024] 이때, 상기 제1인덕터와 제2인덕터는 가극성의 상호 인덕턴스를 형성할 수 있다.
- [0025] 그리고, 상기 출력부는 단일 칩 내 집적되어 형성되되, 상기 출력부를 구성하는 상기한 제1인덕터, 제2인덕터 및 제3인덕터 각각이 상하 적층된 3차원 적층 구조로 마련되고, 상기 출력부는, 상기 제1인덕터를 구현하기 위해 제1층에 마련되는 제1권선; 상기 제2인덕터를 구현하기 위해 제2층에 마련되는 제2권선; 및 상기 제3인덕터를 구현하기 위해 제3층에 마련되는 제3권선;을 포함하고, 상기 제1권선, 상기 제2권선 및 상기 제3권선 각각은 이웃한 권선과 수직적으로 자기 결합될 수 있다.
- [0026] 여기서, 상기 제2권선은 탑 메탈 레이어로 마련될 수 있다.
- [0027] 그리고, 상기 제1권선은 상기 제2권선과 상이한 메탈 레이어로 마련될 수 있다.
- [0028] 이때, 상기 제1권선은 일측으로 연장된 양단 중 일단을 통해 상기 제2증폭신호를 입력받고, 타단은 접지되며, 상기 제2권선은 일측으로 연장된 양단이 상기 증폭부와 전기적으로 연결되면서 상기 제1커패시터 및 상기 제2커패시터를 통해 상기 제1권선과 전기적으로 연결되고, 수직적으로 자기 결합된 상기 제1권선과 커플링됨으로써 상기 필터링신호를 입력받으며, 상기 제3권선은 타측으로 연장된 양단 중 일단을 통해 상기 제2권선으로부터 전달받은 상기 필터링신호를 단일신호로 출력하고, 타단은 접지될 수 있다.
- [0029] 한편, 또 다른 실시예에 따른 고조파 억제를 위한 선형화기를 갖는 증폭기는 입력된 차동신호를 증폭한 증폭신호를 생성하는 증폭부; 및 상기 증폭부로부터 생성된 상기 증폭신호를 전달받아 상기 증폭신호를 필터링하여 출력하는 출력부;를 포함하며, 상기 출력부는, 상기 증폭부로부터 증폭된 상기 증폭신호를 전달받아 상기 증폭신호 내 고조파를 제거한 필터링신호를 생성하는 선형화기; 및 상기 선형화기와 자기적으로 커플링됨으로써 상기 선형화기가 생성한 상기 필터링신호를 단일신호로 출력하는 출력발룬;을 포함할 수 있다. 이때, 상기 증폭부는, 상기 증폭신호가 입력되는 입력부로부터 상기 필터링신호가 출력되는 출력부의 신호전달 경로인 제1전송경로와 제2전송경로에 전기적으로 연결되어 상기 입력부로부터 입력된 상기 증폭신호를 증폭한 상기 증폭신호를 상기 출력부로 전달하며, 상기 선형화기는, 일단이 상기 제1전송경로에 연결되는 제1커패시터; 일단이 상기 제1커패시터와 연결되고, 타단이 상기 제2전송경로에 연결되는 제2커패시터; 및 일단이 상기 제1커패시터의 타단 및 상기 제2커패시터의 일단 간의 접점에 연결되고, 타단이 접지되는 제1인덕터;를 포함하고, 상기 출력발룬은, 양단이 각각 상기 제1전송경로 및 상기 제2전송경로에 연결되되, 상기 제1인덕터와 커플링됨으로써 상기 필터링신호를 전달받는 제2인덕터; 및 상기 제2인덕터와 커플링됨으로써 차동신호인 상기 필터링신호를 단일신호로 출력하는 제3인덕터;를 포함하며, 상기 출력부는 단일 칩 내 집적되어 형성되되, 상기 출력부를 구성하는 상기한 제1인덕터, 제2인덕터 및 제3인덕터 각각이 상하 적층된 3차원 적층 구조로 마련될 수 있다.

발명의 효과

- [0031] 이상에서 설명한 바와 같이 본 발명에 의하면, 다음과 같은 효과가 도출될 수 있다.
- [0032] 첫째, 간단한 회로 구조 변화를 통하여 기존 전력증폭기 대비 면적을 획기적으로 축소할 수 있어, 증폭기의 소형화에 기여할 수 있다.
- [0033] 둘째, 증폭기의 소형화가 가능하면서도 높은 효율과 선형출력파워를 얻을 수 있어, 우수한 성능을 담보할 수 있다.
- [0034] 셋째, 면적이 곧 비용으로 직결되는 반도체 분야에서 제작비용을 절감할 수 있다.
- [0035] 넷째, 본 발명이 제안하는 기술적 특징 즉, 선형화기와 출력발룬 간의 적층 구조는 전력증폭기뿐 아니라 차동신호를 이용하는 모든 증폭기에 활용 가능하므로 무선통신 및 레이저 산업 발전에 크게 기여할 수 있다.

[0036]

도면의 간단한 설명

- [0037] 도1 내지 도2는 종래의 전력증폭기를 설명하기 위해 도시한 것이다.

도3은 본 발명의 일 실시예에 따른 2차 고조파 억제를 위한 선형화기를 갖는 증폭기를 설명하기 위해 도시한 것이다.

도4a 내지 도4c는 도3에 예시된 출력부의 구현 구조를 설명하기 위해 도시한 것이다.

도5a 내지 도5b는 본 발명이 제안하는 증폭기의 효율성을 설명하기 위한 시뮬레이션 결과를 도시한 참고도이다.

발명을 실시하기 위한 구체적인 내용

- [0038] 본 발명의 바람직한 실시 예에 대하여 첨부된 도면을 참조하여 더 구체적으로 설명하되, 이미 주지되어진 기술적 부분에 대해서는 설명의 간결함을 위해 생략하거나 압축하기로 한다.
- [0039] 본 명세서에서 본 발명의 “일” 또는 “하나의” 실시예에 대한 언급들은 반드시 동일한 실시예에 대한 것은 아니며, 이들은 적어도 하나를 의미한다는 것에 유의해야 한다.
- [0040] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0041] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다른 의미를 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0042] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0043] 도면에서 나타난 각 구성은 설명의 편의를 위해 임의로 나타낸 것이므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

- [0045] 이하에서는 본 발명이 제안하는 기술적 특징의 하나의 적용 예로서 전력증폭기에 한하여 설명하지만, 본 발명의 기술적 특징이 저잡음증폭기와 같이 차동신호를 이용한 모든 증폭기에 적용될 수 있음은 물론이다.

<전력증폭기에 관한 설명>

- [0048] 도1은 증폭기 구성을 설명하기 위해 예시한 것이고, 도3은 본 발명의 일 실시예에 따른 2차 고조파 억제를 위한 선형화기를 갖는 증폭기를 설명하기 위해 도시한 것이다.
- [0050] 도1 및 도3을 참조하면, 본 발명의 일 실시예에 따른 증폭기(10)는 구동증폭단(DA) 및 전력증폭단(PA)을 포함할 수 있다.
- [0051] 구동증폭단(DA)은 단일신호 예컨대, 단일중단신호를 입력받아 차동신호로 변환하고, 변환된 차동신호를 증폭한 제1증폭신호를 생성하기 위한 구성이다.
- [0052] 참고로, 본 발명의 기술적 특징은 후술할 전력증폭단(PA)에 있으므로, 구동증폭단(DA)에 대한 구체적인 설명은 생략하고자 한다.
- [0053] 전력증폭단(PA)은 구동증폭단(DA)의 후단에서 구동증폭단이 생성한 제1증폭신호를 전달받아 제1증폭신호를 증폭한 제2증폭신호를 생성한다.
- [0054] 이러한 전력증폭단(PA)은 증폭부(100) 및 출력부(200)를 포함한다.
- [0055] 증폭부(100)는 구동증폭단으로부터 전달된 제1증폭신호를 증폭한 제2증폭신호를 생성한다.
- [0056] 이때, 증폭부(100)는 제1증폭신호가 입력되는 입력부(IP)로부터 후술할 선형화기(210)에서 필터링된 필터링신호가 출력되는 출력부(200)로의 신호전달 경로인 제1전송경로(TL1)와 제2전송경로(TL2)에 전기적으로 연결되어, 입력부(IP)로부터 입력된 제1증폭신호를 증폭한 제2증폭신호를 후술할 출력부(200)로 전달한다.
- [0057] 이러한 증폭부(100)는 제1트랜지스터(Tr_1), 제2트랜지스터(Tr_2), 제3트랜지스터(Tr_3) 및 제4트랜지스터(Tr_4)를 포함할 수 있다.

- [0058] 제1트랜지스터(Tr_1)는 제1전송경로(TL1)에 배치되며, 게이트단으로 신호를 입력받고, 소스단이 접지된다.
- [0059] 제2트랜지스터(Tr_2)는 제1전송경로(TL1)에 배치되며, 소스단이 제1트랜지스터(Tr_1)의 드레인으로부터 신호를 입력받고 게이트단이 접지된다.
- [0060] 제3트랜지스터(Tr_3)는 제2전송경로(TL2)에 배치되며, 게이트단으로 신호를 입력받고 소스단이 접지된다.
- [0061] 제4트랜지스터(Tr_4)는 제2전송경로(TL2)에 배치되며, 소스단이 제3트랜지스터(Tr_3)의 드레인단으로부터 신호를 입력받고 게이트단이 접지된다.
- [0062] 즉, 제1트랜지스터(Tr_1)와 제3트랜지스터(Tr_3)는 게이트단으로 신호를 입력받고, 소스단이 접지되는 공통소스구조로 마련되며, 제2트랜지스터(Tr_2)와 제4트랜지스터(Tr_4)는 소스단으로 신호를 입력받고, 게이트단이 접지되는 공통게이트구조로 마련될 수 있다.
- [0063] 결과적으로, 입력부에 입력된 제1증폭신호는 차동신호로서, 제1트랜지스터(Tr_1) 및 제3트랜지스터(Tr_3)의 각 게이트단을 통해 증폭부(100)에 입력되고, 증폭부(100)에 입력된 제1증폭신호는 상기한 트랜지스터들(Tr_1 내지 Tr_4)을 거치며 증폭되며, 증폭부(100)에서 증폭된 제2증폭신호는 제2트랜지스터(Tr_2) 및 제4트랜지스터(Tr_4) 각각의 드레인을 통해 후술할 출력부(200) 측으로 출력되게 된다.
- [0064] 좀더 구체적으로 설명하면, 증폭부(100)에 구성된 제1트랜지스터(Tr_1)는 게이트단으로 제1증폭신호(위상은 0°)를 입력받고, 소스단이 접지되며, 드레인단으로 증폭된 신호(위상은 0°)를 출력한다. 이때 제2트랜지스터(Tr_2)는 소스단으로 제1트랜지스터(Tr_1)의 드레인단으로부터 증폭된 신호(위상은 0°)를 입력받고, 게이트단이 접지되며, 드레인단으로 제2증폭신호(위상은 0°)를 출력한다.
- [0065] 그리고, 제3트랜지스터(Tr_3)는 게이트단으로 제1증폭신호(위상은 180°)를 입력받고, 소스단이 접지되며, 드레인단으로 증폭된 신호(위상은 180°)를 출력한다. 이때 제4트랜지스터(Tr_4)는 소스단으로 제3트랜지스터(Tr_3)의 드레인단으로부터 증폭된 신호(위상은 180°)를 입력받고, 게이트단이 접지되며, 드레인단으로 제2증폭신호(위상은 180°)를 출력한다.
- [0066] 참고로, 제2트랜지스터(Tr_2) 및 제4트랜지스터(Tr_4) 각각의 게이트단에는 접지로 향하는 경로에 커패시터가 구비되어 각 트랜지스터들(Tr_1 내지 Tr_4)을 위한 바이어스전압(VCG)이 안정적으로 공급되는 것을 지원할 수 있다.
- [0067] 그러나, 이러한 증폭부(100)의 회로 구성 및 구조는 하나의 실시예에 불과하므로 이에 한정되지 않으며, 제2증폭신호를 생성하기 위한 회로 구성 및 구조라면 그 어떠한 것도 적용 가능하다.
- [0068] 한편 증폭부(100)에 구비된 제1트랜지스터(Tr_1) 및 제3트랜지스터(Tr_3)는 중성화커패시터(C_n)를 구비할 수 있다.
- [0069] 좀더 구체적으로 설명하면, 증폭부(100)는 일단이 제1트랜지스터(Tr_1)의 게이트단에 연결되고, 타단이 제3트랜지스터(Tr_3)의 드레인단에 연결되는 제1중성화커패시터(C_{n1}) 및 일단이 제3트랜지스터(Tr_3)의 게이트단에 연결되고, 타단이 제1트랜지스터(Tr_1)의 드레인단에 연결되는 제2중성화커패시터(C_{n2})를 포함할 수 있다.
- [0070] 이러한 중성화커패시터(C_n)는 제1트랜지스터(Tr_1) 및 제3트랜지스터(Tr_3)의 각 게이트-드레인 기생 커패시턴스를 보상하며 전체 회로의 안정성을 높이는데 기여할 수 있다.
- [0071] 출력부(200)는 증폭부(100)로부터 생성된 제2증폭신호를 전달받아 제2증폭신호를 필터링하여 출력하기 위한 구성이다.
- [0072] 이러한 출력부(200)는 선형화기(210) 및 출력발룬(220)을 포함한다.
- [0073] 선형화기(210)는 증폭부(100)로부터 증폭된 제2증폭신호를 전달받아 제2증폭신호 내 고조파를 제거한 필터링신호를 생성한다.
- [0074] 이때, 선형화기(210)는 제1커패시터(C_1), 제2커패시터(C_2) 및 제1인덕터(L_1)를 포함하는 C-L-C 구조로 마련될 수 있다.

- [0075] 제1커패시터(C_1)는 일단이 제1전송경로(TL1)에 연결된다.
- [0076] 제2커패시터(C_2)는 일단이 제1커패시터(C_1)와 연결되고, 타단이 제2전송경로(TL2)에 연결된다.
- [0077] 제1인덕터(L_1)는 일단이 제1커패시터(C_1)의 타단 및 제2커패시터(C_2)의 일단 간의 접점에 연결되고, 타단이 접지된다.
- [0078] 이러한 선형화기(210)는 제2증폭신호에 포함된 2차 고조파(2^{nd} harmonic termination)를 제거하기 위한 고역통과필터로 동작한다.
- [0079] 참고로, 본 발명이 제안하는 증폭기(10)에서 선형화기(210)는 후술할 출력발룬(220)과 적층된 구조로 마련된다. 이에 대한 구체적인 설명은 증폭기(10)에 포함된 구성에 대하여 먼저 설명한 뒤 논하고자 한다.
- [0080] 출력발룬(220)은 선형화기(210)와 자기적으로 커플링됨으로써 선형화기(210)가 생성한 필터링신호를 단일신호로 출력하는 구성이다.
- [0081] 이러한 출력발룬(220)은 1차 출력인덕터인 제2인덕터(L_2) 및 2차 출력인덕터인 제3인덕터(L_3)를 포함한다.
- [0082] 제2인덕터(L_2)는 양단이 각각 제1전송경로(TL1) 및 제2전송경로(TL2)에 연결되되, 제1인덕터(L_1)와 커플링됨으로써 필터링신호를 전달받는다.
- [0083] 이때, 제2인덕터(L_2)의 일단은 제1커패시터(C_1)와 연결되되, 제2트랜지스터(Tr_2)의 드레인단과 연결되어 센터탭(T)을 통한 트랜지스터들(Tr_1 내지 Tr_4)의 구동전압(VDD) 공급이 이루어지도록 한다.
- [0084] 제3인덕터(L_3)와 커플링됨으로써 차동신호인 필터링신호를 단일신호로 출력한다.
- [0085] 이때, 제3인덕터(L_3)의 양단을 통해 필터링신호가 출력되되, 제3인덕터(L_3)의 일단은 안테나와 같은 타 구성요소와 연결되고, 타단은 접지된다.
- [0086] 이러한 제2인덕터(L_2)와 제3인덕터(L_3)는 가극성의 상호 인덕턴스를 형성하며 자기적으로 결합되도록 마련될 수 있다. 이 경우, 제2인덕터(L_2) 및 제3인덕터(L_3)는 가극성의 상호 인덕턴스를 형성함으로써 출력발룬(220)의 구성으로서 요구되는 인덕턴스 값을 구비하기 위해 가극성의 상호 인덕턴스를 활용할 수 있게 된다. 따라서 요구되는 인덕턴스 값을 구비하기 위한 제2인덕터(L_2)와 제3인덕터(L_3)의 물리적인 크기는 감소된다. 이는 증폭기의 소형화에 기여한다.
- [0087] 게다가, 제1인덕터(L_1)와 제2인덕터(L_2) 간에도 자기적으로 결합되며 가극성의 상호 인덕턴스가 형성되는데, 이러한 제1인덕터(L_1)와 제2인덕터(L_2) 간에 생성된 상호 인덕턴스는 자기 인덕턴스와 함께 효과적인 인덕턴스를 얻을 수 있게 한다. 특히, 가극성으로 구성할 경우, k-factor(coupling factor)의 증가로 Q-factor가 증가하게 된다.
- [0088] 이에, 출력부(200)를 구성하는 구성 중 인덕터 성분들(L_1 내지 L_3)이 적은 인덕턴스값을 가지더라도 출력과워 임피던스의 최적점을 얻을 수 있게 된다. 즉, 인덕터를 구현하기 위한 전송선로 자체의 길이 또한 최소한으로 가져갈 수 있기에 저항이 감소되며 이로 인한 손실이 개선되며, 전체적인 성능 향상으로 이어질 수 있다. 아울러, 선형화기(210)가 출력발룬(220)과 동일한 공간에 수직적으로 배치됨으로써 칩 내 선형화기(210)가 차지하던 면적이 생략될 수 있어, 증폭기(10)의 소형화에 기여할 수 있다.
- [0089] 이러한 출력부(200)의 구체적인 형상에 대한 구체적인 설명은 후술하고자 한다.
- [0090] 한편, 제2인덕터(L_2)가 접지된 센터탭(T)에서 분지된 경로를 통해 제1트랜지스터 내지 제4트랜지스터(Tr_1 내지 Tr_4)를 위한 구동전압(VDD)가 인가될 수 있다. 이때, 센터탭(T)으로 향하는 경로에는 커패시터(C)를 구비하여 구동전압(VDD)이 안정적으로 공급되도록 할 수 있다.
- [0091] 정리하면, 상술한 전력증폭기(10)의 동작은 다음과 같다.
- [0092] 먼저, 구동증폭단(DA)에 단일신호가 입력되면, 구동증폭단(DA)은 입력된 단일신호를 차동신호로 변환하여 동작

주파수에서의 이득을 증폭시킴으로써 제1증폭신호를 생성하게 된다.

[0093] 다음으로, 구동증폭단(DA)에서 생성된 제1증폭신호는 구동증폭단(DA)의 후단에 배치된 전력증폭단(PA)에 제공된다.

[0094] 전력증폭단(PA)에 제1증폭신호가 입력되면, 전력증폭단(PA)은 입력된 제1증폭신호 중 2차 고조파를 억제한 필터링신호를 생성하고, 차동신호인 필터링신호를 단일신호로 변환하여 출력하게 된다.

[0095] 이때, 전력증폭단(PA)을 통해 출력되는 출력신호는 안테나와 같은 증폭기 외 타 구성에 제공될 수 있다.

[0096] 참고로, 증폭부(100)에서 증폭된 제2증폭신호는 제1인덕터(L_1)의 양단으로 제공되게 되고, 제1인덕터(L_1)를 흐르는 제2증폭신호는 2차 고조파가 억제되도록 필터링되어 제1인덕터(L_1)와 커플링된 제2인덕터(L_2)에 유도됨으로서 출력발룬(200)에 제공된다.

[0097] 이후, 제2인덕터(L_2)에 흐르는 필터링신호는 제2인덕터(L_2)와 커플링된 제3인덕터(L_3)에 유도되고, 제3인덕터(L_3)를 통해 단일신호로 출력되게 된다.

[0099] <출력부에 관한 설명>

[0100] 도4a 내지 도4c는 도3에 예시된 출력부의 구현 구조를 설명하기 위해 도시한 것으로, 도4a는 본 발명의 일 실시예에 따른 출력부의 사시도이며, 도5b 내지 도5c는 각각 도5a에 도시된 출력부의 상면 및 저면에 대한 평면도이다.

[0102] 참고로, 도4a 내지 도4b에 도시된 출력부(200)는 앞서 설명된 제1인덕터(L_1), 제2인덕터(L_2) 및 제3인덕터(L_3)의 실제적 구조를 제안한다. 이때, 본 발명이 제안하는 증폭기(10)의 구성들은 삼성 28nm 공정을 통해 칩 내 집적될 수 있으나, 이에 한정되는 것은 아니다.

[0104] 이하에서는, 도4를 참조하여 본 발명이 제안하는 증폭기(10) 중 출력부(200)의 구조를 설명하고자 한다. 다만, 출력부(200)는 앞서 설명한 제1인덕터(L_1), 제2인덕터(L_2) 및 제3인덕터(L_3)의 기능을 수행하기 위한 것이므로, 그 동작은 앞서 설명한 제1인덕터(L_1), 제2인덕터(L_2) 및 제3인덕터의 기능 및 동작에 관한 설명으로 일부 대체될 수 있다.

[0106] 도4a 내지 도4c를 참조하면, 출력부(200)는 단일 칩 내 집적되어 형성되며, 출력부를 구성하는 제1인덕터(L_1), 제2인덕터(L_2) 및 제3인덕터(L_3) 각각이 상하 적층된 3차원 적층 구조로 마련된다.

[0107] 좀더 구체적으로 설명하면, 출력부(200)는 제1권선(W_1), 제2권선(W_2) 및 제3권선(W_3)을 포함할 수 있다.

[0108] 제1권선(W_1)은 제1인덕터(L_1)를 구현하기 위해 제1층에 마련된다.

[0109] 제2권선(W_2)은 제2인덕터(L_2)를 구현하기 위해 제2층에 마련된다.

[0110] 제3권선(W_3)은 제3인덕터(L_3)를 구현하기 위해 제1층에 마련된다.

[0111] 좀더 구체적으로 설명하면, 제3권선(W_3) 상에 제2권선(W_2)이 적층되고, 제2권선(W_2) 상에는 제1권선(W_1)이 적층 결합될 수 있다.

[0112] 여기서, 제1권선(W_1)은 일측으로 연장된 양단 중 일단(W_1-E_1)을 통해 제2증폭신호를 입력받고, 타단(W_1-E_2)은 접지(GND)에 연결된다.

[0113] 제2권선(W_2)은 일측으로 연장된 양단(W_2-E_1), (W_2-E_2)이 증폭부(100)와 전기적으로 연결되면서 제1커패시터(C_1)

및 제2커패시터(C_2)를 통해 제1권선(W_1)과 전기적으로 연결되고, 수직적으로 자기 결합된 제1권선(W_1)과 커플링됨으로써 필터링신호를 입력받는다.

[0114] 참고로, 제2권선(W_2)의 경우, 센터탭(미도시)을 통해 양단(W_2-E_1 , W_2-E_2)의 전단에 연결된 트랜지스터들을 위한 구동전압(VDD)이 인가될 수 있다.

[0115] 제3권선(W_3)은 타측으로 연장된 양단(W_3-E_1 , W_3-E_2) 중 일단(W_3-E_1)을 통해 제2권선(W_2)으로부터 전달받은 필터링신호를 단일신호로 출력하고, 타단(W_3-E_2)은 접지된다.

[0116] 이때, 제1권선(W_1), 제2권선(W_2) 및 제3권선(W_3)은 각각 이웃한 권선과 소정 간격 이격 배치되되, 수직적으로 자기 결합될 수 있다.

[0117] 이 경우, 각 권선들이 구현하고자 하는 인덕터들(L_1 내지 L_3)의 실질적인 인덕턴스는 증가하므로, 설계자 또는 제작자는 제1권선(W_1) 내지 제3권선(W_3)을 소형화하여 설계 또는 제작하는 것이 가능하게 된다. 또한, 선형화기(210)가 별도로 배치되는 것이 아니라 출력발룬(220) 상에 적층 배치됨으로써 출력부(200) 전체가 칩 내에서 차지하는 면적이 획기적으로 줄어들 수 있다.

[0118] 한편 제1권선(W_1) 및 제2권선(W_2) 중 어느 하나가 탑 메탈 레이어로 마련될 수 있다. 좀더 바람직하게는 제2권선(W_2)이 탑 메탈 레이어로 마련될 수 있다.

[0119] 탑 메탈 레이어는 삼성 28nm 공정에 이용되는 M1 내지 M10 즉 10개의 메탈 레이어 중 M10을 의미하며, 다른 메탈 레이어에 비하여 그 두께가 두껍고, 단면적이 넓어 전력 전달 효율이 우수하다.

[0120] 제2권선(W_2)이 탑 메탈 레이어로 마련됨에 따라 제2권선(W_2)과 이웃한 제1권선(W_1)과 제3권선(W_3) 즉 제2권선(W_2)과 이웃한 권선 간의 증폭신호 전달 효율을 높이는데 기여할 수 있다.

[0121] 아울러, 제1권선(W_1)은 제2권선(W_2)과 상이한 메탈 레이어로 마련될 수 있다. 일례로, 제1권선(W_1)은 알루미늄 재질의 메탈 레이어로 마련될 수 있다. 이는 삼성 28nm 공정상에서 탑 메탈 레이어 상에 기본적으로 배치되되, 활용되지 않던 메탈 레이어를 선형화기(210)로 활용한 것이다.

[0122] 그러나, 제1권선(W_1)의 재질은 제2권선(W_2)과 상이하지만 하면 되므로 이에 한정되는 것은 아니다.

[0124] <본 발명이 제안하는 출력부가 적용된 증폭기의 성능에 관한 설명>

[0125] 도5a 내지 도5b는 본 발명이 제안하는 증폭기의 효율성을 설명하기 위한 시뮬레이션 결과를 도시한 참고도이다. 도5a는 (a) 출력발룬 상에 선형화기가 포함된 경우에 관한 실시예를 예시한 것이고, (b)는 출력발룬 상에 선형화기가 포함되지 않은 경우에 관한 비교예를 예시한 것이다. 도5b는 도5a에 예시된 실시예와 비교예에 관한 투톤 시뮬레이션 결과(100MHz tone spacing, 14 GHz)를 도시한 것이다.

[0126] 먼저, 도5b(a)를 살펴보면, 도5b(a)는 투톤 시뮬레이션(two-tone simulation)을 통해 증폭기의 전력 부가 효율(PAE)에 관한 결과를 도시한 것이다. 이때, 본 발명이 제안하는 출력발룬과 적층 구조로 배치된 선형화기가 포함될 경우에 전력부가효율이 증가하고 있는 것을 확인할 수 있다.

[0127] 다음으로, 도5b(b)는 증폭기의 주파수 변화에 따른 이득(gain)에 관한 결과를 도시한 것이다. 이 역시 출력발룬과 적층 구조로 배치된 선형화기가 포함될 경우에 타겟주파수(14 GHz)에서 이득이 증가하였음을 확인할 수 있다.

[0128] 마지막으로, 도5b(c)는 기본(fundamental)신호와 3차 IMD(Intermodulation distortion)과의 차이를 나타낸 그래프이다.

[0129] 이때, 3차 IMD 값이 낮을수록 잡음성분에 비해 원천신호의 크기가 더 크다는 것을 의미한다. 도5b(C)를 통해 출력발룬과 적층 구조로 배치된 선형화기가 포함될 경우에 3차 IMD가 감소함을 확인할 수 있다. 이를 통해 본 발명에서 제안하는 증폭기의 선형성이 좋다는 것을 확인할 수 있다.

[0130] 도5b의 (a) 내지 (c)에 도시된 그래프들은 본 발명이 제안하는 전력증폭기(10)가 선형성, PAE, 이득 등의 성능

이 전반적으로 우수하다는 것을 시사한다. 통상의 기술자라면 도5b에 도시된 시뮬레이션 결과를 이해하는데 큰 무리가 없을 것으로 사료되므로, 이에 대한 구체적인 설명은 생략하고자 한다.

[0131] 결과적으로, 도5b에 도시된 시뮬레이션 결과는 본 발명이 제안하는 증폭기(10)가 기존 증폭기와 동등하거나 향상된 성능을 담보하면서도 소형화가 가능하다는 것을 의미한다.

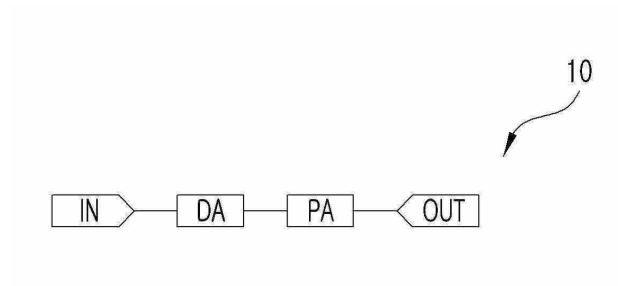
[0133] 상술한 바와 같이, 본 발명에 대한 구체적인 설명은 도면을 참조한 실시예에 의해서 이루어졌지만, 상술한 실시예는 본 발명의 바람직한 예를 들어 설명하였을 뿐이기 때문에, 본 발명이 상기의 실시예에만 국한되는 것으로 이해되어져서는 아니 되며, 본 발명의 권리범위는 후술하는 청구범위 및 그 균등범위로 이해되어야 할 것이다.

부호의 설명

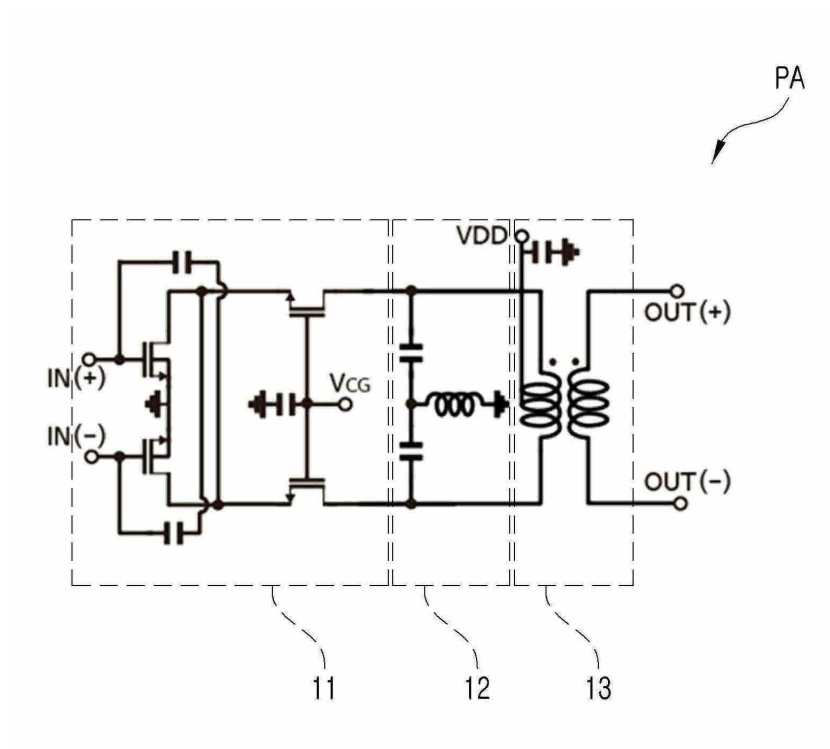
[0135] 10 : 증폭기
 DA : 구동증폭단
 PA : 전력증폭단
 100 : 증폭부
 Tr₁, Tr₂, Tr₃, Tr₄ : 제1트랜지스터, 제2트랜지스터, 제3트랜지스터, 제4트랜지스터
 200 : 출력부
 210 : 선형화기
 C₁, C₂ : 제1커패시터, 제2커패시터
 L₁ : 제1인덕터
 W₁ : 제1권선
 W_{1-E1}, W_{1-E2} : 양단
 220 : 출력발륜
 L₂ : 제2인덕터
 W₂ : 제2권선
 W_{2-E1}, W_{2-E2} : 양단
 L₃ : 제3인덕터
 W₃ : 제3권선
 W_{3-E1}, W_{3-E2} : 양단
 TL1, TL2 : 제1전송라인, 제2전송라인

도면

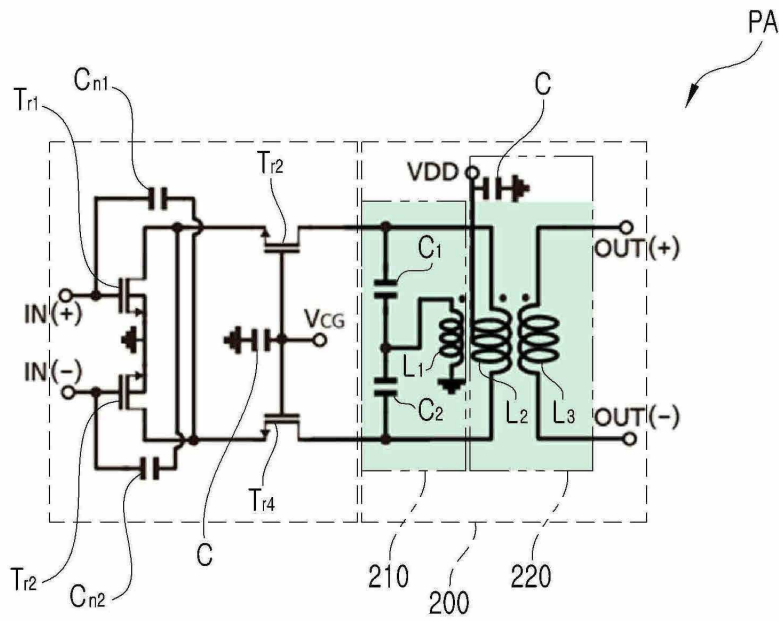
도면1



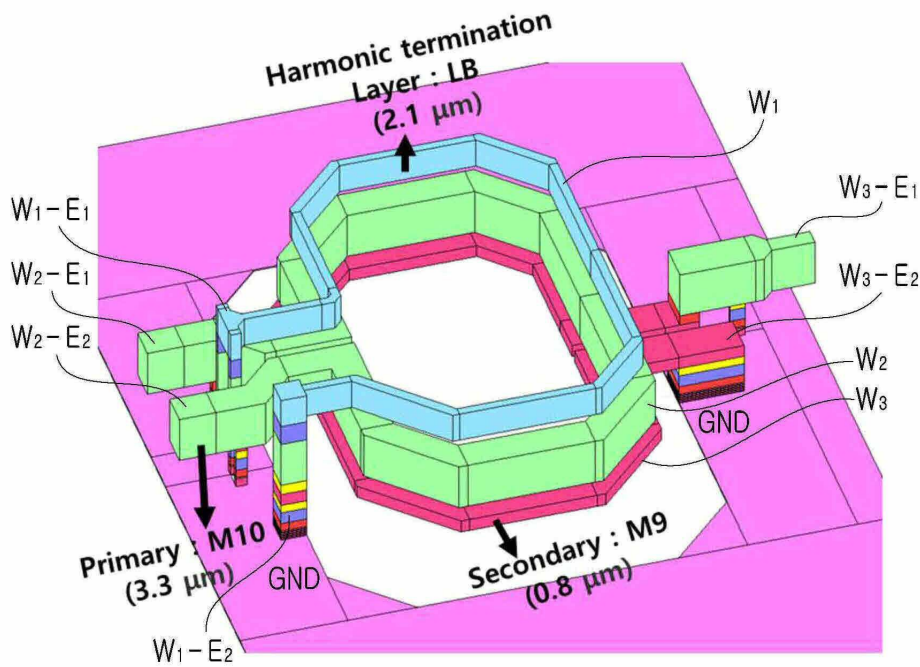
도면2



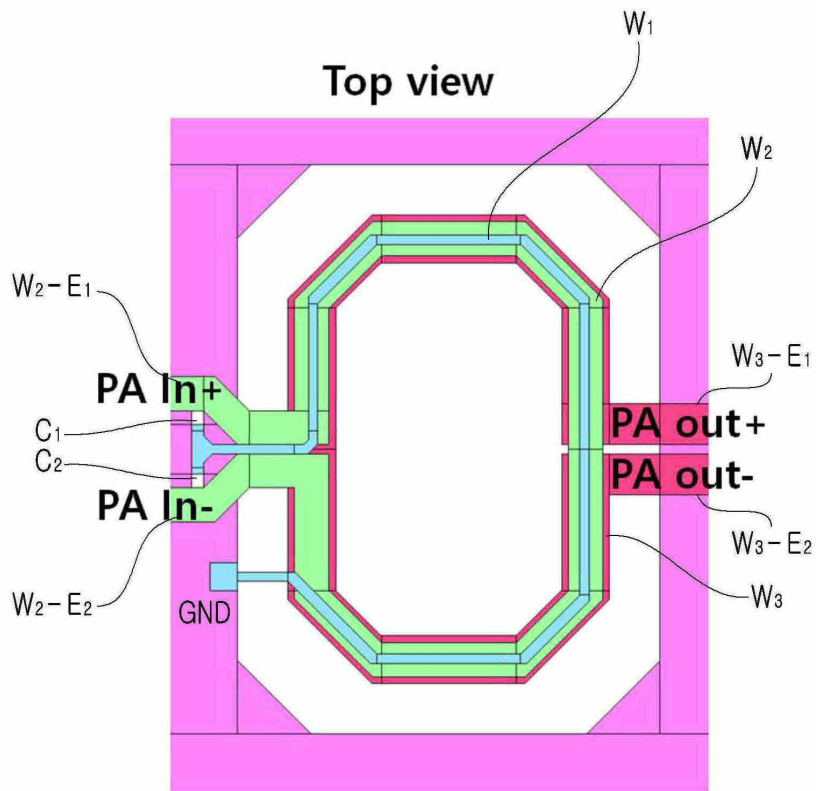
도면3



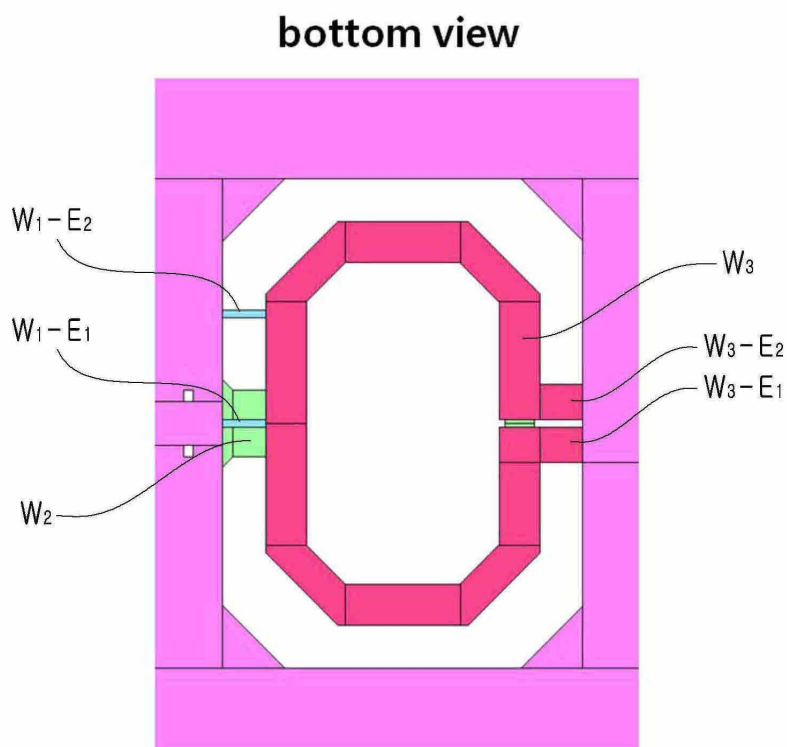
도면4a



도면4b

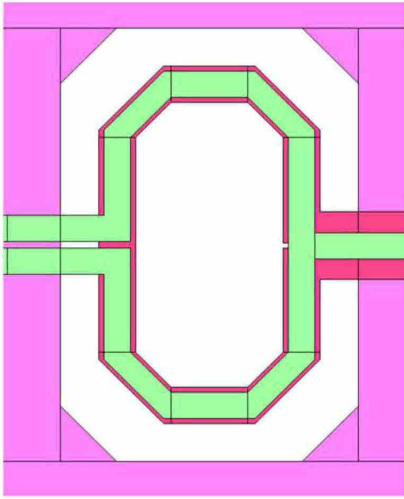


도면4c



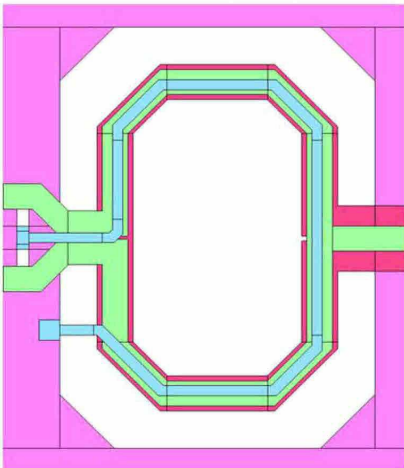
도면5a

- Linearizer x



(a)

- Linearizer o



(b)

도면5b

— Linearizer X

— Linearizer O

