

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-282959
(P2004-282959A)

(43) 公開日 平成16年10月7日(2004.10.7)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H02M 1/00	H02M 1/00	5H740
H02M 1/08	H02M 1/08	A

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号	特願2003-74170 (P2003-74170)	(71) 出願人	000003997 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地
(22) 出願日	平成15年3月18日 (2003.3.18)	(74) 代理人	100083806 弁理士 三好 秀和
		(74) 代理人	100068342 弁理士 三好 保男
		(74) 代理人	100100712 弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100087365 弁理士 栗原 彰
		(74) 代理人	100100929 弁理士 川又 澄雄
		(74) 代理人	100095500 弁理士 伊藤 正和

最終頁に続く

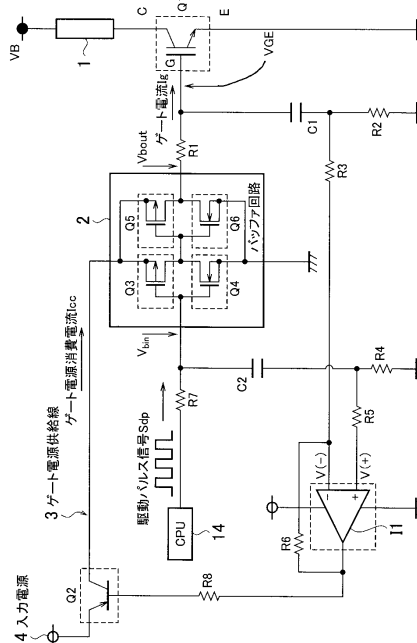
(54) 【発明の名称】 電圧制御型駆動素子の駆動装置

(57) 【要約】

【課題】 短絡異常の発生から回路保護動作への応答時間を速くすることができる電圧制御型駆動素子の駆動装置を提供する。

【解決手段】 駆動・保護装置は、ゲート電源供給線3からの電力を駆動パルス信号Sdpに基づいてスイッチ素子Q1のゲート端子Gに印加して、スイッチ素子Q1のスイッチング動作を制御するバッファ回路2を備える。駆動・保護装置は、スイッチ素子Q1のゲート電圧VGEの時間変化量を検出すると共に、バッファ回路2における入力端子電圧の時間変化量を検出し、これら検出された電圧時間変化量に基づいて、スイッチ素子Q1のゲート短絡故障を検出する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

駆動電源からの電力を駆動パルスに基づいて電圧制御型駆動素子のゲート端子に印加して、前記電圧制御型駆動素子のスイッチング動作を制御する制御回路と、前記電圧制御型駆動素子のゲート電圧の時間変化量を検出する第 1 の電圧変化量検出手段と、前記制御回路における入力端子電圧の時間変化量を検出する第 2 の電圧変化量検出手段と、前記第 1 の電圧変化量検出手段と前記第 2 の電圧変化量検出手段とによって検出された時間変化量に基づいて、前記電圧制御型駆動素子のゲート短絡故障を検出する故障検出手段とを備えることを特徴とする電圧制御型駆動素子の駆動装置。

10

【請求項 2】

前記故障検出手段によって前記電圧制御型駆動素子のゲート短絡故障が検出された場合に前記駆動電源から前記制御回路へ入力して消費される消費電流を制限する制限手段を更に備えることを特徴とする請求項 1 に記載の電圧制御型駆動素子の駆動装置。

【請求項 3】

前記第 1 の電圧変化量検出手段は、前記ゲート端子に接続された第 1 のコンデンサと、一端が前記第 1 のコンデンサに接続されると共に他端が接地された第 1 の抵抗とからなり、前記第 2 の電圧変化量検出手段は、前記制御回路における入力端子に接続された第 2 のコンデンサと、一端が前記第 2 のコンデンサに接続されると共に他端が接地された第 2 の抵抗とからなり、前記故障検出手段は、前記第 1 のコンデンサと前記第 1 の抵抗との間の電圧と、前記第 2 のコンデンサと前記第 2 の抵抗との間の電圧とを比較し、前記電圧制御型駆動素子のゲート短絡故障を検出することを特徴とする請求項 1 又は請求項 2 に記載の電圧制御型駆動素子の駆動装置。

20

【請求項 4】

前記故障検出手段は、前記第 1 のコンデンサと前記第 1 の抵抗との間の電圧と、前記第 2 のコンデンサと前記第 2 の抵抗との間の電圧とを入力し、これら電圧の差分を増幅して出力する差動増幅器であり、前記制限手段は、前記差動増幅器の出力に応じて、前記消費電流を制限することを特徴とする請求項 2 又は請求項 3 に記載の電圧制御型駆動素子の駆動装置。

30

【請求項 5】

前記制限手段は、前記駆動電源にエミッタ端子が接続されると共にコレクタ端子が前記制御回路に接続された PNP トランジスタであり、前記 PNP トランジスタは、前記差動増幅器の出力をベース端子に入力し、前記差動増幅器の出力に応じて、前記消費電流を制限することを特徴とする請求項 4 に記載の電圧制御型駆動素子の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、駆動パルスに基づいて電圧制御型駆動素子をスイッチング制御して、負荷に電力供給をするための電圧制御型駆動素子の駆動装置に関する。

40

【0002】

【従来の技術】

従来より、電圧制御型駆動素子をスイッチング駆動する駆動回路では、電圧制御型駆動素子のスイッチング時間を短縮して損失を低減させるために、スイッチング時のゲートに対する電荷の充放電を迅速に行う必要があることが知られている。このため、電圧制御型駆動素子には、大きなゲート電流を供給する必要がある。

【0003】

しかしながら、電圧制御型駆動素子のゲート端子とエミッタ端子との間が短絡によって故

50

障した場合には、ゲート電流が流れる経路の回路素子やゲート電源へのダメージが大きくなってしまいます。したがって、上述した回路素子等の破壊を回避するために、ゲート端子とエミッタ端子との間の故障を検出する動作を迅速に行うと共に、ゲート端子に供給する電流の制限を行う等の保護動作を行う必要がある。

【0004】

このような電圧制御型駆動素子のゲート端子とエミッタ端子との間の故障に対する対策としては、例えば下記の特許文献1に記載された技術が提案されている。

【0005】

この特許文献1に記載された駆動装置は、電圧制御型駆動素子を駆動する際に発生するゲート電圧を整流してフィルタ回路に出力し、このフィルタ回路の出力に基づいて、ゲート-エミッタ間の短絡故障を検出するものである。

10

【0006】

【特許文献1】

特開平9-285104号公報

【0007】

【発明が解決しようとする課題】

ところで、特許文献1に記載された駆動装置による従来の短絡故障検出手法では、電圧制御型駆動素子のスイッチング動作時に、ゲート電圧が正電源から負電源へと切り替わる動作、又はゲート電圧が負電源から正電源へと切り替わる動作を行うので、整流回路で整流されたゲート電圧がスイッチングの過渡期間停止してしまう。このため、この短絡故障検出手法においては、整流されたゲート電圧が低下しないように、フィルタ回路によってゲート電圧低下を抑制して誤検出を防止する構成としている。

20

【0008】

しかしながら、この短絡故障検出手法においては、フィルタの時定数以内に発生するゲート端子とエミッタ端子との間の短絡故障を検出することができないので、短絡故障が発生してから検出時間が遅延してしまうという問題があった。

【0009】

そこで、本発明は、上述した実情に鑑みて提案されたものであり、短絡異常の発生から回路保護動作への応答時間を速くすることができる電圧制御型駆動素子の駆動装置を提供するものである。

30

【0010】

【課題を解決するための手段】

本発明では、電圧制御型駆動素子のゲート電圧の時間変化量と、制御回路における入力端子電圧の時間変化量とを検出し、これら電圧時間変化量に基づいて、電圧制御型駆動素子のゲート短絡故障を検出することで、上述の課題を解決する。

【0011】

【発明の効果】

本発明に係る電圧制御型駆動素子の駆動装置によれば、短絡異常の発生から回路保護動作への応答時間を速くことができ、また、駆動電源が単電源であるシステムにも適用することができる。

40

【0012】

【発明の実施の形態】

以下、本発明を適用した具体的な実施の形態について図面を参照しながら詳細に説明する。

【0013】

本発明は、電圧制御型駆動素子の1つである絶縁ゲートバイポーラトランジスタ(Insulated Gate Bipolar Transistor; 以下、IGBTという。)を用いて所定の負荷を駆動する際の駆動回路及びその保護回路からなる負荷駆動回路に適用される。

【0014】

50

[負荷駆動回路の構成]

この負荷駆動回路は、図 1 に示すように、例えば I G B T で構成された電圧制御型駆動素子であるスイッチ素子 Q 1 をオンオフ制御して、負荷駆動電源 V B から負荷 1 に電力供給をして駆動させるものである。

【 0 0 1 5 】

負荷 1 は、一方端が負荷駆動電源 V B と接続されると共に、他方端がスイッチ素子 Q 1 を介して接地端子に接続されている。また、この負荷 1 は、スイッチ素子 Q 1 のコレクタ端子 C に接続されている。この負荷 1 は、スイッチ素子 Q 1 のオンオフ動作によって供給される電源で駆動されるように構成されている。

【 0 0 1 6 】

スイッチ素子 Q 1 は、ゲート端子 G にゲート抵抗 R 1 及びバッファ回路 2 が接続され、当該ゲート抵抗 R 1 及びバッファ回路 2 を介して、ゲート端子 G がゲート電源供給線 3 に接続されると共に、エミッタ端子 E が接地されて構成されている。このスイッチ素子 Q 1 は、ゲート電源供給線 3 によって生成されるゲート電源消費電流 I_{cc} をバッファ回路 2 及びゲート抵抗 R 1 を介してゲート電流 I_g としてゲート端子に入力してオンオフ動作する。

10

【 0 0 1 7 】

このゲート電流 I_g は、入力電源 4 (スイッチ素子 Q 1 を駆動するための駆動電源) が P N P トランジスタ Q 2 により制限されたゲート電源消費電流 I_{cc} がバッファ回路 2 及びゲート抵抗 R 1 を通過することで生成されてゲート端子 G に供給される。P N P トランジスタ Q 2 は、入力電源 4 とスイッチ素子 Q 1 のゲート駆動用の電源であるゲート電源供給線 3 との間に接続される。より具体的には、P N P トランジスタ Q 2 は、エミッタ端子が入力電源 4 に接続されると共にコレクタ端子がゲート電源供給線 3 を介してバッファ回路 2 に接続される。この P N P トランジスタ Q 2 は、後述する故障検出手段としてのオペアンプ I 1 の出力をベース端子にて入力し、このオペアンプ I 1 の出力に応じて、ゲート電源消費電流 I_{cc} を制限する。

20

【 0 0 1 8 】

バッファ回路 2 は、ゲート電源供給線 3 からの電力を駆動パルス信号 S d p に基づいてスイッチ素子 Q 1 のゲート端子 G に印加して、スイッチ素子 Q 1 のスイッチング動作を制御する制御回路である。

30

【 0 0 1 9 】

具体的には、このバッファ回路 2 は、ゲート電源供給線 3 と接地端子との間にコンプリメンタリ構成とされる P 型金属酸化物半導体電界効果トランジスタ (P c h - M e t a l O x i d e S e m i c o n d u c t o r F i e l d E f f e c t T r a n s i s t o r ; 以下、P c h - M O S F E T という。) Q 3 及び N 型金属酸化物半導体電界効果トランジスタ (N c h - M e t a l O x i d e S e m i c o n d u c t o r F i e l d E f f e c t T r a n s i s t o r ; 以下、N c h - M O S F E T という。) Q 4 と、同じくゲート電源供給線 3 と接地端子との間にコンプリメンタリ構成とされる P c h - M O S F E T Q 5 及び N c h - M O S F E T Q 6 とから構成される。また、バッファ回路 2 は、抵抗 R 7 を介して C P U (C e n t r a l P r o c e s s i n g U n i t) 5 と接続される。

40

【 0 0 2 0 】

このバッファ回路 2 は、C P U 5 から供給される駆動パルス信号 S d p を抵抗 R 7 を介して入力し、P c h - M O S F E T Q 3 及び N c h - M O S F E T Q 4 によって反転増幅して出力する。さらに、バッファ回路 2 は、これら P c h - M O S F E T Q 3 及び N c h - M O S F E T Q 4 からの出力信号を、P c h - M O S F E T Q 5 及び N c h - M O S F E T Q 6 によって反転増幅して出力する。これにより、このバッファ回路 2 は、C P U 5 から供給される駆動パルス信号 S d p を増幅すると同時にインピーダンス変換する。

【 0 0 2 1 】

また、バッファ回路 2 に駆動パルス信号 S d p が入力されている時に、ゲート電圧 V G E

50

の時間変化量を検出するために、スイッチ素子 Q_1 におけるゲート端子 G と接地端子との間に、第1の電圧変化量検出手段としてのカップリング用のコンデンサ C_1 と抵抗 R_2 とが接続される。より具体的には、スイッチ素子 Q_1 におけるゲート端子 G に接続された第1のコンデンサ C_1 と、一端がコンデンサ C_1 に接続されると共に他端が接地された第1の抵抗 R_2 とから第1の電圧変化量検出手段が構成される。

【0022】

同様に、バッファ回路2における入力端子の端子電圧 V_{bin} 、すなわち、内部の $Nch-MOSFET Q_4$ におけるゲート端子と接地端子との間に発生する電圧の変化を検出するために、バッファ回路2における入力端子と接地端子との間に、第2の電圧変化量検出手段としてのカップリング用のコンデンサ C_2 と抵抗 R_4 とが接続される。より具体的には、バッファ回路2における入力端子に接続された第2のコンデンサ C_2 と、一端がコンデンサ C_2 に接続されると共に他端が接地された第2の抵抗 R_4 とから第2の変化量検出手段が構成される。

10

【0023】

そして、バッファ回路2における入力端子の端子電圧 V_{bin} とスイッチ素子 Q_1 のゲート電圧 V_{GE} との変化を検出するための抵抗 R_4 及び抵抗 R_2 は、それぞれ、抵抗 R_5 及び抵抗 R_3 を介して、オペアンプ I_1 における入力プラス端子及び入力マイナス端子に接続される。

【0024】

また、オペアンプ I_1 における入力マイナス端子と出力端子との間には抵抗 R_6 が接続される。これにより、オペアンプ I_1 における入力プラス端子の端子電圧 $V(+)$ と入力マイナス端子の端子電圧 $V(-)$ との差分は、抵抗 R_6 によって決まる増幅率で増幅される。

20

【0025】

さらに、PNPトランジスタ Q_2 のベース電流を制限するために、オペアンプ I_1 における出力端子とPNPトランジスタ Q_2 におけるベース端子との間に、抵抗 R_8 が接続される。

【0026】

[負荷駆動回路の動作]

このような構成とされる負荷駆動回路における各部は、CPU5からバッファ回路2に駆動パルス信号 Sdp が入力されると、図2に示すように動作する。

30

【0027】

なお、図2には、CPU5から供給される駆動パルス信号 Sdp (図2(a))と、バッファ回路2における入力端子の端子電圧 V_{bin} (図2(b))と、 $Pch-MOSFET Q_3$ 、 $Nch-MOSFET Q_4$ 、 $Pch-MOSFET Q_5$ 、及び $Nch-MOSFET Q_6$ のそれぞれの動作状態(図2(c))と、バッファ回路2における出力端子の端子電圧 V_{bout} (図2(d))と、ゲート電源供給線3から供給されるゲート電流 I_g (図2(e))と、スイッチ素子 Q_1 のゲート電圧 V_{GE} (図2(f))と、スイッチ素子 Q_1 の動作状態(図2(g))と、オペアンプ I_1 における入力マイナス端子の端子電圧 $V(-)$ (図2(h))と、オペアンプ I_1 における入力プラス端子の端子電圧 $V(+)$ (図2(i))と、オペアンプ I_1 における出力端子の端子電圧 V_{out} (図2(j))と、ゲート電源消費電流 I_{cc} (図2(k))とについての時間変化を示している。ここで、図2に示すゲート電流 I_g 及びゲート電源消費電流 I_{cc} は、ともに、ゲート電源供給線3からスイッチ素子 Q_1 へと流れる方向を正(+)とし、スイッチ素子 Q_1 から接地端子へと流れる方向を負(-)としている。

40

【0028】

[正常時のターンオン動作]

まず、スイッチ素子 Q_1 に故障が発生しておらず正常である場合におけるターンオン動作について説明する。

【0029】

50

負荷駆動回路においては、CPU5からバッファ回路2に対して駆動パルス信号Sdpが入力され、当該駆動パルス信号Sdpがローレベルからハイレベルになる時間t1において(図2(a))、バッファ回路2の入力端子に端子電圧Vbinが印加されることで(図2(b))、バッファ回路2内のNch-MOSFETQ4がオフ状態からオン状態となる(図2(c))。また、負荷駆動回路においては、Nch-MOSFETQ4がオン状態となるのに応じて、Pch-MOSFETQ5もオフ状態からオン状態となる(図2(c))。なお、このとき、Pch-MOSFETQ3及びNch-MOSFETQ6は、ともに、オン状態からオフ状態となる(図2(c))。

【0030】

これにより、バッファ回路2からの出力信号(端子電圧Vbout)は、ハイレベルとなり(図2(d))、スイッチ素子Q1におけるゲート端子Gには、ゲート電源供給線3からPch-MOSFETQ5を介してゲート電流I_gが流れ込む(図2(e))。

10

【0031】

そして、負荷駆動回路においては、このゲート電流I_gにより、スイッチ素子Q1のゲート電圧V_{GE}が所定の時定数をもって上昇し(図2(f))、スイッチ素子Q1がオン状態となる(図2(g))。これにより、負荷駆動電源VBが接地端子と導通状態となり、負荷1に負荷駆動電源VBからの電力が印加されることになる。なお、スイッチ素子Q1におけるゲート端子Gとエミッタ端子Eとの間は、コンデンサ容量と考えることができるので、ゲート電流I_gは、正方向への微分波形形状となる(図2(e))。

【0032】

20

[正常時のターンオフ動作]

つぎに、スイッチ素子Q1に故障が発生しておらず正常である場合におけるターンオフ動作について説明する。

【0033】

負荷駆動回路においては、駆動パルス信号Sdpがハイレベルからローレベルになる時間t2において(図2(a))、バッファ回路2の端子電圧Vbinが低下することで(図2(b))、バッファ回路2内のPch-MOSFETQ3がオフ状態からオン状態となる(図2(c))。また、負荷駆動回路においては、Pch-MOSFETQ3がオン状態となるのに応じて、Nch-MOSFETQ6もオフ状態からオン状態となる(図2(c))。なお、このとき、Nch-MOSFETQ4及びPch-MOSFETQ5は、

30

【0034】

これにより、スイッチ素子Q1におけるゲート端子Gからは、Nch-MOSFETQ6を介して接地端子方向へとゲート電流I_gが流れることになる(図2(e))。

【0035】

そして、負荷駆動回路においては、このゲート電流I_gにより、スイッチ素子Q1のゲート電圧V_{GE}が所定の時定数をもって下降し(図2(f))、スイッチ素子Q1がオフ状態となる(図2(g))。これにより、負荷駆動電源VBと接地端子とが遮断状態となり、負荷1に負荷駆動電源VBからの電力供給が停止することになる。

【0036】

40

[IGBT正常時の回路動作]

つぎに、スイッチ素子Q1が正常である場合における回路動作について説明する。

【0037】

負荷駆動回路においては、スイッチ素子Q1のスイッチング時において、バッファ回路2における入力端子電圧の時間変化量が、コンデンサC2及び抵抗R4によってカップリングされて検出される。この検出された電圧は、オペアンプI1における入力プラス端子に入力される(図2(i))。同様に、負荷駆動回路においては、スイッチ素子Q1のスイッチング時において、ゲート電圧V_{GE}の時間変化量が、コンデンサC1及び抵抗R2によってカップリングされて検出される。この検出された電圧は、オペアンプI1における入力マイナス端子に入力される(図2(h))。

50

【0038】

ここで、オペアンプ I 1 における入力プラス端子の端子電圧 $V(+)$ 及び入力マイナス端子の端子電圧 $V(-)$ は、スイッチ素子 Q 1 が正常動作時の時間 t_1 , t_2 において、互いに同レベルとなるように、コンデンサ C 1 及び抵抗 R 2、又はコンデンサ C 2 及び抵抗 R 4 によってゲイン調整される(図 2 (h)、(i))。したがって、負荷駆動回路においては、差動増幅するように構成されたオペアンプ I 1 における出力端子の端子電圧 V_{out} は、相殺されて 0 ボルトとなる(図 2 (j))。

【0039】

[IGBT 異常時の回路動作]

つぎに、スイッチ素子 Q 1 が異常である場合における回路動作について説明する。

10

【0040】

時間 t_3 において、スイッチ素子 Q 1 におけるゲート端子 G とエミッタ端子 (E) との間が短絡故障したものとす。この場合、負荷駆動回路においては、短絡故障が発生した時間 t_3 において、ゲート抵抗 (R 1) のみによって制限されたゲート電流 I_g が、ゲート電源供給線 3 からバッファ回路 2 を介して接地端子へと流れ込む(図 2 (e))。

【0041】

このとき、ゲート電圧 V_{GE} は、0 ボルト近傍にまで低下するので(図 2 (f))、オペアンプ I 1 における入力マイナス端子の端子電圧 $V(-)$ は、急激にローレベルとなる(図 2 (h))。一方、バッファ回路 2 に対する入力信号である駆動パルス信号 S_{dp} は、ハイレベルを維持した状態が継続するので(図 2 (a))、オペアンプ I 1 における入力

20

【0042】

これらのオペアンプ I 1 における入力プラス端子及び入力マイナス端子の端子電圧 $V(+)$, $V(-)$ の差動増幅の結果となる出力端子の端子電圧 V_{out} は、異常ゲート電流の時間変化量に相当して出力されるので(図 2 (j))、これに応じてゲート電源消費電流 I_{cc} を、PNP トランジスタ Q 2 によって抑制することが可能となる。

【0043】

また、負荷駆動回路においては、ゲート電圧 V_{GE} の時間変化量に応じて、ゲート電源消費電流 I_{cc} を抑制制御することが可能であるため、スイッチ素子 Q 1 におけるゲート端子 G とエミッタ端子 (E) との間にハーフショート等の中間故障が発生した場合であっても、リニアにゲート電源消費電流 I_{cc} を抑制することができる。

30

【0044】

[比較例]

ここで、上述した本発明を適用した負荷駆動回路に対する、異常検出動作及び保護動作の比較例について図 3 を参照して説明する。

【0045】

なお、図 3 には、上述した駆動パルス信号 S_{dp} に相当する駆動パルス信号 S_{dp}' (図 3 (a)) と、上述したゲート電圧 V_{GE} に相当するゲート電圧 V_{GE}' と(図 3 (b))、異常を検出した旨をローレベルで示す異常検出信号(図 3 (c)) と、上述したゲート電源消費電流 I_{cc} に相当するゲート電源消費電流 I_{cc}' (図 3 (d)) とについての時間変化を示している。また、図 3 に示す時間 t_1' , t_2' , t_3' は、それぞれ、図 2 に示した時間 t_1 , t_2 , t_3 に相当し、時間 t_3' において異常が発生するものとする。さらに、図 3 に示すゲート電源消費電流 I_{cc}' は、ともに、ゲート電源から素子へと流れる方向を正 (+) とし、素子から接地端子へと流れる方向を負 (-) としている。

40

【0046】

IGBT のターンオン動作及びターンオフ動作は、特に図示しないが、図 2 に示したものと同様である。ただし、比較例においては、異常検出回路を成立させるために、ゲート電源として、正負の両電源を有する構成となっており、図 3 に示す時間 t_2' におけるゲ

50

ト電源消費電流 I_{cc} は、負方向に発生することになる（図3（d））。

【0047】

比較例においては、IGBTがオン状態又はオフ状態のいずれかの安定動作状態におけるゲート電圧 V_{GE} を検出し（図3（b））、このゲート電圧 V_{GE} が所定のレベルにあるか否かに基づいて異常の有無を判定している。このため、比較例においては、IGBTのスイッチング時には、ゲート電圧 V_{GE} が、所定の $+V_{ge}$ から $-V_{ge}$ へと遷移する期間、又は $-V_{ge}$ から $+V_{ge}$ へと遷移する期間 t_a のような過渡的な動作時間を無視する必要があるので、フィルタ回路を設ける必要がある。

【0048】

したがって、比較例においては、時間 t_3 'にて異常が検出され、ゲート電源消費電流 I_{cc} 'の抑制を開始する時間 t_4 'までの間に、（図3（d））における実線で示すように、フィルタ回路の時定数（ t_a ）に相当する時間の遅延が生じ、短絡時に発生するゲート電流を維持する時間が長くなる。また、比較例においては、フィルタ回路の時定数以内に発生するゲート端子とエミッタ端子との間の短絡故障を検出することができないので、検出時間が遅延する。さらに、比較例においては、異常検出後に抵抗の切り替えによって抑制したゲート電源消費電流 I_{cc} 'が、制限用の抵抗とゲート電源とによって決定されるので、（図3（d））における実線で示すように、“0”とはならず一定値を有し、条件によっては回路素子を破壊する可能性が否めない。

【0049】

これに対して、本発明を適用した負荷駆動回路においては、スイッチ素子 Q_1 のゲート電圧 V_{GE} の時間変化量を検出するので、異常発生時等であっても、（図3（d））における一点鎖線で示すように、検出時間の遅延を大幅に少なくすることができ、また、ゲート電源消費電流 I_{cc} も大幅に抑制することができる。

【0050】

[実施形態の効果]

以上詳細に説明したように、本発明を適用したスイッチ素子 Q_1 の負荷駆動回路は、スイッチ素子 Q_1 におけるゲート電圧 V_{GE} の時間変化量と、バッファ回路2における入力端子電圧の時間変化量とを検出し、これら電圧時間変化量に基づいて、スイッチ素子 Q_1 のゲート短絡故障を検出することができる。これにより、負荷駆動回路は、短絡異常時のゲート電圧 V_{GE} の時間変化量を、基準電流との比較検出で求めるので、短絡異常の発生から回路保護動作への応答時間を速くすることができる。

【0051】

ここで、比較例は、ゲート電源として正負の両電源を用いることにより、ゲートオフ期間もフィルタ回路からの出力電圧が発生するので、単電源のみでIGBTのスイッチングを行うシステムには適用できなかったが、これに対して、本発明を適用した負荷駆動回路は、短絡異常時のゲート電圧 V_{GE} の時間変化量を検出するので、ゲート電源供給線3が単電源であるシステムにも適用することができる。

【0052】

また、比較例は、ゲート端子とエミッタ端子との間の短絡時に、フィルタ回路後段に設けられる低電圧検出回路によって異常検出した後、ゲート電源の出力ラインの制限抵抗を大きいものに切り替え、ゲート電流を小さく絞ることで回路素子の破壊を防止するものであったが、制限抵抗が固定定数であるので、スイッチング回路構成毎に定数調整を要していた。これに対して、負荷駆動回路は、スイッチ素子 Q_1 のゲート短絡故障が検出された場合にゲート電源消費電流 I_{cc} を制限するものである。これにより、負荷駆動回路は、短絡異常時のゲート電圧 V_{GE} の時間変化量を検出すると共に、この変化量に応じてリニアに異常ゲート電流を制限することができ、確実に回路素子の保護を図ることができる。

【0053】

さらに、負荷駆動回路は、スイッチ素子 Q_1 におけるゲート端子 G に接続されたコンデンサ C_1 と、一端がコンデンサ C_1 に接続されると共に他端が接地された抵抗 R_2 とから第1の電圧変化量検出手段を構成すると共に、バッファ回路2における入力端子に接続され

たコンデンサC2と、一端がコンデンサC2に接続されると共に他端が接地された抵抗R4とから第2の変化量検出手段を構成し、コンデンサC1と抵抗R2との間の電圧と、コンデンサC2と抵抗R4との間の電圧とをオペアンプI1によって比較し、スイッチ素子Q1のゲート短絡故障を検出することにより、極めて簡易な構成のもとに、短絡異常の発生から回路保護動作への応答時間が速いシステムを構築することができる。

【0054】

さらにまた、負荷駆動回路は、コンデンサC1と抵抗R2との間の電圧と、コンデンサC2と抵抗R4との間の電圧とを入力してこれら電圧の差分を増幅して出力するオペアンプI1を用いて故障検出手段を構成し、このオペアンプI1の出力に応じて、ゲート電源消費電流Iccを制限することにより、極めて簡易な構成のもとに、短絡異常の発生を検出し、回路素子の保護を図ることができる。

10

【0055】

また、負荷駆動回路は、入力電源4にエミッタ端子が接続されると共にゲート電源供給線3にコレクタ端子が接続されたPNPトランジスタQ2を用いて制限手段を構成し、オペアンプI1の出力をこのPNPトランジスタQ2におけるベース端子に入力してゲート電源消費電流Iccを制限することにより、極めて簡易な構成のもとに回路素子の保護を図ることができる。

【0056】

なお、上述の実施形態は本発明の一例である。このため、本発明は、上述の実施形態に限定されることはなく、この実施形態以外の形態であっても、本発明に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

20

【図面の簡単な説明】

【図1】本発明を適用した負荷駆動回路の構成を示す回路図である。

【図2】本発明を適用した負荷駆動回路の動作を示すタイムチャートである。

【図3】比較例の動作を示すタイムチャートである。

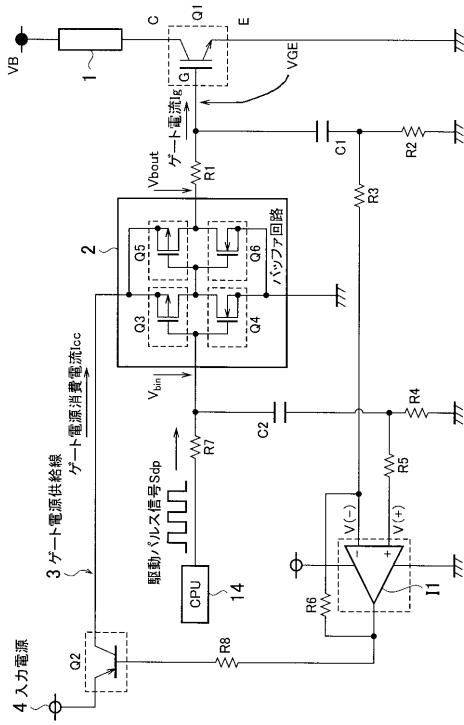
【符号の説明】

- 1 負荷
- 2 バッファ回路
- 3 ゲート電源供給線
- 4 入力電源
- 5 CPU
- C コレクタ端子
- C1, C2 コンデンサ
- E エミッタ端子
- G ゲート端子
- I1 オペアンプ
- Icc ゲート電源消費電流
- Ig ゲート電流
- Q1 スイッチ素子
- Q2 PNPトランジスタ
- Q3 ~ Q6 MOSFET
- R1 ~ R8 抵抗

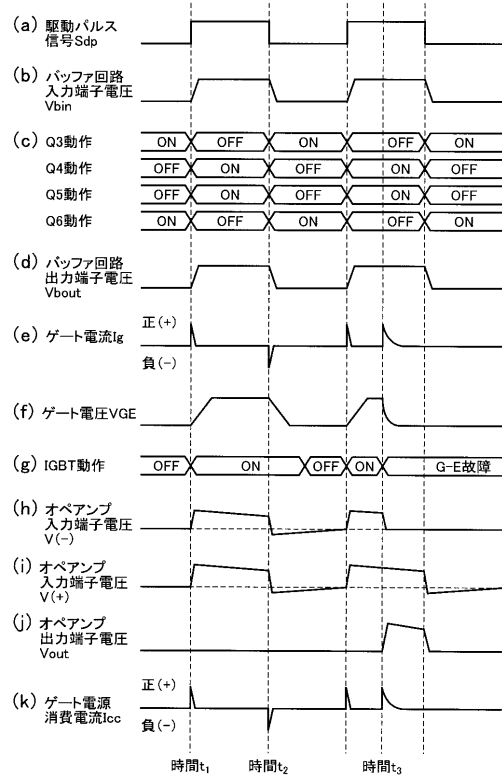
30

40

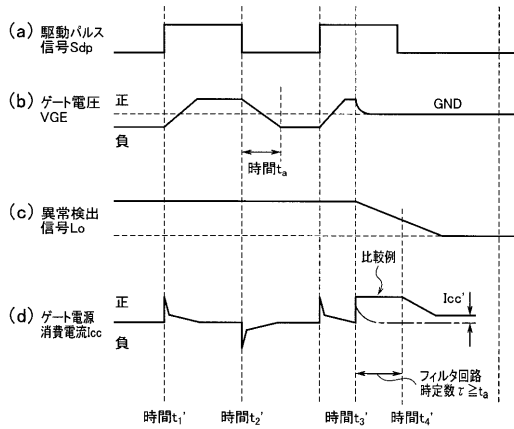
【図 1】



【図 2】



【図 3】



フロントページの続き

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 東 和幸

神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

Fターム(参考) 5H740 AA04 AA08 BA11 BC01 HH05 JA01 KK01 MM02