

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-40150

(P2010-40150A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 A	5 F 0 8 3
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 8	
H O 1 L 45/00 (2006.01)	H O 1 L 45/00 Z	
H O 1 L 49/00 (2006.01)	H O 1 L 49/00 Z	
	H O 1 L 45/00 A	
審査請求 未請求 請求項の数 5 O L (全 13 頁)		

(21) 出願番号	特願2008-205102 (P2008-205102)	(71) 出願人	000003078
(22) 出願日	平成20年8月8日 (2008.8.8)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100092820
			弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	松尾 良輔
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		Fターム(参考)	5F083 FZ10 GA10 GA15 JA60 KA01
			KA05 LA10

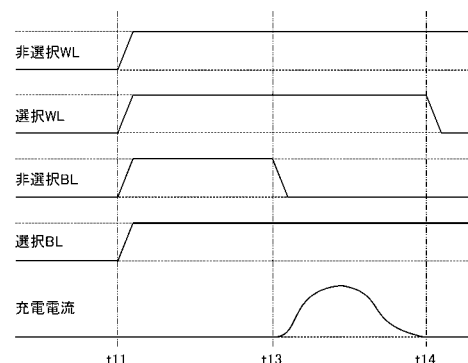
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】誤動作を抑制した不揮発性半導体記憶装置を提供する。

【解決手段】不揮発性半導体記憶装置は、ビット線B L及びワード線W L、並びにビット線B L及びワード線W Lの各交差部に配置された電氣的に書き換え可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子V Rを含むメモリセルM Cを有する複数の単位セルアレイM A T 0 0 ~ 1 1を備える。不揮発性半導体記憶装置は、メモリセルM Cに対して所定の電圧を印加するカラム制御回路2及びロウ制御回路3を備える。カラム制御回路2及びロウ制御回路3は、単位セルアレイM A T 0 0に含まれ且つ書き換えを行わないメモリセルM Cの寄生容量に、時刻t 1 1で所定の電荷を蓄積させる。カラム制御回路2及びロウ制御回路3は、単位セルアレイM A T 0 1 ~ 1 1に含まれ且つ書き換えを行わないメモリセルの寄生容量に時刻t 1 4で所定電荷を蓄積させる。

【選択図】図9



【特許請求の範囲】**【請求項 1】**

互いに交差する第 1 配線及び第 2 配線、並びに前記第 1 配線及び前記第 2 配線の各交差部に配置された電氣的に書き換え可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子を含むメモリセルを有する複数の単位セルアレイを備える不揮発性半導体記憶装置であって、

前記メモリセルに対する選択的なアクセスに際して前記メモリセルに所定の電圧を印加する制御回路を備え、

前記制御回路は、特定の前記単位セルアレイである第 1 単位セルアレイに含まれ且つアクセスしない前記メモリセルの寄生容量に、第 1 時刻で所定の電荷を蓄積させる一方、前記第 1 単位セルアレイ以外の特定の前記単位セルアレイである第 2 単位セルアレイに含まれ且つアクセスしない前記メモリセルの寄生容量に、前記第 1 時刻から所定時間経過した第 2 時刻で所定の電荷を蓄積させる

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記メモリセルは、前記交差部にて前記第 1 配線から前記第 2 配線へと向かう方向に電荷を転送するダイオードを備え、

前記制御回路は、

前記第 1 時刻にて前記第 1 単位セルアレイに含まれ且つアクセスしない前記メモリセルに接続される前記第 2 配線を昇圧すると共に、前記第 2 単位セルアレイに含まれる前記第 1 配線及び前記第 2 配線を昇圧し、前記第 2 時刻にて前記第 2 単位セルアレイに含まれ且つアクセスしない前記メモリセルに接続される前記第 1 配線を降圧する

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記制御回路は、前記第 1 時刻から所定時間経過後の第 3 時刻に、前記第 1 単位セルアレイに含まれ且つアクセスする前記メモリセルに接続された前記第 1 配線を昇圧する

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記制御回路は、前記第 2 時刻から所定時間経過後の第 4 時刻に、前記第 2 単位セルアレイに含まれ且つアクセスする前記メモリセルに接続された前記第 1 配線を降圧する

ことを特徴とする請求項 2 又は請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】

前記制御回路は、前記メモリセルにアクセス可能となる閾値未満の中間電圧を印加することを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項記載の不揮発性半導体記憶装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、クロスポイント型メモリセルを積層した多層構造の不揮発性半導体記憶装置に関する。

【背景技術】**【0002】**

従来、電氣的に書き換え可能な不揮発性メモリとしては、フローティングゲート構造を有するメモリセルを NAND 接続又は NOR 接続してメモリセルアレイを構成したフラッシュメモリが周知である。また、不揮発性で且つ高速なランダムアクセスが可能なメモリとして、強誘電体メモリも知られている。

【0003】

一方、メモリセルの更なる微細化を図る技術として、可変抵抗素子をメモリセルに使用した抵抗変化型メモリが提案されている。可変抵抗素子としては、カルコゲナイド化合物の結晶 / アモルファス化の状態変化によって抵抗値を変化させる相変化メモリ素子、トン

10

20

30

40

50

ネル磁気抵抗効果による抵抗変化を用いるMRAM素子、導電性ポリマーで抵抗素子が形成されるポリマー強誘電性RAM(PFRAM)のメモリ素子、電気パルス印加によって抵抗変化を起こすReRAM素子等が知られている。(特許文献1)。

【0004】

この抵抗変化型メモリはトランジスタに変えてショットキーダイオードと抵抗変化素子の直列回路によりメモリセルを構成することができるので、積層が容易で3次元構造化することにより更なる高集積化が図れるという利点がある(特許文献2)。

【0005】

抵抗変化型メモリを用いる場合、全ての動作に先駆けて、メモリセルに逆バイスがかかるように非選択のメモリセルに接続された一方の配線(ワード線或いはビット線)、又は全て(非選択及び選択)のメモリセルに接続された一方の配線を昇圧する必要がある。このような動作に伴い、メモリセルの寄生容量は充電され、充電電流が生成される。

10

【0006】

しかしながら、寄生容量への充電電流は、抵抗変化型メモリを高集積化すればするほど大きくなる。これにより、電源ノイズが生じ、誤動作が生じるおそれがある。

【特許文献1】特開2006-344349号、段落0021

【特許文献2】特開2005-522045号

【発明の開示】

【発明が解決しようとする課題】

【0007】

20

本発明は、寄生容量への充電電流による誤動作を抑制した不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様に係る不揮発性半導体記憶装置は、互いに交差する第1配線及び第2配線、並びに前記第1配線及び前記第2配線の各交差部に配置された電氣的に書き換え可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子を含むメモリセルを有する複数の単位セルアレイを備える不揮発性半導体記憶装置であって、前記メモリセルに対する選択的なアクセスに際して前記メモリセルに所定の電圧を印加する制御回路を備え、前記制御回路は、特定の前記単位セルアレイである第1単位セルアレイに含まれ且つアクセスしない前記メモリセルの寄生容量に、第1時刻で所定の電荷を蓄積させる一方、前記第1単位セルアレイ以外特定の前記単位セルアレイである第2単位セルアレイに含まれ且つアクセスしない前記メモリセルの寄生容量に、前記第1時刻から所定時間経過した第2時刻で所定の電荷を蓄積させることを特徴とする。

30

【発明の効果】

【0009】

本発明によれば、寄生容量への充電電流による誤動作を抑制した不揮発性半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0010】

40

以下、図面を参照して、この発明の実施形態を説明する。

【0011】

[第1実施形態]

(第1実施形態に係る不揮発性半導体記憶装置の概略構成)

先ず、図1を参照して、第1実施形態に係る不揮発性半導体記憶装置の概略構成を説明する。図1は、本発明の第1実施形態に係る不揮発性半導体記憶装置(不揮発性メモリ)のブロック図である。

【0012】

この不揮発性半導体記憶装置は、後述する可変抵抗素子を使用したメモリセルをマトリクス状に配置したメモリセルアレイ1を備える。メモリセルアレイ1のビット線BL方向

50

に隣接する位置には、メモリセルアレイ 1 のビット線 B L を制御し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しを行うカラム制御回路 2 が設けられている。また、メモリセルアレイ 1 のワード線 W L 方向に隣接する位置には、メモリセルアレイ 1 のワード線 W L を選択し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しに必要な電圧を印加するロウ制御回路 3 が設けられている。

【 0 0 1 3 】

データ入出力バッファ 4 は、図示しない外部のホストに I / O 線を介して接続され、書き込みデータの受け取り、消去命令の受け取り、読み出しデータの出力、アドレスデータやコマンドデータの受け取りを行う。データ入出力バッファ 4 は、受け取った書き込みデータをカラム制御回路 2 に送り、カラム制御回路 2 から読み出したデータを受け取って外部に出力する。外部からデータ入出力バッファ 4 に供給されたアドレスは、アドレスレジスタ 5 を介してカラム制御回路 2 及びロウ制御回路 3 に送られる。また、ホストからデータ入出力バッファ 4 に供給されたコマンドは、コマンド・インターフェイス 6 に送られる。コマンド・インターフェイス 6 は、ホストからの外部制御信号を受け、データ入出力バッファ 4 に入力されたデータが書き込みデータかコマンドかアドレスかを判断し、コマンドであれば受け取りコマンド信号としてステートマシン 7 に転送する。ステートマシン 7 は、この不揮発性半導体記憶装置全体の管理を行うもので、ホストからのコマンドを受け付け、読み出し、書き込み、消去、データの入出力管理等を行う。また、外部のホストは、ステートマシン 7 が管理するステータス情報を受け取り、動作結果を判断することも可能である。また、このステータス情報は書き込み、消去の制御にも利用される。

【 0 0 1 4 】

また、ステートマシン 7 によってパルスジェネレータ 9 が制御される。この制御により、パルスジェネレータ 9 は任意の電圧、任意のタイミングのパルスを出力することが可能となる。ここで、形成されたパルスはカラム制御回路 2 及びロウ制御回路 3 で選択された任意の配線へ転送することが可能である。

【 0 0 1 5 】

なお、メモリセルアレイ 1 以外の周辺回路素子は、配線層に形成されたメモリアレイ 1 の直下の S i 基板に形成可能であり、これにより、この不揮発性半導体記憶装置のチップ面積はほぼ、メモリセルアレイ 1 の面積に等しくすることも可能である。

【 0 0 1 6 】

なお、上記構成を換言すると、カラム制御回路 2 及びロウ制御回路 3 は、メモリセルに対する選択的なアクセスに際して所定の電圧を印加する制御回路として機能する。ここで、アクセスとは、セット（書き込み）、リセット（消去）、リード（読み出し）の全ての動作を含む。

【 0 0 1 7 】

（メモリセルアレイ 1 の具体的構成）

次に、主に、図 2 ～図 6 を参照して、メモリセルアレイ 1 の具体的構成について説明する。図 2 は、メモリセルアレイ 1 の斜視図である。図 3 は、メモリセルアレイ 1 の一部拡大斜視図である。図 4 は、図 3 における I - I ' 線で切断して矢印方向に見たメモリセルの断面図である。図 5 は、図 4 に示すメモリセル M C 0 の拡大断面図である。図 6 は、抵抗変化素子 V R の一例を示す図である。

【 0 0 1 8 】

メモリセルアレイ 1 は、図 2 に示すように、例えば、4 つの単位セルアレイ M A T 0 0 ～ M A T 1 1 にて分割されて構成されている。各々の単位セルアレイ M A T 0 0 ～ M A T 1 1 は、メモリセルアレイ 1 の一部を有する。単位セルアレイ M A T 0 0 ～ M A T 1 1 は、図 2 に示すように 2 次元方向にマトリクス状に配置されている。なお、図 2 は、一例であり、メモリセルアレイ 1 は、4 つ以上の単位セルアレイを有する構成であってもよい。また、メモリセルアレイ 1 は、2 次元方向に配置された構成に限らず、3 次元的に積層させた構成であってもよい。

【 0 0 1 9 】

単位セルアレイ M A T 0 0 は、図 4 に示すように、積層されたメモリセルアレイ層 M A 0 ~ M A 3 からなる 4 層の積層構造を有する。メモリセルアレイ層 M A 0 ~ M A 3 は、メモリセルアレイ 1 の一部として機能する。なお、単位セルアレイ M A T 0 0 は、4 層の積層構造に限られるものではなく、4 層以上の積層構造を有するものであってもよい。単位セルアレイ M A T 0 1、M A T 1 0、M A T 1 1 は、単位セルアレイ M A T 0 0 と同様の構成を有する。

【 0 0 2 0 】

メモリセルアレイ層 M A 0 には、図 4 に示すように、複数本の第 1 配線としてビット線 B L 0 0 ~ B L 0 2、及び複数本の第 2 配線としてワード線 W L 0 0 ~ W L 0 2 が設けられている。メモリセルアレイ層 M A 2、M A 3 は、メモリセルアレイ層 M A 0 と略同様の構成を有する。ビット線（第 1 配線）B L 0 0 ~ B L 2 2、及びワード線（第 2 配線）W L 0 0 ~ W L 1 2 は、熱に強く、且つ抵抗値の低い材料が望ましく、例えば W, W S i, N i S i, C o S i 等を用いることができる。なお、メモリセルアレイ層 M A 0 ~ M A 3 は、ビット線 B L 0 0 ~ B L 2 2、ワード線 W L 0 0 ~ W L 1 2 よりも、さらに複数のビット線 B L、及びワード線 W L を有する構成であってもよい。

【 0 0 2 1 】

ビット線 B L 0 0 ~ B L 0 2 は、所定の高さに揃って第 1 方向に延びるように形成されている。ワード線 W L 0 0 ~ W L 0 2 は、ビット線 B L 0 0 ~ B L 0 2 とビット線 B L 1 0 ~ B L 1 2 の間において高さを揃えて第 2 方向（第 1 方向と直交する方向）に延びるように形成されている。ビット線 B L 1 0 ~ B L 1 2 は、ワード線 W L 0 0 ~ W L 0 2 とワード線 W L 1 0 ~ W L 1 2 の間において高さを揃えて第 1 方向に延びるように形成されている。ワード線 W L 1 0 ~ W L 1 2 は、ビット線 B L 1 0 ~ B L 1 2 とビット線 B L 2 0 ~ B L 2 2 の間において高さを揃えて第 2 方向に延びるように形成されている。ビット線 B L 2 0 ~ B L 2 2 は、ワード線 W L 1 0 ~ W L 1 2 の上層にて高さを揃えて第 1 方向に延びるように形成されている。

【 0 0 2 2 】

すなわち、ワード線 W L 0 0 ~ W L 0 2、ビット線 B L 0 0 ~ B L 0 2 の各交差部に両配線に挟まれるようにメモリセル M C 0 が配置されている。ワード線 W L 0 0 ~ W L 0 2、ビット線 B L 1 0 ~ B L 1 2 の各交差部に両配線に挟まれるようにメモリセル M C 1 が配置されている。ワード線 W L 1 0 ~ W L 1 2、ビット線 B L 1 0 ~ B L 1 2 の各交差部に両配線に挟まれるようにメモリセル M C 2 が配置されている。ワード線 W L 1 0 ~ W L 1 2、ビット線 B L 2 0 ~ B L 2 2 の各交差部に両配線に挟まれるようにメモリセル M C 3 が配置されている。ワード線 W L 0 0 ~ W L 0 2 がその上下のメモリセル M C 0, M C 1 で共有されている。また、ビット線 B L 1 0 ~ B L 1 2 がその上下のメモリセル M C 1, M C 2 で共有され、ワード線 W L 1 0 ~ W L 1 2 がその上下のメモリセル M C 2, M C 3 で共有されている。また、このような配線 / セル / 配線 / セルの繰り返しではなく、配線 / セル / 配線 / 層間絶縁膜 / 配線 / セル / 配線のように、セルアレイ層間に層間絶縁膜を介在させるようにしても良い。

【 0 0 2 3 】

メモリセル M C 0 は、図 5 に示すように、可変抵抗素子 V R と非オーミック素子 N O の直列接続回路からなる。なお、メモリセル M C 1 ~ M C 3 は、メモリセル M C 0 と同様の構成を有する。

【 0 0 2 4 】

図 5 に示すように、可変抵抗素子 V R としては、電圧印加によって、電流、熱、化学エネルギー等を介して抵抗値を変化させることができるもので、上下にバリアメタル及び接着層として機能する電極 E L 1, E L 2 が配置される。電極材としては、Pt, Au, Ag, TiAlN, SrRuO, Ru, RuN, Ir, Co, Ti, TiN, TaN, LaNiO, Al, PtIrOx, PtRhOx, Rh/TaAlN 等が用いられる。また、配向性を一様にするようなメタル膜の挿入も可能である。また、別途バッファ層、バリアメタル層、接着層等を挿入することも可能である。

10

20

30

40

50

【 0 0 2 5 】

可変抵抗素子 V R は、カルコゲナイド等のように結晶状態と非結晶状態の相転移により抵抗値を変化させるもの (P C R A M)、金属陽イオンを析出させて電極間に架橋 (コンタクティングブリッジ) を形成したり、析出した金属をイオン化して架橋を破壊することで抵抗値を変化させるもの (C B R A M)、電圧あるいは電流印加により抵抗値が変化するもの (R e R A M) (電極界面に存在する電荷トラップにトラップされた電荷の存在の有無により抵抗変化が起きるものと、酸素欠陥等に気韻する伝導パスの存在の有無により抵抗変化が起きるものとに大別される。) 等を用いることができる。

【 0 0 2 6 】

図 6 は、この R e R A M の例を示す図である。図 6 に示す可変抵抗素子 V R は、電極層 1 1、1 3 の間に記録層 1 2 を配置してなる。記録層 1 2 は、少なくとも 2 種類の陽イオン元素を有する複合化合物から構成される。陽イオン元素の少なくとも 1 種類は電子が不完全に満たされた d 軌道を有する遷移元素とし、且つ隣接する陽イオン元素間の最短距離は、0.32 nm 以下とする。具体的には、化学式 $A_x M_y X_z$ (A と M は互いに異なる元素) で表され、例えばスピネル構造 ($A M_2 O_4$)、イルメナイト構造 ($A M O_3$)、デラフォサイト構造 ($A M O_2$)、L i M o N₂ 構造 ($A M N_2$)、ウルフラマイト構造 ($A M O_4$)、オリビン構造 ($A_2 M O_4$)、ホランダイト構造 ($A_x M O_2$)、ラムスデライト構造 ($A_x M O_2$) ペロブスカイト構造 ($A M O_3$) 等の結晶構造を持つ材料により構成される。

【 0 0 2 7 】

図 6 の例では、A が Z n、M が M n、X が O である。記録層 1 2 内の小さな白丸は拡散イオン (Z n)、大きな白丸は陰イオン (O)、小さな黒丸は遷移元素イオン (M n) をそれぞれ表している。記録層 1 2 の初期状態は高抵抗状態であるが、電極層 1 1 を固定電位、電極層 1 3 側に負の電圧を印加すると、記録層 1 2 中の拡散イオンの一部が電極層 1 3 側に移動し、記録層 1 2 内の拡散イオンが陰イオンに対して相対的に減少する。電極層 1 3 側に移動した拡散イオンは、電極層 1 3 から電子を受け取り、メタルとして析出するため、メタル層 1 4 を形成する。記録層 1 2 の内部では、陰イオンが過剰となり、結果的に記録層 1 2 内の遷移元素イオンの価数を上昇させる。これにより、記録層 1 2 はキャリアの注入により電子伝導性を有するようになってセット動作が完了する。再生に関しては、記録層 1 2 を構成する材料が抵抗変化を起こさない程度の微小な電流値を流せば良い。プログラム状態 (低抵抗状態) を初期状態 (高抵抗状態) にリセットするには、例えば記録層 1 2 に大電流を十分な時間流してジュール加熱して、記録層 1 2 の酸化還元反応を促進すれば良い。また、セット時と逆向きの電場を印加することによってモリセット動作が可能である。

【 0 0 2 8 】

(単位セルアレイ M A T 0 0 の回路構成)

次に、図 7 を参照して、第 1 実施形態に係る不揮発性半導体記憶装置の単位セルアレイ M A T 0 0 の回路構成について説明する。図 7 は、第 1 実施形態に係る不揮発性半導体記憶装置の単位セルアレイ M A T 0 0 を示す回路図である。なお、単位セルアレイ M A T 0 1、1 0、1 1 は、単位セルアレイ 0 0 と同様の回路構成を有する。

【 0 0 2 9 】

上述したように、単位セルアレイ M A T 0 0 の回路は、図 7 に示す構成を有する。すなわち、単位セルアレイ M A T 0 0 の回路は、ビット線 B L 0 0 ~ B L 0 2、ワード線 W L 0 0 ~ W L 0 2、ダイオード S D (非オーミック素子 N O)、及び可変抵抗素子 V R を有する。ダイオード S D、及び可変抵抗素子 V R は、直列接続され、ビット線 B L 0 0 ~ B L 0 2、及びワード線 W L 0 0 ~ W L 0 2 の各交差部に設けられている。ダイオード S D のアノードは、ビット線 B L 0 0 ~ B L 0 2 に接続されている。ダイオード S D のカソードは、可変抵抗素子 V R の一端に接続されている。可変抵抗素子 V R の他端は、ワード線 W L 0 0 ~ W L 0 2 に接続されている。これらビット線 B L 0 0 ~ B L 0 2 及びワード線 W L 0 0 ~ W L 0 2 の交差部に設けられたダイオード S D、及び可変抵抗素子 V R が、複

10

20

30

40

50

数のメモリセルMC0を構成する。上記構成を換言すると、ダイオードSDは、交差部にてビット線BL00～BL02からワード線WL00～WL02へと向かう方向に電荷を転送するように構成されている。

【0030】

(第1実施形態に係る不揮発性半導体記憶装置の書き込み動作)

次に、図8及び図9を参照して、第1実施形態に係る不揮発性半導体記憶装置の書き込み動作について説明する。図8は、第1の書き込み動作を示すタイミングチャートであり、図9は、第2の書き込み動作を示すタイミングチャートである。なお、第1の書き込み動作実行前、及び第2の書き込み動作実行前において、全てのワード線WL、及びビット線BLは、“L”状態(例えば、0V)であるものとする。以下において、書き込みを行うメモリセルMCに接続されたビット線BLを「選択ビット線BL」と称し、それ以外のビット線BLを「非選択ビット線BL」と称する。また、書き込みを行うメモリセルMCに接続されたワード線WLを「選択ワード線WL」と称し、それ以外のワード線WLを「非選択ワード線WL」と称する。

10

【0031】

カラム制御回路2及びロウ制御回路3は、特定の単位セルアレイ(第1単位セルアレイ)に対して第1の書き込み動作を実行する。ここで、第1実施形態における第1の書き込み動作の対象は、MAT00及びMAT01とする。また、カラム制御回路2及びロウ制御回路3は、特定の単位セルアレイ(第2単位セルアレイ)に対して第2書き込み動作を実行する。ここで、第1実施形態における第2の書き込み動作の対象は、単位セルアレイMAT10及びMAT11とする。

20

【0032】

以下に示す動作において、カラム制御回路2及びロウ制御回路3(制御回路)は、特定の単位セルアレイMAT00、MAT01(第1単位セルアレイ)に含まれ且つ書き換えを行わない(アクセスしない)メモリセルMCの寄生容量に、時刻t11(第1時刻)で所定の電荷を蓄積させる。また、カラム制御回路2及びロウ制御回路3は、単位セルアレイMAT10、MAT11(第2単位セルアレイ)に含まれ且つ書き換えを行わない(アクセスしない)メモリセルMCの寄生容量に、時刻t11から所定時間経過した時刻t13(第2時刻)で所定の電荷を蓄積させる。

30

【0033】

先ず、図8を参照して、第1の書き込み動作について説明する。図8に示すように、第1の書き込み動作において、ロウ制御回路3は、時刻t11(第1時刻)にて、非選択ワード線WLを“L”状態から“H”状態(例えば、3V)まで昇圧する。これにより、単位セルアレイMAT00及びMAT01に含まれ且つ非選択ワード線WLに接続されたメモリセルMCに逆バイアスがかかり、それらメモリセルMCの寄生容量に電荷が蓄積される。この際、図8に示すように時刻t11にて充電電流が生成される。

【0034】

続いて、カラム制御回路2は、時刻t11から所定時間経過後の時刻t12(第3時刻)において、選択ビット線BLを“H”状態まで昇圧する。これにより、時刻t12にて、単位セルアレイMAT00及びMAT01に含まれる選択ワード線WLと選択ビット線BLとに接続されたメモリセルMCに順バイアスがかかり、データが書き込まれる。以上で、第1の書き込み動作は、終了する。

40

【0035】

次に、図9を参照して、第2の書き込み動作について説明する。図9に示すように、第2の書き込み動作にて、ロウ制御回路3は、時刻t11において、選択ワード線WL、非選択ワード線WLを“L”状態から“H”状態まで昇圧する。また、カラム制御回路2は、時刻t11において、選択ビット線BL、非選択ビット線BLを“L”状態から“H”状態まで昇圧する。続いて、カラム制御回路2は、時刻t11から所定時間経過した時刻t13(第2時刻)において、非選択ビット線BLを“H”状態から“L”状態まで降圧する。これにより、単位セルアレイMAT10及びMAT11に含まれ且つ非選択ビット

50

線 B L に接続されたメモリセル M C に逆バイアスがかかり、それらメモリセル M C の寄生容量に電荷が蓄積される。この際、図 9 に示すように、時刻 t_{13} にて充電電流が生成される。

【0036】

次に、ロウ制御回路 3 は、時刻 t_{14} (第 4 時刻) において、選択ワード線 W L を " H " 状態から " L " 状態まで降圧する。これにより、選択ワード線 W L と選択ビット線 B L とに接続されたメモリセル M C に順バイアスがかかり、データが書き込まれる。以上で、第 2 の書き込み動作は、終了する。

【0037】

(第 1 実施形態に係る不揮発性半導体記憶装置の効果)

次に、図 10 を参照して、第 1 実施形態に係る不揮発性半導体記憶装置の効果について説明する。図 10 は、第 1 実施形態に係る不揮発性半導体記憶装置、及び比較例に係る充電電流の変化を示す図である。

【0038】

ここで、比較例に係る不揮発性半導体記憶装置は、全ての単位セルアレイに含まれるメモリセルに対して所定時刻で同時に充電を開始するものとする。これに対し、第 1 実施形態に係る不揮発性半導体記憶装置は、単位セルアレイ M A T 0 0、M A T 0 1 に対して第 1 の書き込み動作を行う。また、第 1 実施形態に係る不揮発性半導体記憶装置は、単位セルアレイ M A T 1 0、M A T 1 1 に対して第 2 の書き込み動作を行う。

【0039】

上記動作により、第 1 実施形態に係る不揮発性半導体記憶装置は、単位セルアレイ M A T 0 0、M A T 0 1 に対して時刻 t_{11} にて充電電流を生成する。一方、第 1 実施形態に係る不揮発性半導体記憶装置は、単位セルアレイ M A T 1 0、M A T 1 1 に対して時刻 t_{11} から所定時間経過した時刻 t_{13} にて充電電流を生成する。なお、時刻 t_{11} と時刻 t_{13} との間の時間間隔は、メモリセル M C の寄生容量と寄生抵抗を考慮して決定される。

【0040】

図 10 において、符号「A 1」にて示す図は、比較例に係る充電電流の経時変化を示している。符号「A 2」にて示す図は、第 1 実施形態の不揮発性半導体記憶装置に係る充電電流の経時変化を示している。符号「B 1」にて示す図は、比較例に係る電流変化速度 (di/dt) の経時変化を示している。符号「B 2」にて示す図は、第 1 実施形態の不揮発性半導体記憶装置に係る電流変化速度 (di/dt) の経時変化を示している。

【0041】

上記のように、第 1 実施形態に係る不揮発性半導体記憶装置は、単位セルアレイ M A T 0 0、M A T 0 1 と単位セルアレイ M A T 1 0、M A T 1 1 との間で時刻をずらして、メモリセル M C の寄生容量に電荷を蓄積する。したがって、図 10 の符号「A 1」及び符号「A 2」に示すように、第 1 実施形態に係る不揮発性半導体記憶装置は、比較例よりも充電電流の最大値を低くすることができる。これにより、図 10 の符号「B 1」及び符号「B 2」に示すように、第 1 実施形態に係る不揮発性半導体記憶装置は、比較例よりも電流変化速度 (di/dt) を一定にすることができる。つまり、第 1 実施形態に係る不揮発性半導体記憶装置は、比較例よりもノイズを低減させ、誤動作を抑制することができる。

【0042】

[第 2 実施形態]

(第 2 実施形態に係る不揮発性半導体記憶装置の書き込み動作)

次に、図 11 及び図 12 を参照して、第 2 実施形態に係る不揮発性半導体記憶装置の書き込み動作について説明する。第 2 実施形態に係る不揮発性半導体記憶装置は、第 1 実施形態と異なる第 1 の書き込み動作及び第 2 の書き込み動作を実行する。図 11 は、第 2 実施形態に係る第 1 の書き込み動作を示すタイミングチャートである。図 12 は、第 2 実施形態に係る第 2 の書き込み動作を示すタイミングチャートである。なお、第 2 実施形態に係る不揮発性半導体記憶装置において、第 1 実施形態と同様の構成については、同一符号を付し、その説明を省略する。

10

20

30

40

50

【 0 0 4 3 】

先ず、図 1 1 を参照して、第 1 の書き込み動作について説明する。図 1 1 に示すように、先ず、時刻 t_{11} に先だって時刻 t_{21} において、ロウ制御回路 3 は、非選択ワード線 WL を " L " 状態から中間電位 " V_{mid} " (例えば、1.5 V) まで昇圧する。この際、時刻 t_{21} にて、図 1 1 に示すように非選択ワード線 WL の " L " 状態から中間電位 " V_{mid} " への昇圧に対応する充電電流が生成される。なお、中間電位 " V_{mid} " は、メモリセル MC が書き込み状態 (アクセス可能) となる閾値未満の電圧であればよい。

【 0 0 4 4 】

続いて、ロウ制御回路 3 は、時刻 t_{11} において、非選択ワード線 WL を中間電位 " V_{mid} " から " H " 状態まで昇圧する。この際、時刻 t_{11} にて、図 1 1 に示すように非選択ワード線 WL の中間電位 " V_{mid} " から " H " 状態への昇圧に対応する充電電流が生成される。

10

【 0 0 4 5 】

時刻 t_{11} の後、第 2 実施形態に係る不揮発性半導体記憶装置は、時刻 t_{12} にて第 1 実施形態と同様の第 1 の書き込み動作を実行する。

【 0 0 4 6 】

次に、図 1 2 を参照して、第 2 の書き込み動作について説明する。図 1 2 に示すように、先ず、時刻 t_{11} に先だって時刻 t_{21} において、ロウ制御回路 3 は、選択ワード線 WL 及び非選択ワード線 WL を " L " 状態から中間電位 " V_{mid} " (例えば、1.5 V) まで昇圧する。また、時刻 t_{21} において、カラム制御回路 2 は、選択ビット線 BL 及び非選択ビット線 BL を " L " 状態から中間電位 " V_{mid} " まで昇圧する。

20

【 0 0 4 7 】

続いて、ロウ制御回路 3 は、時刻 t_{11} において、選択ワード線 WL 及び非選択ワード線 WL を中間電位 " V_{mid} " から " H " 状態まで昇圧する。また、カラム制御回路 2 は、時刻 t_{11} において、選択ビット線 BL 及び非選択ビット線 BL を中間電位 " V_{mid} " から " H " 状態まで昇圧する。

【 0 0 4 8 】

次に、カラム制御回路 2 は、時刻 t_{11} から所定時間経過後の時刻 t_{22} において、非選択ビット線 BL を " H " 状態から中間電位 " V_{mid} " まで降圧する。この際、時刻 t_{22} にて、図 1 2 に示すように非選択ビット線 BL の " H " 状態から中間電位 " V_{mid} " への降圧に対応する充電電流が生成される。

30

【 0 0 4 9 】

続いて、カラム制御回路 2 は、時刻 t_{22} から所定時間経過後の時刻 t_{23} において、非選択ビット線 BL を中間電位 " V_{mid} " から " L " 状態まで降圧する。この際、時刻 t_{23} にて、図 1 2 に示すように非選択ビット線 BL の中間電位 " V_{mid} " から " L " 状態への降圧に対応する充電電流が生成される。

【 0 0 5 0 】

時刻 t_{23} の後、第 2 実施形態に係る不揮発性半導体記憶装置は、時刻 t_{14} にて第 1 実施形態と同様の第 2 の書き込み動作を実行する。

【 0 0 5 1 】

40

(第 2 実施形態に係る不揮発性半導体記憶装置の効果)

次に、第 2 実施形態に係る不揮発性半導体記憶装置の効果について説明する。上記のように、第 2 実施形態に係る不揮発性半導体記憶装置は、第 1 実施形態と同様の構成を有し、略同様の動作を実行する。したがって、第 2 実施形態に係る不揮発性半導体記憶装置は、第 1 実施形態と同様の効果を奏する。

【 0 0 5 2 】

第 2 実施形態に係る不揮発性半導体記憶装置は、第 1 の書き込み動作において、時刻 t_{21} 及び時刻 t_{11} にて、2 段階でメモリセル MC の寄生容量に電荷を蓄積させる。また、第 2 実施形態に係る不揮発性半導体記憶装置は、第 2 の書き込み動作において、時刻 t_{22} 及び時刻 t_{23} にて、2 段階でメモリセル MC の寄生容量に電荷を蓄積させる。した

50

がって、第2実施形態に係る不揮発性半導体記憶装置は、第1実施形態よりも時間的に分散して、充電電流を生成することができる。つまり、第2実施形態に係る不揮発性半導体記憶装置は、第1実施形態よりもノイズを低減させ、誤動作を抑制することができる。

【0053】

また、第2実施形態に係る不揮発性半導体記憶装置は、一度、時刻 t_{21} にて中間電位 V_{mid} まで昇圧した後に、ワード線 WL （及びビット線 BL ）を“H”状態に昇圧する。したがって、第2実施形態に係る不揮発性半導体記憶装置は、第1実施形態よりも、時刻 t_{11} にてより速く書き込み動作を実行することができる。

【0054】

[その他の実施形態]

以上、不揮発性半導体記憶装置の第1及び第2実施形態を説明してきたが、本発明は、上記実施形態に限定されるものではなく、発明の趣旨を逸脱しない範囲内において種々の変更、追加、置換等が可能である。

【0055】

例えば、本発明は、メモリセルの構造に特に限定されるものではなく、相変化メモリ素子、MRAM素子、PFRAM、RRAM等、種々のクロスポイント型の多層メモリに適用可能である。

【図面の簡単な説明】

【0056】

【図1】本発明の第1実施形態に係る不揮発性半導体記憶装置のブロック図である。

【図2】メモリセルアレイ1の斜視図である。

【図3】メモリセルアレイ1の一部拡大斜視図である。

【図4】図3におけるI-I'線で切断して矢印方向に見たメモリセルの断面図である。

【図5】図4に示すメモリセルMC0の拡大断面図である。

【図6】抵抗変化素子VRの一例を示す図である。

【図7】第1実施形態に係る単位セルアレイMAT00を示す回路図である。

【図8】第1実施形態に係る不揮発性半導体記憶装置の第1の書き込み動作を示すタイミングチャートである。

【図9】第1実施形態に係る不揮発性半導体記憶装置の第2の書き込み動作を示すタイミングチャートである。

【図10】第1実施形態に係る不揮発性半導体記憶装置の効果を説明する図である。

【図11】第2実施形態に係る不揮発性半導体記憶装置の第1の書き込み動作を示すタイミングチャートである。

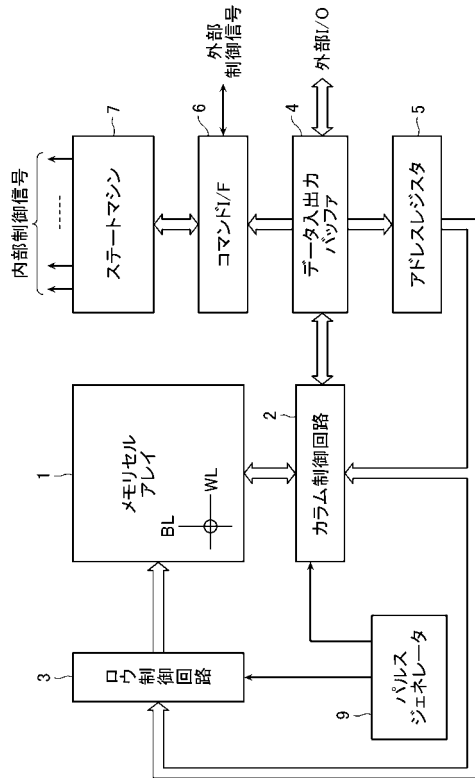
【図12】第2実施形態に係る不揮発性半導体記憶装置の第2の書き込み動作を示すタイミングチャートである。

【符号の説明】

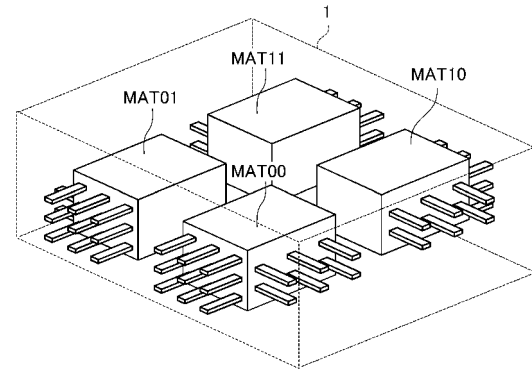
【0057】

1...メモリセルアレイ、2...カラム制御回路、3...ロウ制御回路、4...データ入出力バッファ、5...アドレスレジスタ、6...コマンド・インターフェイス、7...ステートマシン、9...パルスジェネレータ。

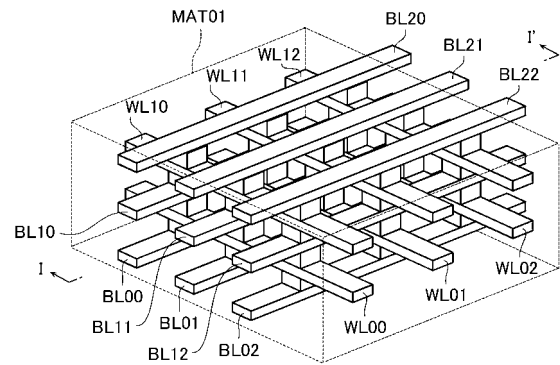
【図 1】



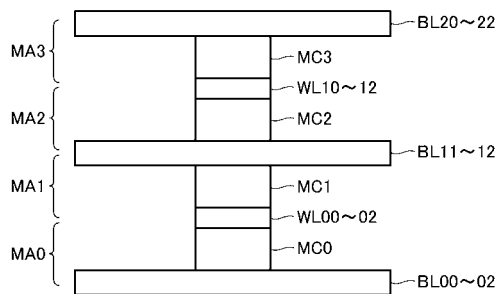
【図 2】



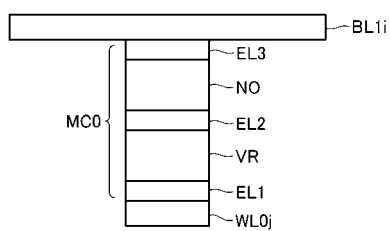
【図 3】



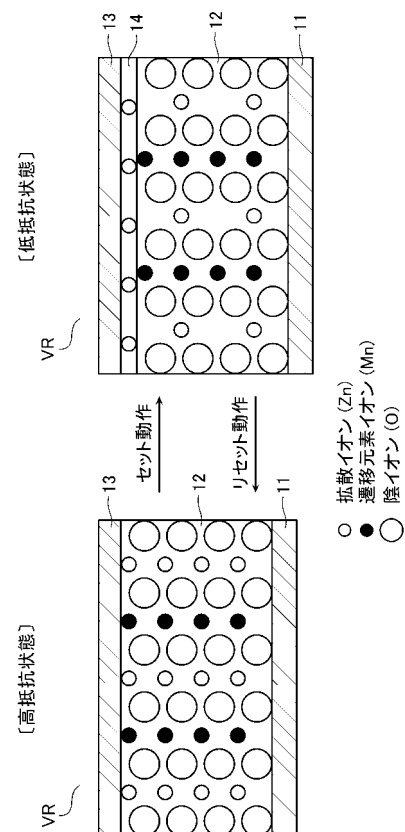
【図 4】



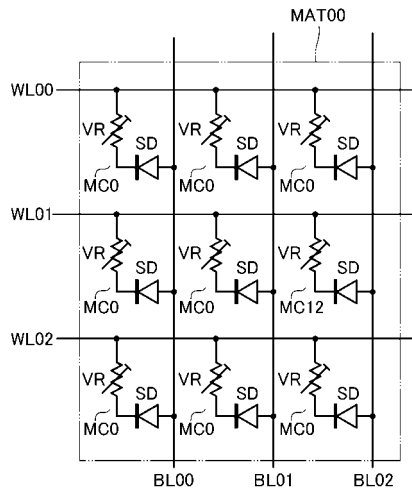
【図 5】



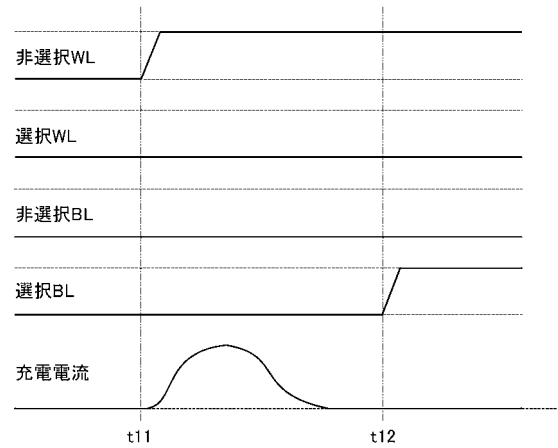
【図 6】



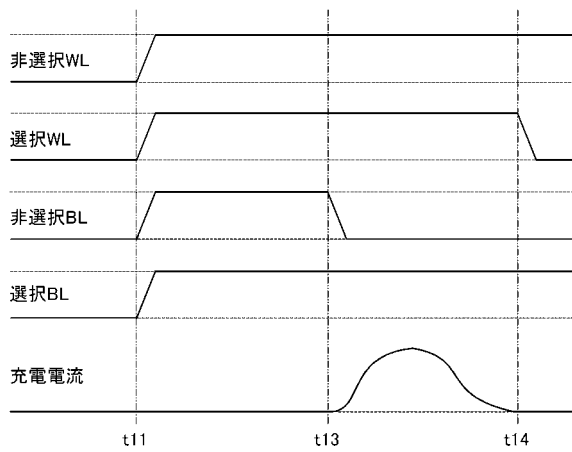
【図 7】



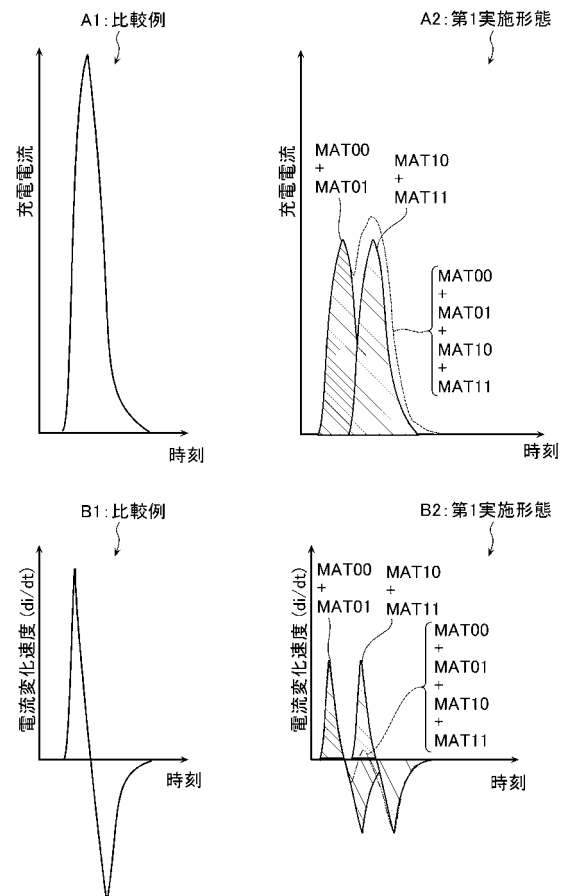
【図 8】



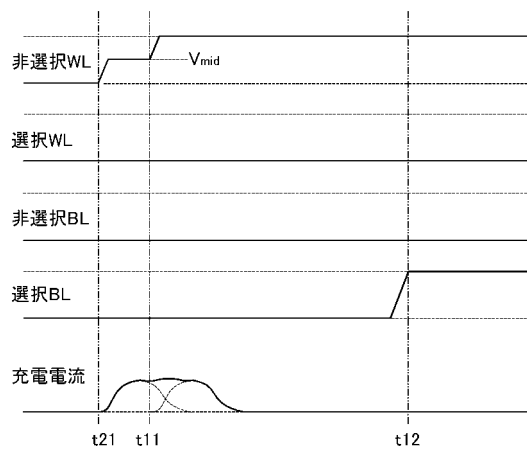
【図 9】



【図 10】



【図 1 1】



【図 1 2】

