(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年2 月5 日 (05.02.2009)

PCT

(10) 国際公開番号
WO 2009/016705 A1

(51) 国際特許分類:
G06F 11/18 (2006.01)

(21) 国際出願番号: PCT/JP2007/064812

(22) 国際出願日: 2007 年7 月27 日 (27.07.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 **(FUJITSU LIMITED)** [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 白川 尊浩 **(SHIRAKAWA, Takahiro)** [JP/JP]; 〒8148588 福岡県福岡市早良区百道浜２丁目２番１号 富士通九州ネットワークテクノロジーズ株式会社内 Fukuoka (JP). 中村 浩介 **(NAKAMURA, Kousuke)** [JP/JP]; 〒8148588 福岡県福岡市早良区百道浜２丁目２番１号 富士通九州ネットワークテクノロジーズ株式会社内 Fukuoka (JP). 萩尾 俊継 **(HAGIO, Toshitsugu)** [JP/JP]; 〒8148588 福岡県福岡市早良区百道浜２丁目２番１号 富士通九州ネットワークテクノロジーズ株式会社内 Fukuoka (JP). 山本 洋照 **(YAMAMOTO, Hiroaki)** [JP/JP]; 〒8148588 福岡県福岡市早良区百道浜２丁目２番１号 富士通九州ネットワークテクノロジーズ株式会社内 Fukuoka (JP). 松井 秀樹 **(MATSUI, Hideki)** [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP). 青木 豊 **(AOKI, Yutaka)** [JP/JP]; 〒8148588 福岡県福岡市早良区百道浜２丁目２番１号 富士通九州ネットワークテクノロジーズ株式会社内 Fukuoka (JP). 田原 千晶 **(TAHARA, Chiaki)** [JP/JP]; 〒8148588 福岡県福岡市早良区百道浜２丁目２番１号 富士通九州ネットワークテクノロジーズ株式会社内 Fukuoka (JP).

(74) 代理人: 山田 正紀， 外 **(YAMADA, Masaki et al.)**; 〒1050003 東京都港区西新橋３丁目３－３ ペリカンビル４階 Tokyo (JP).

[続葉有]

(54) **Title:** COMMUNICATION DEVICE

(54) **発明の名称:** 通信装置

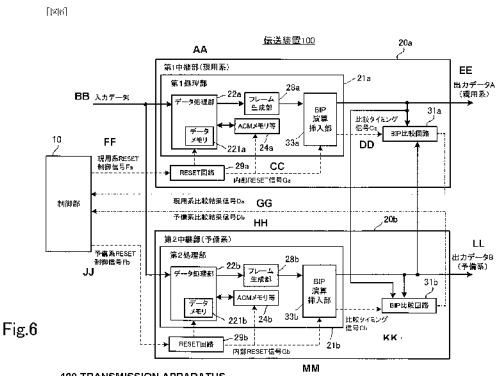


Fig.6

100 TRANSMISSION APPARATUS
AA FIRST RELAY UNIT (ACTIVE SYSTEM)
21a FIRST PROCESSING PART
BB INPUT DATA I
22a DATA PROCESSING PART
221a DATA MEMORY
28a FRAME GENERATING PART
24a ACM MEMORY OR THE LIKE
33a BIP OPERATION INSERTING PART
29a RESET CIRCUIT
CC INTERNAL RESET SIGNAL Ga
DD COMPARISON TIMING SIGNAL Ca
31a BIP COMPARISON CIRCUIT
EE OUTPUT DATA A (ACTIVE SYSTEM)
10 CONTROL UNIT
FF ACTIVE SYSTEM RESET CONTROL SIGNAL Fa
GG ACTIVE SYSTEM COMPARISON RESULT SIGNAL Da
HH SPARE SYSTEM COMPARISON RESULT SIGNAL Db
JJ SPARE SYSTEM RESET CONTROL SIGNAL Fb
20b SECOND RELAY UNIT (SPARE SYSTEM)
21b SECOND PROCESSING PART
22b DATA PROCESSING PART
221b DATA MEMORY
28b FRAME GENERATING PART
24b ACM MEMORY OR THE LIKE
33b BIP OPERATION INSERTING PART
29b RESET CIRCUIT
31b BIP COMPARISON CIRCUIT
KK COMPARISON TIMING SIGNAL Cb
LL OUTPUT DATA B (SPARE SYSTEM)
MM INTERNAL RESET SIGNAL Gb

(57) Abstract: A redundant-structured communication device capable of inhibiting enlargement of a circuit size and detecting abnormality in set information. The redundant-structured communication device has a first processing part and a second processing part, which are alternately assigned to an active system and a spare system, and concurrently carry out the same processing on input data supplied from an external communicating party to output. The communication device is characterized by that it includes a comparison unit which detects an error in the first and second processing parts by comparing the output data output from the first processing part with the output data output from the second processing part.

(57) 要約: 本発明は冗長構成型の通信装置に関し、回路規模の増大を抑えるとともに、設定情報の異常を検出することが可能な通信装置を提供することを目的とし、それぞれが現用系と予備系とに交互に割り当てられ、外部の通信相手から供給される入力データに対し同時並行で互いに同じ処理を実行し出力する第１処理部と第２処理部とを有する冗長構成型の通信装置において、第１処理部が出力した出力データと第２処理部が出力した出力データとを比較することによって第１処理部および第２処理部のエラーを検出する比較部を備えたことを特徴とする。

WO 2009/016705 A1

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

通信装置

技術分野

[0001] 本発明は通信装置に関し、特に、冗長構成型の通信装置に関する。

背景技術

[0002] データを処理する処理部を現用系用と予備系用とで二重に備えた冗長構成型の通信装置は、処理部の一方が故障した際に他方で処理を継続することによって、通信の信頼性を確保している。装置内部の2つの処理部には同一の入力データが供給され、2つの処理部は入力データに対して互いに同じ処理を同時並行で実行する。2つの処理部の一方は現用系に割り当てられ他方は予備系割り当てられるが、現用系および予備系の割当ては交互に切り替えられる。エラーが発生しない通常の状態では、2つの処理部からは互いに同じ出力データが出力され、このうち、現用系として設定された処理部の出力データが有効なものとして扱われる。現用系に設定された処理部内でエラーが発生した場合には、この処理部を予備系に切り替えると同時に、予備系に割り当てられていた処理部を現用系に切り替え、予備系に切り替えられた処理部を交換等する。なお、処理部内で発生するエラーには、ハードウェア自体の欠陥や故障に起因するハードエラーと、ハードウェア自体に欠陥等は無いものの、宇宙線や電磁ノイズ等によってメモリの記憶内容や配線上の信号レベルが変化するソフトエラーとがある。処理部内でエラーを検出する方法としては、例えば、データにチェックサムやパリティ等の冗長符号を付加した上でメモリに書き込み、読出し時にチェックを行う方法や、信号バスにパリティ信号用のラインを追加する方法がある(例えば、特許文献1参照。)。また、メモリの中には、エラーを検出するだけでなく、エラーが発生箇所(ビット)を特定して訂正するECC(Error Check and Correction)メモリがある(例えば、特許文献2参照。)。ECCメモリは、データベース・サーバなど、エラー発生時の影響が大きなコンピュータシステムなどで用いられていたが、近年では、回線容量の増加に対応するため内部動作が高速化した伝送装置のメモリとしても使用されるようになっている。

[0003] 図1は、従来技術の伝送装置を示すブロック図である。

[0004] 図1に示す伝送装置9は、ANSI(American National Standards Institute)規格であるSONET(Synchronous Optical Network:同期光網)、またはITU勧告のSDH(Synchronous Digital Digital Hierarchy:同期デジタルハイアラーキ)に規定されたSONET／SDH方式による同期網の中継装置として機能する。伝送装置9は、外部の通信相手から供給されてくる入力データを複数の経路に振り分け、さらに別の通信相手に送信する。

[0005] 伝送装置9は冗長構成型であり、互いに同じ処理を行う第1中継部920aおよび第2中継部920bを有している。図1は、第1中継部920aが現用系に割り当てられ、第2中継部920bが予備系に割り当てられた状態を示している。現用系と予備系の切替え時間を最短に抑えるため、両中継部920a，920bには同一の入力データが供給されている。また、伝送装置9には、中継部920a，920bの動作を制御する制御部910も備えられている。

[0006] 第1中継部920aおよび第2中継部920bは構成も互いに同一であり、両者の構成および動作を第1中継部920aに代表させて説明する。第1中継部920aは、外部の通信相手から供給されてくる入力データを処理するデータ処理部922aと、データ処理のための設定情報を格納するACMメモリ924aと、データ処理部922aから出力されたデータにパリティを付与するパリティ発生部(ParityGen)925aと、データ処理部922aから出力されたデータを用いてSONET／SDHに規定されたフレームを生成するフレーム生成部928aと、データのパリティをチェックするパリティチェック部(Paritychk)926aと、フレーム生成部928aで生成されたフレームのオーバヘッド部分にフレーム単位のパリティであるBIP(Bit Interleaved Parity)を挿入するBIP演算挿入部923aとを有している。

[0007] 第1中継部920aおよび第2中継部920bに供給される入力データは、複数のパスに対応するデータが時分割多重されたものであり、データ処理部922aは、この多重されたパスのデータを複数の経路に割り振るクロスコネクト機能を有する。データ処理部922aには、実際には入力データを伝送する光ケーブルが複数本接続され、出力データのケーブルも複数本接続されるが、図1では、入力データおよび出力データに

ついてそれぞれ1本のみ図示している。ACMメモリ924aには、データ処理部922aが入力データを処理するための設定情報等が設定・格納されている。設定情報は、入力データのオーバヘッドの情報と、各パスの割り振り先を示すクロスコネクト情報とが対応づけられたものであり、リセット時および処理内容の変更時に制御部910によって書き込まれる。また、データ処理部922aは、処理対象のデータを一時格納するデータメモリ921aと、データメモリ921aから読み出されたデータのエラー検出とエラー訂正を行うECC(Error Correcting Code)発生検出部(ECCGen／chk)927aを有している。データメモリ921aに対する書込みおよび読出しはECC発生検出部927aを経由して行われる。ECC発生検出部927aはデータの書き込みにあたり、そのデータから演算によってエラー検出コードを生成し、エラー検出コードをデータとともにデータメモリ921aに書き込む。また、ECC発生検出部927aは、データメモリ921aからデータと、対応するエラー検出コードとを読出し、データに対し演算を行い、読み出したエラー検出コードと比較することによってエラーの有無を判定する。エラーが検出された場合には、エラー検出コードを用いてエラー訂正を試みる。このようにして、データメモリ921aで発生するエラーが検出および訂正される。ECCエラーの検出結果は制御部910に送信される。

[0008] フレーム生成部928aは、データ処理部922aから出力されたデータをペイロードとし、これにセクションオーバヘッドおよびパスオーバーヘッドを付加することによってSONET／SDHに規定されたフレームを生成する。フレームオーバヘッドは、伝送装置9からのデータを受信する通信相手がデータの属性を得るための情報である。

[0009] パリティ発生部925aはデータ処理部922aから出力されたデータに対して演算を行いパリティを求め、データとともにフレーム生成部928aに供給する。フレーム生成部928aに供給されたデータおよびパリティは、フレーム内のペイロードとしてフレーム生成部928aから出力される。パリティチェック部926aは、ペイロード部分のデータからパリティを演算し、フレーム生成部928aから出力されたパリティと比較することによって、フレーム生成部928a内でのエラーを検出する。エラーの検出結果はパリティエラーとして制御部910に送信される。

[0010] BIP演算挿入部923aは、フレームの単位で設定されるパリティであるBIP(Bit Int

erleaved Parity)を生成する。BIPは、伝送装置9から出力されたフレームを伝送路を介して受信する通信相手が、伝送路上で発生するエラーを検出するためのものである。SONETではBellcore GR－253規格によって、パリティエラーを計算するための特定のバイトが規定されている。

[0011] 図2は、BIP演算挿入部におけるBIPの演算を説明する図である。

[0012] 図2を参照してBIP－8（8ビット BIP）方式に関して説明する。図2のパート(a)に示すように、BIP演算挿入部923aには、複数オクテットからなるデータJが供給される。図2のパート(b)は、データJの各オクテットをビットD0～D7に展開して示したものである。BIP演算挿入部923aは、図2のパート(b)に示すデータJに対し水平方向の演算を行う。すなわち、ビットD0～D7のそれぞれについて、データJを構成する全オクテットに亘り、パリティであるBIP(K)を演算する。SONETフレームのオーバヘッドには、BIPの挿入領域が規格によって定められている。BIP演算挿入部923a(図1)は、演算により得られた8ビットすなわち1オクテットのBIP(K)を、所定の領域に挿入する。

[0013] 図1に戻って説明を続けると、第1中継部920aおよび第2中継部920bでは、同じ入力データを同じ設定に基づいて処理するので、第1中継部920aおよび第2中継部920bから出力される出力データA，Bは、通常互いに同じものとなる。制御部910は、現用系に設定された中継部においてパリティエラーまたはECCエラーが検出された場合にはその中継部を予備系に切り替えるとともに他方の中継部を現用系に切替える。

[0014] 図3は、図1に示す伝送装置9におけるエラー検出時の切替えの概略を示すフローチャートである。

[0015] 図3におけるエラーは、ECCエラーとパリティエラーの論理和を意味する。制御部910は、検出されたエラー(ECCエラーとパリティエラー)に応じて設定の切替えを行う。制御部910は、現用系に割り当てられた第1中継部920a内部でエラーを検出した場合には(S91でY)、予備系に割り当てられた第2中継部920b内部でエラーを検出しないとき(S92でY)、現用系と予備系との割当てを切り替える(S93)。予備系に切り替えられた旧現用系の第1中継部920aは、故障ユニットとして交換のための処理

が行われる(S95)。この一方、現用系である第1中継部920aおよび予備系である第2中継部920bの双方でエラーが発生した場合には(S92でN)、切替えを行わず状態を保持する。伝送装置9では、このように処理部内の各部のエラーを検出して、割り当ての切替えを行う。

特許文献1:特表2005－505827号公報

特許文献2:特開2005－235074号公報

[0016] 図1に示す従来の伝送装置9では、各部の入出力部分でエラーを検出している。しかし、エラーが発生し得る部分を予め想定しておくことは困難であり、特にハードウェアの故障に因らないソフトエラーは発生箇所が予想できない。このため、エラーが発生し得るすべてのメモリ、レジスタ、配線等に対してエラー検出のための機能を配置する必要が生じる。また、ECC等のエラー訂正符号を用いると、符号挿入および訂正機能用回路の追加による回路規模が増大する問題や、データスルーレートの上限に対し実データの伝送レートが低下する問題がある。このような回路規模の増大は、ECC等のエラー訂正回路に限らず、エラー検出の回路を配置する場合にも言えることである。

[0017] また、処理対象のデータではなく、例えばACMメモリ924a(図1)に記憶される設定情報や、設定情報の元となる制御信号の値がソフトエラー等により異常となると、異常な設定情報に基づいてデータが処理されるものの、処理手法自体は正常であるためエラーが検出できない場合がある。このため、出力データの異常が継続しているにも拘わらずエラーが検出できない、いわゆる「サイレント警報」の状態となる問題がある。

[0018] 本発明は、上記事情に鑑み、回路規模の増大を抑えるとともに、設定情報の異常を検出することが可能な通信装置を提供することを目的とする。

発明の開示

[0019] 上記目的を達成する本発明の通信装置は、それぞれが現用系と予備系とに交互に割り当てられ、外部の通信相手から供給される入力データに対し同時並行で互いに同じ処理を実行し出力する第1処理部と第2処理部とを有する冗長構成型の通信装置であって、

上記第1処理部が出力した出力データと上記第2処理部が出力した出力データとを比較することによって上記第1処理部および上記第2処理部のエラーを検出する比較部を備えたことを特徴とする。

[0020] 本発明の通信装置では、同時並行で互いに同じ処理を実行し出力する第1処理部および予備系処理部それぞれの出力データ同士を比較することによってエラーを検出するので、第1処理部および第2処理部を構成する各部ごとにエラー検出機能を設けることなくエラーの発生を検出することができる。このため、回路規模の増大が抑えられる。さらに、本発明の通信装置では、ソフトエラー等によって、データの処理方法を定義する設定情報の異常が発生した場合にも検出することができる。

[0021] ここで、上記本発明の通信装置において、上記第1処理部および上記第2処理部のそれぞれが、

SONET／SDHに規定されたデータのフレームを生成するフレーム生成部と、

上記フレーム生成部によって生成されたフレームに対し、SONET／SDHに規定されたBIPを演算して挿入するパリティ挿入部とを備えたものであり、

上記比較部が、上記パリティ挿入部によって演算されたBIPを比較するものであることが好ましい。

[0022] 第1処理部および第2処理部のそれぞれが、フレームに対しBIPを演算して挿入する場合には、第1処理部および第2処理部から出力されたデータのすべてを比較するのに相当するエラー検出が、演算されたBIPを比較するだけで実現する。したがって、SONET／SDH用の通信装置にすでに設けられているパリティ挿入部を有効に利用してエラー検出を行うことができる。

[0023] また、上記本発明の通信装置は、上記比較部によってエラーが検出されたことを契機として、上記第1処理部および上記第2処理部の少なくとも一方をリセット状態に設定する設定制御部をさらに備えたものであることが好ましい。

[0024] ハードウェアの欠陥等によるハードエラーと異なり、ソフトエラーは、同一箇所で再現する可能性が極めて低いため、リセット状態にすることによって消滅する場合が多い。したがって、エラーが検出された処理部を交換対象とせずリセットして回復することにより、回復の時間を短縮するとともに交換等の労力を軽減することができる。

[0025] 以上説明したように、本発明によれば、回路規模の増大を抑えるとともに、設定情報の異常を検出することが可能な通信装置が実現する。

図面の簡単な説明

[0026] [図1]従来技術の伝送装置を示すブロック図である。

[図2]図1に示すBIP演算挿入部におけるBIPの演算を説明する図である。

[図3]図1に示す伝送装置におけるエラー検出時の切替えの概略を示すフローチャートである。

[図4]本発明の通信装置の一実施形態である伝送装置の動作原理を説明するブロック図である。

[図5]図4に示す伝送装置1のエラー対応手順を示すフローチャートである。

[図6]本発明の通信装置の一実施例である伝送装置の構成を示すブロック部である。

[図7A]図6に示す伝送装置のエラー対応処理を示すフローチャートである。

[図7B]図7Aの手順の続き示すフローチャートである。

[図8]正常動作時の場合におけるBIP比較回路の動作を説明するタイミングチャートである。

[図9]異常動作時の場合におけるBIP比較回路および制御部の動作を説明するタイミングチャートである。

発明を実施するための最良の形態

[0027] 以下図面を参照して本発明の実施形態について説明する。

[0028] 図4は、本発明の通信装置の一実施形態である伝送装置の動作原理を説明するブロック図である。

[0029] 図4に示す伝送装置1は、冗長構成型であり、現用系と予備系とに交互に割り当てられる第1中継部20aと第2中継部20bとを有している。第1中継部20aと第2中継部20bは、それぞれ、入力データを処理するデータ処理部22a，22bと、データ処理部22a，22bで処理されたSONET／SDHのフレーム形式のデータにBIPを挿入するBIP演算挿入部23a，23bとを有している。第1中継部20aのデータ処理部22aとBIP演算挿入部23aが本発明にいう第1処理部の一例に相当し、第2中継部20bのデ

ータ処理部22bとBIP演算挿入部23bが本発明にいう第2処理部の一例に相当する。データ処理部22a，22bおよびBIP演算挿入部23a，23bは、入力データに対し同時並行で互いに同じ処理を実行し出力する。BIP演算挿入部23a，23bからはBIPの演算結果が出力され、また、BIPの挿入された出力データが出力される。2つのデータ処理部22a，22bには互いに同じ入力データが入力されるので、エラーが発生しなければ、2つのデータ処理部22a，22bからは互いに同じデータが出力される。また、BIP演算挿入部23a，23bから出力されるBIP演算結果も互いに同じであり、また、BIPが挿入された出力データA，Bも互いに同じである。

[0030] 伝送装置1には、BIP演算挿入部23a，23bから出力されるBIP演算結果を比較する比較回路30a，30bも備えられている。比較回路30aは第1中継部20aに設けられ、比較回路30bは第2中継部20bに設けられている。比較回路30a，30bのそれぞれが、本発明にいう比較部の一例に相当する。比較回路30a，30bのそれぞれは、2つのBIP演算挿入部23a，23bから出力されるBIP演算結果を比較することによって、データ処理部22a，22bおよびBIP演算挿入部23a，23bのエラーを検出する。比較回路30a，30bは2重化されることで、比較回路自体のエラー、およびBIP演算結果の送信経路でのエラーも含めエラーを検出することができる。比較回路30a，30bは制御部10に比較結果信号Da，Dbを供給する。制御部10には、第1中継部20aおよび第2中継部20bの各部に設けられた図示しないセンサ等からの故障検出信号も供給される。制御部10からは、第1中継部20aと第2中継部20bとを互いに独立にリセット状態にするリセット制御信号Fa，Fbが第1中継部20aおよび第2中継部20bのそれぞれに供給される。制御部10が本発明にいう設定制御部の一例に相当する。

[0031] 図4に示す伝送装置1において、例えば、データ処理部22a，22bのいずれかにエラーが発生し、これらの出力が一部でも互いに異なると、BIP演算挿入部23a，23bから出力されるBIPは互いに異なる値となる。この結果、比較回路30a，30bの比較結果信号Da，Dbは双方とも不一致を表すものとなる。このように、比較回路30a，30bによって、BIP演算挿入部23a，23bから出力されたBIP演算結果を比較することによって、少なくとも第1中継部20aまたは第2中継部20bの一方でエラーが発生していることが検知可能となる。比較回路30a，30bによる検知では、処理の最終結果のデ

ータに基づいて得られたBIPを比較するので、ACMメモリ(図1)に格納されるような設定情報のエラーも検知される。

[0032] 図5は、図4に示す伝送装置1のエラー対応手順を示すフローチャートである。

[0033] ここでは、第1中継部20aが現用系に割り当てられ、第2中継部20bが予備系に割り当てられたものとして、エラー対応の手順を説明する。

[0034] まず、伝送装置1の制御部10は、第1中継部20aおよび第2中継部20bの各部に設けられた図示しないセンサやエラー検出ブロックによって、故障の発生が検出されたか否かを判別する(S1)。S1の処理で、図示しないセンサやエラー検出ブロックによる故障が検出されたと判別した場合には(S1でYes)、故障発生ユニットの故障評定を行う(S3)。故障評定については従来知られた手法であり、詳細な説明は省略するが、例えば、センサ等の場所を特定し、エラーが発生した中継部および具体的な場所を表示して操作者に報知する。操作者は、エラーが発生した中継部を交換することとなる。

[0035] 図示しないセンサやエラー検出ブロックによる故障が検出されない場合には(S1でNo)、BIP比較エラー発生の有無を判別する(S2)。詳細には、比較回路30aから出力される比較結果信号Da、または比較回路30bから出力される比較結果信号Dbのいずれか少なくとも一方が不一致を表す結果となっているか否かを判別する。BIP比較エラー発生が無い場合には(S2でNo)、第1中継部20aおよび第2中継部20bは双方とも正常に動作しているとして、S1からの処理を繰り返す。この一方で、BIP比較エラー発生がある場合には(S2でYes)、現用系の第1中継部20aおよび予備系の第2中継部20bの双方でエラーが検出されたか否かを判別する(S4)。第1中継部20aおよび第2中継部20bの一方でエラーが検出された場合には(S4でNo)、比較回路30a, 30b自体、またはBIP演算結果の送信経路上でエラーが発生したとして、故障発生ユニットの評定を行う(S5)。第1中継部20aおよび第2中継部20bの双方でエラーが検出された場合には(S4でYes)、データ処理部22a, 22bのいずれかにエラーが発生したことを意味するが、どちらでエラーが発生したのかは判別できない。また、エラーがハードエラーであるかソフトエラーであるかも判別できない。しかし、ソフトエラーの場合にはリセット状態に設定することで復旧する。したがって、制御部10

は、上述したS4でYesの場合、リセット処理を行い（S6）、S1からの処理を繰り返す。データ処理部22a，22bで発生したエラーがソフトエラーの場合には、リセット状態に設定することによって、メモリが初期化データで書き換えられエラーが消滅する。この場合には、第1中継部20aまたは第2中継部20bを交換等する必要がない。

[0036] 続いて、図4に概要を示した伝送装置のより具体的な実施例を説明する。以下の実施例の説明にあたっては、図4に概要を示した伝送装置における各要素と同一の要素には同一の符号を付けて示す。

[0037] 図6は、本発明の通信装置の一実施例である伝送装置の構成を示すブロック部である。

[0038] 図6に示す伝送装置100は、SONET／SDH方式による同期網の伝送装置であり、外部の通信相手から供給されてくる入力データIを複数の経路に振り分け、さらに別の通信相手に送信する中継装置として機能する。伝送装置100は、第1中継部20aおよび第2中継部20bを有する冗長構成型である。第1中継部20aおよび第2中継部20bは互いに同じ構成であり、同じ処理を行う。第1中継部20aおよび第2中継部20bのそれぞれは、交換が行いやすいように1つのユニットとなっている。図6には、第1中継部20aが現用系に割り当てられ、第2中継部20bが予備系に割り当てられている状態が示されている。両中継部20a，20bには、現用系と予備系と割当ての切替え時間を最短に抑えるため、同一の入力データが供給される。制御部10は2つの中継部20a，20bの動作を制御する。制御部10が本発明にいう設定制御部の一例である。

[0039] 第1中継部20aは、外部の通信相手から供給されてくる入力データIを処理する第1処理部21aと、制御部10からリセット制御信号を受けて第1処理部21aをリセットするリセット回路29aを有しており、第2中継部20bも、第1中継部20aと同様に第2処理部21bとリセット回路29bとを有している。さらに、第1中継部20aおよび第2中継部20bのそれぞれは、第1処理部21aの出力と第2処理部21bの出力を比較するBIP比較回路31a，31bも有している。BIP比較回路31a，31bのそれぞれが本発明にいう比較部の一例に相当する。

[0040] 第1処理部21aと第2処理部21bの構成は互いに同一であり、両者の構成を第1処

理部21aに代表させて説明する。

[0041] 第1処理部21aは、データ処理部22a、ACMメモリ24a、フレーム生成部28a、BIP演算挿入部33aを有しており、さらに、データ処理部22aは、データメモリ221aを有している。BIP演算挿入部33aが本発明にいうパリティ挿入部の一例に相当する。データ処理部22a、ACMメモリ24a、およびフレーム生成部28aの機能は図1に示したデータ処理部922a、ACMメモリ924a、およびフレーム生成部928aの機能と同じである。すなわち、データ処理部22aは入力データIに対するクロスコネクタ等の処理を行い、フレーム生成部28aは、データ処理部22aから出力されたデータにオーバヘッドを付加してフレームを作成する。BIP演算挿入部33aは、フレームのオーバヘッド内にBIPを挿入し、出力データAとして出力する。ACMメモリ24aには、データ処理部22aがクロスコネクト等の処理を行うための設定情報等が設定・格納されている。設定情報は、入力データのオーバヘッドの情報とクロスコネクト情報とが対応づけられたものである。

[0042] 本実施例のBIP演算挿入部33aは、BIPの出力タイミングを表す比較タイミング信号Caを出力する点が、図1のBIP演算挿入部923aと異なる。BIP演算挿入部33aのこの他の点はBIP演算挿入部923aと同様である。BIP比較回路31a，31bは、第1処理部21aのBIP演算挿入部33aから出力される出力データAと、第2処理部21bのBIP演算挿入部33bから出力される出力データBとを比較することによって、第1処理部21aおよび第2処理部21bで発生するエラーを検出する。より具体的には、比較タイミング信号Caのタイミングで出力データAと出力データBとを比較する。これによって、2つの出力データA，Bのうち、フレームのオーバヘッドに挿入されたBIPの値同士を比較する。

[0043] 図8は、第1処理部21aおよび第2処理部21bでエラーが発生しない正常動作時の場合におけるBIP比較回路の動作を説明するタイミングチャートである。

[0044] 図8には、第1処理部21aのBIP演算挿入部33aから出力される出力データA、第2処理部21bのBIP演算挿入部33bから出力されるデータB、第1処理部21aのBIP演算挿入部33aから出力される比較タイミング信号Ca、および、BIP比較回路31aから出力される比較結果信号Daが示されている。したがって、出力データA，Bは、BIP

演算挿入部33a，33bからビット列として出力される。出力データA，Bに含まれるBIPもB1からB8まで1ビットずつ出力される。また、比較タイミング信号Caは、BIP演算挿入部33a，33bからフレームのデータのうちBIPが出力されるタイミングで出力される。BIP比較回路31aは比較タイミング信号CaがHレベルの期間、出力データA，Bをビット毎に比較し、1ビットでも不一致があった場合には、不一致を意味するHレベルを比較結果信号Daとして出力する。

[0045] 図8に示す例では、出力データA，BにおけるBIPが一致しているので、BIP比較回路31aは、BIPの一致を意味するLレベルを比較結果信号Daとして出力する。BIP演算挿入部33a，33bは、図2を参照して説明したように、フレームのデータJを構成する全オクテットに亘りパリティであるBIP（K）を演算する。したがって、出力データA，BにおけるBIPが一致する場合には、そのBIPに対応するフレームの全オクテットが一致していると考えてよい。

[0046] 図9は、第1処理部21aおよび第2処理部21bでエラーが発生した異常動作時の場合における、BIP比較回路および制御部10の動作を説明するタイミングチャートである。

[0047] 第1処理部21aまたは第2処理部21bのいずれかでエラーが発生した場合には、図2に示すデータJを構成するデータのいずれかが、出力データAと出力データBとで異なる。この場合、データJに基づいて演算されたBIPの値も出力データAと出力データBとでは異なる。例えば、図9のタイミングチャートにおいて、出力データAのBIPと出力データBのBIPが、6ビット目のデータB6で互いに異なる場合、BIP比較回路31aは、比較結果信号Daとして不一致を意味するHレベルを出力する（タイミングt2）。BIP比較回路31aは、内部リセット信号Gが供給されるまで比較結果信号DaのHレベル出力を保持する。

[0048] これまで第1中継部20aのBIP比較回路31aについて説明したが、BIPの比較結果に応じて比較結果信号Daを出力し、エラーの発生を通知する機能は、第2中継部20bのBIP比較回路31bでも同様である。比較回路30a，30bが2重化されることで、比較回路30a，30b自体のエラー、およびBIP演算結果の送信経路上でのエラーも検出することが可能となる。

[0049] 制御部10は、比較結果信号Daを制御部10内部に取り込むことによって、エラーが発生したことを認識する(タイミングt3)。制御部10の詳細な動作については後述するが、制御部10は、比較結果信号Daとして不一致を意味するHレベルを取り込むと、第1中継部20aまたは第2中継部20bにリセット制御信号Fを出力する(タイミングt4)。リセット制御信号Fを受信したリセット回路29a, 29bは、各部に内部リセット信号Gを供給する。内部リセット信号Gが供給されることによって、比較結果信号DaのHレベル出力が解除される。

[0050] 図7Aおよび図7Bは、図6に示す伝送装置100のエラー対応処理を示すフローチャートである。

[0051] 図7Aおよび図7Bに示すエラー対応処理は制御部10によって実行される。現用系に第1中継部20aが割り当てられ、予備系に第2中継部20bが割り当てられた場合についてエラー対応処理を説明する。

[0052] まず、伝送装置100の制御部10は、第1中継部20aおよび第2中継部20bの各部に設けられた図示しないセンサ等によって、故障の発生が検出されたか否かを判別する(S11)。S11の処理で、図示しないセンサやエラー検出ブロックによる故障が検出されたと判別した場合には(S11でYes)、故障発生ユニットの故障評定を行う(S12)。詳細には、センサやエラー検出ブロックを特定し、エラーが発生した中継部および具体的な場所を表示して操作者に報知する。操作者は、エラーが表示された中継部を交換することとなる。

[0053] 図示しないセンサやエラー検出ブロックによる故障が検出されない場合には(S11でNo)、BIP比較エラー発生の有無を判別する(S13)。詳細には、比較回路31aから出力される比較結果信号Da、または比較回路31bから出力される比較結果信号Dbのいずれか少なくとも一方が不一致を表すレベルとなっているか否かを判別する。比較結果信号Da, Dbがいずれも図8のタイムチャートに示すようにBIPの一致を表わすLレベルであり、S3の処理でBIP比較エラー発生が無いと判別した場合には(S13でNo)、第1中継部20aおよび第2中継部20bは双方とも正常に動作しているとして、S1からの監視処理を繰り返す。一方で、比較結果信号Da, Dbの少なくとも1つが図9のタイムチャートに示すように不一致を表すHレベルであった場合には、S3の

処理でBIP比較エラー発生があると判別し(S13でYes)、現用系側のBIP比較で不一致が発生したか否かを判別する(S14)。すなわち、現用系比較結果信号Daが不一致を表すものか否かを判別する。現用系の比較結果信号Daが一致である場合には(S14でNo)、予備系の比較結果信号Dbが不一致であるとして、予備系について故障評定を行う(S15)。この場合には、予備系に割り当てられた第2中継部20bの特にBIP比較回路31bおよびその周辺に故障がある可能性がある。

[0054] この一方で、現用系の比較結果信号Daが不一致である場合(S14でYes)、今度は予備系側のBIP比較で不一致が発生したか否かを判別する(S16)。予備系の比較結果信号Dbが一致の場合には(S16でNo)、現用系の比較結果信号Daが不一致であるとして、現用系について故障評定を行う(S17)。

[0055] 予備系の比較結果信号Dbが不一致の場合には(S16でYes)、現用系および予備系の両系とも比較結果信号Da, Dbが不一致である。この場合には、第1処理部21a、または第2処理部21bのいずれかにエラーが発生したことを意味するが、どちらでエラーが発生したのかは判別できない。また、エラーがハードエラーであるかソフトエラーであるかも判別できない。しかし、ソフトエラーの場合にはリセット状態に設定することで復旧する。したがって、この場合には、とりあえず現用系の状態をそのまま維持し、予備系をリセットする(S18)。具体的には、制御部10は、予備系のリセット制御信号Fbを出力し、リセット回路29bに第2中継部20bの各部をリセット状態に設定する。これによって、例えば、第2中継部20bのACMメモリ24bが新たに書き込まれて設定される。予備系のリセットが完了すると(S19)。制御部10は、上述したS11およびS13と同じ内容の処理を行う。つまり、故障の発生が検出されたか否かを判別し(S20)。BIP比較エラー発生の有無を判別する(S22)。もし、上記S13, S14, S16の処理で確認された比較結果信号Da, Dbの不一致が、第2中継部20bにおけるソフトエラーに起因したものである場合には、S18のリセットによってエラーは消滅する。したがって、リセット後にBIP比較エラーが発生しない場合には、予備系の第2中継部20bでソフトエラーが発生したがリセットによって正常状態に回復したものと判別し(S22でNo)、S11から処理を繰り返す。

[0056] この一方、S22でBIP比較エラーが発生している場合には(S22でYes)、予備系で

はなく、現用系でエラーが発生している可能性が高い。したがって、この場合には、図7BのS23, S24, S25, S26の処理で、上述したS14, S15, S16, S17の処理と同様にBIP比較エラーが現用系および予備系の双方に発生していることを確認した上で(S25でYes)、第1中継部20aの割当てを現用系から予備系に切替え(S27)、旧現用系である第1中継部20aのリセットを行う(S28)。旧現用系である第1中継部20aの起動が完了(S29)した後、計数カウンタを1増加する(S30)。この計数カウンタは、ハードエラー等のリセットによって回復しないエラーが発生した場合に、S28を含む処理の無限ループが形成されるのを防止するためのものである。計数化カウンタの値が3となった場合には(S33でYes)、リセットの繰り返しによってエラーから回復しないことを表示するとともに処理のシーケンスを停止する(S34)。この一方で、計数化カウンタの値が3となるまでは、上記S20, S22の処理と同様に、故障の発生が検出されたか否かを判別し(S31)。BIP比較エラー発生の有無を判別する(S35)。もし、比較結果信号Da, Dbの不一致が、第1中継部20aにおけるソフトエラーに起因したものである場合には、S28のリセットによってエラーは消滅する。したがって、リセット後にBIP比較エラーが発生しない場合には、第1中継部20aでソフトエラーが発生したがリセットによって正常状態に回復したものと判別し(S35でNo)、S11から処理を繰り返す。この一方、S35でBIP比較エラーが発生している場合には(S35でYes)、再度、新たに現用系となった第2中継部20bから、リセット処理を試みる(S14)。リセット処理の試みは、計数化カウンタの値が3となるまで繰り返す。

[0057] このように、BIPを比較することによってエラーを検出し、エラーを検出した場合、第1中継部20aまたは第2中継部20bをリセット状態に設定することによって、ソフトエラーの場合には中継部を交換することなく回復が可能となる。

請求の範囲

[1] それぞれが現用系と予備系とに交互に割り当てられ、外部の通信相手から供給される入力データに対し同時並行で互いに同じ処理を実行し出力する第1処理部と第2処理部とを有する冗長構成型の通信装置であって、

前記第1処理部が出力した出力データと前記第2処理部が出力した出力データとを比較することによって前記第1処理部および前記第2処理部のエラーを検出する比較部を備えたことを特徴とする通信装置。

[2] 前記第1処理部および前記第2処理部のそれぞれが、

SONET／SDHに規定されたデータのフレームを生成するフレーム生成部と、

前記フレーム生成部によって生成されたフレームに対し、SONET／SDHに規定されたBIPを演算して挿入するパリティ挿入部とを備えたものであり、

前記比較部が、前記パリティ挿入部によって演算されたBIPを比較するものであることを特徴とする請求項1記載の通信装置。

[3] 前記比較部によってエラーが検出されたことを契機として、前記第1処理部および前記第2処理部の少なくとも一方をリセット状態に設定する設定制御部をさらに備えたことを特徴とする請求項1または2記載の通信装置。

[図1]

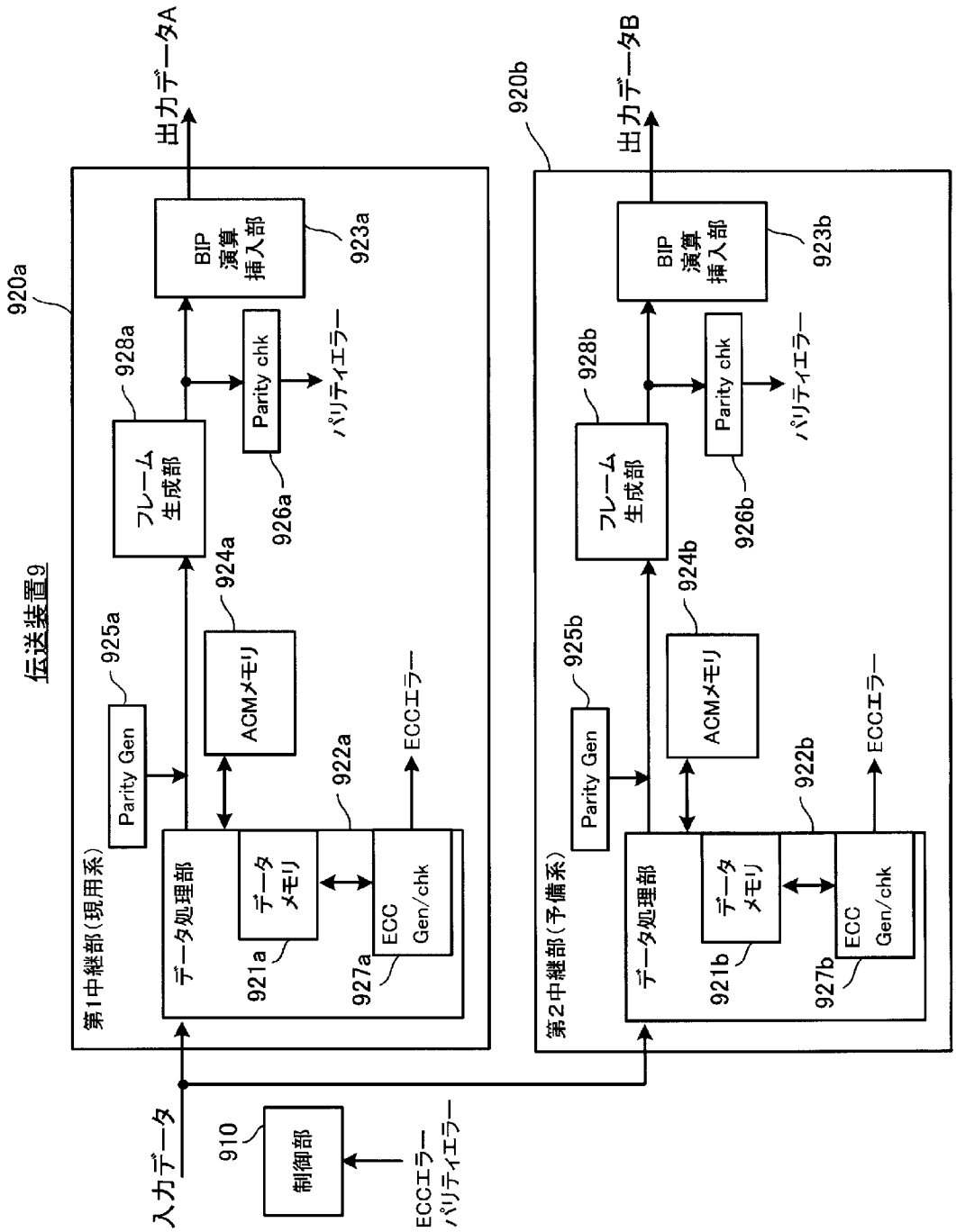

伝送装置9
920a
920b
第1中継部(現用系)
第2中継部(予備系)
出力データA
出力データB
入力データ
制御部
910
ECCエラー
パリティエラー
BIP 演算 挿入部
923a
923b
フレーム 生成部
928a
928b
Parity chk
926a
926b
Parity Gen
925a
925b
ACMメモリ
924a
924b
データ処理部
922a
922b
データ メモリ
921a
921b
ECC Gen/chk
927a
927b

Fig.1

[図2]

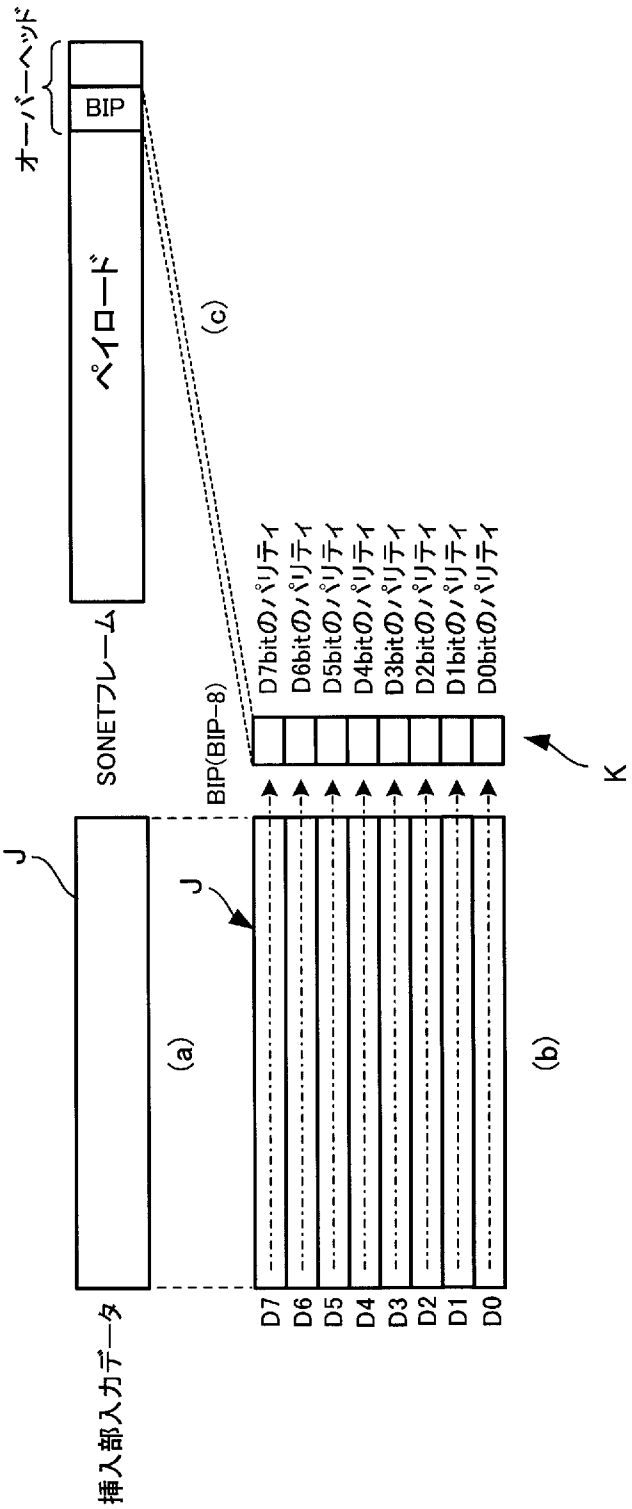

オーバーヘッド
BIP
ペイロード
SONETフレーム
(c)
BIP(BIP-8)
D7bitのパリティ
D6bitのパリティ
D5bitのパリティ
D4bitのパリティ
D3bitのパリティ
D2bitのパリティ
D1bitのパリティ
D0bitのパリティ
K
J
J
(a)
(b)
D7
D6
D5
D4
D3
D2
D1
D0
挿入部入力データ

Fig.2

[図3]

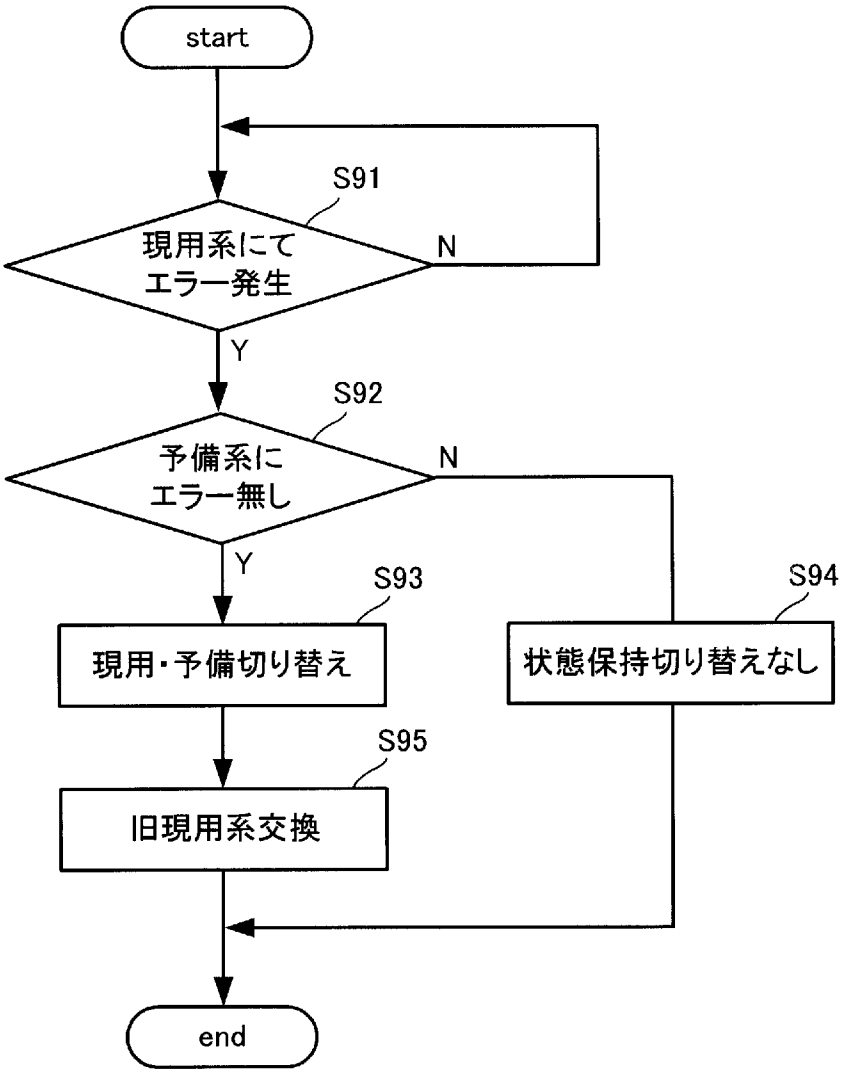

start
S91
現用系にて
エラー発生
N
Y
S92
予備系に
エラー無し
N
Y
S93
現用・予備切り替え
S94
状態保持切り替えなし
S95
旧現用系交換
end

Fig.3

[図4]

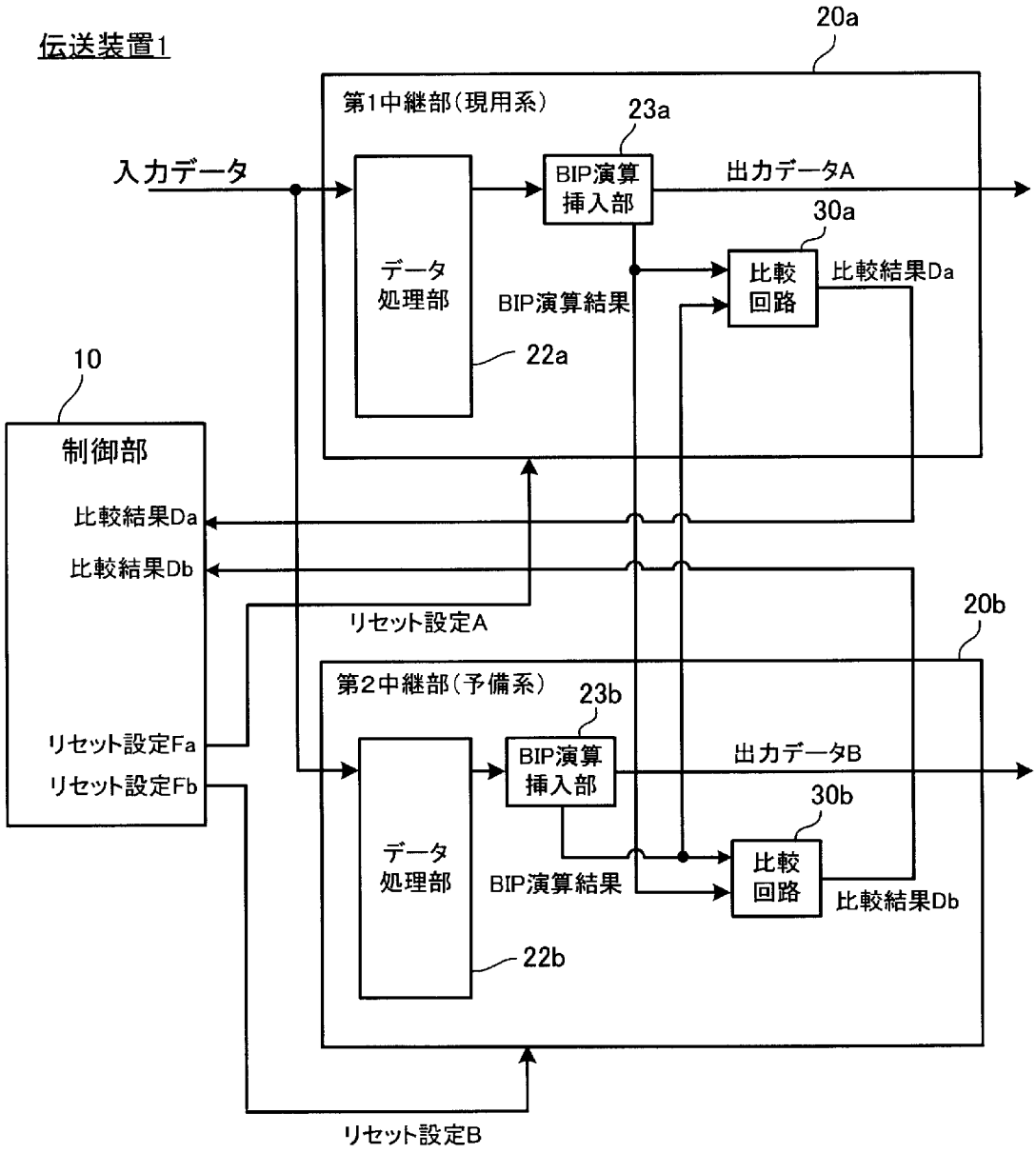

伝送装置1
20a
第1中継部(現用系)
23a
入力データ
BIP演算
挿入部
出力データA
データ
処理部
30a
比較
回路
比較結果Da
BIP演算結果
22a
10
制御部
比較結果Da
比較結果Db
リセット設定A
20b
第2中継部(予備系)
23b
リセット設定Fa
リセット設定Fb
BIP演算
挿入部
出力データB
30b
データ
処理部
BIP演算結果
比較
回路
比較結果Db
22b
リセット設定B

Fig.4

[図5]

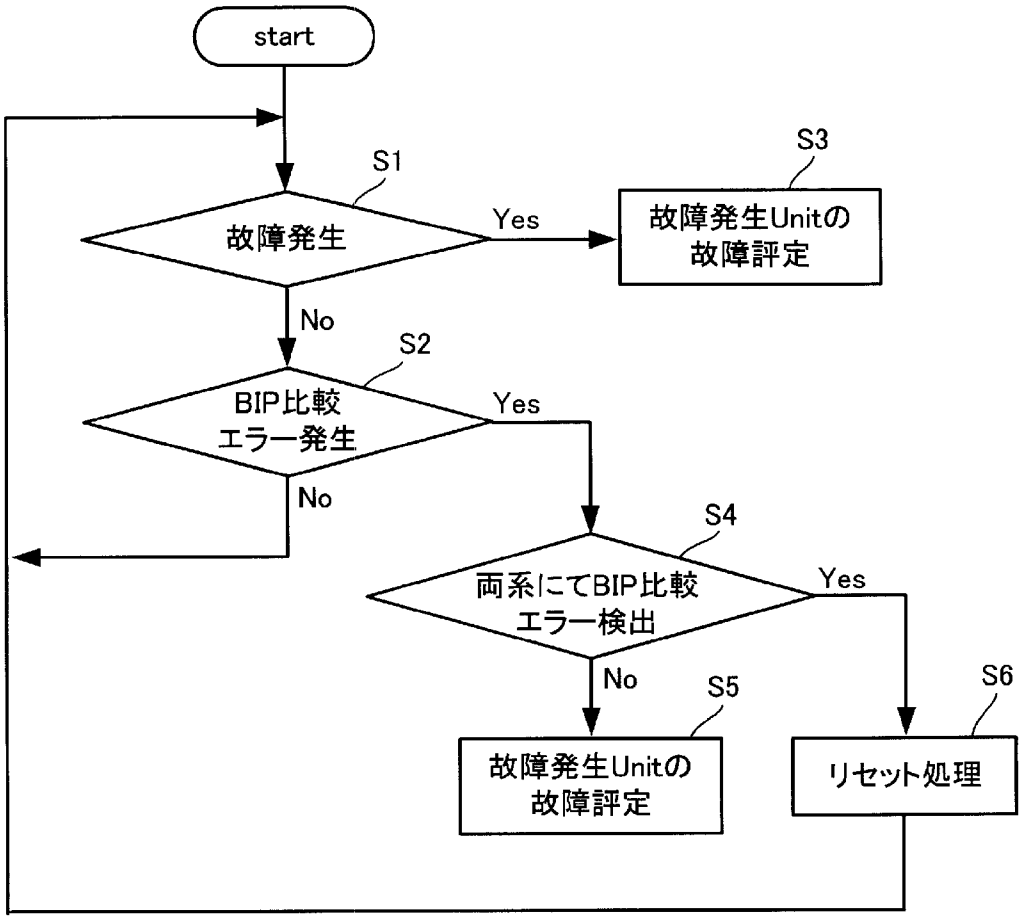

start
S1
故障発生
Yes
S3
故障発生Unitの
故障評定
No
S2
BIP比較
エラー発生
Yes
No
S4
両系にてBIP比較
エラー検出
Yes
No
S5
故障発生Unitの
故障評定
S6
リセット処理

Fig.5

[図6]

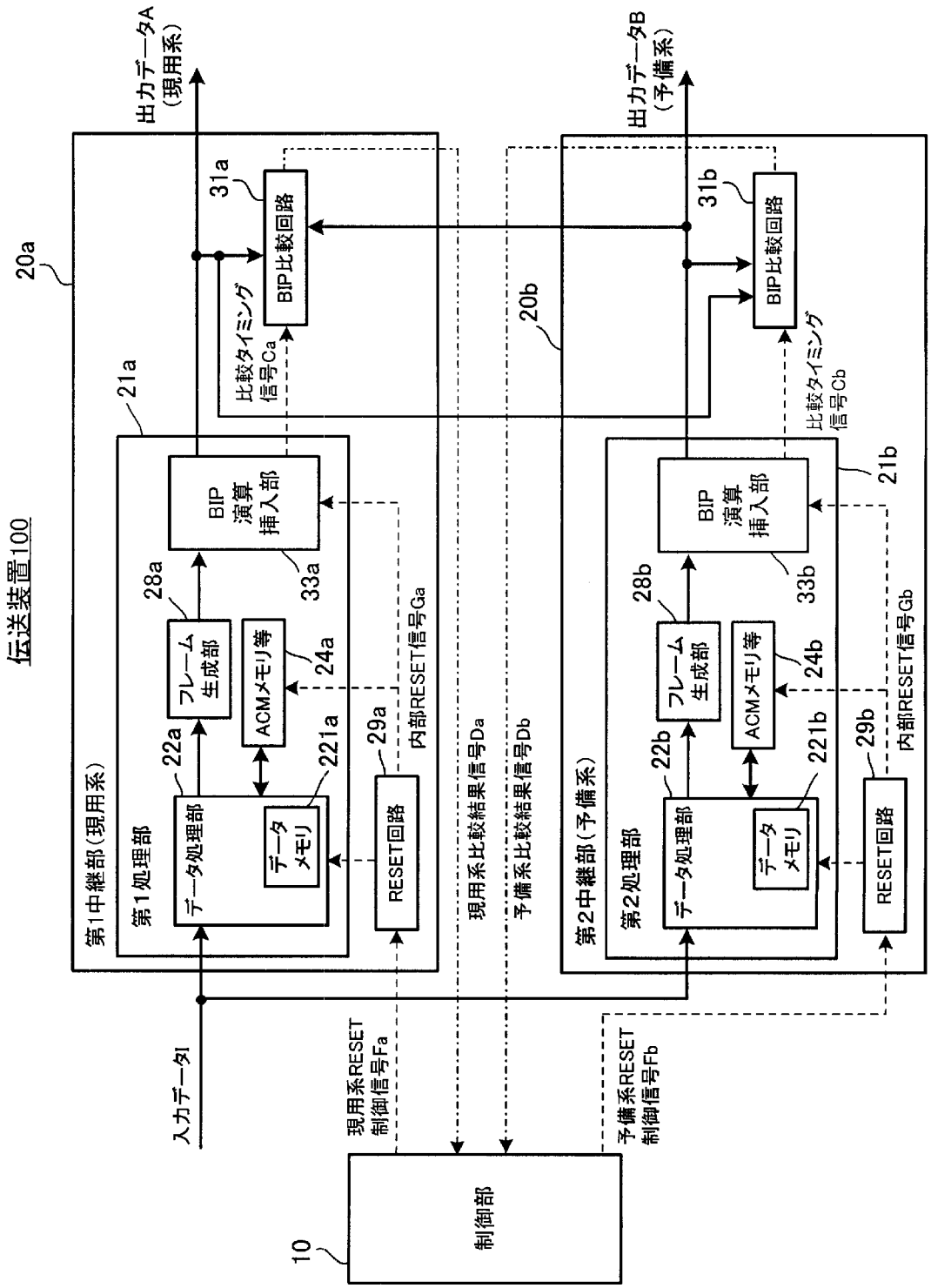

伝送装置100
20a
20b
出力データA（現用系）
出力データB（予備系）
入力データI
第1中継部（現用系）
第2中継部（予備系）
第1処理部
第2処理部
21a
21b
データ処理部
フレーム生成部
ACMメモリ等
データメモリ
BIP演算挿入部
BIP比較回路
RESET回路
22a
22b
28a
28b
24a
24b
221a
221b
33a
33b
31a
31b
29a
29b
比較タイミング信号Ca
比較タイミング信号Cb
内部RESET信号Ga
内部RESET信号Gb
現用系比較結果信号Da
予備系比較結果信号Db
現用系RESET制御信号Fa
予備系RESET制御信号Fb
10
制御部

Fig.6

[図7A]

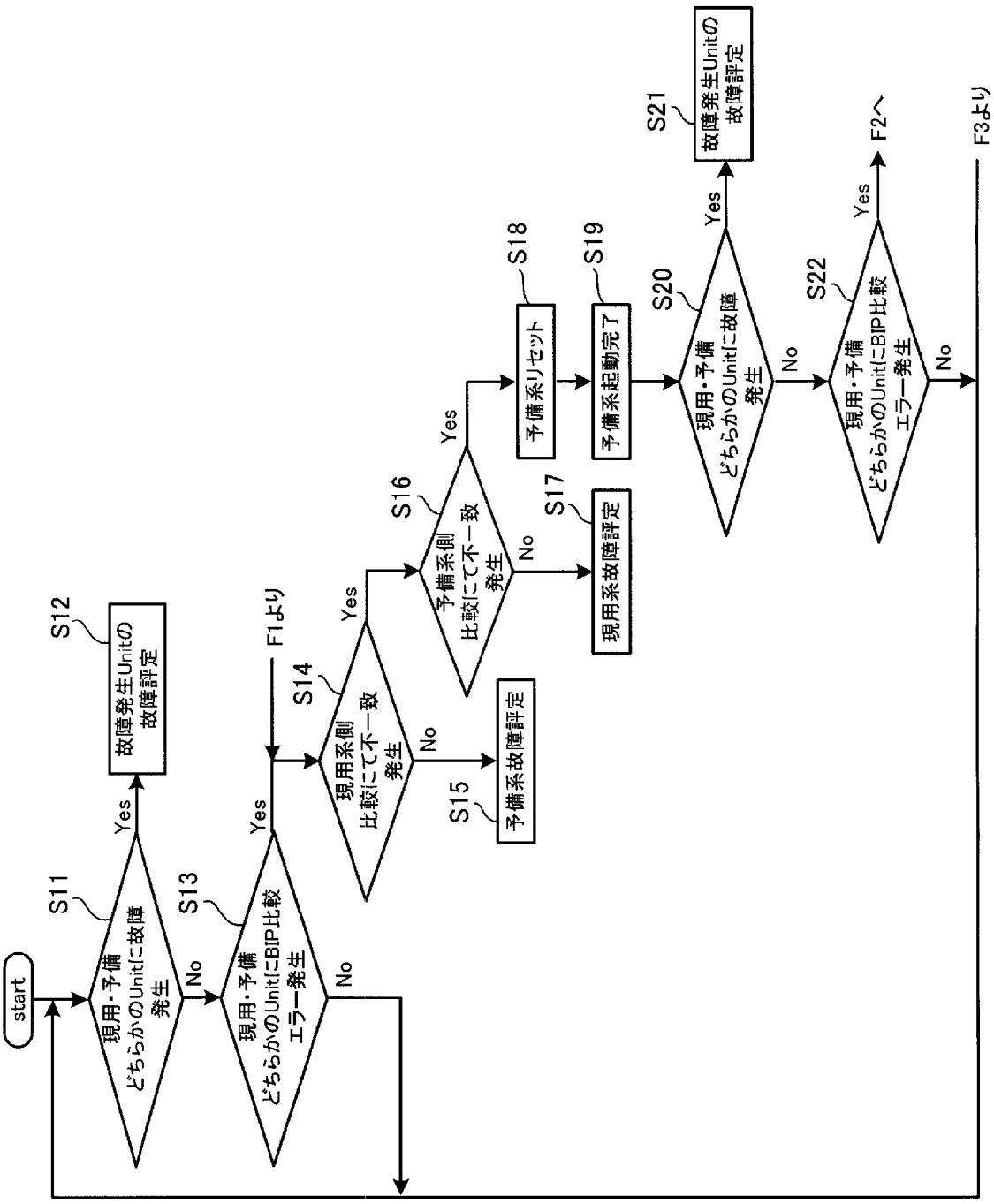

start
S11
現用・予備
どちらかのUnitに故障
発生
Yes
S12
故障発生Unitの
故障評定
No
S13
現用・予備
どちらかのUnitにBIP比較
エラー発生
Yes
F1より
No
S14
現用系側
比較にて不一致
発生
Yes
S15
予備系故障評定
No
S16
予備系側
比較にて不一致
発生
Yes
S17
現用系故障評定
No
S18
予備系リセット
S19
予備系起動完了
S20
現用・予備
どちらかのUnitに故障
発生
Yes
S21
故障発生Unitの
故障評定
No
S22
現用・予備
どちらかのUnitにBIP比較
エラー発生
Yes
F2へ
No
F3より

Fig.7A

[図7B]

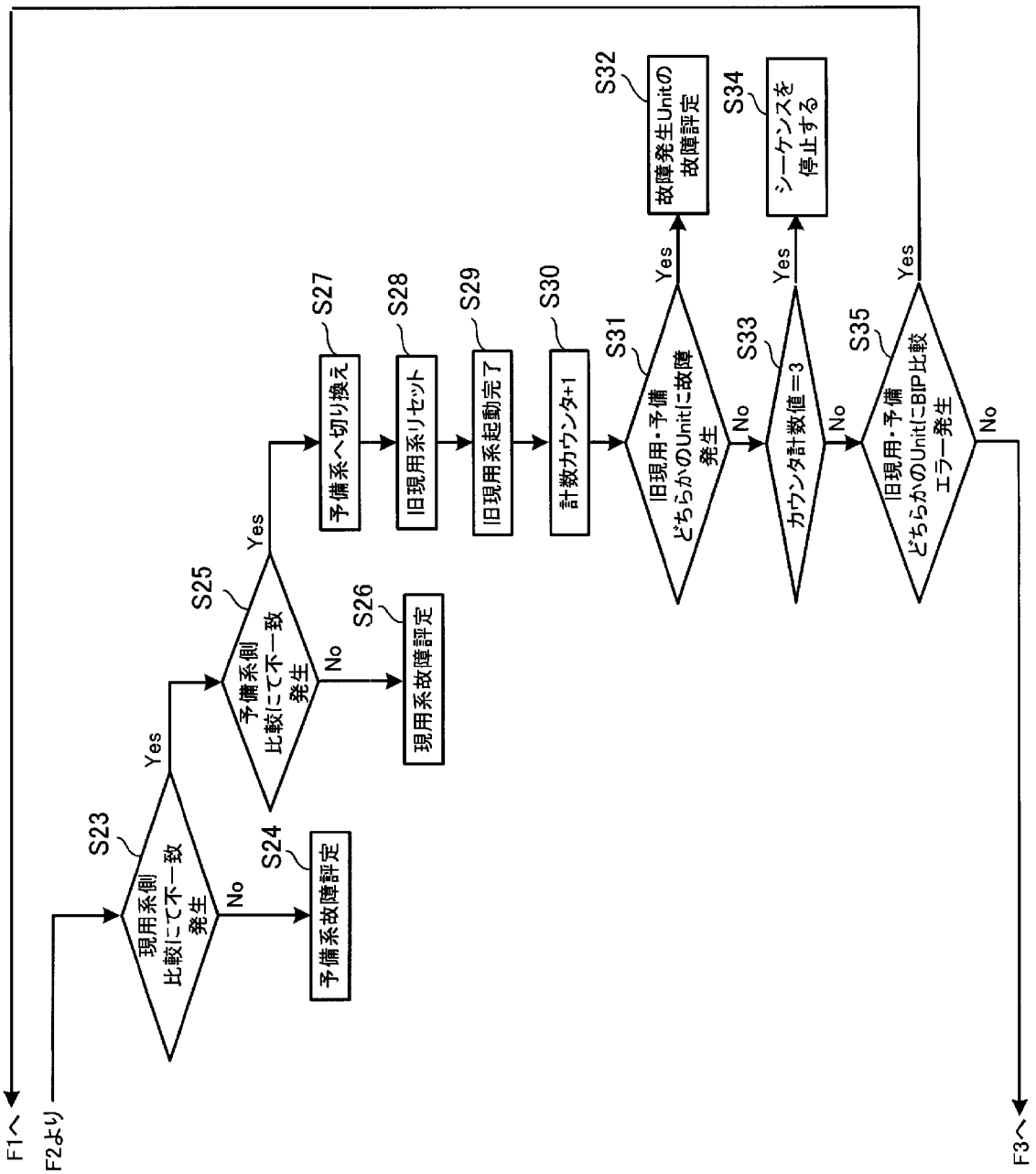

F2より
F1へ
S23
現用系側
比較にて不一致
発生
Yes
No
S24
予備系故障評定
S25
予備系側
比較にて不一致
発生
Yes
No
S26
現用系故障評定
S27
予備系へ切り換え
S28
旧現用系リセット
S29
旧現用系起動完了
S30
計数カウンタ+1
S31
旧現用・予備
どちらかのUnitに故障
発生
Yes
No
S32
故障発生Unitの
故障評定
S33
カウンタ計数値=3
Yes
No
S34
シーケンスを
停止する
S35
旧現用・予備
どちらかのUnitにBIP比較
エラー発生
Yes
No
F3へ

Fig.7B

[図8]

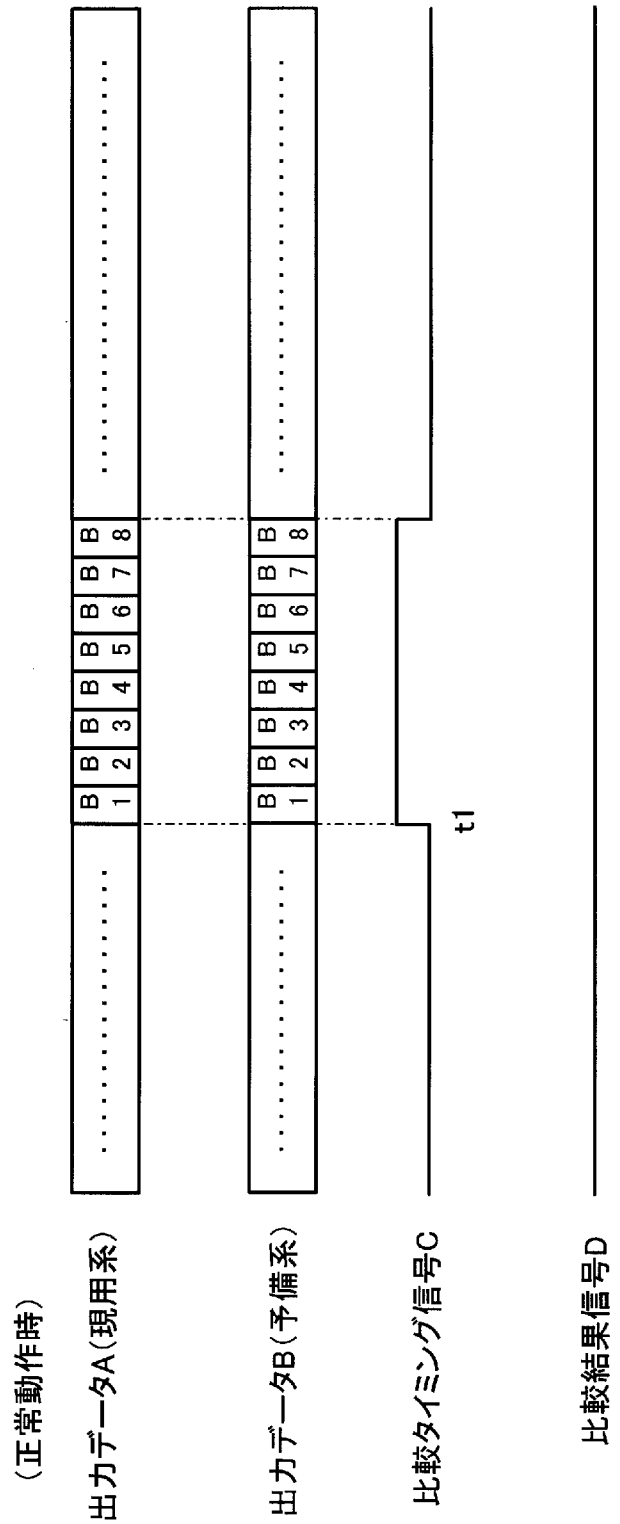

（正常動作時）
出力データA（現用系）
出力データB（予備系）
比較タイミング信号C
比較結果信号D
B 1
B 2
B 3
B 4
B 5
B 6
B 7
B 8
t1

Fig.8

[図9]

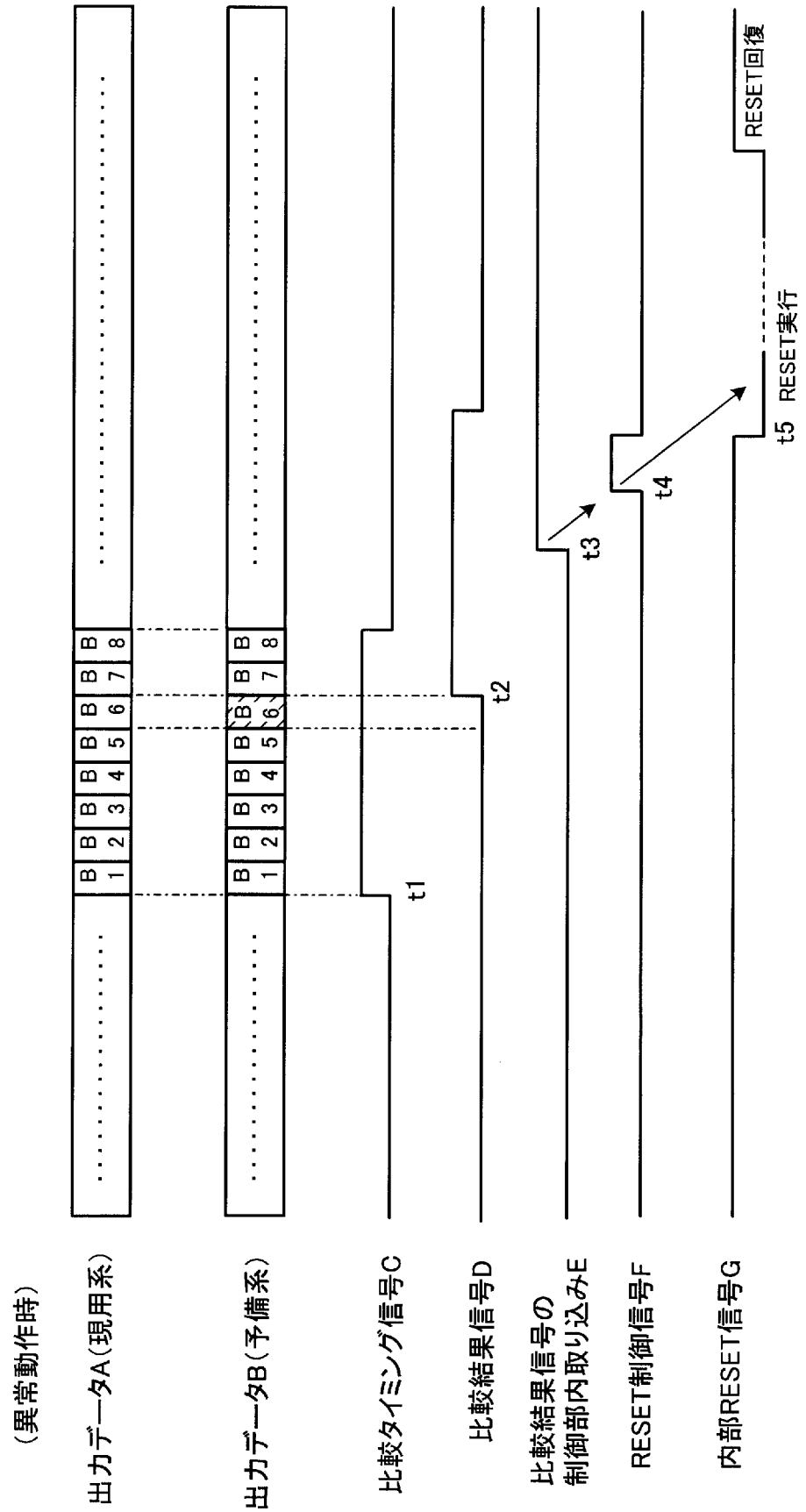

（異常動作時）
出力データA（現用系）
出力データB（予備系）
比較タイミング信号C
比較結果信号D
比較結果信号の
制御部内取り込みE
RESET制御信号F
内部RESET信号G
B 1
B 2
B 3
B 4
B 5
B 6
B 7
B 8
t1
t2
t3
t4
t5 RESET実行
RESET回復

Fig.9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/064812

A. CLASSIFICATION OF SUBJECT MATTER
G06F11/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F11/16-11/20, H04L13/00-13/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 63-245735 A (NEC Corp.), 12 October, 1988 (12.10.88), Full text; all drawings (Family: none)	1-3
Y	JP 2774299 B2 (The Nippon Signal Co., Ltd.), 09 July, 1998 (09.07.98), Full text; all drawings (Family: none)	1-3
Y	JP 2933479 B2 (NEC Corp.), 16 August, 1999 (16.08.99), Par. Nos. [0003] to [0004], [0015]; Fig. 1 & US 5515362 A	2

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 October, 2007 (18.10.07)	30 October, 2007 (30.10.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/064812

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3464649 B2 (Matsushita Electric Industrial Co., Ltd.), 10 November, 2003 (10.11.03), Par. No. [0039]; Fig. 1 & US 2003/0014709 A1 & EP 1347593 A1 & WO 2002/054649 A1 & CN 1406420 A	2
Y	JP 1-246639 A (NEC Corp.), 02 October, 1989 (02.10.89), Page 2, upper right column, lines 3 to 19; Fig. 1 (Family: none)	2
Y	JP 7-129427 A (Fujitsu Ltd.), 19 May, 1995 (19.05.95), Par. Nos. [0019] to [0020]; Figs. 1, 3 (Family: none)	2

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０６４８１２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G06F11/18(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G06F11/16-11/20, H04L13/00-13/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ	ＪＰ　６３－２４５７３５　Ａ（日本電気株式会社） １９８８．１０．１２，全文，全図（ファミリーなし）	１－３
Ｙ	ＪＰ　２７７４２９９　Ｂ２（日本信号株式会社） １９９８．０７．０９，全文，全図（ファミリーなし）	１－３
Ｙ	ＪＰ　２９３３４７９　Ｂ２（日本電気株式会社） １９９９．０８．１６，段落【０００３】－【０００４】，【００１５】， 第１図　＆　ＵＳ　５５１５３６２　Ａ	２

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１８．１０．２００７	３０．１０．２００７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｂ　３７８１
▲高▼橋　正▲徳▼
電話番号　０３－３５８１－１１０１　内線　３５４５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ	ＪＰ　３４６４６４９　Ｂ２（松下電器産業株式会社） ２００３．１１．１０，段落【００３９】，第１図 ＆　ＵＳ　２００３／００１４７０９　Ａ１ ＆　ＥＰ　１３４７５９３　Ａ１ ＆　ＷＯ　２００２／０５４６４９　Ａ１ ＆　ＣＮ　１４０６４２０　Ａ	２
Ｙ	ＪＰ　１－２４６６３９　Ａ（日本電気株式会社） １９８９．１０．０２，第２頁右上欄第３行－第１９行，第１図 （ファミリーなし）	２
Ｙ	ＪＰ　７－１２９４２７　Ａ（富士通株式会社） １９９５．０５．１９，段落【００１９】－【００２０】，第１図，第３図 （ファミリーなし）	２