

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。Int. Cl. H01L 21/203 (2006.01) (45) 공고일자 2007년05월30일 (11) 등록번호 10-0722843

(24) 등록일자 2007년05월22일

(21) 출원번호

10-2005-0115222

(65) 공개번호

(22) 출원일자

2005년11월30일

(43) 공개일자

심사청구일자 2005년11월30일

(73) 특허권자

주식회사 아이피에스

경기 평택시 지제동 33번지

(72) 발명자

윤원준

서울 서초구 방배3동 삼환나띠르빌 101동 802호

이상진

경기 평택시 비전2동 벽산아파트 101-1301

이기훈

경기 용인시 상현동 쌍용3차 아파트 606동 704호

이상규

서울 서초구 양재1동 17-6 고운빌라 105호

서태욱

경기 수원시 권선구 권선동 1267번지 벽산한성아파트 801동 202호

장호승

서울 서초구 방배3동 987-6 아침도시빌라 603호

(74) 대리인

박보경

송경근

(56) 선행기술조사문헌

KR1020010064160 A KR1020040078476 A KR1020020065245 A KR1020060099105 A

심사관 : 오창석

전체 청구항 수 : 총 22 항

(54) 박막 증착 방법

(57) 요약

플라즈마를 이용해, 반도체 기판에서의 위치에 따른 단차피복율을 조절하여 박막을 증착하는 방법에 관한 것이다. 본 발명에 따른 박막 증착 방법은, 반도체 기판을 반응실 내로 인입한 다음, (a) 반응실 내에 불활성 가스 및 반응 가스 중 적어도 어느 하나를 유입하는 단계; (b) 반응실 내에 제1 전구체를 유입하여 기판 상에 제1 전구체의 흡착층을 형성하는 단계; (c) 반응실 내에 잔류하는 제1 전구체 및 반응 부산물을 퍼지하는 단계; (d) 반응실 내에 제2 전구체를 유입하여 제1 전구체의 흡착층과 반응시키는 단계; 및 (e) 반응실 내에 잔류하는 제2 전구체 및 반응 부산물을 퍼지하는 단계로 이루어지는 사이 클을 1회 이상 반복하여 박막을 증착하는 방법으로서, (a) 단계 내지 (e) 단계의 적어도 일부 동안 플라즈마를 인가하는 것이 특징이다.

대표도

도 8

특허청구의 범위

청구항 1.

반도체 기판을 반응실 내로 인입한 다음,

- (a) 상기 반응실 내에 불활성 가스 및 반응 가스 중 적어도 어느 하나를 유입하는 단계;
- (b) 상기 반응실 내에 제1 전구체를 유입하여 상기 기판 상에 상기 제1 전구체의 흡착층을 형성하는 단계;
- (c) 상기 반응실 내에 잔류하는 제1 전구체 및 반응 부산물을 퍼지하는 단계;
- (d) 상기 반응실 내에 제2 전구체를 유입하여 상기 제1 전구체의 흡착층과 반응시키는 단계; 및
- (e) 상기 반응실 내에 잔류하는 제2 전구체 및 반응 부산물을 퍼지하는 단계로 이루어지는 사이클을 1회 이상 반복하여 박막을 증착하는 방법으로서.

상기 (a) 단계 내지 (e) 단계의 적어도 일부 동안 플라즈마를 인가하는 것을 특징으로 하는 박막 증착 방법.

청구항 2.

제1항에 있어서, 상기 (a) 단계의 일부 또는 전체와, 상기 (b) 단계의 일부 또는 전체 동안 플라즈마를 인가하는 것을 특징으로 하는 박막 증착 방법.

청구항 3.

제1항에 있어서, 상기 (a) 단계의 일부 또는 전체와, 상기 (b) 단계의 전체와, 상기 (c) 단계의 일부 또는 전체 동안 플라즈 마를 인가하는 것을 특징으로 하는 박막 증착 방법.

청구항 4.

제1항에 있어서, 상기 (c) 단계의 일부 또는 전체와, 상기 (d) 단계의 일부 또는 전체 동안 플라즈마를 인가하는 것을 특징으로 하는 박막 증착 방법.

청구항 5.

제1항에 있어서, 상기 (c) 단계의 일부 또는 전체와, 상기 (d) 단계의 전체와, 상기 (e) 단계의 일부 또는 전체 동안 플라즈마를 인가하는 것을 특징으로 하는 박막 증착 방법.

청구항 6.

제1항에 있어서, 상기 (a) 단계의 일부 또는 전체와, 상기 (b) 단계의 전체와, 상기 (d) 단계의 일부 또는 전체와, 상기 (e) 단계의 일부 또는 전체 동안 플라즈마를 인가하는 것을 특징으로 하는 박막 증착 방법.

청구항 7.

제1항에 있어서, 상기 (a) 단계의 일부 또는 전체와, 상기 (b) 단계의 전체와, 상기 (c) 단계의 일부 또는 전체와, 상기 (d) 단계의 일부 또는 전체와, 상기 (e) 단계의 일부 또는 전체 동안 플라즈마를 인가하는 것을 특징으로 하는 박막 증착 방법.

청구항 8.

제1항 내지 제7항 중 어느 하나의 항에 있어서, 상기 플라즈마는 상기 반응실 내에 직접 발생시킨 다이렉트(direct) 플라즈마인 것을 특징으로 하는 박막 증착 방법.

청구항 9.

제1항 내지 제7항 중 어느 하나의 항에 있어서, 상기 플라즈마는 상기 반응실 외부에서 발생시켜 상기 반응실 내로 유입시키는 리모트(remote) 플라즈마인 것을 특징으로 하는 박막 증착 방법.

청구항 10.

제1항 내지 제7항 중 어느 하나의 항에 있어서, 상기 플라즈마의 발생 주파수는 마이크로파(microwave), 300~500KHz 의 저주파(LF), 또는 13.56MHz ~ 21.12MHz의 고주파(HF)인 것을 특징으로 하는 박막 증착 방법.

청구항 11.

제10항에 있어서, 상기 플라즈마의 발생 파워는 10 ~ 1000 W인 것을 특징으로 하는 박막 증착 방법.

청구항 12.

제1항에 있어서, 상기 반응 가스로는 H_2 를, 상기 제1 전구체로는 Al을 함유한 유기 또는 무기화합물을, 상기 제2 전구체로는 O를 함유한 유기 또는 무기화합물을 이용하여 Al_2O_3 박막을 형성하는 것을 특징으로 하는 박막 증착 방법.

청구항 13.

제12항에 있어서, 상기 제2 전구체는 O_2 , O_3 , H_2O 및 D_2O 로 이루어진 그룹 중에서 선택된 어느 하나인 것을 특징으로 하는 박막 증착 방법.

청구항 14.

제1항 및 제12항 중 어느 하나의 항에 있어서, 상기 반응실 내의 상기 기판 온도가 $20~\%\sim700~\%$ 인 것을 특징으로 하는 박막 증착 방법.

청구항 15.

제1항 및 제12항 중 어느 하나의 항에 있어서, 상기 반응실 내의 압력이 0.001 Torr ~ 100 Torr인 것을 특징으로 하는 박 막 증착 방법.

청구항 16.

제1항 내지 제7항 중 어느 하나의 항에 있어서, 상기 제1 전구체 및 상기 제2 전구체 중 적어도 어느 하나를 상기 반응실 내로 유입하는 데에 이송 가스를 이용하는 것을 특징으로 하는 박막 증착 방법.

청구항 17.

제16항에 있어서, 상기 이송 가스는 N_2 , Ar 및 He으로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 박막 증착 방법.

청구항 18.

제1항 내지 제7항 중 어느 하나의 항에 있어서, 상기 제1 전구체 및 상기 제2 전구체 중 적어도 어느 하나를 상기 반응실 내로 유입하는 데에 퍼지 가스를 혼합하여 유입하는 것을 특징으로 하는 박막 증착 방법.

청구항 19.

제1항 내지 제7항 중 어느 하나의 항에 있어서, 상기 (c) 단계 및 (e) 단계 중 적어도 어느 하나에서 N_2 , Ar 및 He으로 이루어진 군에서 선택된 어느 하나의 퍼지 가스를 이용하는 것을 특징으로 하는 박막 증착 방법.

청구항 20.

제1항 내지 제7항 중 어느 하나의 항에 있어서, 상기 제1 전구체 및 제2 전구체 중 적어도 어느 하나의 온도를 낮추어 증기 압을 조절함으로써 동일 시간에 상기 반응실에 유입되는 유입량을 조절하거나, 상기 제1 전구체 및 제2 전구체 중 적어도 어느 하나의 온도를 고정하되 상기 반응실 내로 유입되는 시간을 조절함으로써 상기 반응실에 유입되는 유입량을 조절하는 것을 특징으로 하는 박막 증착 방법.

청구항 21.

제16항에 있어서, 상기 제1 전구체 및 제2 전구체 중 적어도 어느 하나의 유입에 이용되는 상기 이송 가스의 양을 조절함으로써, 동일 온도 및 동일 유입 시간 하에 상기 반응실에 유입되는 유입량을 조절하는 것을 특징으로 하는 박막 증착 방법.

청구항 22.

트렌치가 형성된 반도체 기판을 압력이 0.001 Torr ~ 100 Torr인 반응실 내로 인입하고 상기 기판의 온도를 20 ℃ ~ 700 ℃로 올린 다음,

- (가) 상기 반응실 내에 불활성 가스 및 H₂ 중 적어도 어느 하나를 유입하는 단계;
- (나) 상기 반응실 내에 Al 소스를 유입하여 상기 기판 상에 Al층을 형성하는 단계;
- (다) 상기 반응실 내에 잔류하는 Al 소스 및 반응 부산물을 퍼지하는 단계;
- (라) 상기 반응실 내에 O 소스를 유입하여 상기 Al층과 반응시키는 단계; 및
- (마) 상기 반응실 내에 잔류하는 O 소스 및 반응 부산물을 퍼지하는 단계로 이루어지는 사이클을 1회 이상 반복하여 박막을 증착하는 방법으로서,

상기 (가) 단계 내지 (마) 단계의 적어도 일부 동안 플라즈마를 인가하여 상기 Al 소스 및 O 소스의 라디칼의 수명(life time)을 감소시켜 상기 트렌치의 입구에만 Al₂O₂ 박막을 형성하는 것을 특징으로 하는 박막 증착 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 증착 방법에 관한 것으로, 보다 상세하게는 플라즈마를 이용한 원자층 증착 방법(Plasma Enhanced Atomic Layer Deposition : PEALD)을 이용한 박막 증착 방법에 관한 것이다.

디램(DRAM)과 같은 반도체 소자에는 싱글 트랜지스터 메모리 셀이 사용된다. 싱글 트랜지스터 메모리 셀은 선택 트랜지스터와 메모리 커패시터를 포함한다. 메모리 커패시터에는 정보가 전하의 형태로 저장되며, 이 정보는 워드라인을 통한 판독 트랜지스터의 제어에 의해 비트라인을 통해 판독될 수 있다.

전하의 확실한 저장과 판독된 정보의 구별 가능성을 위해, 메모리 커패시터는 높은 커패시턴스를 가져야 한다. 메모리 밀도의 증가에 따라 싱글 트랜지스터 메모리 셀에 필요한 면적이 감소되고 있으며, 이와 동시에 메모리 커패시터가 형성될수 있는 영역이 좁아지고 있다. 이에, 좁은 면적에서도 높은 커패시턴스를 확보할 수 있는 메모리 커패시터 형성방법이 요구되고 있다.

일반적으로 제한된 면적 내에서 충분한 셀 정전용량을 확보하기 위한 방법의 예로는, 유전막으로서 고유전 물질을 사용하는 방법, 유전막의 두께를 감소시키는 방법, 하부전극의 유효면적을 증가시키는 방법 등이 있다. 이중에서 고유전 물질을 사용하는 방법은 신규 설비 도입과 유전막의 신뢰성 및 양산성 검증의 필요성, 후속 공정의 저온화 등 물질적, 시간적 투자를 필요로 한다. 그러므로 기존에 사용하던 유전막을 계속 사용할 수 있고 비교적 공정을 구현하기가 쉽다는 이유에서, 하부전극의 유효면적을 증가시키는 방법이 실공정에 적용하기가 가장 유망하다.

하부전극의 유효면적을 증가시키는 방법 중 한 가지 방법은 메모리 커패시터를 반도체 기판 안의 트렌치 내에 구현하는 것이다. 이렇게 구현된 트렌치 커패시터는 기판 위로 형성되는 스택형 커패시터와 비교할 때에 표면 토포그라피가 보다 평탄하고, 적은 수의 포토리소그라피 공정으로 형성할 수 있으며, 작은 비트라인 커패시턴스를 가지는 것으로 알려져 있다. 따라서, 비용이 절감되고 저전력 구동이 가능한 장점이 있다.

도 1은 일반적인 트렌치 커패시터를 포함하는 DRAM의 단면도이다. 이러한 통상적인 트렌치 커패시터 DRAM 셀은 예를 들면 IEDM 93-627에 게재된 자가 정렬 매립형 스트랩을 가진 트렌치 커패시터 DRAM 셀에 개시되어 있다. 기판(100)은 P형 도펀트로 도핑된다. 트렌치 커패시터(160)는 기판(100) 내부로 식각된 깊은 트렌치를 포함하고, 트렌치 내부에는 N형 도프트 폴리실리콘(161)이 충진된다. 도프트 폴리실리콘(161)은 커패시터의 상부전극(저장 전극)과 같은 역할을 한다. N형 도핑된 영역(165)은 트렌치 하부를 감싸며, 하부전극과 같은 역할을 한다. 도핑된 영역(165)은 매립형 플레이트(buried plate)라고도 부른다. 유전막(164)은 매립형 플레이트(165) 및 도프트 폴리실리콘(161)을 절연시킨다. 매립 N형 웰(170)은 P형 웰(151)을 기판(100)으로부터 고립시켜 주는 동시에 매립형 플레이트(165)간을 연결해주는 전도 브릿지 역할을 한다.

DRAM 셀은 또한 트랜지스터(110)를 포함한다. 트랜지스터(110)는 게이트(112) 및 확산 영역(113, 114)을 포함한다. 채 널(117)에 의해 분리되는 확산 영역은 인(P)과 같은 N-형 도펀트를 주입하여 형성된다. "노드 접합"이라고 불리는 노드 확산 영역(125)이 커패시터(160)를 트랜지스터(110)에 커플링시킨다. 노드 확산 영역(125)은 매립형 스트랩(buried strap) (162)을 통해 트렌치를 충진하는 도프트 폴리실리콘(161)으로부터 도펀트를 외확산(out diffusion)시킴으로써 형성된다.

게이트와 비트라인에 적절한 전압을 제공하여 트랜지스터를 활성화시킴으로써 트렌치 커패시터로 액세스한다. 일반적으로 게이트는 워드라인을 형성하고 확산영역(113)은 콘택(183)을 통해 DRAM 셀 어레이 내의 비트라인(185)에 커플링된다. 비트라인(185)은 충간절연막(189)에 의해 확산 영역(113)으로부터 절연된다.

STI(Shallow Trench Isolation)(180)이 다른 셀 또는 소자로부터 DRAM을 절연시키기 위해 제공된다. 도시한 바와 같이, 워드라인(120)이 트렌치 상부에 형성되고 STI(180)에 의해 절연된다.

또한, 매립형 플레이트(165)로의 노드 접합 누설을 방지하기 위하여 절연막 칼라(collar)(168)가 사용된다. 누설은 셀의 유지 시간을 저하시키고 성능에 역효과를 주는 리프레시 주파수를 증가시키기 때문에 바람직하지 않다. 절연막 칼라(168)를 형성하는 방법으로는 증착, LOCOS(local oxidation of silicon) 등이 있다.

매립형 플레이트(165)를 형성하는 통상적인 방법은 트렌치 하부를 감싸는 기판(100) 영역 내부로 도펀트를 외확산시키는 것을 포함하는, 열확산(thermal diffusion), 기체상 도핑(gas phase doping), 플라즈마 이머젼 이온 주입(plasma immersion ion implant) 등이 알려져 있다.

종래 열확산 방법으로 트렌치 커패시터의 매립형 플레이트를 형성하고 산화막 증착 방법으로 칼라를 형성하는 방법이 도 2a 내지 도 2d에 도시되어 있다. 먼저, 도 2a에 도시한 바와 같이, 기판(1) 위에 패드산화막(2)과 하드마스크(4)를 형성한다. 그런 다음, 하드마스크(4)를 이용해 트렌치(6)를 형성한다.

도 2b는 트렌치(6) 내벽에 ASG(arsenosilicate glass)와 같은 도핑된 절연막(12)이 형성된 것을 도시한다. 다음에, 트렌치(6)의 하부는 포토레지스트(14)로 채워진다. 이로써, 트렌치(6) 상부의 도핑된 절연막(12)은 노출된 상태로 된다.

트렌치(6) 상부의 도핑된 절연막(12) 부분은 식각으로 제거한다. 이로써, 트렌치(6) 하부에만 도핑된 절연막(12a)이 남게된다. 그런 다음, TEOS와 같은 캡 산화막을 트렌치(6) 안에 증착한다. 이어서, 캡 산화막을 리세스시켜 포토레지스트(14)가 노출되도록 하여 칼라(16)를 형성한다. 이러한 과정은 도 2c에 도시되어 있다.

도 2d를 참조하여, 도 2c의 포토레지스트(14)를 제거한 다음, 기판(1)을 열 공정에 투입하여 도핑된 절연막(12) 안의 불순물이 기판(1)으로 확산하여 확산 영역(18)을 형성하도록 한다. 이 확산 영역(18)이 매립형 플레이트이다.

후속적으로 도 1과 같은 구조를 형성하기 위한 나머지 공정을 진행하게 된다. 이와 같은 방법으로 트렌치 커패시터 형성 공정을 진행하면, 칼라(16)를 형성하고 매립형 플레이트(18)를 형성하기 위해 7 단계 이상의 복잡한 공정을 거쳐야 하는 단점이 있다. 그리고, ASG는 TEOS 및 TEAS 또는 TEOA와 같은 유기 전구체로 구성된다. 이러한 전구체는 기판 결함으로 인한 바람직하지 않은 기판 불균일을 야기하기 때문에 적용하기 어렵다. 또한 비교적 고가이다.

한편, 종래 기체상 도핑, 플라즈마 이머젼 이온 주입 방법으로 트렌치 커패시터의 매립형 플레이트를 형성하고 LOCOS 방법으로 칼라를 형성하는 방법이 도 3a 내지 도 3c에 도시되어 있다.

도 3a에 도시한 바와 같이, 기판(21) 위에 패드산화막(22)과 하드마스크(24)를 형성한다. 그런 다음, 하드마스크(24)를 이용해 트렌치(26)를 형성한다. 트렌치(26) 내벽에 실리콘 질화막과 같은 절연막을 형성한 다음에, 트렌치(26)의 하부를 포토레지스트(34)로 채운다. 다음에, 트렌치(26) 상부의 절연막 부분을 식각으로 제거한다. 이로써, 트렌치(26) 하부에만 절연막으로 된 산화방지막(32)이 남게 되고, 트렌치(26) 상부 내벽은 노출된 상태가 된다.

다음, 도 3b에서와 같이, 도 3a의 포토레지스트(34)를 제거한 후, 노출된 트렌치(26) 내벽을 산화시켜 LOCOS 방식의 칼라(36)를 형성한다.

도 3c를 참조하여, 산화방지막(32)을 제거한다. 이 때, 도 3b의 트렌치(26)를 확장시켜 하부 폭이 더 넓은 트렌치(26a)가 되도록 할 수 있다. 그런 다음, 기체상 도핑 혹은 플라즈마 이머젼 이온 주입 방법으로, 트렌치(26a) 내벽에 매립형 플레이트(38)를 형성한다.

이렇게 한 다음, 후속적으로 도 1과 유사한 구조를 형성하기 위한 나머지 공정을 진행하게 된다. 기체상 도핑 혹은 플라즈마 이머젼 이온 주입 방법은 열확산보다는 단순한 방법이지만, 종횡비(aspect ratio)가 큰 트렌치에서 균일한 도핑 프로파일 및 원하는 수준 이상의 도핑 농도를 유지하기 위해 상당한 노력이 요구된다. 칼라(36) 형성에 있어서도 증착과 식각을 이용하는 도 2c의 방법보다 단순한 방법인 LOCOS 방법을 사용한다 하더라도 6 단계 이상의 공정이 필요하다.

트렌치 커패시터를 제조하는 방법 중에 최근에는 도 4a와 같이 트렌치(46)의 윗부분(목) 및 기판(41)의 상부 표면에만 증착 방식의 산화막 칼라(56)를 형성하고, 도 4b에서와 같은 후속되는 식각 공정에서 이 칼라(56)를 식각 마스크로 삼아 트렌치(46)의 윗부분 및 상부 표면을 제외한 트렌치(46) 아랫부분을 식각해 결과적으로 넓은 표면적의 트렌치(46a)를 형성하는 방법이 이용되고 있다.

그런데 이러한 방법을 구현하기 위해서는 트렌치(46)의 윗부분 및 기판(41)의 상부 표면에만 산화막이 증착되어야 하므로, 트렌치(46)의 깊이 방향으로 원하는 일정 깊이만큼만 산화막이 증착되어야 한다. 다시 말해, 트렌치(46) 입구 쪽의 단차피복율은 100%가 되고 그 아랫부분의 단차피복율은 0%가 될 수 있도록 산화막의 증착 제어가 가능해야 한다. 또한, 공정의 안정성을 위해서는 트렌치(46) 입구 쪽에 증착되는 산화막의 두께가 균일해야 한다.

종래에는 일반적인 원자층 증착 방법(ALD)을 이용하여 이러한 증착 방식의 산화막 칼라(56)를 형성하고 있는데, ALD 방법은 트렌치(46)의 바닥에까지 산화막이 증착될 정도로 단차피복율이 매우 높은 방법이기 때문에 트렌치(46)의 입구 쪽에만 산화막을 증착하고 깊이 방향으로의 증착을 억제하기란 매우 어렵다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 기판에서의 위치에 따라 단차피복율을 100%에서 0%까지 제어할 수 있는 박막 증착 방법을 제공하는 것이다.

본 발명이 이루고자 하는 기술적 과제는 또한 트렌치 커패시터 공정에 이용되는 칼라 형성에 이용될 수 있도록, 기판에 형성된 트렌치의 입구 쪽에서는 100%의 단차피복율을 가지는 반면 그 아래쪽 부분에서는 0%의 단차피복율을 가지도록 박막을 증착하는 방법을 제공하는 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명에 따른 박막 증착 방법은, 반도체 기판을 반응실 내로 인입한 다음, (a) 상기 반응실 내에 불활성 가스 및 반응 가스 중 적어도 어느 하나를 유입하는 단계; (b) 상기 반응실 내에 제1 전구체를 유입하여 상기 기판 상에 상기 제1 전구체의 흡착층을 형성하는 단계; (c) 상기 반응실 내에 잔류하는 제1 전구체 및 반응 부산물을 퍼지하는 단계; (d) 상기 반응실 내에 제2 전구체를 유입하여 상기 제1 전구체의 흡착층과 반응시키는 단계; 및 (e) 상기 반응실 내에 잔류하는 제2 전구체 및 반응 부산물을 퍼지하는 단계로 이루어지는 사이클을 1회 이상 반복하여 박막을 증착하는 방법으로서, 상기 (a) 단계 내지 (e) 단계의 적어도 일부 동안 플라즈마를 인가하는 것이 특징이다.

공정 설계에 따라, 상기 (a) 단계의 일부 또는 전체와, 상기 (b) 단계의 일부 또는 전체 동안 플라즈마를 인가할 수도 있고, 상기 (a) 단계의 일부 또는 전체와, 상기 (b) 단계의 전체와, 상기 (c) 단계의 일부 또는 전체 동안 플라즈마를 인가할 수도 있으며, 상기 (c) 단계의 일부 또는 전체와, 상기 (d) 단계의 일부 또는 전체 동안 플라즈마를 인가하여도 된다. 그리고, 상기 (c) 단계의 일부 또는 전체와, 상기 (d) 단계의 전체와, 상기 (e) 단계의 일부 또는 전체 동안 플라즈마를 인가하여도 된

다. 뿐만 아니라, 상기 (a) 단계의 일부 또는 전체와, 상기 (b) 단계의 전체와, 상기 (d) 단계의 일부 또는 전체와, 상기 (e) 단계의 일부 또는 전체 동안 플라즈마를 인가할 수도 있으며, 상기 (a) 단계의 일부 또는 전체와, 상기 (b) 단계의 전체와, 상기 (c) 단계의 일부 또는 전체와, 상기 (d) 단계의 일부 또는 전체와, 상기 (e) 단계의 일부 또는 전체 동안 플라즈마를 인가할 수도 있다.

이러한 본 발명에 따른 박막 증착 방법에 이용하는 플라즈마는 다이렉트(direct) 플라즈마 혹은 리모트(remote) 플라즈마일 수 있다. 다이렉트 플라즈마는 상기 반응실 내에 플라즈마를 직접 발생시키는 것이며, 리모트 플라즈마는 상기 반응실 외부에서 플라즈마를 발생시켜 상기 반응실 내로 유입시키는 것이다. 그리고, 상기 플라즈마의 발생 주파수는 마이크로파 (microwave), 300~500KHz의 저주파(LF), 또는 13.56MHz ~ 21.12MHz의 고주파(HF)와 같이 다양할 수 있다. 이러한 플라즈마의 발생 파워는 10~1000 W일 수 있다.

바람직한 실시예에서, 상기 반응 가스로는 H_2 를, 상기 제1 전구체로는 Al_2 을 함유한 유기 또는 무기화합물을, 상기 제2 전구체로는 O를 함유한 유기 또는 무기화합물을 이용하여 Al_2O_3 박막을 형성한다. 이 때, 상기 제2 전구체는 O_2 , O_3 , H_2O 및 D_2O 로 이루어진 그룹 중에서 선택된 어느 하나를 이용할 수 있다. 이러한 증착 공정이 이루어지는 상기 반응실 내의 상기 기판 온도는 20~C~700~C일 수 있으며, 상기 반응실 내의 압력은 0.001~Torr~100~Torr일 수 있다.

상기 제1 전구체 및 상기 제2 전구체 중 적어도 어느 하나를 상기 반응실 내로 유입하는 데에는 이송 가스를 이용할 수 있다. 상기 이송 가스는 N_2 , Ar 및 He으로 이루어진 군에서 선택된 어느 하나일 수 있다. 상기 이송 가스의 양을 조절함으로 써, 동일 온도 및 동일 유입 시간 하에 상기 반응실에 유입되는 상기 제1 전구체 및/또는 상기 제2 전구체의 유입량을 조절할 수 있다.

상기 제1 전구체 및 상기 제2 전구체 중 적어도 어느 하나를 상기 반응실 내로 유입하는 데에는 퍼지 가스를 혼합하여 유입하여도 된다. 상기 (c) 단계 및 (e) 단계에서 이용하는 퍼지 가스는 N_2 , Ar 및 He으로 이루어진 군에서 선택된 어느 하나일수 있다.

상기 제1 전구체 및 제2 전구체 중 적어도 어느 하나의 온도를 낮추어 증기압을 조절함으로써 동일 시간에 상기 반응실에 유입되는 유입량을 조절하거나, 상기 제1 전구체 및 제2 전구체 중 적어도 어느 하나의 온도를 고정하되 상기 반응실 내로 유입되는 시간을 조절함으로써 상기 반응실에 유입되는 유입량을 조절할 수 있다.

상기 기술적 과제를 달성하기 위한 본 발명에 따른 다른 박막 증착 방법은, 트렌치가 형성된 반도체 기판을 압력이 0.001 Torr ~ 100 Torr인 반응실 내로 인입하고 상기 기판의 온도를 20 $^{\circ}$ $^{\circ}$ $^{\circ}$ $^{\circ}$ $^{\circ}$ 2로 올린 다음, $^{\circ}$ (가) 상기 반응실 내에 불활성 가스 및 H_2 중 적어도 어느 하나를 유입하는 단계; $^{\circ}$ (나) 상기 반응실 내에 Al 소스를 유입하여 상기 기판 상에 Al층을 형성하는 단계; $^{\circ}$ (다) 상기 반응실 내에 잔류하는 Al 소스 및 반응 부산물을 퍼지하는 단계; $^{\circ}$ (라) 상기 반응실 내에 $^{\circ}$ $^{\circ}$ $^{\circ}$ $^{\circ}$ 입하여 상기 Al층과 반응시키는 단계; 및 $^{\circ}$ (마) 상기 반응실 내에 잔류하는 $^{\circ}$ $^{$

이하 첨부된 도면들을 참조하여 본 발명을 더욱 상세히 하고자 한다. 다음에 설명되는 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술되는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 본 발명의 실시예를 설명하는 도면에 있어서, 도면상의 동일한 부호는 동일한 요소를 지칭한다.

본 발명은 기본적으로 플라즈마를 이용한 ALD(PEALD) 방법을 이용해 박막을 증착하는데, 기판에서의 위치에 따라 박막의 단차피복율을 100%에서 0%까지 제어하는 것이다. 예를 들어, 트렌치 커패시터 제조를 위한 칼라용의 $\mathrm{Al_2O_3}$ 박막을 증착하는 데 있어서, 기판에 형성된 트렌치의 깊이 방향으로 원하는 일정한 깊이만큼만 $\mathrm{Al_2O_3}$ 가 증착되게 하여 이 증착된 부분에서의 단차피복율은 100%가 되게 하고, 그 아랫부분의 단차피복율은 0%가 될 수 있도록 하며, 또한 단차피복율이 100%인 부분에 증착된 $\mathrm{Al_2O_3}$ 박막의 두께 제어도 가능한 방법이다.

이를 위해 본 발명에서는 도 5의 개념도로 나타낸 바 같이, 플라즈마에 의해 활성화된 라디칼(77)의 짧은 수명으로 인해 기판(61)에 형성된 트렌치(66)의 깊이 방향으로의 확산이 어려운 점에 착안하여, 일반적으로 낮은 단차피복율을 가지는 플라즈마 공정의 특성을 이용한다.

즉, 본 발명은 ALD 방법의 장점인 우수한 두께 제어 능력을 이용하고 ALD 방법의 장점으로 야기되는 증착되는 박막의 우수한 단차피복율을 원하는 일정 깊이까지만 적용되게 하기 위하여 플라즈마를 이용하는 것으로, 활성화된 라디칼(77)에 의해 트렌치(66)의 입구 쪽에는 100%의 단차피복율을 가지고 증착되지만, 짧은 수명으로 인해 라디칼(77)이 에너지를 잃은 원자 내지 분자(78) 상태가 되면 반응성이 낮아져 트렌치(66)의 바닥 쪽에서의 증착이 어려워지는 것을 이용한다. 이에따라, 트렌치(66)의 일정 깊이까지만 박막(76)의 증착이 가능해져서 트렌치 입구 쪽에만 칼라를 형성하는 데에 이용될 수 있으므로, 도 4a 및 도 4b를 참조하여 상술한 트렌치 커패시터의 표면적을 확장시키기 위한 방법을 가능하게 한다.

이제 보다 구체적으로 본 발명에 따른 박막 증착 방법의 실시예를 설명하기로 한다. 본 발명을 이용하면서 반응 가스 및 전구체의 종류를 달리하면 여러 종류의 박막 형성이 가능하나, 이하 실시예에서는 $\mathrm{Al_2O_3}$ 박막을 형성하는 경우를 예로 든다. 본 발명에 따른 박막 증착 방법을 수행하는 데에 이용되는 장치는 기존에 널리 사용되고 있는 ALD 시스템과 유사하며, 단지 반응실 내에서 혹은 반응실에 도달하기 전 특정 공간에서 임의의 가스(불활성 가스, 반응 가스 및/또는 전구체)가 플라즈마화되도록 하는 것을 특징으로 한다. 이에 대한 장치의 구조는 도 6에 도시되어 있다.

도 6의 박막 증착 장치(200)는 반응실(210) 내의 웨이퍼 블럭(212) 상에 안착된 실리콘 웨이퍼와 같은 반도체 기판(w) 상에 Al_9O_3 박막과 같은 박막을 증착하기 위한 것이다.

여기서, 박막 증착 장치(200)는, 박막 증착이 진행되는 반응실(210)과, 반응실(210)로 2 종류 이상의 소스(반응 가스, 전구체) 및 불활성 가스를 공급하는 소스 공급 장치(220)를 포함한다.

반응실(210)은, 그 내부 상부에 설치되어 소스 및 불활성 가스가 분사되는 샤워헤드(211)와, 샤워헤드(211) 하부에 설치되며 기판(w)이 안착되는 웨이퍼 블럭(212)과, 웨이퍼 블럭(212) 외주에 설치되어 소스, 불활성 가스 및 반응 부산물의 원활하고 균일한 펌핑을 위한 펌핑 배플(213)과, 샤워헤드(211) 외주에 불활성 가스를 분사하는 가스커튼블럭(214)을 포함한다.

소스 공급 장치(220)는, 2 종류 이상의 소스 및 불활성 가스를 반응실(210)로 공급할 뿐만 아니라, ALD에 있어서 필수적인 밸빙(valving)을 가능하게 해준다. 본 발명에 따른 박막 증착 방법 진행시, 예컨대 반응 가스로는 H_2 를, 제1 전구체로는 Al 소스(예컨대 TMA)를, 제2 전구체로는 O 소스(예컨대 O_2 , O_3 , H_2 O 또는 D_2 O)를 이용하며, 기판(w) 상에 Al_2O_3 박막을 증착하게 된다.

샤워헤드(211)는, 피딩되는 소스들이 상호 만나지 않도록 여러 개의 영역으로 분리되어 있다. 각각의 영역은 샤워헤드 (211) 내부에서 상호 만나지 않는 유로 및 하단의 분사홀과 연결되어 있다. 따라서, 샤워헤드(211) 내부의 유로를 경유하는 소스 및 불활성 가스는 샤워헤드(211)를 경유하는 도중에 샤워헤드(211) 내부에서 만나지 않게 된다.

웨이퍼 블럭(212)의 내부에는 히터(212a)가 내장되어 있으며, 히터(212a)는 안착되어 있는 기판(w)을 $20\ ^{\circ} \sim 700\ ^{\circ}$ 범위에서 가열시킨다. 펌핑 배플(213)은, 증착되는 박막, 즉 $\mathrm{Al_2O_3}$ 박막의 두께 균일성과 조성을 최적으로 확보할 수 있도록 하며, 반응공간을 최적화한다. 이러한 펌핑 배플(213)은 장치의 유지보수(maintenance)를 용이하게 해주기 위하여, 혹은 탈/부착을 용이하게 하기 위하여 2 층으로 분리되는 것이 바람직하다. 이와 같이, 펌핑 배플(213)을 2 개층으로 구성함으로써, 각각의 소스의 운동성을 고려하여 운용할 수 있어 증착되는 박막내의 원자 조성을 일정하게 유지하는 데 큰 도움을 준다.

가스커튼블럭(214)은 불활성 가스를 기판(w)의 가장자리측으로 분사하여 그 기판(w) 가장자리의 조성 변화를 조절하며, 또한 반응실(210), 상세하게는 펌핑 배플(213) 내벽이 소스들에 의하여 오염되는 것을 최소화한다.

증착 공정이 진행되는 동안 반응실(210)의 온도는 20 ℃ ~ 700 ℃ 범위로 유지되고, 반응실(210)의 압력은 0.001 Torr ~ 100 Torr 범위로 유지된다.

도 7은 본 발명에 따라 도 6에 도시한 것과 같은 장치를 가지고 박막을 증착하는 실시예를 보이는 순서도이다. 도 8은 이 실시예에서의 시간에 따른 공정 흐름을 보여주는 그림이다.

먼저 도 7의 단계 s1에서와 같이 반도체 기판(도 6의 w)을 반응실(210) 내로 인입한다. 그런 다음, 기판(w)의 온도가 증착 온도까지 충분히 올라갈 수 있도록 불활성 가스를 흘려주며 온도를 올린다. 예컨대, 반응실(210) 내의 압력을 0.001 Torr ~ 100 Torr로 유지한 상태에서 트렌치가 형성된 반도체 기판을 반응실(210) 내로 인입하고 웨이퍼 블록(212)을 이용하여 기판의 온도를 20 $\mathbb C$ ~ 700 $\mathbb C$ 로 올린다.

그 다음 단계로, 반응실(210) 내에 불활성 가스 및/또는 반응 가스를 유입하는 단계(s2), 반응실(210) 내에 제1 전구체를 유입하여 기판(w) 상에 제1 전구체의 흡착층을 형성하는 단계(s3), 반응실(210) 내에 잔류하는 제1 전구체 및 반응 부산물을 퍼지하는 단계(s4), 반응실(210) 내에 제2 전구체를 유입하여 제1 전구체의 흡착층과 반응시키는 단계(s5), 반응실(210) 내에 잔류하는 제2 전구체 및 반응 부산물을 퍼지하는 단계(s6)를 거치게 된다. 여기서, s2 단계 내지 s6 단계의 적어도 일부 동안 플라즈마를 인가하는 것이 특징이다.

그리고, 원하는 두께의 박막이 증착되었는지를 확인하여(단계 s7), 원하는 두께의 박막이 증착될 때까지 단계 s2 내지 s6로 이루어지는 사이클을 1회 이상 반복한다.

상기 제1 전구체 및/또는 상기 제2 전구체를 반응실(210) 내로 유입하는 데에는 N_2 , Ar 또는 He과 같은 이송 가스를 이용할 수 있다. 이 이송 가스의 양을 조절함으로써, 동일 온도 및 동일 유입 시간 하에 반응실(210)에 유입되는 제1 전구체 및 상기 제2 전구체의 유입량을 조절할 수 있다.

이송 가스를 이용하는 대신, 상기 제1 전구체 및/또는 상기 제2 전구체를 반응실(210) 내로 유입할 때에 퍼지 가스를 혼합하여 유입하여도 된다. 퍼지 가스는 N_2 , Ar 및 He으로 이루어진 군에서 선택된 어느 하나일 수 있다. 이 경우 반응실(210)에 유입되는 제1 전구체 및 상기 제2 전구체의 유입량을 조절하기 위해서는, 상기 제1 전구체 및 상기 제2 전구체의 온도를 낮추어 증기압을 조절함으로써 동일 시간에 반응실(210)에 유입되는 유입량을 조절하거나, 상기 제1 전구체 및 상기 제2 전구체의 온도를 고정하되 반응실(210) 내로 유입되는 시간을 조절한다.

이렇게 본 발명에 따른 박막 증착 방법에서는 일정 단계에 플라즈마를 인가함으로써, 일정한 종횡비를 가진 구조물(예컨대트렌치)에 있어서 깊이 방향으로 특정 깊이까지만 단차피복율을 100%로 조절함(특정 깊이 이상에서는 단차피복율을 0%로 함)과 동시에 두께 제어가 가능한 박막을 형성할 수가 있다.

도 8에 자세히 도시한 바와 같이, 플라즈마를 인가하는 단계를 열거하면 다음과 같다.

8-a는 불활성 가스 및 반응 가스 중 적어도 어느 하나를 유입하는 단계(s2)의 일정 시간 또는 전체와, 반응실(210) 내에 제 1 전구체를 유입하여 기판(w) 상에 제1 전구체의 흡착층을 형성하는 단계(s3)의 일정 시간 또는 전체에 플라즈마를 인가하는 경우이다.

8-b는 불활성 가스 및 반응 가스 중 적어도 어느 하나를 유입하는 단계(s2)의 일정 시간 또는 전체와, 반응실(210) 내에 제1 전구체를 유입하여 기판(w) 상에 제1 전구체의 흡착층을 형성하는 단계(s3)의 전체, 그리고 반응실(210) 내에 잔류하는 제1 전구체 및 반응 부산물을 퍼지하는 단계(s4)의 일정 시간 또는 전체에 플라즈마를 인가하는 경우이다.

8-c는 반응실(210) 내에 잔류하는 제1 전구체 및 반응 부산물을 퍼지하는 단계(s4)의 일정 시간 또는 전체와, 반응실 (210) 내에 제2 전구체를 유입하여 제1 전구체의 흡착층과 반응시키는 단계(s5)의 일정 시간 또는 전체에 플라즈마를 인가하는 경우이다.

8-d는 반응실(210) 내에 잔류하는 제1 전구체 및 반응 부산물을 퍼지하는 단계(s4)의 일정 시간 또는 전체와, 반응실 (210) 내에 제2 전구체를 유입하여 제1 전구체의 흡착층과 반응시키는 단계(s5)의 전체, 그리고 반응실(210) 내에 잔류하는 제2 전구체 및 반응 부산물을 퍼지하는 단계(s6)의 일정 시간 또는 전체에 플라즈마를 인가하는 경우이다.

8-e는 8-a와 8-c의 조합으로, 불활성 가스 및 반응 가스 중 적어도 어느 하나를 유입하는 단계(s2)의 일정 시간 또는 전체와, 반응실(210) 내에 제1 전구체를 유입하여 기판(w) 상에 제1 전구체의 흡착층을 형성하는 단계(s3)의 일정 시간 또는 전체, 반응실(210) 내에 잔류하는 제1 전구체 및 반응 부산물을 퍼지하는 단계(s4)의 일정 시간 또는 전체와, 반응실(210) 내에 제2 전구체를 유입하여 제1 전구체의 흡착층과 반응시키는 단계(s5)의 일정 시간 또는 전체에 플라즈마를 인가하는 경우이다.

8-f는 8-b와 8-d를 조합한 것으로, 불활성 가스 및 반응 가스 중 적어도 어느 하나를 유입하는 단계(s2)의 일정 시간 또는 전체와, 반응실(210) 내에 제1 전구체를 유입하여 기판(w) 상에 제1 전구체의 흡착층을 형성하는 단계(s3)의 전체, 그리고 반응실(210) 내에 잔류하는 제1 전구체 및 반응 부산물을 퍼지하는 단계(s4)의 일정 시간 또는 전체, 반응실(210) 내에 잔류하는 제1 전구체 및 반응 부산물을 퍼지하는 단계(s4)의 일정 시간 또는 전체와, 반응실(210) 내에 제2 전구체를 유입하여 제1 전구체의 흡착층과 반응시키는 단계(s5)의 전체, 그리고 반응실(210) 내에 잔류하는 제2 전구체 및 반응 부산물을 퍼지하는 단계(s6)의 일정 시간 또는 전체에 플라즈마를 인가하는 경우이다.

여기서, 불활성 가스 및/또는 반응 가스를 유입하는 단계(s2)와, 반응실(210) 내에 잔류하는 제1 전구체 및 반응 부산물을 퍼지하는 단계(s4)는 반응 물질이 반응실로 유입되기 전에 미리 반응실을 플라즈마 분위기로 만들어서 반응 물질을 플라즈마화하는 것을 최적으로 하기 위함이다. 따라서, 이의 단계는 다음 단계의 반응 물질에 플라즈마를 인가하지 않을 시는 자연히 전 단계의 퍼지하는 단계에 포함된다.

한편, 본 발명에 따른 박막 증착 방법에 이용하는 플라즈마는 반응실(210) 내에 직접 발생시킨 다이렉트 플라즈마 혹은 반응실(210) 외부에서 발생시켜 반응실(210) 내로 유입시키는 리모트 플라즈마일 수 있다. 그리고, 플라즈마의 발생 주파수는 마이크로파, 300~500KHz의 저주파(LF), 또는 13.56MHz ~ 21.12MHz의 고주파(HF)일 수 있다. 이러한 플라즈마의 발생 파워는 10~1000 W일 수 있다.

이상, 본 발명의 상세한 설명을 하였으나, 본 발명의 범위에서 벗어나지 않은 한도 내에서 여러 가지 변형이 가능함은 본 발명이 속하는 기술분야에서 통상적 지식을 가진 자에게는 자명할 것이다. 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

발명의 효과

본 발명에 따르면, 기본적으로 플라즈마를 이용한 ALD(PEALD) 방법을 이용해 박막을 증착하는데, PEALD 사이클을 이루는 단계의 적어도 일부 동안 플라즈마를 발생시켜 라디칼의 수명을 단축시킴으로써, 기판에서의 위치에 따라 박막의 단차피복율을 100%에서 0%까지 제어할 수가 있게 된다.

따라서, 기판에 형성된 트렌치의 깊이 방향으로 칼라로 사용하기 위한 ${
m Al_2O_3}$ 박막을 증착하는 데 있어서, 원하는 일정한 깊이만큼만 ${
m Al_2O_3}$ 가 증착되게 하여 이 증착된 부분에서의 단차피복성은 100%가 되게 하고, 그 아래 부분은 0%가 되도록할 수 있다.

이러한 본 발명에 따른 박막 증착 방법을 이용하여 박막을 증착하면 일정 종횡비를 가지는 트렌치의 입구 쪽에만 단차피복율 100%로 칼라를 형성할 수 있게 되어 트렌치 커패시터의 표면적을 확장시키기 위한 방법이 가능해진다.

도면의 가단한 설명

도 1은 일반적인 트렌치 커패시터를 포함하는 DRAM의 단면도이다.

도 2a 내지 도 2d는 종래 열확산 방법으로 트렌치 커페시터의 매립형 플레이트를 형성하고 산화막 증착 방법으로 칼라를 형성하는 방법을 보이는 단면도들이다. 도 3a 내지 도 3c는 종래 기체상 도핑, 플라즈마 이머젼 이온 주입 방법으로 트렌치 커패시터의 매립형 플레이트를 형성하고 LOCOS 방법으로 칼라를 형성하는 방법을 보이는 단면도들이다.

도 4a와 도 4b는 트렌치 커패시터를 제조하는 종래의 다른 방법을 보이는 단면도들이다.

도 5는 본 발명에 따른 박막 증착 방법에서 박막의 단차피복율을 제어하는 원리를 보이는 개념도이다.

도 6은 본 발명에 따른 박막 증착 방법을 수행할 수 있는 박막 증착 장치의 도면이다.

도 7은 본 발명에 따른 박막 증착 방법 실시예의 순서도이다.

도 8은 본 발명에 따른 박막 증착 방법 실시예에서의 시간에 따른 공정 흐름을 보여주는 그림이다.

<도면의 주요부분에 대한 부호의 설명>

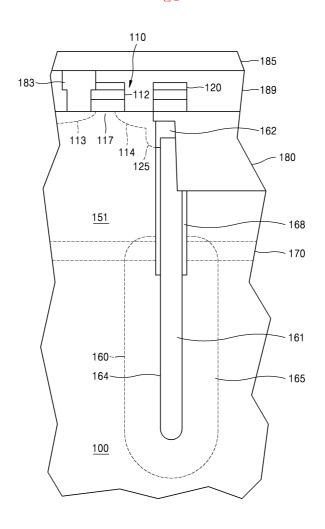
200...박막 증착 장치 210...챔버 211...샤워헤드

212...웨이퍼 블럭 212a...히터 213...펌핑 배플

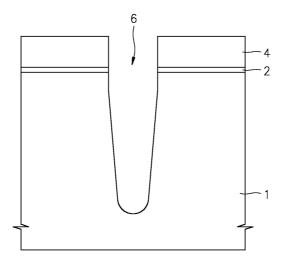
214...가스커튼블럭 220...소스 공급 장치

도면

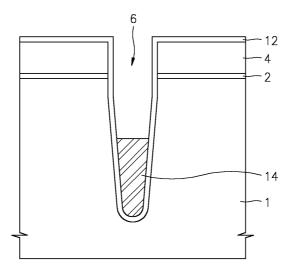
도면1



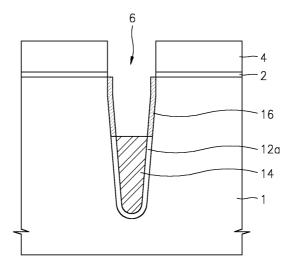
도면2a



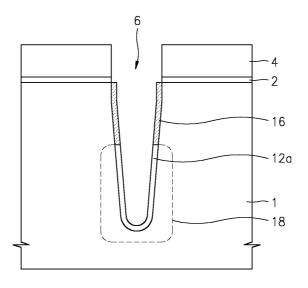
도면2b



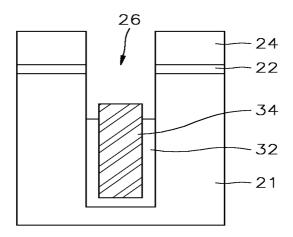
도면2c



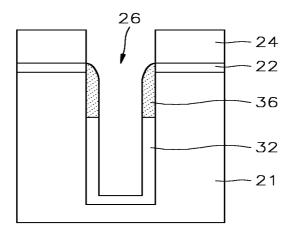
도면2d



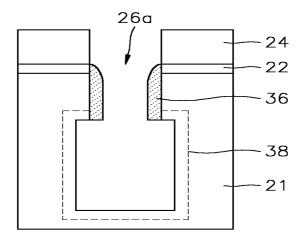
도면3a



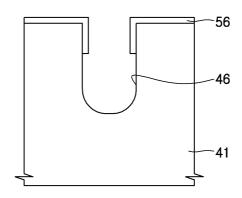
도면3b



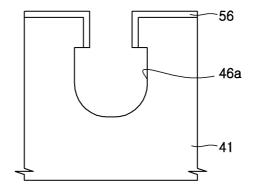
도면3c



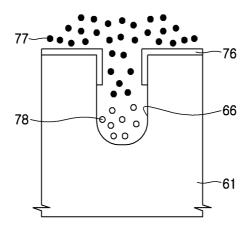
도면4a



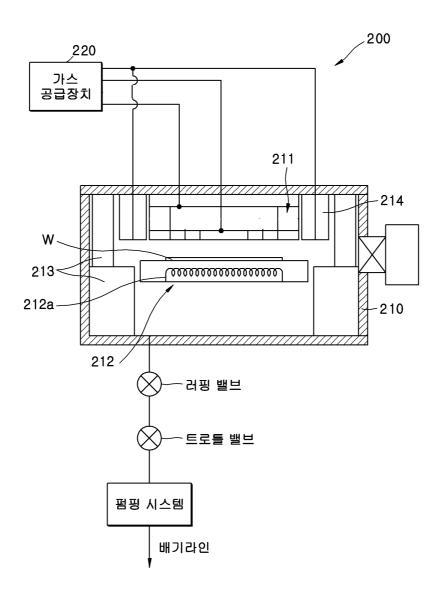
도면4b



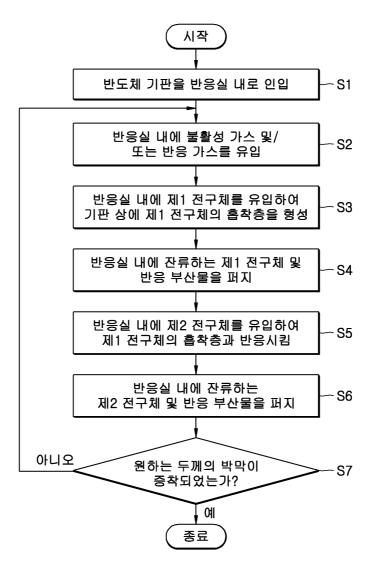
도면5



도면6



도면7



도면8

