

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1999/08/12	11-228393	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

[發明背景]

本發明涉及半導體裝置，特別是涉及具有多個電源節點的半導體裝置。

[背景技術的說明]

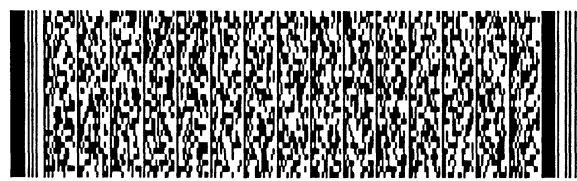
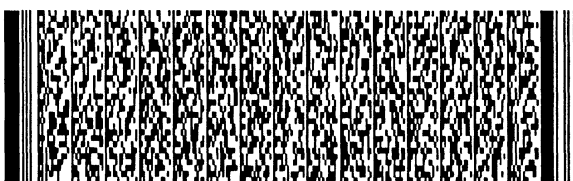
目前，半導體裝置要求消耗的電力要低。特別是攜帶型的裝置都以電池驅動作為前提，因此，在用電池驅動的情況下，待機時的低電壓，低功率工作不可缺少。

作為例子，考慮兩個電源驅動，例如從外部給與3.3V和2.5V的電源電壓的半導體裝置。在這種情況下，作為降低電力消耗的一種方法，用2.5V供給在待機狀態時不工作的內部電路；而用3.3V供給待機狀態下必需工作的電路。這樣，通過在待機狀態下，停止供給2.5V的電源電位，可以抑制待機時的電力消耗。

但是，當停止供給2.5V的電源電位時，如果不考慮用2.5V驅動的內部電路的各個節點的狀態，則在待機時工作的3.3V系統的內部電路的輸入節點變成浮動狀態，即不確定狀態，會導致半導體裝置的誤動作。特別是，在CMOS電路中，當輸入節點為中間電位時，電路多數是有大的貫通電流穩態流過的。

作為解決方法之一，要將為了防止誤動作而必需固定的節點固定，為此，要設置一個能從外部給出一個表示停止2.5V的電源電位供給的檢測信號，和與該信號相應，將固定電位給予工作的節點的內部電路。

但是，當在半導體裝置外部，設置檢測電源電位的電路



五、發明說明 (2)

時，由於該檢測電路必須在停止2.5V電源電位供給時，能再次投入電源而工作，因此，很難達到待機時整個系統的電力消耗較低。

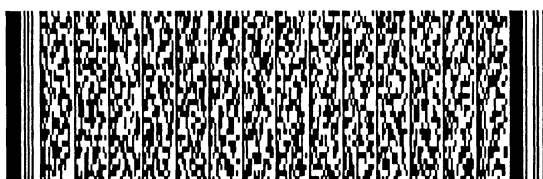
[發明概要]

本發明的目的是要提供一種在停止兩個系統的電源電位中的一個系統的電源電位供給時，不依賴外部信號，半導體裝置本身就能識別電源斷路，將必須要固定的節點電位固定，可防止誤動作的半導體裝置。

根據本發明的半導體裝置具有第一條電源配線和第一個內部電路、第二條電源配線和第二個內部電路。

用於傳輸第一個電源電位的第一條電源配線。第一個內部電路係從上述第一條電源配線上接受上述第一個電源電位進行工作，將第一個主信號輸出至第一個內部節點。第二條電源配線係設置於用於傳送第二個電源電位。第二個電路係從上述第二條電源配線上接受上述第二個電源電位進行工作。第二個內部電路包括：監視上述第一條電源配線的電位，當檢測電源斷開時，代替不穩定狀態的第一個主信號，而輸出決定上述第一個內部節點電位的第一個輔助信號的第三個內部電路。

因此，本發明的主要優點是，當二個系統的電源電位中，停止供給一個系統的電源電位時，半導體裝置不依賴外部信號，本身可認別電源斷開，將電位送至不穩定的節點，因此，可以防止誤動作和資料破壞等故障的產生，保證穩定的工作。



五、發明說明 (3)

[較佳實施例之說明]

以下，根據圖式來詳細說明本發明的實施例。圖中，同一元件編號表示相同或相當的部分。

[實施例1]

圖1為表示本發明的實施例1的半導體裝置1的構成的概略方框圖。

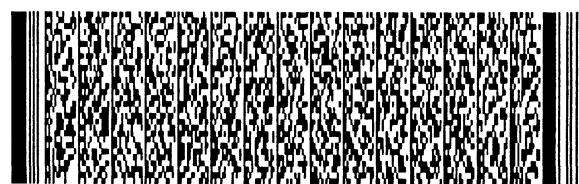
從圖1可看出，半導體裝置1具有：分別接收控制信號ext./RAS，ext./CAS，ext./WE的控制信號輸入端子2～6；位址輸入端子群8；輸入資料信號Din的輸入端子14；輸出資料信號Dout的輸出端子16；給出接地電位Vss的接地端子12；給出1.5V電源電位Ext. Vcc1的電源端子10；給出3.3V電源電位的Ext. Vcc2的電源端子11。

半導體裝置1還具有：時脈產生電路22，行和列位址緩衝器24，列解碼器26，行解碼器28，讀出放大器+輸入輸出控制電路30，記憶單元陣列32，閘電路18，資料登錄緩衝器20和資料輸出緩衝器34。

時脈產生電路22可產生與根據通過控制信號輸入端子2，4，從外部給出的外部列位址選通脈衝信號ext./RAS和外部行位址選通脈衝信號ext./CAS所決定的工作模式相當的控制時脈；控制整個半導體裝置的工作。

行和列位址緩衝器24，將根據從外部給出的位址信號A0～Ai(i自然數)生成的位址信號，送至列解碼器26和行解碼器28。

由列解碼器26和行解碼器28指定的記憶單元陣列32中的



五、發明說明 (4)

記憶單元，通過讀出放大器+輸入輸出控制電路30和資料登錄緩衝器20或資料輸出緩衝器22，再通過資料登錄端子Din或資料輸出端Dout，從外部選取資料。

列解碼器26中輸入3.3V電源電位。行解碼器28中輸入1.5V電源電位。

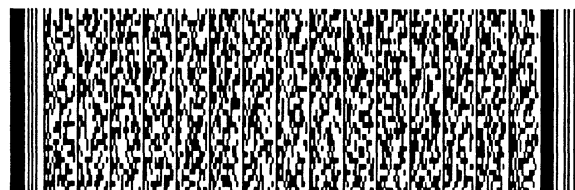
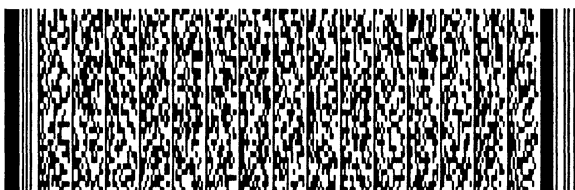
半導體裝置1還具有：供給3.3V電源電位作為工作電源電位，監視1.5V電源電位的供給，使必要的內部節點固定的電位固定電路36。

圖1所示的半導體裝置1是一個代表例。本發明可以在例如，同步型半導體記憶裝置(SDRAM)，或邏輯式大型積體電路(LSI)和微處理器 etc 中應用。

圖2為表示圖1中的電位固定電路36的構成的電路圖。

從圖2可看出，電位固定電路36包括：檢測1.5V系統電源斷開的電位檢測部51；接受電位檢測部51輸出並將其反相的反相器60；使反相器60的輸出振幅放大的位準轉換電路62；接收位準轉換電路62的輸出，並反相的反相器64；和在閘極中接收反相器64的輸出，連接在節點Nout和接地節點之間的N通道MOS電晶體66。節點Nout為用1.5V系統的電源驅動的內部電路28a的輸出節點。

電位檢測部51包括：接收3.3V電源電位，將1.0V的參考電位Vref輸出給節點N2的參考電位產生電路52；由連接在給出1.5V電源電位的電源節點和節點N1之間的電阻54和連接在節點N1與接地節點之間的電容56組成的低通濾波器；由3.3V電源電位驅動工作，正輸入節點與節點N1連接，負



五、發明說明 (6)

圖3為表示圖2中的參考電位產生電路52的電路構成的電路圖。

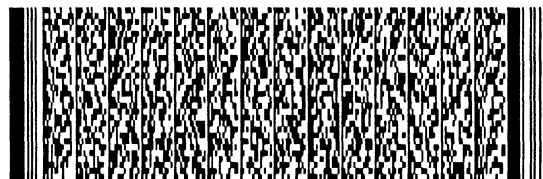
從圖3可看出，參考電位產生電路52包括：從給出3.3V電源電位的電源節點，向著節點N7流過恒定電流的恒定電流源88；串聯在節點N7和接地節點之間的P通道MOS電晶體90～94。P通道MOS電晶體90～94的閘極與接地節點連接。參考電位Vref從節點N7輸出。根據所希望的參考電位的值，串聯的P通道MOS電晶體的數目可以增加或減少。

圖4為表示圖2中的比較電路58的電路構成的電路圖。

從圖4可看出，比較電路58包括：在閘極接受有固定電位位準的信號BIAS，源極固定在接地節點的N通道MOS電晶體95；閘極與節點N2連接，源極與N通道MOS電晶體95的汲極連接的N通道MOS電晶體96；源極與3.3V電源電位結合，閘極和汲極與N通道MOS電晶體96的汲極連接的P通道MOS電晶體97。

比較電路58還包括：源極與節點N1連接，連接在N通道MOS電晶體95的汲極和節點N3之間的N通道MOS電晶體98；源極與3.3V的電源電位結合，汲極與節點N3連接，閘極與N通道MOS電晶體96的汲極連接的P通道MOS電晶體99。節點N3為比較電路58的輸出節點。

這種比較電路以內裝N通道MOS電晶體95，作為限制電流用的電晶體，節點N3在輸出低位準時，其電位處於比接地電位高的浮起狀態。因此，使用圖2的位準轉換電路62，使低位準的電位作為接地電位。位準轉換電路62的動作，



五、發明說明 (8)

這樣，在節點在1.5V電源切斷的狀態下，如果固定電位不固定在低位準，則在記憶單元中記憶的資料可能被破壞。

其次，表示其他部分上的應用例子。

圖6表示將實施例1應用在字線驅動系統時的電路圖。

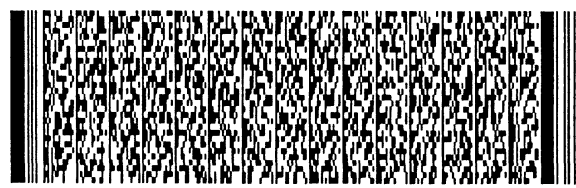
從圖6可看出，這個電路設在圖1所示的列解碼器26的輸出部，是驅動記憶單元陣列32內部的字線的驅動電路。

該驅動電路包括：接受從1.5V外部電源供給的工作電源電位，接受信號SIG1，將其反相輸出至節點N61的反相器352；在閘極上接受信號SIG2，連接在節點N61和接地節點之間的N通道MOS電晶體354；接受從3.3V外部電源供給的工作電源電位，接受信號SIG2，將其反相的反相器356；連接在給出3.3V外部電源電位的節點和節點N62之間的、在閘極上接受反相器356輸出的P通道MOS電晶體358。

該驅動電路還包括：將反相器352的輸出的高位準，進行位準轉換為升壓電位Vpp的位準轉換電路360；接受位準轉換電路360的輸出，同時接受從升壓電位Vpp供給的工作電源電位的串聯的反相器362，364。反相器364驅動字線WL。

記憶單元陣列32包括：多根位元線，多個N通道MOS電晶體，多個記憶單元。圖6中，有代表性地表示位元線BL，串聯在位元線BL和單元板CP之間的N通道MOS電晶體380和電容382。字線WL與N通道的MOS電晶體380的閘極連接。

位準轉換電路360包括：連接在給定升壓電壓Vpp的升壓



五、發明說明 (9)

節點和節點N63之間、閘極與節點N64連接的P通道MOS電晶體372；連接節點N63和接地節點之間，接制極與節點N61連接的N通道MOS電晶體374；節點N61與輸入連接，反相輸出送至節點N62的反相器370；與信號SIG2相應，以1.5V電源電位作為工作電源電位，供給反相器370的P通道MOS電晶體368。

位準轉換電路360還包括：連接在給出升壓電位 V_{pp} 的升壓節點和節點N64之間，閘極與節點N63連接的P通道MOS電晶體376；連接在節點N64和接地節點之間，閘極與節點N62連接的N通道MOS電晶體378。

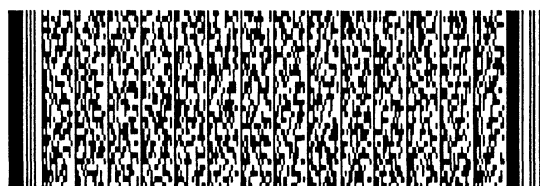
在這種電路結構中，當待機等時，不從外部供給1.5V的電源電位時，反相器352，370的輸出為不穩定的電位。因此，設有N通道MOS電晶體354和P通道MOS電晶體358。在待機等時，如果信號SIG2為高位準，則可將節點N61，N62的電位固定。又如圖2所示，在檢測1.5V電源斷開時，將信號SIG2設定為高位準。

因此，在實施例1所示的電位固定電路中，電源斷開時，通過固定節點電位，可以防止誤動作，資料破壞等故障發生，保證穩定的工作。

[實施例2]

實施例2的半導體裝置與實施例1的不同之處是，輸入的兩個電源中，待機等時，高的電源電位停止供給。

圖7表示在實施例2的半導體裝置中使用的電位固定電路100的構成的電路圖。



五、發明說明 (10)

從圖7可知，電位固定電路100包括：檢測3.3V系統的電源斷開的電位檢測部101；接受電位檢測部101的輸出，將其反相的反相器114；將反相器114的輸出振幅放大的是位準轉換電路116；接受位準轉換電路116的輸出，將其反相的反相器118；閘極上接受反相器118的輸出，連接在節點Nout2和接地節點之間的N通道MOS電晶體120。節點Nout2為3.3V電源驅動的內部電路102的輸出節點。

電位檢測部101包括：接受1.5V電源電位，將1.0V的參考電位Vref輸出至節點N12的參考電位產生電路110；接受從外部給出的3.3V電源電位，將分壓電位VDIV輸出至節點N11的分壓電路104；接受1.5V電源電位工作，正輸入節點與節點N12連接，負輸入節點與節點N11連接的比較電路112。比較電路112將電位檢測部101的檢測結果輸出至節點N13。

反相器114包括：源極與1.5V電源電位結合，汲極與節點N14連接，閘極與節點N13連接的P通道MOS電晶體122；閘極與節點N13連接，汲極與節點N14連接的N通道MOS電晶體124；以從N通道MOS電晶體124的源極，向著接地節點方向作為順方向，與二極體連接的N通道MOS電晶體126。

位準轉換電路116包括：節點N14與輸入連接的反相器128；連接在接受1.5V電源電位的電源節點和節點N15之間，節點N14與閘極連接的P通道MOS電晶體132；連接在節點N15和接地節點之間，節點N16與閘極連接的N通道MOS電晶體134。



五、發明說明 (11)

位準轉換電路116包括：連接在接受1.5V電源電位的電源節點和節點N16之間，反相器128的輸出與閘極連接的P通道MOS電晶體136；連接在節點N16和接地節點之間，節點N15與閘極連接的N通道MOS電晶體138。

位準轉換電路116還包括N通道MOS電晶體130。反相器128接受1.5V電源電位作為工作電源電位，通過按順方向與二極體連接的N通道MOS電晶體130與接地節點連接。

電位固定電路100為只使兩個電源電位中的高電源電位停止供給時的固定電路。

供給包含在電位固定電路100中的參考電位產生電路110，比較電路112，反相器114，位準轉換電路116和反相器118的電源電位，通過從相等的1.5V供給源出來的電源配線給出。

供給內部電路102和分壓電路104的電源電位，通過從等於3.3V的供給源出來的電源配線給出。

圖8表示圖7所示的分壓電路104的構成的電路圖。

從圖8可看出，分壓電路104包括串聯在從外部給出3.3V電源電位的電源節點和接地節點之間的電阻140，142。分壓電位VDIV從電阻140，142的連接節點輸出。

將電阻140，142的電阻比，設定為1.5V分壓電位VDIV的值。

圖9為用於說明電位固定電路100的工作的工作波形圖。

從圖7和圖9可看出，在時刻t1以前，供給3.3V的外部電源電位。因此，分壓輸出VDIV為1.5V。相應地，節點



五、發明說明 (12)

N13, N14, N16 的電位分別為低、高、高位準。另外，內部電路102工作，節點Nout2在通常的工作狀態，做AC狀變動，同時處在高位準或低位準狀態。

在時刻t1，當3.3V的外部電源電位由於電源斷開而降低時，與此相適應，分壓電位VDIV也降低。當分壓電位VDIV比參考電位Vref的1.0V低時，電位檢測部101將輸出至節點N13。因此，節點N13, N14, N16分別為高、低、低位準。由於不供給電源電位，內部電路102不將信號送至節點Nout2。這時，由於N通道MOS電晶體120處於導通狀態，將節點Nout2固定在低位準。

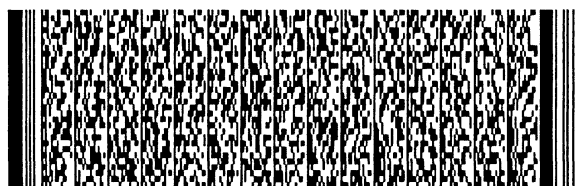
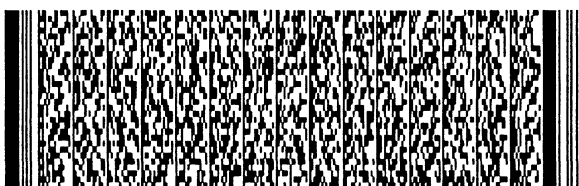
例如，在DRAM(動態隨機存取記憶體)和邏輯電路混裝的半導體裝置中，存在著給DRAM供給3.3V電源電位，給邏輯電路供給1.5V電源電位的情況。在這種情況下，通過在半導體裝置上使用的系統結構，例如，待機等時，DRAM可以不需要工作。這時，高的3.3V電源電位斷開，因此消耗的電力減少。

利用實施例2所示的結構，當從外部給出的兩個電源電位中，待機等時，將高的電位斷開，也可防止產生誤動作和資料破壞等故障。

[實施例3]

實施例3的半導體裝置與實施例1的不同之處是，在輸入兩個系統的電源電位相等的情況下，可以停止供給任何一個系統的電源電位。

現在就輸入電位為供給3.3V的VccA, VccB的兩個系統的



五、發明說明 (13)

電源電位的情況，利用附圖進行說明。

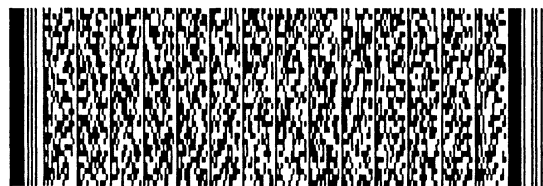
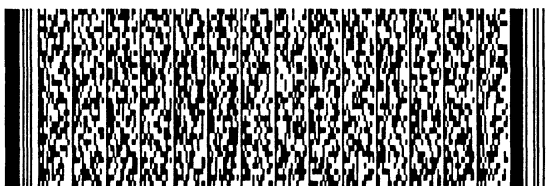
圖10表示在實施例3的半導體裝置中使用的電位固定電路150的構成的電路圖。

從圖10中可看出，電位固定電路150包括：檢測3.3V，電源電位VccA斷開的電位檢測部151；接受電位檢測部151的輸出，使其反相的反相器164；將反相器164的輸出振幅放大的位準轉換電路166；接受位準轉換電路166的輸出，使其反相的反相器168；和在閘極上接受反相器168的輸出，連接在節點Nout3和接地節點之間的N通道MOS電晶體170。節點Nout3為用3.3V電源電位VccB系統的電源驅動的內部電路152的輸出節點。

電位檢測部151包括：接受3.3V的電源電位VccB，將1.0V的參考電位Vref輸出至節點N22的參考電位產生電路160；接受3.3V電源電位VccA，將分壓電壓VDIV2輸出至節點N21的分壓電路154；接受VccB作為電源電位工作，正輸入節點與節點N22連接，負輸入節點與節點N21連接的比較電路162。比較電路162，將電位檢測部151的檢測結果輸出至節點N23。

反相器164包括：源極與電源電位VccB結合，汲極與節點N24連接，閘極與節點N23連接的P通道MOS電晶體172；閘極與節點N23連接，汲極與節點N24連接的N通道MOS電晶體174；以從N通道MOS電晶體174的源極，向著接地節點的方向作為順方向，與二極體連接的N通道MOS電晶體176。

位準轉換電路166包括：節點N24與輸入連接的反相器



五、發明說明 (14)

178；連接在給出電源電位 V_{ccB} 的電源節點和節點N25之間，節點N24與閘極連接的P通道MOS電晶體182；連接在節點N25和接地節點之間，節點N26與閘極連接的N通道MOS電晶體184。

位準轉換電路166還包括：連接在給出電源電位 V_{ccB} 的電源節點和節點N26之間，反相器178的輸出與閘極連接的P通道MOS電晶體186；連接在節點N26和接地節點之間，節點N25與閘極連接的N通道MOS電晶體188。

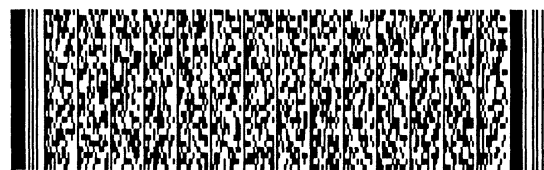
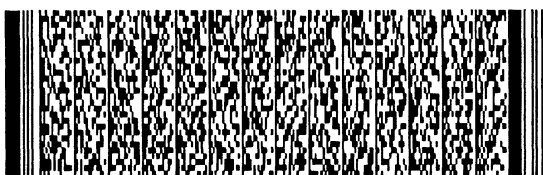
位準轉換電路166還包括N通道MOS電晶體180。反相器178接受電源電位 V_{ccB} 作為工作電源電位，通過按順方向與二極體連接的N通道MOS電晶體180與接地節點連接。

電位固定電路150為以3.3V電源電位 V_{ccB} 作為電源工作的電路。在圖10中，供給參考電位產生電路160，比較電路162，反相器164，168和位準轉換電路166的電源電位 V_{ccB} ，為通過從相等的3.3V供給源出來的電源配線給出的。

供給內部電路152和分壓電路154的電源電位，為通過與供給 V_{ccA} 相等的3.3V供給源出來的電源配線給出的。

電位固定電路150為電源電位 V_{ccA} 停止供給時的固定電路。另外，在電源電位 V_{ccA} 和 V_{ccB} 中，斷開的電位不固定，可以斷開任何一個電源電位的情況下，除圖10所示的電路外，還可裝上替換圖10的電源電位 V_{ccA} 和 V_{ccB} 的電路。

圖11表示實施例3的變形例的電路圖。



五、發明說明 (15)

從圖11可看出，電位固定電路200為檢測電源電位 V_{ccA} 降低，將以 V_{ccA} 工作的內部電路204的輸出，固定在低位準的電路。

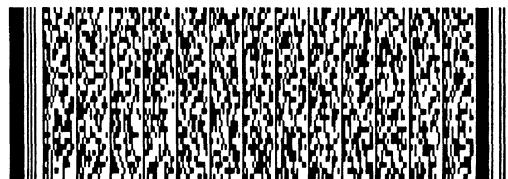
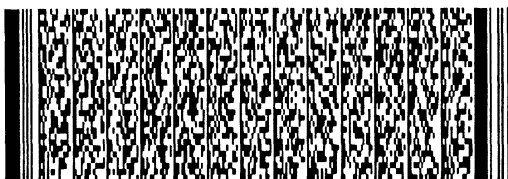
電位固定電路202為檢測電位電位 V_{ccB} 降低，將以 V_{ccB} 工作的內部電路206的輸出，固定在低位準的電路。

電位固定電路200包括：檢測電源電位 V_{ccA} 降低的電位檢測部212；接受電位檢測部212的輸出，將其反相的反相器214；使反相器214的輸出振幅放大的位準轉換電路216；接受位準轉換電路216的輸出，將其反相的轉換出218；在閘極上接受反相器218的輸出，連接在節點Nout和接地節點之間的N通道MOS電晶體220。節點Nout4為以3.3V電源電位 V_{ccA} 系統的電源驅動的內部電路204的輸出節點。

電位固定電路200還包括：連接在作為反相器218的輸出節點的節點N31和接地節點之間，閘極與節點N32連接的N通道MOS電晶體222。由於電位固定電路200是電源電位 V_{ccB} 系統的電路，當因電源斷開，電源電位 V_{ccB} 降低時，必須將不穩定的輸出節點固定。

電位檢測部212，反相器214，位準轉換電路216，因為分別與圖10所示的電位檢測部151，反相器164，位準轉換電路166相同，因此不重複說明。

電位固定電路202包括：檢測電源電位 V_{ccB} 降低的電位檢測部232；接受電位檢測部232的輸出，將其反相的反相器234；將反相器234的輸出振幅放大的位準轉換電路



五、發明說明 (16)

236；接受位準轉換電路236的輸出將其反相的反相器238在閘極上接受反相器238的輸出，連接在節點Nout5和接地節點之間的N通道MOS電晶體240。節點Nout5為用3.3V電源電位VccB系統的電源驅動的內部電路206的輸出節點。

電位固定電路202還包括：連接在作為反相器238的輸出節點的節點N32和接地節點之間，閘極與節點N31連接的N通道MOS電晶體242。由於電位固定電路202是電源電位VccA系統的電路。當電源斷開時，電源電位VccA降低，因此必須將不穩定的輸出節點固定。

由於電位檢測部232，反相器234，位準轉換電路236，分別與圖10所示的電位檢測部151，反相器164，位準轉換電路166的電路構成相同，因此不重複說明。

這樣，如果相互檢測兩個電源是否斷開，即使隨便哪個電源斷開，半導體裝置本身就能檢測，將必要的節點固定。

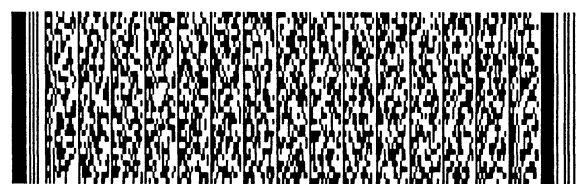
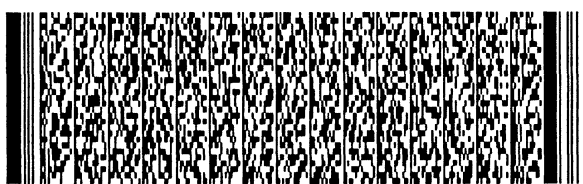
採用上述構成，在從外部給出的兩個系統相等的電源電位中，在待機待時等，即使任何一個系統的電源電位斷開，也可防止誤動作和資料破壞等故障發生。

[實施例4]

實施例4具有實施例1的電位固定電路和實施例2的電位固定電路。

圖12為表示在實施例4的半導體裝置中使用的電位固定電路的連接關係的方框圖。

從圖12可知，電位固定電路250為檢測3.3V電源電位降



五、發明說明 (17)

低，將用3.3V電源電位作的內部電路254的輸出固定在低位準的電路。

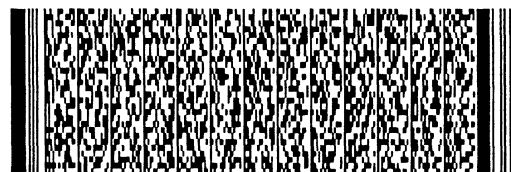
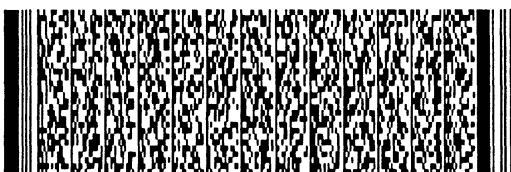
電位固定電路252為檢測1.5V電源電位降低，將用1.5V電源電位工作的內部電路256的輸出固定在低位準的電路。

電位固定電路250包括：檢測3.3V電源電位降低的電位檢測部262；接受電位檢測部262的輸出，將其反相的反相器264；將反相器264的輸出振幅放大的位準轉換電路266；接受位準轉換電路266的輸出，將其反相的反相器268；在閘極上接受反相器268的輸出，連接在節點Nout6和接地節點之間的N通道MOS電晶體270。節點Nout6為由3.3V電源電位系統的電源驅動的內部電路254的輸出節點。

電位固定電路250還包括：連接在作為反相器268的輸出節點的節點N41和接地節點之間，閘極與節點N42連接的N通道MOS電晶體272。由於電位固定電路250是1.5V電源電位系統的電路，因此當電源斷開，1.5V電源電位降低時，必須將不穩定的輸出節點固定。

由於電位檢測部262，反相器264，位準轉換電路266，分別與圖7所示的電位檢測部101，反相器114，位準轉換電路116的電路構成相同，因此不重複說明。

電位固定電路252包括：檢測1.5V電源電位降低的電位檢測部282；接受電位檢測部282的輸出，將其反相的反相器284；將反相器284的輸出振幅放大的位準轉換電路



五、發明說明 (18)

286；接受位準轉換電路286的輸出，將其反相的反相器

288；在閘極上接受反相器288的輸出，連接在節點Nout7和接地節點之間的N通道MOS電晶體290。節點Nout7為1.5V電源電位系統的電源驅動的內部電路256的輸出節點。

電位固定電路252還包括：連接在作為反相器288的輸出節點的節點N42和接地節點之間，閘極與節點N41連接的N通道MOS電晶體292。由於電位固定電路252為3.3V電源電位系統的電路，當電源斷開，3.3V的電源電位降低時，必須固定不穩定的輸出節點。

由於電位檢測部282，反相器284，位準轉換電路286分別與圖10所示的電位檢測部151，反相器164，位準轉換電路166的電路構成相同，因此不重複說明。

利用這種結構，可以檢測兩個系統的電源中，具有高電源電位或低電源電位的電源的任何一個電源電位斷開的狀態，可防止誤動作發生。

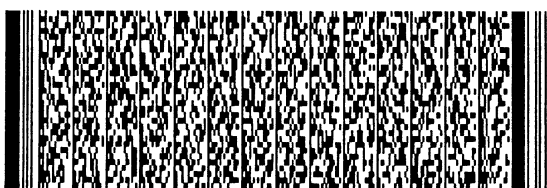
[實施例5]

圖13表示實施例5的電源斷開檢測電路的構成的電路圖。

從圖13可知，實施例5的半導體裝置包括接受1.5V電源電位工作的內部電路300，306。

內部電路300的電源節點與節點N52連接。1.5V的電源電位從外部通過內部配線，送至節點N52上，其內部配線具有如電阻304所示的電阻成份。

內部電路306電源節點與節點N51連接。1.5V的電源電位



五、發明說明 (19)

從外部通過內部配線，送至節點N51上，因此其內部配線具有如電阻310所示的電阻成份。

節點N52的電位由內部電路300消耗的電流值與電阻304的電阻值決定。節點N51的電位由內部電路306消耗的電流值與電阻310的電阻值決定。因此，電位降低，在節點N51，N52上不一定相同。

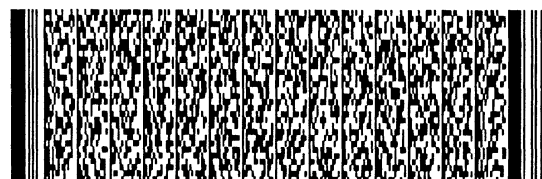
該半導體裝置還包括：檢測節點N52電位的降低，輸出信號A2的檢測電路302；檢測節點N51的電量降低，輸出信號A1的檢測電路308；接受信號A1，A2，判斷電源斷開的判定電路312；接受保持判定電路312的輸出的門鎖電路314；將作為內部電路306的輸出節點的節點Nout8固定在門鎖電路314輸出的低位準的N通道MOS電晶體326。

檢測電路302，308，判定電路312和門鎖電路324圖中沒有示出，送至內部電路300，306上的1.5V電源電位，可以由單獨給出的電源電位得出驅動。

判定電路312包括：在輸入端接受信號A1，A2，輸出信號S的NAND電路316；在輸入端接受信號A1，A2的NOR電路318；接受NOR電路318的輸出，將其反相輸出信號R的反相器320。

門鎖電路314包括：在一方的輸入端接受信號S，輸出信號Q的NAND電路322；在輸入端接受信號Q，R的NAND電路324。NAND電路324的輸出，送至NAND電路322的另一方的輸入端。

信號Q加在N通道MOS電晶體326的閘極上，啟動時，將節



五、發明說明 (20)

點Nout8 固定在低位準。

圖14 為用於說明圖13 所示電路工作的工作波形圖。

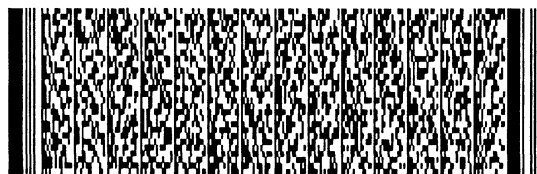
從圖13，圖14 可看出，首先，在時刻t1，當節點N51 的電位比檢測電路308 的內部參考電位低時，信號A1 從低位準升高至高位準。然而，判定電路312，由於信號A2 不在高位準，不輸出信號S，因此信號Q 仍為低位準。因此，節點Nout8 不固定。

在時刻t2，當節點N52 的電位比檢測電路302 內的參考電位低時，信號A2 由低位準升高至高位準。由於信號A1，A2 都為高位準，因此判定電路312 可判斷電源斷開。信號Q 為高位準，N 通道MOS 電晶體326 導通，節點Nout8 被固定在低位準。

節點N51 和N52 中，電源斷開時的電位變化速度不同，這是由電阻304，310 的電阻值之差，內部電路300，306 消耗的電流之差，穩定的電容容量之差等引起的。

當再投入1.5V 電源時，在t3 時刻，節點N51 的電位比檢測電路308 內的參考電位高，信號A1 由高位準變為低位準。但是，判定電路312 中，由於信號A2 不為低位準，不輸出信號R，因此信號Q 仍為高位準。因此，節點Nout8 固定。

在t4 時刻，當節點N52 的電位比檢測電路302 內的參考電位高時，信號A2 由高位準變為低位準。由於信號A1，A2 都是低位準，判定電路312 判定電源斷開恢復，信號Q 為低位準，N 通道MOS 電晶體326 不導通，節點Nout8 的固定解除。



五、發明說明 (21)

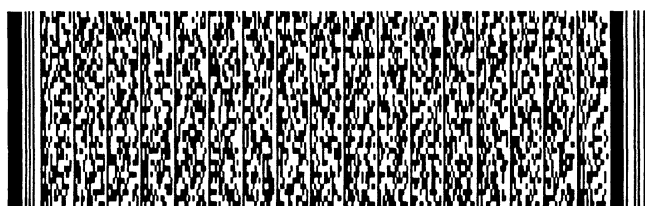
下面，說明電源電位暫態降低的情況。

在 t_5 時刻，由於電源電位暫態降低，節點N51的電位比檢測電路308內的參考電位低，信號A1產生變化。這時，在節點N52，電位幾乎不降低，仍恢復原狀，因此信號A2不變化。在這種情況下，利用判定電路312的工作，可使門鎖電路314的保持資料不變。

如上所述，通過檢測多個點的電源電位變化，使電位固定電路對電源電位暫態降低做出反應，可以防止內部節點的錯誤電位固定造成的誤動作。

[元件編號之說明]

- | | |
|----|-------------------|
| 1 | 半導體裝置 |
| 2 | 控制信號輸入端子 |
| 4 | 控制信號輸入端子 |
| 6 | 控制信號輸入端子 |
| 8 | <u>位址</u> 輸入端子群 |
| 10 | 電源端子 |
| 12 | 電源端子 |
| 14 | 輸入端子 |
| 16 | 輸出端子 |
| 18 | <u>閘</u> 電路 |
| 20 | <u>資料</u> 輸入緩衝器 |
| 22 | <u>資料</u> 輸出緩衝器 |
| 24 | 行和列 <u>位址</u> 緩衝器 |
| 26 | <u>列</u> 解碼器 |



五、發明說明 (28)

Ext./Vcc1 1.5V 電源電位

Ext./Vcc2 3.3V 電源電位

Vss 接地電位

Din 資料輸入端子

Dout 資料輸出端子

N1 節點

N2 節點

N3 節點

N4 節點

N5 節點

N6 節點

N7 節點

N11 節點

N12 節點

N13 節點

N14 節點

N15 節點

N16 節點

N21 節點

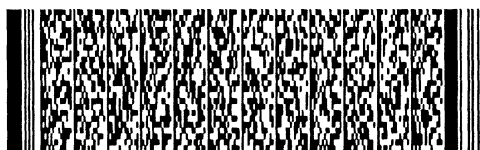
N22 節點

N23 節點

N24 節點

N25 節點

N26 節點



五、發明說明 (30)

VPP 升 壓 電 位



圖式簡單說明

圖1為表示本發明的實施例1的半導體裝置1的構成的概略方框圖；

圖2為表示圖1的電位固定電路36的構成的電路圖；

圖3為表示圖2的參考電位產生電路52的電路構成的電路圖；

圖4為表示圖2中的比較電路58的電路構成的電路圖；

圖5為用於說明該電位固定電路36的工作的工作波形圖；

圖6為表示將實施例1用在字線驅動系統時的電路圖；

圖7為表示在實施例2的半導體裝置中使用的電位固定電路100的構成的電路圖；

圖8為表示圖7所示的分壓電路104的構成的電路圖；

圖9為用於說明電位固定電路100的工作的工作波形圖；

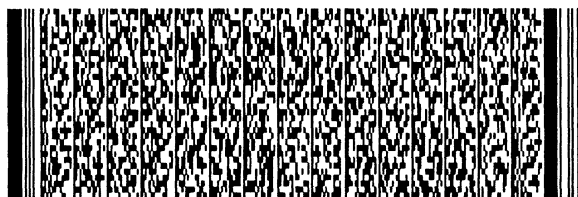
圖10為表示在實施例3的半導體裝置中使用的電位固定電路150的構成的電路圖；

圖11為表示實施例3的變形例的電路圖；

圖12為表示在實施例4的半導體裝置上使用的電位固定電路的連接關係的方框圖；

圖13為表示實施例5的電源斷開的檢測電路的構成的電路圖；

圖14為用於說明圖13所示的電路的工作的工作波形圖。



四、中文發明摘要 (發明之名稱：半導體裝置)

英文發明摘要 (發明之名稱：Semiconductor Device)

of the 1.5V system.



六、申請專利範圍

1. 一種半導體裝置，它具有下列部件：

用於傳輸第一個電源電位的第一條電源配線；

從上述第一條電源配線上接受上述第一個電源電位進行動作，將變動邏輯信號輸出至第一個內部節點的第一個內部電路；

用於傳送第二個電源電位所設的第二條電源配線；

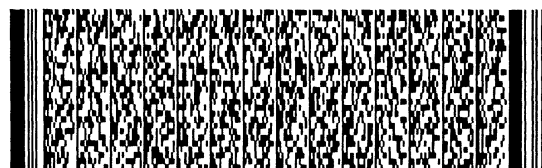
從上述第二條電源配線上接受上述第二個電源電位進行動作的第二個內部電路，其特徵為：

上述第二個內部電路包括：監視上述第一條電源配線的電位，當檢測電源斷開時，代替不穩定狀態的上述變動邏輯信號，而輸出決定上述第一個內部節點電位的第一個輔助信號的第三個內部電路。

2. 如申請專利範圍第1項之半導體裝置，其中，上述第三個內部電路具有：監視上述第一條電源配線的電位，檢測電源斷開的第一個電位檢測部；根據上述第一個電位檢測部的輸出而導通，將所定的固定電位作為上述輔助信號，傳送至上述第一個內部節點的第一個開關電路。

3. 如申請專利範圍第2項之半導體裝置，其中，上述第一個開關電路具有一端與上述內部節點連接，另一端與上述固定電位結合，根據上述第一個電位檢測部的輸出，控制閘極上所接受的電位的第一個MOS電晶體。

4. 如申請專利範圍第3項之半導體裝置，其中，上述第一個電位檢測部包括：檢測電源斷開，啟動輸出時，上述第一個MOS電晶體處在導通狀態，將上述第一個檢測部的



六、申請專利範圍

輸出進行位準轉換；當上述第一個檢測部的輸出無活化性時，上述第一個MOS電晶體處在不導通狀態，對上述第一個檢測部的輸出進行位準轉換，將該輸出傳送至上述第一個MOS電晶體的閘極的位準轉換電路。

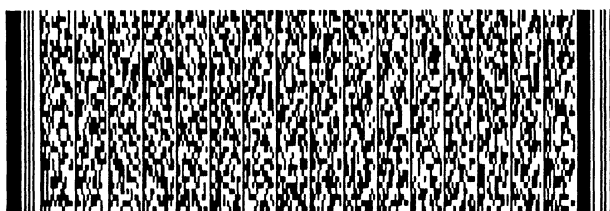
5. 如申請專利範圍第2項之半導體裝置，其中，上述第二個電源電位從外部給出；上述第一個電源電位為與上述第二個電源電位獨立的、從外部送入的、比上述第二個電源電位低的電位。

6. 如申請專利範圍第5項之半導體裝置，其中，上述第一個電位檢測部包括：一個由上述第二個電源電位，產生比上述第一個電源電位低的參考電位的參考電位產生電路；將上述第一條電源配線的電位與上述參考電位進行比較的比較電路。

7. 如申請專利範圍第2項之半導體裝置，其中，上述第二個電源電位由外部給出，上述第一個電源電位為與上述第二個電源電位獨立的、從外部送入的、比上述第二個電源電位高的電位。

8. 如申請專利範圍第7項之半導體裝置，其中，上述第一個電位檢測部包括：將上述第一條電源配線的電位分壓降低，輸出分壓電位的分壓電路；在將上述第一個電源電位送至上述第一條電源配線時，由上述第二個電源電位產生比上述分壓電位低的參考電位的參考電位產生電路；比較上述分壓電位和上述參考電位的比較電路。

9. 如申請專利範圍第2項之半導體裝置，其中，上述第



六、申請專利範圍

二個電源電位由外部送入；上述第一個電源電位為與上述第二個電源電位獨立的、從外部送入的、與上述第二個電源電位相等的電位。

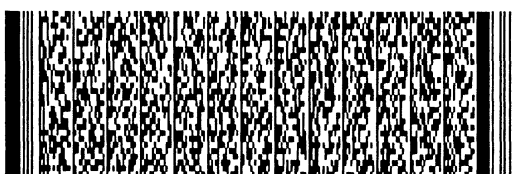
10. 如申請專利範圍第9項之半導體裝置，其中，上述第一個電位檢測部包括：將上述第一條電源配線的電位分壓降低，輸出分壓電位的分壓電路；和在將上述第一個電源電位送至上述第一條電源配線時，由上述第二個電源電位產生比上述分壓電位低的參考電位的參考電位產生電路；比較上述分壓電位和上述參考電位的比較電路。

11. 如申請專利範圍第1項之半導體裝置，其中，上述第二個內部電路，可將第二個電源電位送至上述第二條電源配線上，將第二個主信號輸出至第二個內部節點；上述第一個內部電路，包括：

監視上述第二條電源配線的電位，當檢測電源斷開時，代替不穩定狀態的上述第二個主信號，而代替供給決定上述第二個內部節點電位的第二個輔助信號的第四個內部電路。

12. 如申請專利範圍第11項之半導體裝置，其中，上述第三個內部電路具有：監視上述第一條電源配線的電位，檢測電源斷開的第一個電位檢測部；和根據上述第一個電位檢測部的輸出而導通，將所定的第一個固定電位作為上述輔助信號，傳送至上述第一個內部節點的第一個開關電路；

上述第四個內部電路具有：監視上述第二條電源配線的



六、申請專利範圍

電位，檢測電源斷開的第二個電位檢測部；和根據上述第二個電位檢測部的輸出而導通，將所定的第二個固定電位作為上述輔助信號，傳送至上述第二個內部節點的第二個開關電路。

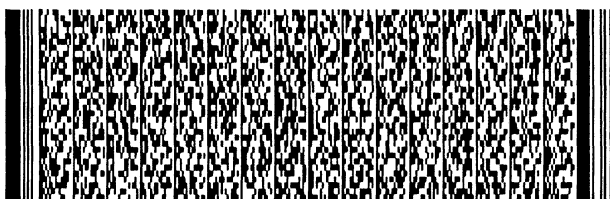
13. 如申請專利範圍第12項之半導體裝置，其中，上述第一個開關電路具有一端與上述第一個內部節點連接，另一端與上述第一個所定的固定電位結合，根據上述第一個電位檢測部的輸出，控制閘極上所接受的電位的第一個MOS電晶體；

上述第二個開關電路具有：一端與上述第二個內部節點連接，另一端與上述第二個所定的固定電位結合，根據上述第二個電位檢測部的輸出，控制閘極上所接受的電位的第二個MOS電晶體；

上述第三個內部電路具有：一端與上述第一個MOS電晶體的閘極連接，另一端與上述第一個所定的固定電位結合，根據上述第二個電位檢測部的輸出，控制在閘極上接受的電位的第三個MOS電晶體；

上述第四個內部電路具有：一端與上述第二個MOS電晶體的閘極連接，另一端與上述第二個所定的固定電位結合，根據上述第一個電位檢測部的輸出，控制在閘極上接受的電位的第四個MOS電晶體。

14. 如申請專利範圍第1項之半導體裝置，其中，上述第三個內部電路包括：監視上述第一條電源配線上的第一個節點的電位的第一個電位檢測部；監視上述第一條電源配線



六、申請專利範圍

上的第二個點的電位的第二個電位檢測部；和根據上述第一、第二個電位檢測部的輸出，判斷電源斷開的判定部。

15. 如申請專利範圍第14項之半導體裝置，其中，上述判定部在上述第一個和第二個電位檢測部都檢測到電源斷開時，判定電源斷開。



圖 1

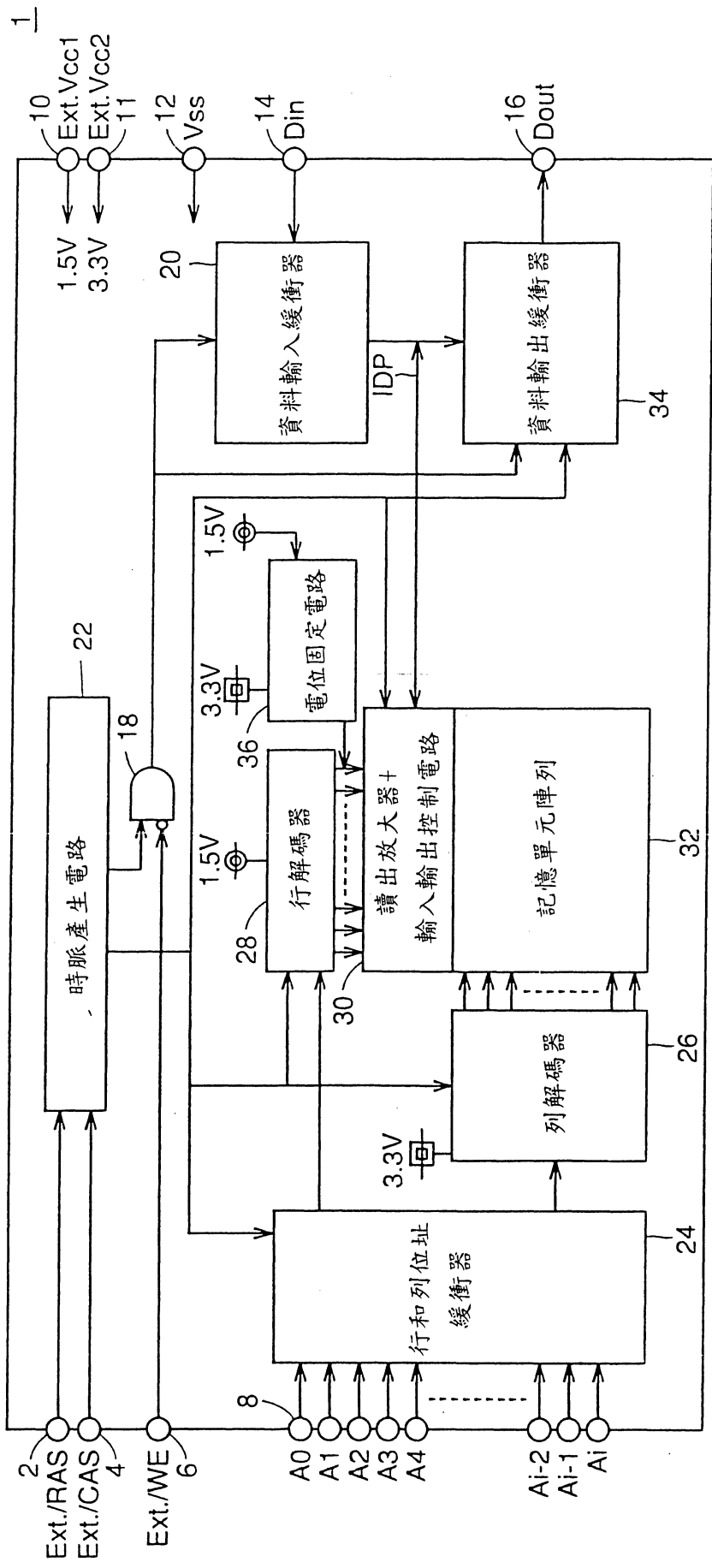
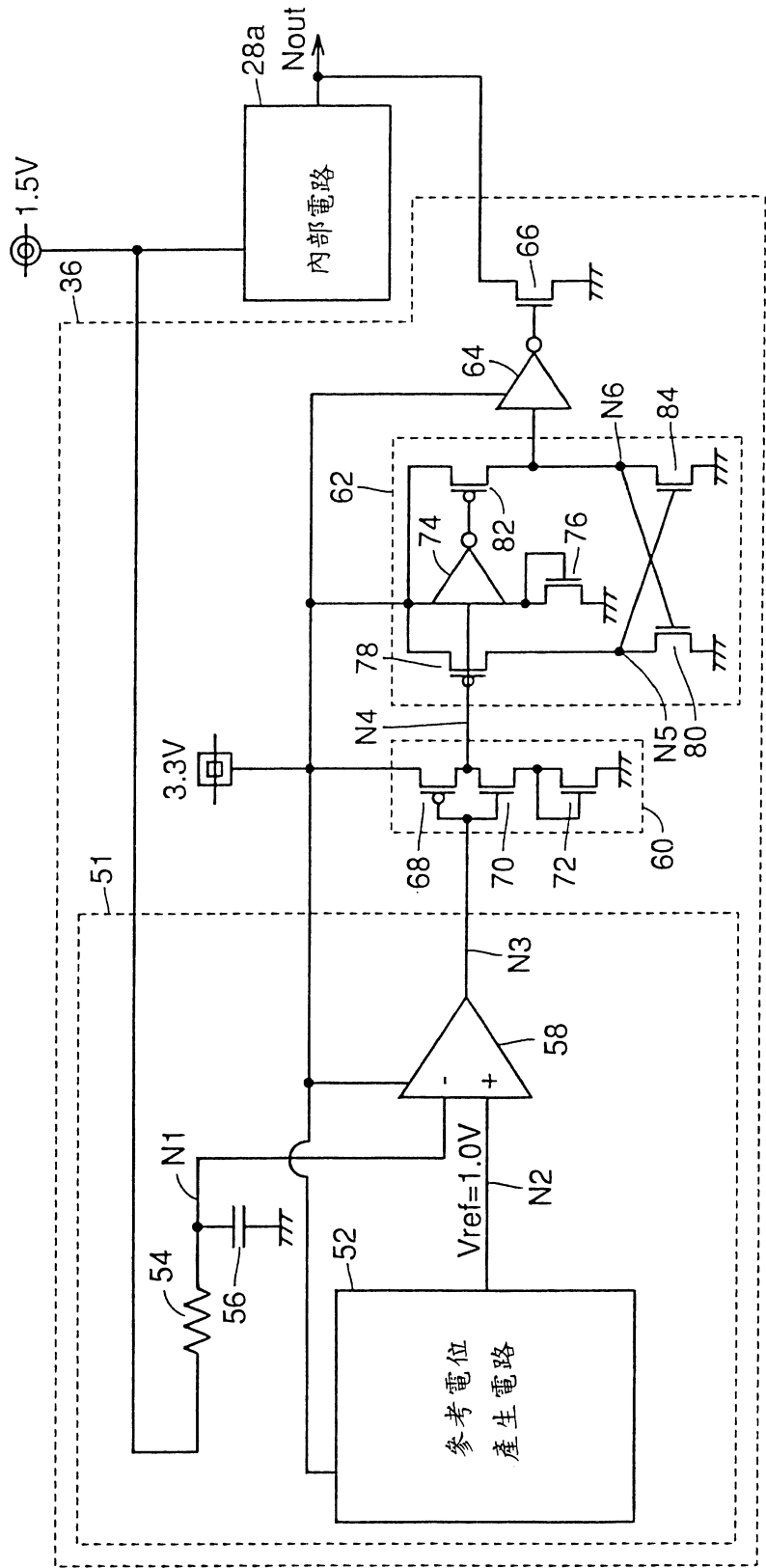
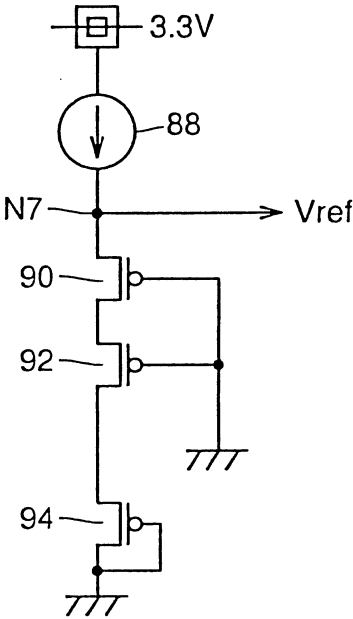


圖 2



3

52



4

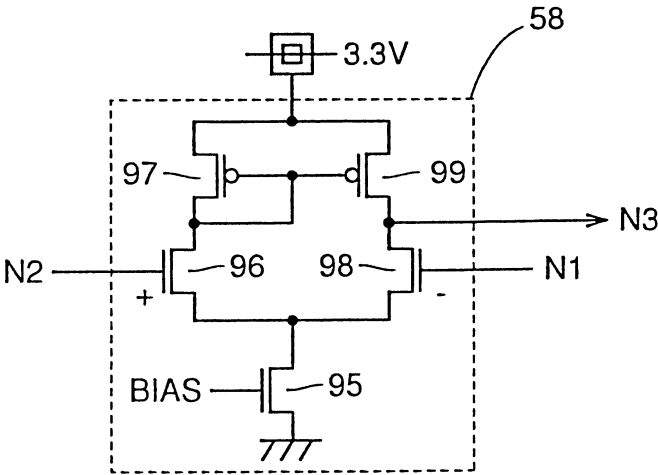
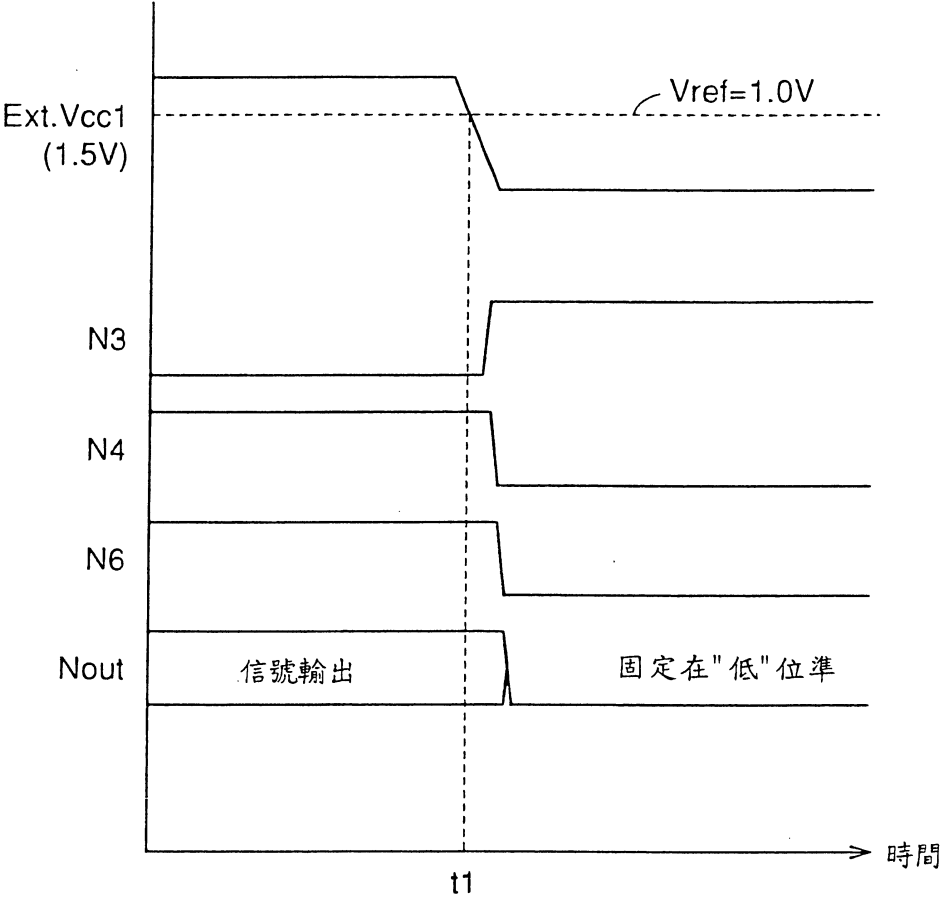


圖 5



6

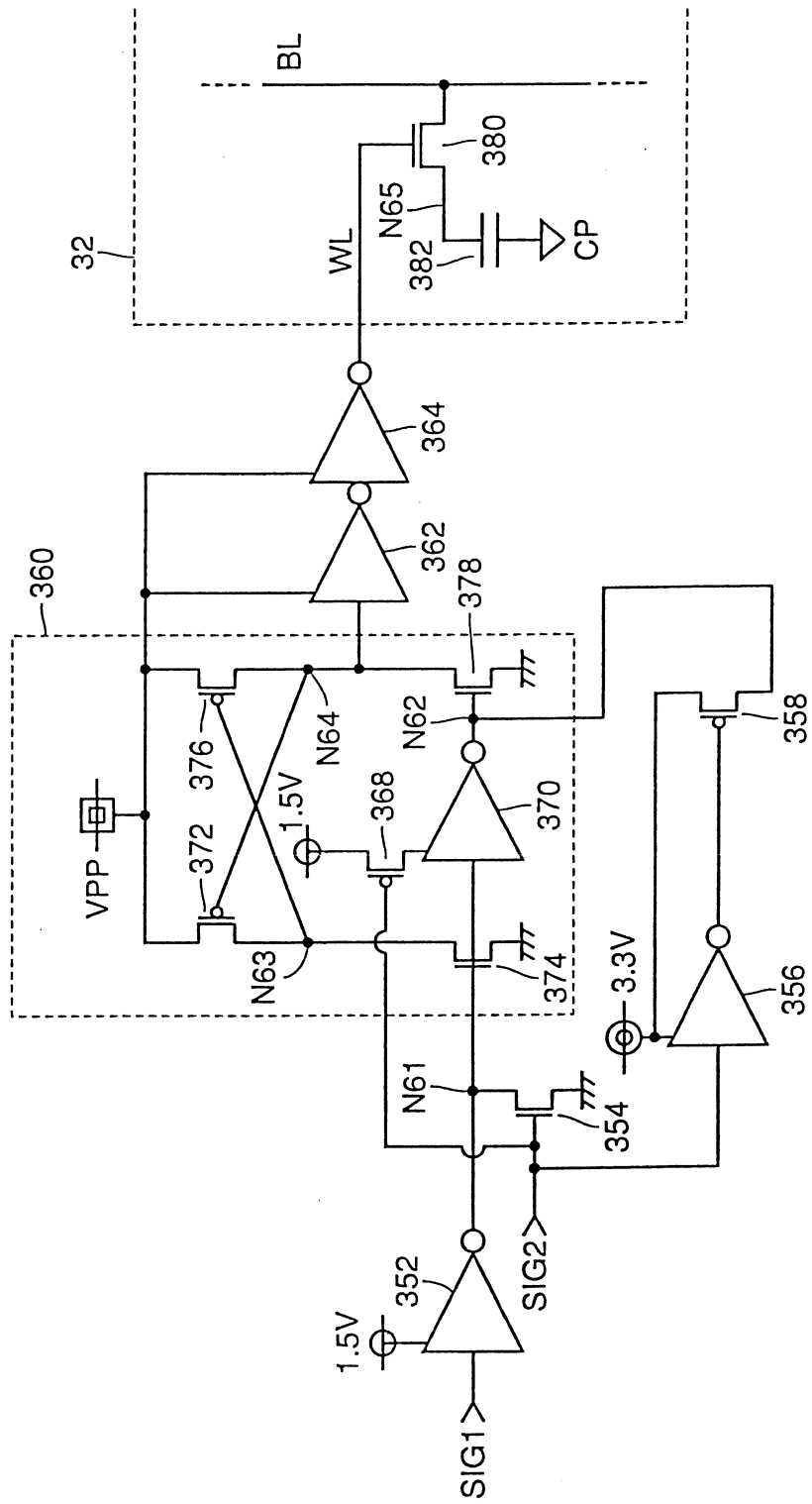
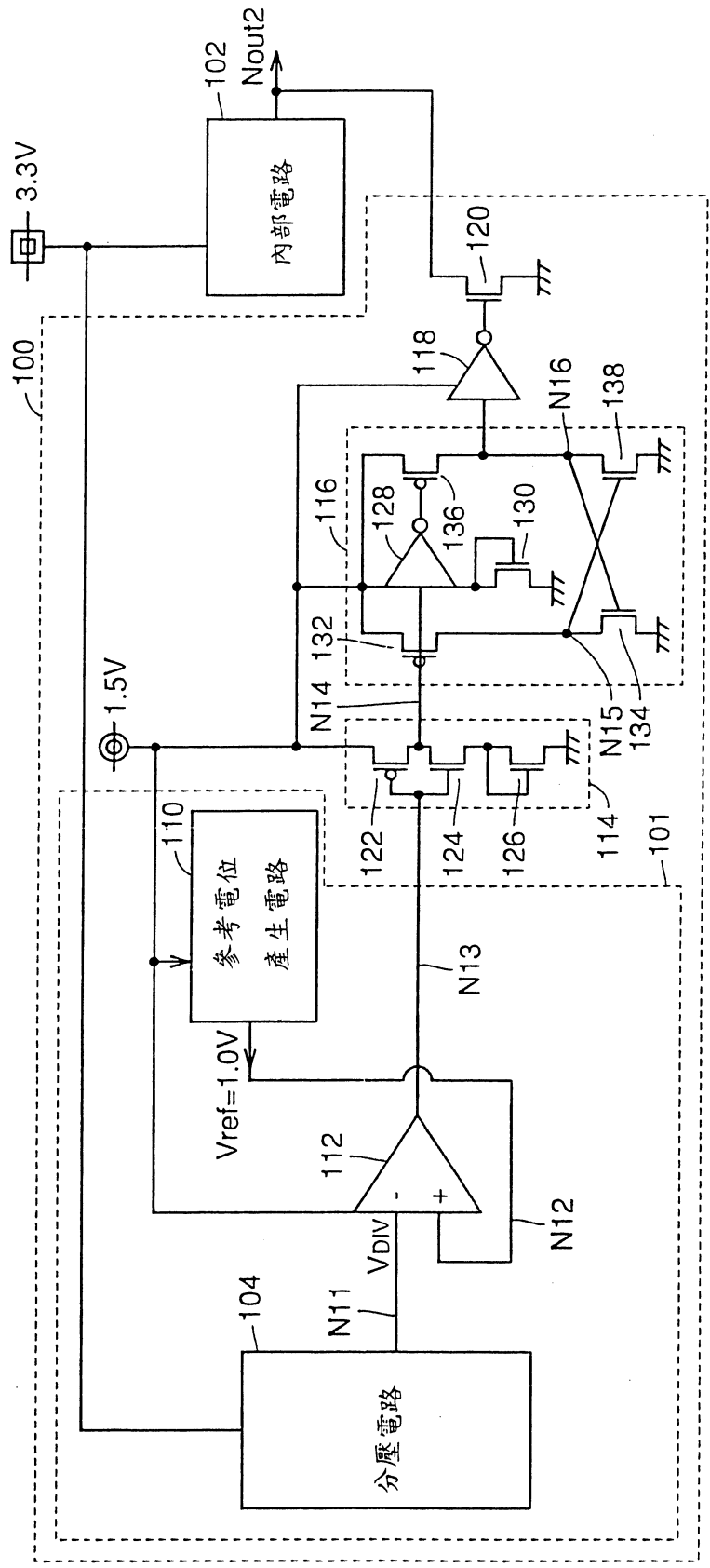
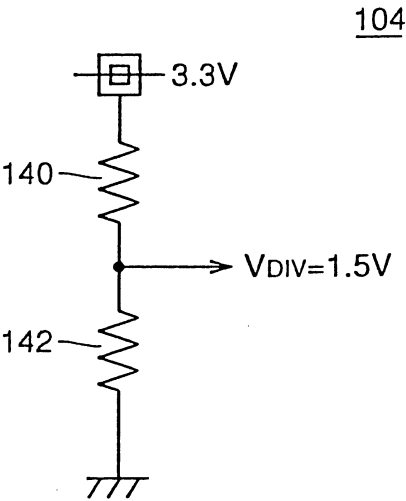


圖 7



8



9

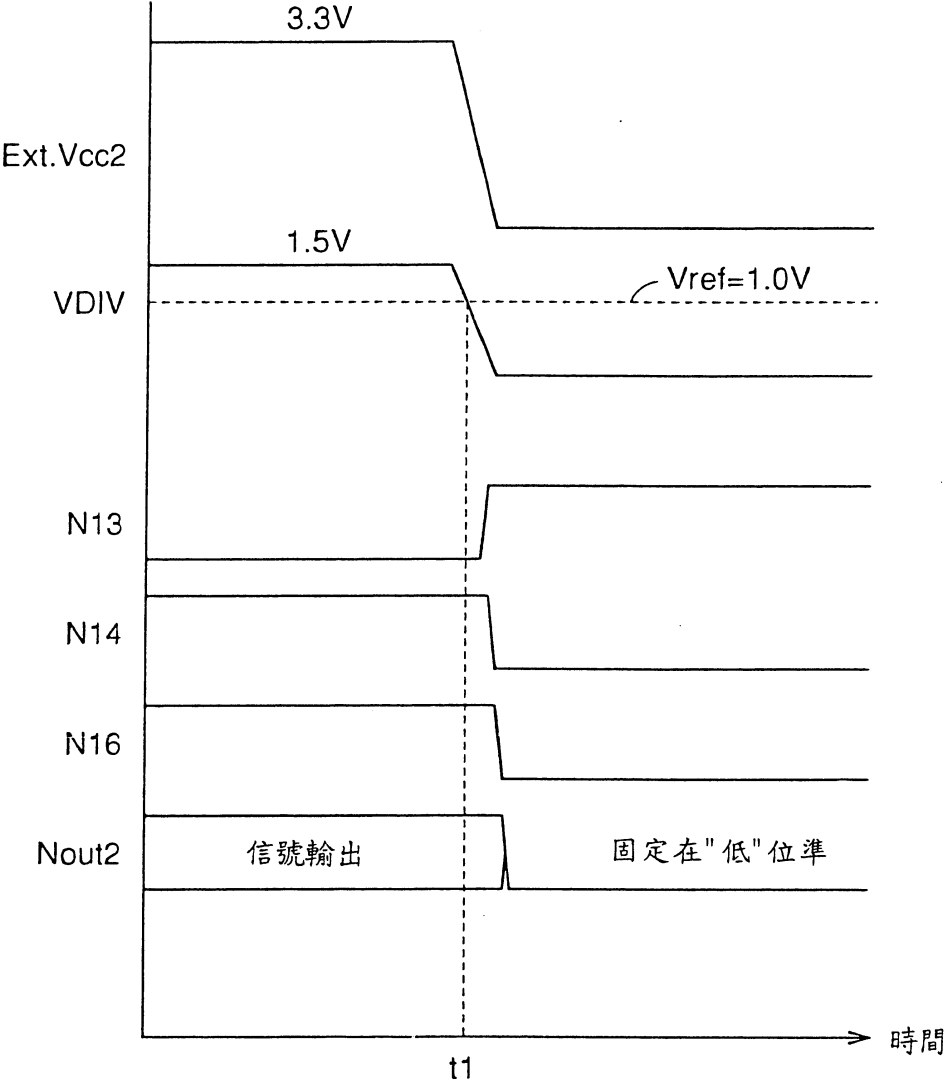
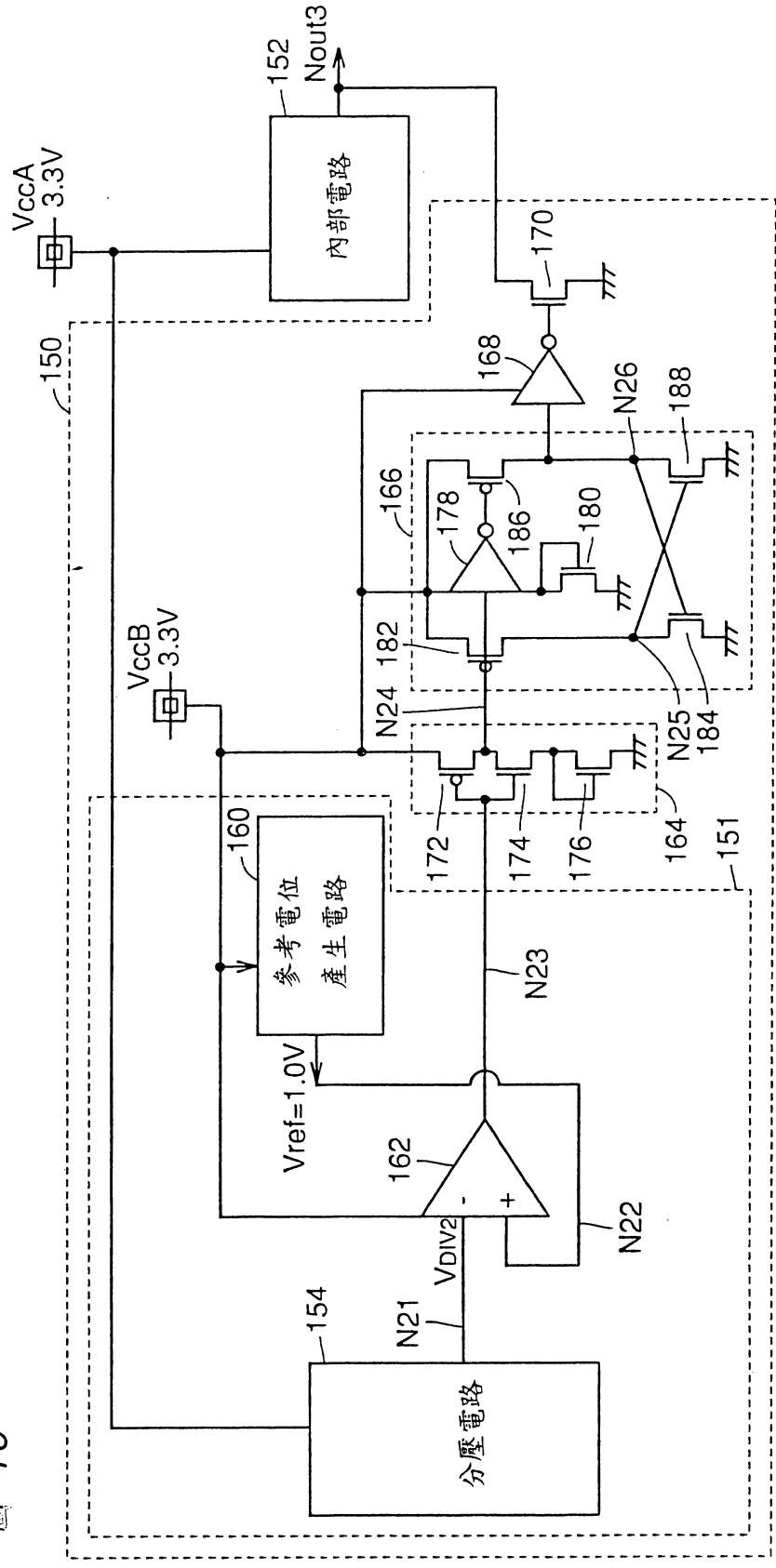


圖 10



11

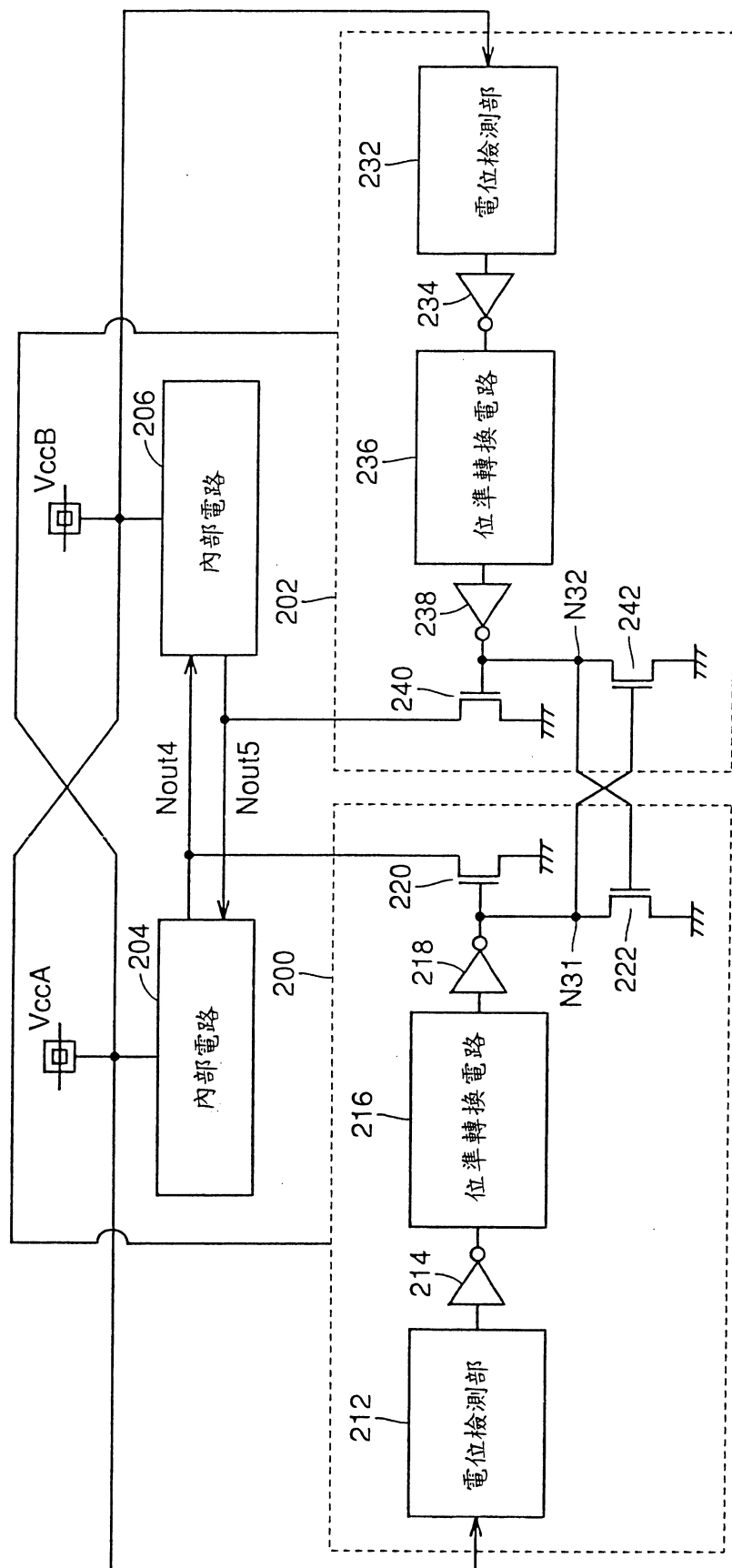


圖 12

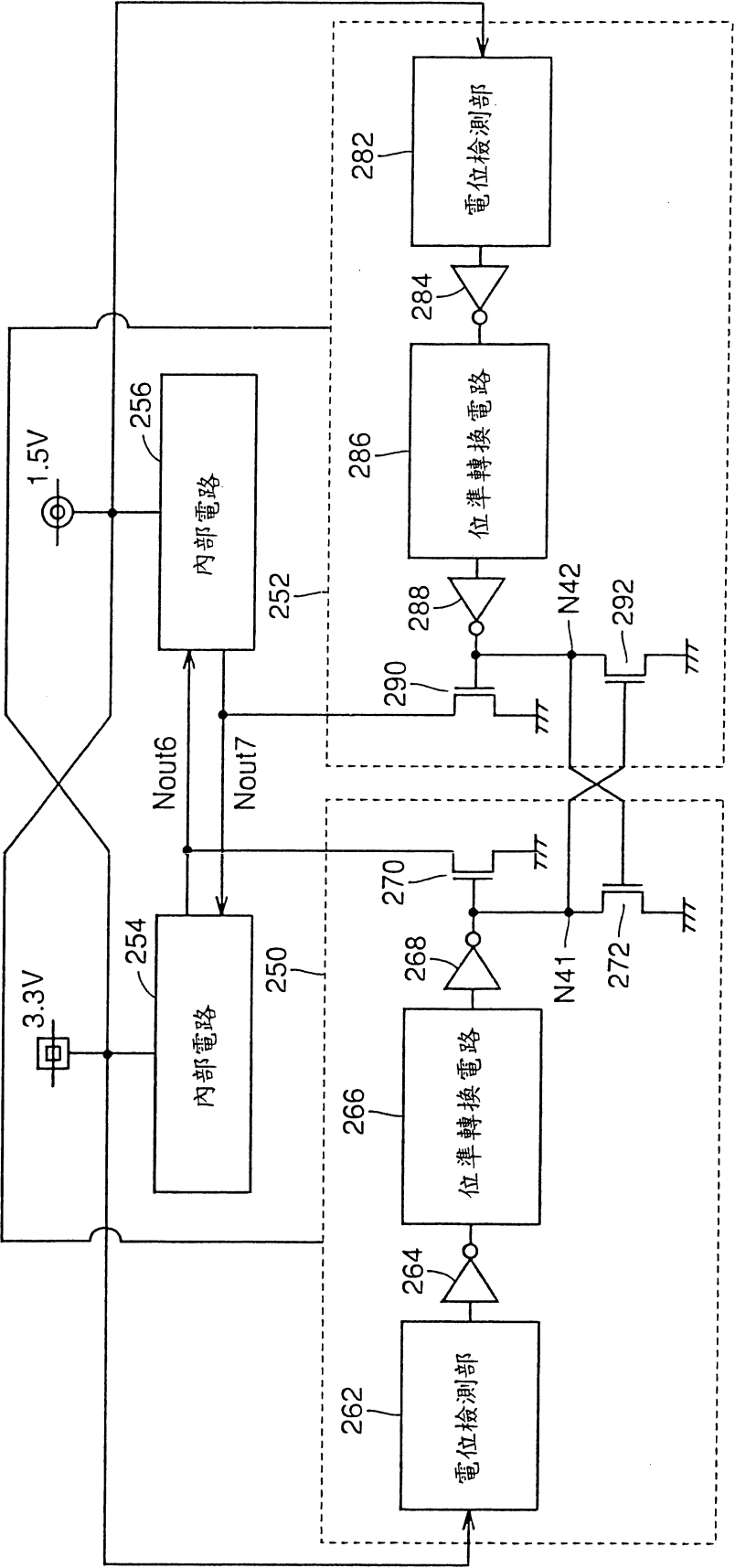


圖 13

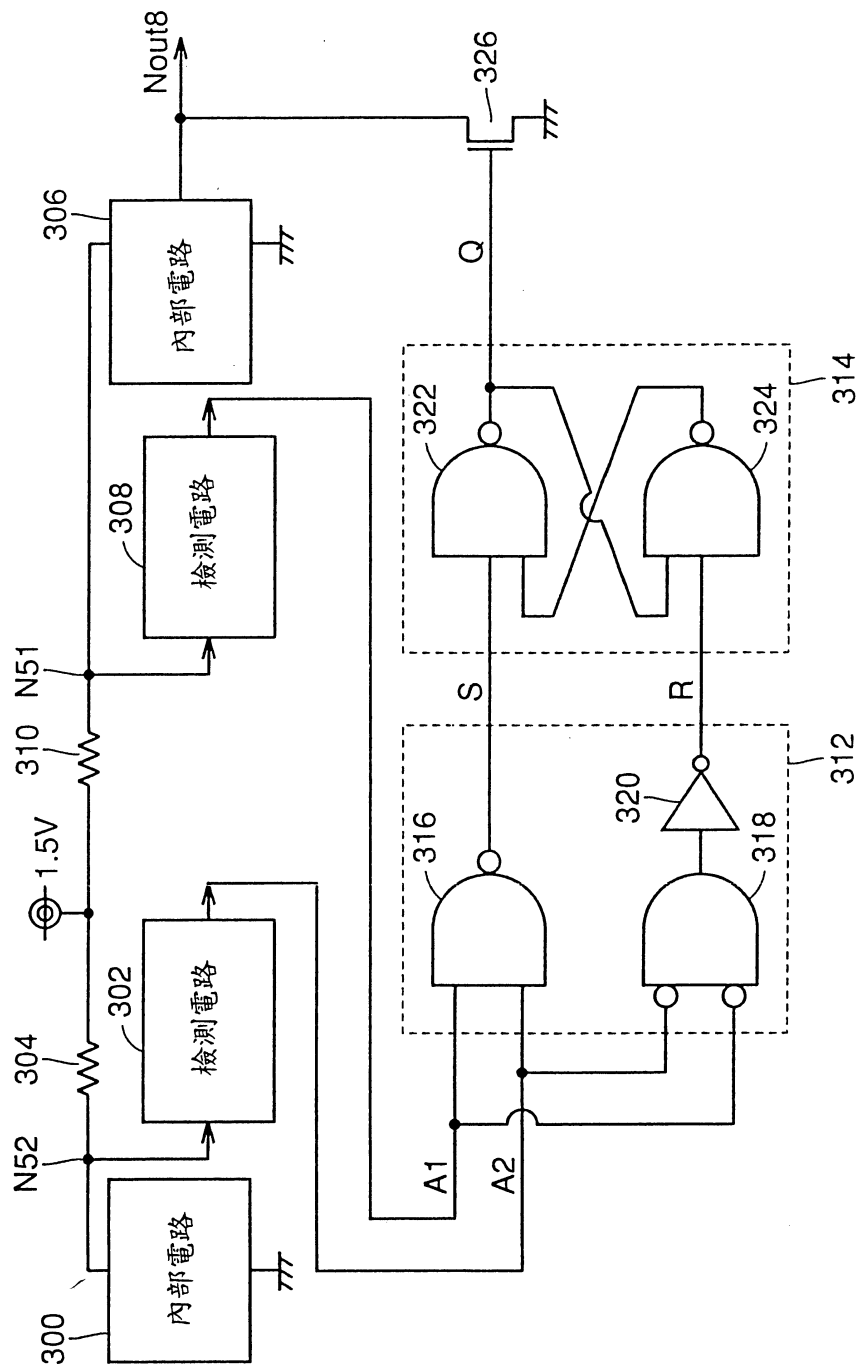
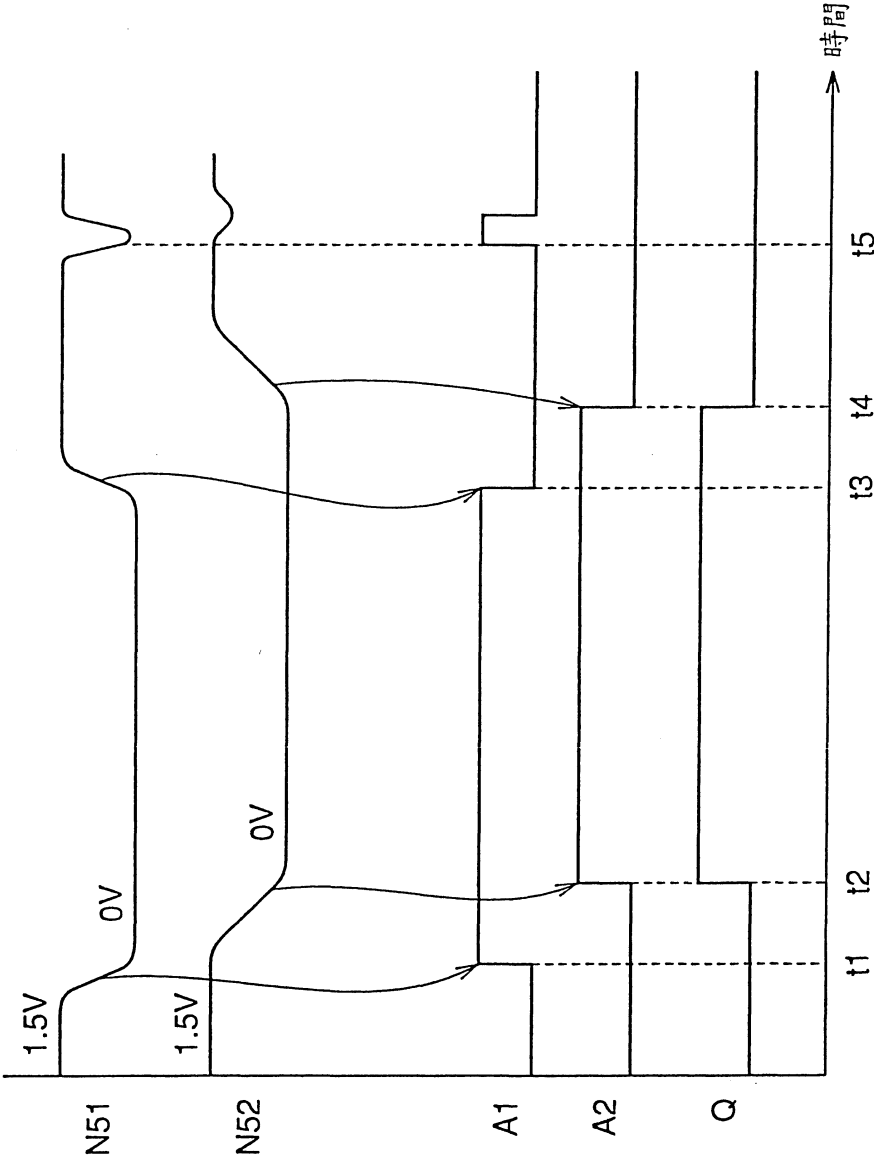


圖 14



年 月 日

修正

91. 3. 29
修正
補充

申請日期：89-5-23

案號：89109905

類別：

G11C 11/00

(以上各欄由本局填註)

煩請委員明示，本案修正後之說明書，係屬修正後之說明書，而非修正前之說明書。

公告本

發明專利說明書

540047

一、 發明名稱	中文	半導體裝置
	英文	Semiconductor Device
二、 發明人	姓名 (中文)	1. 加藤宏
	姓名 (英文)	1.
	國籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1.



五、發明說明 (5)

輸入節點連接在節點N1的比較電路58。比較電路58將電位檢測部52的檢測結果，輸出至節點N3。

反相器60包括：源極與3.3V電源電位結合，汲極與節點N4連接，閘極與節點N3連接的P通道MOS電晶體68；閘極與節點N3連接，汲極與節點N4連接的N通道MOS電晶體70；以從N通道MOS電晶體70的源極，向著接地節點的方向為順方向，與二極體連接的N通道MOS電晶體72。

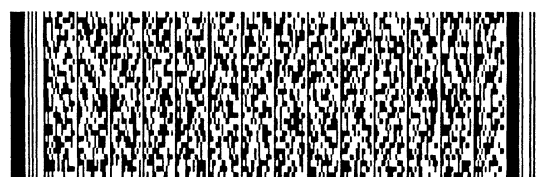
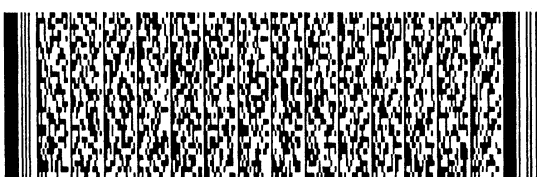
位準轉換電路62包括：節點N4與輸入連接的反相器74；連接在給出3.3V的電源節點和節點N5之間的，節點N4與閘極連接的P通道MOS電晶體78；連接在節點N5和接地節點之間，節點N6與閘極連接的N通道MOS電晶體80。

位準轉換電路62還包括：連接於給出3.3V的電源節點和節點N6之間且其閘極上連接有反相器74之輸出的P通道MOS電晶體82；連接於節點N6和接地節點之間且其閘極上連接有節點N5的N通道MOS電晶體84。

位準轉換電路62還包括一個N通道的MOS電晶體76。反相器74接受3.3V的電源電位作為工作電源電位，通過按順方向與二極體連接的N通道MOS電晶體76與接地節點連接。

供給電位固定電路36，參考電位產生電路52，比較電路58，反相器60，64，位準轉換電路62的電源電位為從與供給3.3V電源電位相等的供給源，通過電源配線給出的。

電位固定電路36是在兩個電源電位中，只有低的電源電位停止供給情況下的固定電路。由於3.3V電源電位經常是給出的，因此電位固定電路36由3.3V電源電位驅動。



五、發明說明 (7)

可以正確進行N通道MOS電晶體66的導通/非導通的切換。

圖5為用於說明電位固定電路36的工作的工作波形圖。

從圖2，圖5可看出，在時刻t1以前，供給1.5V系統的外部電源電位Ext.Vcc1。相應地，節點N3，N4，N6的電位分別為低、高、高位準。另外，內部電路28a工作，節點Nout處在通常的工作狀態，做AC狀的變化，達到高位準或低位準狀態。

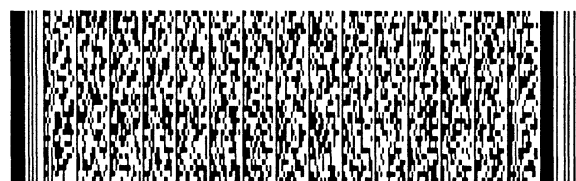
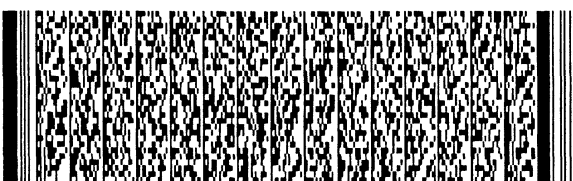
當在時刻t1由於電源斷開而使外部電源電位Ext.Vcc1降低，達到比作為參考電位Vref的1.0V低時，電位檢測部51將輸出至節點N3。相應地，節點N3，N4，N6分別為高、低、低位準。由於不供給電源電位，內部電路28a不將信號送至節點Nout。另外，由於使N通道MOS電晶體66成為導通狀態，因此，節點Nout固定在低位準。

這樣，作為一個例子，說明了適當利用電位固定電路36的情況。

再參見圖1可看出，半導體裝置1為具有記憶單元陣列的半導體記憶裝置。在自我充電時，考慮斷開1.5V外部電源電位的情況。這時，自我充電時工作的電路為接受3.3V電源電位作為工作電源電位構成的。

在自我充電時，由於行不進行工作，因此，例如行的選擇線CSL，通常必須固定在低位準。

但是，由於驅動行選擇線CSL的驅動電路，接受從1.5V電源電位供給的驅動電流，作為其輸出的行選擇線，電位有可能在中間電位處不穩定地波動。



五、發明說明 (22)

- 28 行解碼器
- 28a 內部電路
- 30 放大器+輸入輸出控制電路
- 32 記憶單元陣列
- 34 資料輸出緩衝器
- 36 電位固定電路
- 51 電位檢測部
- 52 電位產生電路
- 54 電阻
- 56 電容
- 58 比較電路
- 60 反相器
- 62 位準轉換電路
- 64 反相器
- 66 N通道MOS電晶體
- 68 P通道MOS電晶體
- 70 N通道MOS電晶體
- 72 N通道MOS電晶體
- 74 反相器
- 76 N通道MOS電晶體
- 78 P通道MOS電晶體
- 80 N通道MOS電晶體
- 82 P通道MOS電晶體
- 84 N通道MOS電晶體



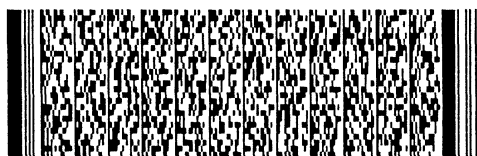
五、發明說明 (23)

- 88 恆定電流源
- 90 P通道MOS電晶體
- 92 P通道MOS電晶體
- 94 P通道MOS電晶體
- 95 N通道MOS電晶體
- 96 N通道MOS電晶體
- 97 P通道MOS電晶體
- 98 N通道MOS電晶體
- 99 P通道MOS電晶體
- 100 電位固定電路
- 101 電位檢測部
- 102 內部電路
- 104 分壓電路
- 110 電位產生電路
- 112 比較電路
- 114 反相器
- 116 位準轉換電路
- 118 反相器
- 120 N通道MOS電晶體
- 122 P通道MOS電晶體
- 124 N通道MOS電晶體
- 126 N通道MOS電晶體
- 128 反相器
- 130 N通道MOS電晶體



五、發明說明 (24)

- 132 P 通道MOS 電 晶 體
- 134 N 通道MOS 電 晶 體
- 136 P 通道MOS 電 晶 體
- 138 N 通道MOS 電 晶 體
- 140 電 阻
- 142 電 阻
- 150 電 位 固 定 電 路
- 151 電 位 檢 測 部
- 152 內 部 電 路
- 154 分 壓 電 路
- 160 電 位 產 生 電 路
- 162 比 較 電 路
- 164 反 相 器
- 166 位 準 轉 換 電 路
- 168 反 相 器
- 170 N 通道MOS 電 晶 體
- 172 P 通道MOS 電 晶 體
- 174 N 通道MOS 電 晶 體
- 176 N 通道MOS 電 晶 體
- 178 反 相 器
- 180 N 通道MOS 電 晶 體
- 182 P 通道MOS 電 晶 體
- 184 N 通道MOS 電 晶 體
- 186 P 通道MOS 電 晶 體



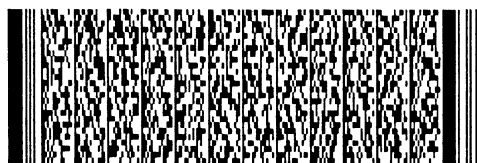
五、發明說明 (25)

- 188 N 通道MOS 電 晶 體
- 200 電 位 固 定 電 路
- 202 電 位 固 定 電 路
- 204 內 部 電 路
- 206 內 部 電 路
- 212 電 位 檢 測 部
- 214 反 相 器
- 216 位 準 轉 換 電 路
- 218 反 相 器
- 220 N 通道MOS 電 晶 體
- 222 N 通道MOS 電 晶 體
- 232 電 位 檢 測 部
- 234 反 相 器
- 236 位 準 轉 換 電 路
- 238 反 相 器
- 240 N 通道MOS 電 晶 體
- 242 N 通道MOS 電 晶 體
- 250 電 位 固 定 電 路
- 252 電 位 固 定 電 路
- 254 內 部 電 路
- 256 內 部 電 路
- 262 電 位 檢 測 部
- 264 反 相 器
- 266 位 準 轉 換 電 路



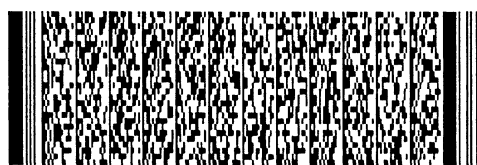
五、發明說明 (26)

- 268 反相器
- 270 N通道MOS電晶體
- 272 N通道MOS電晶體
- 282 電位檢測部
- 284 反相器
- 286 位準轉換電路
- 288 反相器
- 290 N通道MOS電晶體
- 292 N通道MOS電晶體
- 300 內部電路
- 302 A2的檢測電路
- 304 電阻
- 306 內部電路
- 308 A1的檢測電路
- 310 電阻
- 312 判定電路
- 314 門鎖電路
- 316 NAND電路
- 318 NOR電路
- 320 反相器
- 322 NAND電路
- 324 NAND電路
- 326 N通道MOS電晶體
- 352 反相器



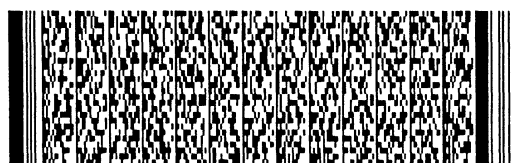
五、發明說明 (27)

354	N 通道 MOS 電 晶 體
356	反 相 器
358	P 通道 MOS 電 晶 體
360	位 準 轉 換 電 路
362	反 相 器
364	反 相 器
368	P 通道 MOS 電 晶 體
370	反 相 器
372	P 通道 MOS 電 晶 體
374	N 通道 MOS 電 晶 體
376	P 通道 MOS 電 晶 體
378	N 通道 MOS 電 晶 體
380	N 通道 MOS 電 晶 體
382	電 容
A0	位 址 信 號
A1	位 址 信 號
A2	位 址 信 號
A3	位 址 信 號
A4	位 址 信 號
Ai	位 址 信 號
Ai-1	位 址 信 號
Ai-2	位 址 信 號
Ext./RAS	列 位 址 控 制 信 號
Ext./WE	寫 致 能 控 制 信 號



五、發明說明 (29)

N31	節點
N32	節點
N41	節點
N42	節點
N51	節點
N52	節點
N61	節點
N62	節點
N64	節點
ext./CAS	外部行位址選通脈衝信號
ext./RAS	外部列位址選通脈衝信號
Vref	參考電位
BIAS	固定電位位準的信號
t1	時刻
SIG1	接受信號
CSL	行選擇線
SIG2	接受信號
VDIV	分壓電位
VccA	電源電位
VccB	電源電位
Q	信號
BL	位元線
WL	字線
CP	單元板



四、中文發明摘要 (發明之名稱：半導體裝置)

電位檢測部51，根據由3.3V電源電位產生比1.5V低的參考電位Vref，並與1.5V系統的電源配線的電位比較，檢測電源斷開情況。電位檢測部51的輸出，通過位準轉換電路62，送至N通道的MOS電晶體66的閘極上。N通道的MOS電晶體66使得用1.5V系統的電源工作的內部電路28a的輸出固定。

英文發明摘要 (發明之名稱：Semiconductor Device)

A potential detection portion generates from a power-supply potential of 3.3V a reference potential Vref lower than 1.5V, and compares reference potential Vref with a potential of a power-supply line of a 1.5V system to detect a power-off. An output of potential detection portion is provided to a gate of an N-channel MOS transistor via a level conversion circuit. N-channel MOS transistor fixes an output of an internal circuit that operates by a power supply

