

(12) 发明专利申请

(10) 申请公布号 CN 102576567 A

(43) 申请公布日 2012.07.11

(21) 申请号 201080027748.0

代理人 康建峰 王娜丽

(22) 申请日 2010.06.08

(51) Int. Cl.

(30) 优先权数据

G11C 16/10 (2006.01)

12/488,967 2009.06.22 US

(85) PCT申请进入国家阶段日

2011.12.21

(86) PCT申请的申请数据

PCT/US2010/037839 2010.06.08

(87) PCT申请的公布数据

W02011/005401 EN 2011.01.13

(71) 申请人 桑迪士克技术有限公司

地址 美国德克萨斯州

(72) 发明人 董颖达 杰弗里·W·卢策

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

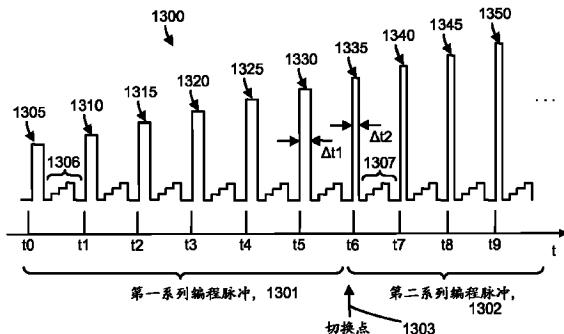
权利要求书 2 页 说明书 19 页 附图 13 页
按照条约第19条修改的权利要求书 2 页

(54) 发明名称

用于非易失性存储器中的增强沟道升压的减小的编程脉宽

(57) 摘要

通过在编程操作中途将使用较长持续时间的编程脉冲切换到较短持续时间的编程脉冲而在编程操作期间在非易失性存储系统中减少编程干扰。切换点可以基于温度、所选择的字线位置和/或跟踪存储元件至触发状态。对于较高温度，并且对于漏极侧字线，切换点出现得更早。可以基于温度来选择触发状态。存储元件的被要求达到触发状态以触发转接的部分也可以被设定为温度的函数。较短持续时间的编程脉冲可以改进被禁止的存储元件的沟道升压，由此对于这些存储元件减少编程干扰。



1. 一种用于对非易失性存储器进行操作的方法,包括:

在编程操作中将第一系列编程脉冲(1301)施加至一组字线(WL0-WL63)中的所选择的字线(WLn),所述一组字线与一组存储元件(700,710)连通,并且所述所选择的字线与所述一组存储元件中的至少一个所选择的存储元件和至少一个未被选择的存储元件连通;

确定是否满足切换标准(1520),所述切换标准依赖于温度;以及

如果满足所述切换标准,则从在所述编程操作中将所述第一系列编程脉冲施加至所选择的字线切换到在所述编程操作中将第二系列编程脉冲(1302)施加至所选择的字线,所述第二系列中的至少一个编程脉冲比在所述第一系列中的至少一个编程脉冲具有更短的持续时间(Δt_2)。

2. 根据权利要求1所述的方法,其中:

当所述温度相对较高时,在所述编程操作中相对较早地施加所述第二系列编程脉冲,而当所述温度相对较低时,在所述编程操作中相对较晚地施加所述第二系列编程脉冲。

3. 根据权利要求1或2所述的方法,其中:

如果所述温度足够低(T_2),则不满足所述切换标准,在该情况下,不从施加所述第一系列编程脉冲切换到施加所述第二系列编程脉冲,施加所述第一系列编程脉冲直至完成所述编程操作,并且所述第一系列中的每个编程脉冲具有相同的持续时间。

4. 根据权利要求1至3中任一项所述的方法,其中:

所述第一系列中的每个编程脉冲具有第一持续时间(Δt_1),而所述第二系列中的每个编程脉冲具有第二持续时间(Δt_2),所述第二持续时间短于所述第一持续时间。

5. 根据权利要求1至4中任一项所述的方法,其中:

所述第二持续时间是所述第一持续时间的三分之一至二分之一。

6. 根据权利要求1至5中任一项所述的方法,其中:

确定是否满足所述切换标准包括:确定是否所述一组存储元件中的一个子组的存储元件完成了到四个或更多个状态中的一个状态的编程,所述一个状态是基于所述温度的。

7. 根据权利要求6所述的方法,其中:

当所述温度相对较高时,所述一个状态是相对较低的状态,而当所述温度相对较低时,所述一个状态是相对较高的状态。

8. 根据权利要求6所述的方法,其中:

从最低到最高存在四个数据状态E、A、B和C,当所述温度在T₂与T₃之间时,所述一个状态是状态B,而当所述温度在T₁与T₂之间时,所述一个状态是状态A,其中T₁<T₂<T₃。

9. 根据权利要求6所述的方法,其中:

从最低到最高存在八个数据状态E、A、B、C、D、E、F和G,当所述温度在T₂与T₃之间时,所述一个状态是状态D,而当所述温度在T₁与T₂之间时,所述一个状态是状态F,其中T₁<T₂<T₃。

10. 根据权利要求6所述的方法,其中:

确定是否满足所述切换标准包括:确定是否所述一组存储元件中的特定数量的存储元件完成了到四个或更多个状态中的一个特定状态的编程,所述特定数量是基于所述温度的。

11. 一种非易失性存储系统,包括:

一组 NAND 串 (700, 710), 所述一组 NAND 串包括所选择的 NAND 串和未被选择的 NAND 串, 每个 NAND 串包括多个存储元件, 所述一组 NAND 串与一组字线 (WL0-WL63) 连通, 所述一组字线在所述一组字线的源极侧和所述一组字线的漏极侧之间延伸; 以及

一个或多个控制电路 (510, 550), 所述一个或多个控制电路与所述一组字线连通, 所述一个或多个控制电路执行编程操作, 在所述编程操作中, 所述一组存储元件中的不同子组的存储元件被编程为四个或更多个状态的不同相应状态, 并且在所述编程操作期间, 所述一个或多个控制电路:

(a) 将第一系列编程脉冲 (1301) 施加至所述一组字线的所选择的字线,

(b) 确定是否满足切换标准, 所述切换标准依赖于温度, 以及 (b) 如果满足所述切换标准, 则从将所述第一系列编程脉冲施加至所选择的字线切换为将第二系列编程脉冲 (1302) 施加至所选择的字线, 所述第二系列中的至少一个编程脉冲比所述第一系列中的至少一个编程脉冲具有更短的持续时间。

12. 根据权利要求 11 所述的非易失性存储系统, 其中:

当所述温度相对较高时, 在所述编程操作中相对较早地施加所述第二系列编程脉冲, 而当所述温度相对较低时, 在所述编程操作中相对较晚地施加所述第二系列编程脉冲。

13. 根据权利要求 11 或 12 所述的非易失性存储系统, 其中:

所述第一系列中的每个编程脉冲具有第一持续时间 (Δt_1), 而所述第二系列中的每个编程脉冲具有第二持续时间 (Δt_2), 所述第二持续时间短于所述第一持续时间。

14. 根据权利要求 11 至 13 中任一项所述的非易失性存储系统, 其中:

为了确定是否满足所述切换标准, 所述一个或多个控制电路确定是否所述一组存储元件中的一个子组的存储元件完成了到四个或更多个状态中的一个状态的编程, 当所述温度高于阈值时, 所述一个状态是所述四个或更多个状态中的一个特定编程状态, 当所述温度低于所述阈值时, 所述一个状态是所述四个或更多个状态中的另一个较高的特定编程状态。

15. 根据权利要求 14 所述的非易失性存储系统, 其中:

当所述温度高于阈值 (T_2) 时, 所述一个状态是所述四个或更多个状态中的最低编程状态 (A), 而当所述温度低于所述阈值时, 所述一个状态是所述四个或更多个状态中的次低编程状态 (B)。

用于非易失性存储器中的增强沟道升压的减小的编程脉宽

技术领域

[0001] 本技术涉及非易失性储存器。

背景技术

[0002] 半导体存储器已经变得越来越受欢迎地使用在各种电子设备中。例如，非易失性半导体存储器被用在蜂窝电话、数码相机、个人数字助理、移动计算设备、非移动计算设备和其他设备中。电可擦可编程只读存储器 (EEPROM) 和闪存处于最受欢迎的非易失性半导体存储器之列。与传统的全功能 EEPROM 相比，利用闪存——其也是一种类型的 EEPROM——能够在一个步骤中擦除存储器的一部分或全部的存储器阵列的内容。

[0003] 传统的 EEPROM 和闪存两者都使用位于半导体衬底中的沟道区域上方并与该沟道区域绝缘的浮棚 (floating gate)。浮棚定位在源极区域和漏极区域之间。控制栅设置在浮棚上方并与其绝缘。由浮棚上保持的电荷量控制这样形成的晶体管的阈值电压 (V_{TH})。也就是说，由浮棚上的电荷水平控制在晶体管被接通之前必须施加至控制栅上以允许其源极与漏极之间导通的最小电压量。

[0004] 一些 EEPROM 和闪存设备具有用来存储两个范围的电荷的浮棚，因此，存储元件能够在两种状态（即，擦除状态和编程状态）之间被编程 / 擦除。这种闪存设备有时候被称作二进制闪存设备 (binary flash memory device)，这是因为每个存储元件能够存储一位数据。

[0005] 通过标识多个独特的容许 / 有效编程阈值电压范围来实现多状态（也称为多水平）闪存设备。每个独特的阈值电压范围与用于在存储器设备中编码的一组数据位的预定值对应。例如，当存储元件能够被置于与四个独特的阈值电压范围对应的四个离散的电荷带中的一个电荷带中时，每个存储元件都能够存储两位数据。

[0006] 一般地，在编程操作期间施加至控制栅上的编程电压 V_{PGM} 被施加成大小随时间增加的一系列脉冲。编程电压能够被施加至选定的字符线。在一种可能的方法中，脉冲的大小随着每个相继的脉冲而增大预定的步长尺寸，例如 0.2–0.4V。 V_{PGM} 能够被施加至闪存元件的控制栅。在编程脉冲之间的周期中，执行验证操作。也就是说，在相继的脉冲之间读取正在被并行地编程的一组元件中的每个元件的编程水平，以判断其是否等于或大于正在被编程的该元件的验证水平。对于多状态闪存元件的阵列，可以对元件的每种状态执行验证步骤，以判断该元件是否已经达到其数据关联验证水平。例如，能够以四种状态存储数据的多状态存储元件可能需要对三个比较点执行验证操作。

[0007] 另外，当对 EEPROM 或闪存设备（诸如 NAND 串中的 NAND 闪存设备）进行编程时，一般地， V_{PGM} 被施加至控制栅，并且位线被接地，从而使来自存储元件（如储存元件）或单元的沟道的电子被注入浮棚中。当电子聚集在浮棚中时，浮棚变为带负电荷，并且存储元件的阈值电压升高，使得存储元件被认为处于编程状态。

[0008] 然而，一直疑难的一个问题是编程干扰。编程干扰可能在对其他的选定 NAND 串进行编程期间出现在受抑制的未选 NAND 串中。在未选的非易失性存储元件的阈值电压由于

其他非易失性存储元件的编程而改变时出现编程干扰。编程干扰可能出现在先前已编程的存储元件上以及还没有被编程的已擦除存储元件上。

附图说明

- [0009] 图 1a 是 NAND 串的俯视图。
- [0010] 图 1b 是 NAND 串的等效电路图。
- [0011] 图 2 是 NAND 串的横截面图。
- [0012] 图 3 是描绘三个 NAND 串的电路图。
- [0013] 图 4 是 NAND 闪存元件的阵列的框图。
- [0014] 图 5 是使用单行 / 单列解码器和读 / 写电路的非易失性存储系统的框图。
- [0015] 图 6 是描绘感测块的一个实施例的框图。
- [0016] 图 7 示出了将存储器阵列组建到用于所有位线存储器构架或用于奇 - 偶存储器构架的方框中的示例。
- [0017] 图 8 描绘了示例性的一组阈值电压分布和单程编程 (one-pass programming)。
- [0018] 图 9 描绘了示例性的一组阈值电压分布和双程编程。
- [0019] 图 10a-c 示出了多种阈值电压分布并描绘了对非易失性存储器进行编程的过程。
- [0020] 图 11 是 NAND 串的横截面，并且描述了升压期间的沟道结泄漏。
- [0021] 图 12a 描绘了当相邻的沟道被升压或不被升压时的沟道升压电势。
- [0022] 图 12b 描绘了作为温度的函数的沟道升压电势。
- [0023] 图 12c 描绘了作为编程脉宽和选定字线位置的函数的沟道升压电势。
- [0024] 图 12d 描绘了就作为温度和选定字线位置的函数的编程脉冲的数量而言的切换点。
- [0025] 图 12e 描绘了就作为温度的函数的触发状态而言的切换点。
- [0026] 图 12f 描绘了就作为温度的函数、达到触发状态的存储元件数量而言的切换点。
- [0027] 图 13 描绘了编程操作中的编程脉冲，其中在编程操作中途存在向较短持续时间编程脉冲的切换。
- [0028] 图 14 描绘了存储元件基于其距字线的解码器侧的距离而看到的编程脉冲。
- [0029] 图 15 是描绘对非易失性存储器进行编程的方法的一个实施例的流程图，其中向较短持续时间编程脉冲的切换基于编程脉冲数。
- [0030] 图 16 是描绘对非易失性存储器进行编程的方法的另一个实施例的流程图，其中向较短持续时间编程脉冲的切换基于达到触发状态的存储元件数量。

具体实施方式

- [0031] 提供了一种方法和非易失性存储系统，其中通过使用较短持续时间编程脉冲改进了沟道升压，从而减少了编程干扰。
- [0032] 在编程操作中途，编程操作从使用较长持续时间编程脉冲切换到较短持续时间编程脉冲，以减少编程干扰。切换点可以基于温度、选定字线位置和 / 或存储元件对触发状态的跟踪。对于较高的温度以及对于漏极侧字线，切换点出现得较快。可以基于温度来选择触发状态。另外，达到用于触发切换的触发状态所需的存储元件的一部分也可以被设定为

温度的函数。

[0033] 适当的存储系统的一个示例使用 NAND 闪存结构，该 NAND 闪存结构将多个晶体管串联地布置在两个选择栅之间。串联的晶体管和选择栅被称为 NAND 串。图 1a 是示出了一个 NAND 串的俯视图。图 1b 是其等效电路图。所描绘的 NAND 串包括四个晶体管 100、102、104 和 106，这四个晶体管串联并且夹在第一选择栅 120 与第二选择栅 122 之间。选择栅 120 将 NAND 串连接于位线 126。选择栅 122 将 NAND 串连接于源极线 128。通过将适当的电压施加至控制栅 120CG 来控制选择栅 120。通过将适当的电压施加至控制栅 122CG 来控制选择栅 122。晶体管 100、102、104 和 106 中的每一个都具有控制栅和浮栅。晶体管 100 具有控制栅 100CG 和浮栅 100FG。晶体管 102 包括控制栅 102CG 和浮栅 102FG。晶体管 104 包括控制栅 104CG 和浮栅 104FG。晶体管 106 包括控制栅 106CG 和浮栅 106FG。控制栅 100CG 连接于字线 WL3，控制栅 102CG 连接于字线 WL2，控制栅 104CG 连接于字线 WL1，以及控制栅 106CG 连接于字线 WL0。在一个实施例中，晶体管 100、102、104 和 106 均为存储器单元。在其他实施例中，存储器单元可以包括多个晶体管，或者可以与所描绘的不同。选择栅 120 连接于选择线 SGD。选择栅 122 连接于选择线 SGS。

[0034] 图 2 提供了上述 NAND 串的横截面视图。NAND 串的这些晶体管形成在 p 阵区域 140 中。p 阵区域则又可以位于 p 型衬底 144 的 n 阵区域 142 内。每个晶体管均包括由控制栅 (100CG、102CG、104CG 和 106CG) 和浮栅 (100FG、102FG、104FG 和 106FG) 构成的层叠栅结构。浮栅形成在氧化物或其他介电膜上方的 p 阵的表面上。控制栅位于浮栅上方，其中多晶硅间的介电层将控制栅与浮栅分开。存储器单元 (100、102、104 和 106) 的控制栅形成字线。在相邻的单元之间共享 N+ 掺杂层 130、132、134、136 和 138，由此，这些单元彼此串联地连接，从而形成 NAND 串。这些 N+ 掺杂层形成每个单元的源极和漏极。例如，N+ 掺杂层 130 用作晶体管 122 的漏极和用于晶体管 106 的源极，N+ 掺杂层 132 用作用于晶体管 106 的漏极和用于晶体管 104 的源极，N+ 掺杂层 134 用作用于晶体管 104 的漏极和用于晶体管 102 的源极，N+ 掺杂层 136 用作用于晶体管 102 的漏极和用于晶体管 100 的源极，以及 N+ 掺杂层 138 用作用于晶体管 100 的漏极和用于晶体管 120 的源极。N+ 掺杂层 126 连接于用于 NAND 串的位线，而 N+ 掺杂层 128 连接于用于多个 NAND 串的公共源极线。

[0035] 注意，尽管图 1a、1b 和图 2 示出了 NAND 串中的四个存储器单元，但与本文描述的技术一起使用的 NAND 串可以具有少于四个存储器单元或多于四个存储器单元。例如，一些 NAND 串将包括 8 个、16 个、32 个或更多个存储器单元。

[0036] 每个存储器单元都能够存储以模拟形式或数字形式表示的数据。当存储一位数字数据时，存储器单元的可能阈值电压的范围被分成两个范围，这两个范围被分配逻辑数据“1”和“0”。在 NAND 型闪存的一个示例中，在存储器单元被擦除之后，电压阈值为负，并且被定义为逻辑“1”。在编程操作之后，电压阈值为正，并且被定义为逻辑“0”。当阈值电压为负并且通过向控制栅施加 0 伏电压来尝试读取操作时，存储器单元将接通以表示逻辑 1 正被存储。当阈值电压为正并且通过向控制栅施加 0 伏电压来尝试读取操作时，存储器单元将不接通，这表示逻辑 0 被存储。

[0037] 存储器单元也能够存储多个状态，从而存储多位数字数据。在存储多状态数据的情况下，阈值电压窗口被分成对应于状态的数量。例如，如果使用四个状态，则将存在四个阈值电压范围，这四个阈值电压范围被分配给数据值“11”、“10”、“01”和“00”。在 NAND 型

存储器的一个示例中,阈值电压在擦除操作之后为负,并且被定义为“11”。正阈值电压用于“10”、“01”和“00”的状态。在一些实施方式中,使用葛莱码分配来向阈值范围分配数据值(例如,逻辑状态),使得如果浮栅的阈值电压错误地移位到其相邻的物理状态,那么将仅有位受影响。编程到存储器单元中的数据与单元的阈值电压范围之间的特定关系依赖于存储器单元采用的数据编码方案。

[0038] 除了NAND闪存之外,还可以使用其他类型的非易失性存储器。

[0039] 在闪存EEPROM系统中有用的另一种类型的存储器单元使用非导电性介电材料来代替导电性浮栅,从而以非易失性方式储存电荷。由氧化硅、氮化硅和氧化硅(“ONO”)形成的三层介电质夹在位于存储器单元沟道上方的半导体衬底的表面与导电控制栅之间。通过将来自单元沟道的电子注入到氮化物中来对单元进行编程,在氮化物中,电子被捕获并被存储在有限区域中。然后,该存储的电荷以可检测的方式改变单元的沟道的一部分的阈值电压。通过将热空穴注入到氮化物中来对单元进行擦除。可以以分裂栅的构造提供相似的单元,其中掺杂的多晶硅在存储器单元沟道的一部分的上方延伸,以形成单独的选择晶体管。

[0040] 在另一种方法中,在每个NROM单元中存储两个位,其中ONO介电层在源极扩散和漏极扩散之间的沟道上延伸。用于一个数据位的电荷位于与漏极相邻的介电层中,而用于其他数据位的电荷位于与源极相邻的介电层中。通过单独地读取介电层内的在空间上分开的电荷存储区域的二进制状态而获得多状态数据存储。

[0041] 图3是描绘了三个NAND串的电路图。用于使用NAND结构的闪存系统的典型构架将包括多个NAND串。例如,在具有多个更多NAND串的存储器阵列中示出了三个NAND串320、340和360。NAND串中的每一个都包括两个选择栅和四个存储元件。尽管为了简化的目的示出了四个存储元件,但现代的NAND串可以具有多达例如32或64个存储元件。

[0042] 例如,NAND串320包括选择栅322和327以及存储元件323-326,NAND串340包括选择栅342和347以及存储元件343-346,NAND串360包括选择栅362和367以及存储元件363-366。每个NAND串都通过其选择栅(例如,选择栅327、347或367)连接于源极线。选择线SGS用来控制源极侧选择栅。各种NAND串320、340和360分别通过选择栅322、342、362中的选择晶体管连接于相应的位线321、341和361。由漏极选择线SGD控制这些选择晶体管。在其他实施例中,选择线不一定需要是NAND串之间共用的;也就是说,可以对不同的NAND串提供不同的选择线。字线WL3连接于用于存储元件323、343和363的控制栅。字线WL2连接于用于存储元件324、344和364的控制栅。字线WL1连接于用于存储元件325、345和365的控制栅。字线WL0连接于用于存储元件326、346和366的控制栅。能够看到,每个位线和相应的NAND串都包括成列的存储元件的阵列或组。字线(WL3、WL2、WL1和WL0)包括成行的阵列或组。每个字线对行中的每个存储元件的控制栅加以连接。或者,可以由字线自身来提供控制栅。例如,字线WL2提供用于存储元件324、344和364的控制栅。在实际中,在字线上能够存在数千个存储元件。

[0043] 每个存储元件都能够存储数据。例如,当存储一位的数字数据时,存储元件的可能阈值电压(V_{TH})的范围被分成两个范围,这两个范围被分配逻辑数据“1”和“0”。在NAND型闪存的一个示例中, V_{TH} 在存储元件被擦除之后为负,并且被定义为逻辑“1”。 V_{TH} 在编程操作之后为正,并且被定义为逻辑“0”。当 V_{TH} 为负并且尝试读取时,存储元件将接通以表示逻

辑“1”正被存储。当 V_{TH} 为正并且尝试读取操作时,存储元件将不接通,这表示逻辑“0”被存储。存储元件还能够存储多个水平的信息,例如,多位的数字数据。在这种情况下, V_{TH} 值的范围被分成数据水平的数量。例如,如果四个水平的信息被存储,那么将存在被分配给数据值“11”、“10”、“01”和“00”的四个 V_{TH} 范围。在 NAND 型存储器的一个示例中, V_{TH} 在擦除操作之后为负,并且被定义为逻辑“11”。正的 V_{TH} 值用于“10”、“01”和“00”的状态。编程到存储元件中的数据与元件的阈值电压范围之间的特定关系依赖于存储元件采用的数据编码方案。

[0044] 当对闪存元件进行编程时,编程电压被施加至存储元件的控制栅,并且与该存储元件相关联的位线被接地。来自沟道的电子被注入到浮棚中。当电子聚集在浮棚中时,浮棚变成带负电荷,并且存储元件的 V_{TH} 升高。为了将编程电压施加至正在被编程的存储元件的控制栅上,将该编程电压施加至适当的字线上。如前面所讨论的,每个 NAND 串的一个存储元件共享同一个字线。例如,当对图 3 的存储元件 324 进行编程时,编程电压也将被施加至存储元件 344 和 364 的控制栅上。

[0045] 然而,在其他 NAND 串的编程期间,在受抑制的 NAND 串处可能出现编程干扰,并且有时候在被编程的 NAND 串自身处,也可能出现编程干扰。在未选的非易失性存储元件的阈值电压由于其他非易失性存储元件的编程而改变时出现编程干扰。编程干扰可能出现在先前已编程的存储元件上以及还没有被编程的已擦除存储元件上。各种编程干扰机制可能限制非易失性存储设备(如 NAND 闪存)可用的操作窗口。

[0046] 例如,如果 NAND 串 320 被抑制(例如,NAND 串 320 是不包含当前正被编程的存储元件的未选 NAND 串)并且 NAND 串 340 正在被编程(例如,NAND 串 340 是包含当前正被编程的存储元件的选定 NAND 串),那么编程干扰可能出现在 NAND 串 320 处。例如,如果通过电压 V_{PASS} 低,那么受抑制的 NAND 串的沟道将不能很好地升压,并且未选 NAND 串的选定字线可能被意外地编程。在另一个可能的场景中,可能通过栅致漏极泄漏(Gate Induced Drain Leakage, GIDL)或其他泄漏机制降低升高的电压,从而产生同一问题。其他效果,如由于与随后编程的其他相邻存储元件的电容耦合而导致的电荷存储元件的 V_{TH} 变化,也可能促成编程干扰。

[0047] 图 4 示出了 NAND 存储元件(如图 1a 和 1b 中示出的那些)的阵列 400 的示例。沿每个列,位线 406 被耦合于用于 NAND 串 450 的漏极选择栅的漏极端子 426。沿 NAND 串的每行,源极线 404 可以连接 NAND 串的源极选择栅的所有源极端子 428。

[0048] 存储元件的阵列被分成大量的存储元件的块。如对于闪存 EEPROM 系统常见的,所述块是擦除单位。也就是说,每个块都含有被一起擦除的最小数量的存储元件。每个块一般被分成多页(page)。页是最小编程单位。在存储元件的一行中一般存储一页或多页的数据。例如,行一般含有多个交叉的页,或者其可以构成一页。页的所有存储元件将被一起读取和编程。另外,页能够存储来自一个或多个扇区的用户数据。扇区是主机使用的逻辑概念,作为方便的用户数据单位;其一般不包含限定于控制器的系统开销数据。系统开销数据可以包括已经根据扇区的用户数据计算出的错误校正码(ECC)。控制器(将在后面描述)的一部分在数据被编程到阵列中时计算 ECC,并且还在从阵列中读取数据时对其进行核对。可替代地,ECC 和 / 或其他系统开销数据被存储在不同的页中,或者甚至存储在与其所属的用户数据不同的块中。

[0049] 用户数据的扇区一般为 512 字节,这对应于磁盘驱动器中的扇区的尺寸。系统开销数据一般为额外的 16-20 字节。大量的页形成块,这些页的数量为从例如 8 个到多达 32 个、64 个、128 个或更多页之间的任何数量。在一些实施例中,一行 NAND 串包括块。

[0050] 在一个实施例中,通过将 p 阵升高到擦除电压(例如,14-22V)达足够的时长并且在源极和位线浮动的同时将选定块的字线接地,来擦除存储器存储元件。由于电容耦合,未选的字线、位线、选择线以及 c 源极也被升高到擦除电压的一大部分。因此,当浮栅的电子被发射到衬底侧时(一般通过 Fowler-Nordheim 隧穿机制),强电场被施加至选定存储元件的隧道氧化物层,并且选定存储元件的数据被擦除。随着电子从浮栅转移到 p 阵区域,选定存储元件的阈值电压被降低。可以在整个存储器阵列、单独的块或存储元件的另一单元上执行擦除。

[0051] 图 5 是使用单行 / 列解码器和读 / 写电路的非易失性存储系统的框图。该图示出了根据本发明的一个实施例,具有用于对存储元件的页进行并行的读取和编程的读 / 写电路的存储器设备 596。存储器设备 596 可以包括一个或多个存储器芯片 598。存储器芯片 598 包括存储元件的二维阵列 400、控制电路 510 以及读 / 写电路 565。在一些实施例中,存储元件的阵列可以是三维的。可以由字线通过行解码器 530 以及由位线通过列解码器 560 对存储器阵列 400 进行寻址。读 / 写电路 565 包括多个感测块 500,并且允许对存储元件的页进行并行的读取或编程。一般地,控制器 550 被包括在与所述一个或多个存储器芯片 598 相同的存储器设备 596(例如,可移除的存储卡)中。通过线 520 在主机与控制器 550 之间以及通过线 518 在控制器与所述一个或多个存储器芯片 598 之间传递命令和数据。

[0052] 控制电路 510 与读 / 写电路 565 协作,以对存储器阵列 400 执行存储操作。控制电路 510 包括状态机 512、片上地址解码器 514、温度感测电路 515 以及功率控制模块 516。状态机 512 提供存储操作的芯片级控制。片上地址解码器 514 提供主机或存储器控制器所使用的地址与解码器 530 和 560 所使用的硬件地址之间的地址接口。温度感测电路 515 能够用于提供基于温度的信号或数据以供在编程操作中使用,如此处所描述的。功率控制模块 516 控制存储操作期间供给到字线和位线的功率和电压。

[0053] 在一些实施方式中,可以组合图 5 中的一些部件。在多种设计中,除存储元件阵列 400 之外的部件中的一个或多个部件(单独地或组合地)可以被认作是管理或控制电路。例如,一个或多个管理或控制电路可以包括控制电路 510、状态机 512、解码器 514/560、温度感测电路 515、功率控制模块 516、感测块 500、读 / 写电路 565、控制器 550 等中的任何一个或其组合。

[0054] 关于温度感测电路 515,在诸如 NAND 闪存设备的当前非易失性存储设备中,温度变化带来了读取和写入数据时的多种问题。存储器设备受到基于其所处的环境的温度变化的影响。例如,一些当前的存储器设备被额定为在 -30°C 至 +85°C 之间使用。工业用、军用或者甚至民用的装置都可能经受显著的温度变化。

[0055] 已知用于提供温度补偿信号的多种技术。这些技术中的一种或多种能够用来提供用于 $V_{OPTIMAL}$ 的温度依附关系。这些技术中的大多数都不依赖于获取实际温度测量,尽管该方法也是可以的。例如,名为“Voltage Generation Circuit Having Temperature Compensation(具有温度补偿的电压生成电路)”的美国专利 6,801,454 描述了一种电压生成电路,其基于温度系数向非易失性存储器输出读取电压,在此通过参引的方式将该美国

专利并入本文。该电路使用带隙电流，该带隙电流包括与温度无关的部分和随着温度升高而增加的与温度相关的部分。名为“Non-Volatile Memory With Temperature Compensated Data Read(具有温度补偿数据读取的非易失性存储器)”的美国专利 6,560,152 使用偏压生成电路，该偏压生成电路偏置施加于数据存储元件的源极或漏极的电压，在此通过参引的方式将该美国专利并入本文。这些技术中的任何一种以及任何其他已知的技术都能够被温度感测电路 515 使用。

[0056] 在另一个实施例中，非易失性存储系统使用双行 / 列解码器和读 / 写电路。各种外围电路对存储器阵列 400 的访问在阵列的相反侧以对称的方式实现，使得每一侧的访问线和电路的密集度被减半。因此，行解码器被分成两个行解码器，并且列解码器被分成两个列解码器。类似地，读 / 写电路被分成连接与来自阵列 400 的底部的位线连接的读 / 写电路和与来自阵列 400 的顶部的位线连接的读 / 写电路。这样，读 / 写模块的密集度基本上被减半。

[0057] 图 6 是描绘感测块的一个实施例的框图。单个感测块 500 被分割成核心部分（称为感测模块 580）和公共部 590。在一个实施例中，将存在用于每个位线的单独感测模块 580 和用于一组多个感测模块 580 的一个公共部 590。在一个示例中，感测块将包括一个公共部 590 和八个感测模块 580。一组中的感测模块中的每一个感测模块将通过数据总线 572 与相关的公共部分连通（communicate）。

[0058] 感测模块 580 包括感测电路 570，感测电路 570 判断连接的位线中的导通电流是高于或是低于预定阈值水平。感测模块 580 还包括位线锁存器 582，位线锁存器 582 用来设定连接的位线上的电压状态。例如，在位线锁存器 582 中锁存的预定状态将导致连接的位线被拉到指定编程抑制的状态（例如，1.5–3V）。

[0059] 公共部 590 包括处理器 592、一组数据锁存器 594 以及耦合在数据锁存器 594 与数据总线 520 之间的 I/O 接口 596。处理器 592 进行计算。例如，处理器 592 的功能之一是确定被感测存储元件中存储的数据并且将所确定的数据存储在该组数据锁存器中。这组数据锁存器 594 用于在读取操作期间存储通过处理器 592 确定的数据位。其也用于在程序操作期间存储通过处理器 592 引入的数据位。所引入的数据位表示要被编程到存储器中的写数据。I/O 接口 596 提供数据锁存器 594 和数据总线 520 之间的接口。

[0060] 在读取或感测期间，系统的操作处于状态机 512 的控制之下，该状态机控制将不同的控制栅电压提供给被寻址的存储元件。随着状态机逐步通过（step through）与存储器支持的各种存储器状态对应的各种预定控制栅电压，感测模块 580 可以在这些电压中的一个处释放（trip），并且经由总线 572 将输出从感测模块 580 提供至处理器 592。在该点，处理器 592 通过考虑感测模块的释放事件以及关于经由输入线 593 从状态机施加的控制栅电压的信息来确定作为结果的存储器状态。然后，处理器 592 计算用于存储器状态的二进制编码并且将作为结果的数据位存储到数据锁存器 594 中。在核心部分的另一实施例中，位线锁存器 582 双用，即作为用于对感测模块 580 的数据进行锁存的锁存器，又作为如上面描述那样的位线锁存器。

[0061] 一些实施方式可以包括多个处理器 592。在一个实施例中，每个处理器 592 将包括输出线（未描绘出）使得每个输出线被以线或的方式连接（wired-OR'd）在一起。在一些实施例中，输出线在连接到线或线之前被反转。该配置使得在编程处理已完成时的程

序验证处理期间能够进行快速确定,这是因为接收线或的状态机可以确定所有正被编程的位何时到达了期望的水平。例如,当每个位到达了其期望的水平,用于该位的逻辑零将被发送给线或的线(或者被反转的数据一)。当所有位都输出数据0(或者被反转的数据一),则状态机知道要终止编程处理。因为每个处理器与八个感测模块连通,所以状态机需要读取线或的线八次,或者逻辑电路被添加给处理器592以对关联的位线的结果进行累积(accumulate),使得状态机仅需读取线或线一次。类似地,通过正确选择逻辑水平,全局状态机(global state machine)可以检测第一位何时改变其状态,并且因此改变算法。

[0062] 在编程或验证期间,要被编程的数据从数据总线520存储在这组数据锁存器594中。受状态机控制的编程操作包括施加至被寻址的存储元件的控制栅的编程电压脉冲系列。在每个编程脉冲之后跟随有回读(验证)跟随,以确定存储元件是否被编程为期望的存储器状态。处理器592监控与期望的存储器状态相关的回读存储器状态。当这两个状态一致时,处理器592设定位线锁存器582,以便使位线被牵拉至指定编程禁止的状态。这禁止了耦合至位线的存储元件被进一步编程,即使在该存储元件的控制栅上出现编程脉冲。在另一实施例中,处理器起初加载位线锁存器582,并且感测电路在验证处理期间将该锁存器设定到禁止值。

[0063] 数据锁存器堆栈594包含与感测模块对应的数据锁存器堆栈。在一个实施例中,对于每一感测模块580存在三个数据锁存器。在一些实施方式中(但不是必需的),数据锁存器被实施为移位寄存器,使得存储在其中的并行数据转换为用于数据总线520的串行数据,并且反之亦然。在一个优选实施例中,与m个存储元件的读/写块对应的所有数据锁存器可以被链接在一起,以形成模块移位寄存器,使得可以通过串行传送来输入或者输出数据块。具体地,读/写模块的存储体被适配,使得其数据锁存器组中的每个将数据顺序地移位到数据总线中或从其中移位出,就像它们是整个读/写块的移位寄存器的部分那样。

[0064] 图7示出了将存储器阵列组织为用于所有位线存储器架构或者用于奇偶存储器架构的块的示例。描述了存储器阵列400的示例性结构。作为一个示例,描述了被分割为1024个块的NAND闪存EEPROM。存储在每个块中的数据可以被同时擦除。在一个实施例中,块是被同时擦除的存储元件的最小单位。在该示例中,在每个块中存在对应于位线BL0、BL1,...BL8511的8512列。在一个称作全位线(ABL)架构(架构710)的实施例中,可以在读取和编程操作期间同时选择一块的所有位线。可以同时对沿着一个公共字线并且连接至任意位线的存储元件进行编程。

[0065] 在所提供的示例中,四个存储元件串联以形成NAND串。虽然四个存储元件被示出为要被包括在每个NAND串中,可以使用多于或少于四个存储元件(例如,16、32、64或其他数量)。NAND串的一个端子经由漏极选择栅连接至对应的位线(连接至栅漏极线SGD),并且另一端子经由源极选择栅连接至c源极(连接至选择栅源极线SGS)。

[0066] 在称作奇偶架构(架构700)的另一实施例中,位线被划分为奇数位线(BLe)和偶数位线(BLo)。在奇/偶位线架构中,一次对沿着一个公共字线并且连接至奇数位线的存储元件进行编程,另一次对沿着一个公共字线并且连接至偶数位线的存储元件进行编程。在该示例中,在每个块中存在8512列,这些列被划分为偶数列和奇数列,并且六十四个存储元件被示出为串联成列以形成NAND串。

[0067] 在读和编程操作的一个配置期间,同时选择4256个存储元件。所选择的存储元件

具有相同的字线和相同类型的位线（例如偶或奇）。因此，形成逻辑页的 532 字节数据可以被同时读取或编程，并且一个存储器块可以存储至少八个逻辑页（四个字线，各具有奇数页和偶数页）。对于多状态存储元件，当每个存储元件存储两位数据时（其中这两位中的每个被存储在不同的页中），一个块存储十六个逻辑页。也可以使用其他尺寸的块和页。

[0068] 对于 ABL 或者奇 - 偶架构，可以通过将 p 阵升高至擦除电压（例如 20V）并将所选块的字线接地来擦除存储元件。源极和位线是浮动的。可以对整个存储器阵列、单独的块或者存储元件的作为存储器设备的一部分的其他单位进行擦除。电子从存储元件的浮动栅传送至 p 阵区域，使得存储元件的 V_{TH} 变为负的。

[0069] 在读取和验证操作中，选择栅（SGD 和 SGS）连接至 2.5-4.5V 的范围内电压，并且未选择的字线（例如，当 WL2 是被选择的字线时，为 WL0、WL1 和 WL3）被提高至读取通过电压 V_{READ} （典型地为在 4.5V 到 6V 的范围中的电压），以使得晶体管作为通过门（pass gate）进行操作。所选择的字线 WL2 连接至如下电压，对于每次读取和验证操作来规定该电压的水平，以确定所关心的存储元件的 V_{TH} 在该水平以上还是以下。例如，在对于二水平存储元件的读取操作中，所选择的字线 WL2 可以被接地，使得检测 V_{TH} 是否高于 0V。在对于二水平存储元件的验证操作中，所选择的字线 WL2 连接至 0.8V，例如，使得验证 V_{TH} 是否已达到至少 0.8V。源极和 p 阵在 0V。假设为偶数位线（BLe）的所选择的位线被预充电至例如 0.7V 的水平。如果 V_{TH} 高于字线上的读取或验证水平，则与感兴趣的存储元件关联的位线（BLe）的电势水平由于非导电存储元件而维持高水平。另一方面，如果 V_{TH} 低于读取或验证水平，则所关心的位线（BLe）的电势水平降低至低水平，例如，小于 0.5V，这是因为导电存储元件将位线放电。由此，可以通过连接至位线的电压比较器感测放大器来检测存储元件的状态。

[0070] 图 8 描绘了阈值电压分布和单程编程（one pass programming）。用于存储元件阵列的示例阈值电压分布提供了每个存储元件存储两位数据的情况。针对被擦除的（E 状态）存储元件提供第一阈值电压分布 800。三个阈值电压分布 802、804 和 806 分别表示编程过的状态 A、B 和 C。在一个实施例中，E 分布中的阈值电压是负的并且 A、B 和 C 分布中的阈值电压是正的。分布 803、805 和 807 表示暂时或瞬时的分布，A、B 和 C 状态存储元件在分别达到最终的分布 802、804 和 806 之前分别经历该暂时或瞬时的分布。例如，分布 803 指示了特定数量或部分的 A 状态存储元件或者意在于被编程为 A 状态的存储元件当前在 A 状态中。这些存储元件（其中 $V_{TH} > V_{Va}$ ）被验证达到了 A 状态。A 状态存储元件的剩余部分具有 $V_{TH} < V_{Va}$ ，并且还未达到 A 状态。

[0071] 类似地，分布 805 指示了特定数量或部分的 B 状态存储元件当前在 B 状态中，并且分布 807 指示了特定数量或部分的 C 状态存储元件当前在 C 状态中，可以通过维持阈值电压被确定为超过相应的验证水平的存储元件的计数来确定处于特定状态的存储元件的数量。

[0072] 每个不同的阈值电压范围与用于一组数据位的预定值对应。编程到存储元件中的数据与存储元件的阈值电压水平之间的特定关系与被采取用于存储元件的数据编码方案有关。在一个实施例中，使用格雷码分配而将数据值分配给阈值电压范围，使得如果浮栅的阈值电压错位地移位至其相邻的物理状态，则将仅仅影响一位。一个示例将“11”分配给阈值电压范围 E（状态 E），“10”分配给阈值电压范围 A（状态 A），“00”分配给阈值电压范围 B（状态 B），并且将“01”分配给阈值电压 C（状态 C）。然而，在其他示例中，并未使用格雷

码。尽管示出了四个状态,也可以使用多状态结构,包括多于或少于四个状态的结构。

[0073] 也提供三个读取基准电压 V_{ra} 、 V_{rb} 和 V_{rc} ,以用于从存储元件读取数据。通过测试给定的存储元件的阈值电压高于还是低于 V_{ra} 、 V_{rb} 和 V_{rc} ,系统可以确定存储元件所处的状态,例如编程状况。

[0074] 此外,提供了三个验证基准电压 V_{va} 、 V_{vb} 和 V_{vc} 。当存储元件被编程到状态 A 时,系统将测试这些存储元件是否具有大于或等于 V_{va} 的阈值电压。当存储元件被编程到状态 B 时,系统将测试存储元件是否具有大于或等于 V_{vb} 的阈值电压。当存储元件被编程到状态 C 时,系统将确定存储元件是否具有大于或等于 V_{vc} 的阈值电压。

[0075] 在称作全序列编程 (full sequence programming) 的一个实施例中,存储元件可以被从擦除状态 E 直接编程到编程状态 A、B 或 C 中的任一个。要被编程的一组存储元件可以首先被擦除,使得该组中的所有存储元件处于擦除的状态 E 中。然后,如通过图 13 的控制栅电压序列描绘那样的编程脉冲系列将用于使存储元件直接编程到状态 A、B 或 C 中。一些存储元件被从状态 E 编程到状态 A,而其他存储元件被从状态 E 编程至状态 B 和 / 或从状态 E 编程至状态 C。当在 WL_n 上从状态 E 编程到状态 C 时,在 WL_{n-1} 下的邻近的浮棚的寄生耦合的量到达最大值,这是因为与当从状态 E 编程至状态 A 或者从状态 E 编程至状态 B 时的电荷变化相比, WL_n 下的浮棚上的电荷量变化最大。当从状态 E 编程至状态 B 时,邻近的浮棚的耦合量较小。当从状态 E 编程至状态 A 时,耦合量甚至进一步减小。

[0076] 图 9 示出了对存储两个不同页(较下方的页和较上方的页)的数据的多状态存储元件进行编程的二程 (two-pass) 技术的示例。通过重复来自图 8 的阈值电压分布 800、802、804 和 806 来描绘四个状态。这些状态和其表示的位是:状态 E(11)、状态 A(10)、状态 B(00) 和状态 C(01)。对于状态 E,两页均存储“1”。对于状态 A,较下方的页存储“0”,而较上方的页存储“1”。对于状态 B,两页均存储“0”。对于状态 C,较下方的页存储“1”,而较上方的页存储“0”。请注意,虽然特定的位模式被分配给各个状态,然而也可以分配不同的位模式。

[0077] 在第一编程过程中,根据要编程到较下方的逻辑页中的位来设定存储元件的阈值电压水平。如果该位是逻辑“1”,则阈值电压不改变,这是因为该阈值电压处于作为之前已经被擦除的结果的恰当状态中。然而,如果要被编程的位是逻辑“0”,则存储元件的阈值水平增大至状态 A,如通过箭头 900 所示那样。这结束第一编程过程。

[0078] 在第二编程过程中,根据被编程到较上方的逻辑页的位来设定存储元件的阈值电压水平。如果较上方的逻辑页的位要存储逻辑“1”,则不发生编程,这是因为存储元件在状态 E 或 A 之一中,根据较低页位的编程,状态 E 和 A 均具有为“1”的较上方的页的位。如果较上方的页的位要为逻辑“0”,则阈值电压移位。如果第一过程导致存储元件保持在被擦除的状态 E 中,则在第二阶段中存储元件被编程以使得阈值电压增加至在状态 C 内,如通过箭头 920 描绘那样。如果存储元件被编程到状态 A 中作为第一编程过程的结果,则存储元件进一步在第二过程中被编程,使得阈值电压增加到处于状态 B 内,如通过箭头 910 描绘那样。第二过程的结果是要将存储元件编程到如下状态,该状态被分配给存储较上方的页的逻辑“0”,而不改变较低页的数据。在图 8 和图 9 中,在邻近的字线上至浮动栅的耦合量与最终状态有关。

[0079] 在一个实施例中,如果写入足够的数据以填充整个页,则系统可以被设定为进行

全序列写入。如果未对全页写足够的数据，则编程过程可以对以所接收的数据编程的较下方的页进行编程。如果接收了后续数据，则系统于是将对较上方的页进行编程。然而在另一实施例中系统可以以如下模式起动，该模式对较下方的页进行编程，并且，如果随后接收了足够的数据以填充整个字线（或字线的大部分）的存储元件，则系统转换为全序列编程模式。

[0080] 请注意，图 9 中的分布 802、804 和 806 可以具有关联的暂时或临时的分布（在图 8 中示出），A、B 和 C 状态存储元件在达到最终分布 802、804 和 806 之前分别经历该分布。

[0081] 图 10a-c 公开了用于对非易失性存储器进行编程的另一处理，该处理通过对于任意特定存储元件，在写入到之前页的邻近的存储元件之后，写入关于特定页的该特定存储元件，来减少浮棚至浮棚耦合。在一个示例实施形式中，非易失性存储元件使用四个数据状态对于每个存储元件存储两位数据。例如，假设状态 E 是被擦除的状态，并且状态 A、B 和 C 是编程过的状态。状态 E 存储数据 11。状态 A 存储数据 01。状态 B 存储数据 10。状态 C 存储数据 00。因为两个位均再邻近状态 A 和 B 之间变化，所以这是非格雷编码的示例。也可以使用数据至物理数据的其他编码。每个存储元件存储两个数据页。为了进行参考，这些数据也将被称作较上方的页和较下方的页；然而，其可以被给予其他标记。参考状态 A，较上方的页存储位 0 并且较下方的页存储位 1。参考状态 B，较上方的页存储位 1 并且较下方的页存储位 0。参考状态 C，两页均存储位数据 0。

[0082] 编程处理是两步骤处理。在第一步骤中，对较下方的页进行编程。如果较下方的页要维持数据 1，则存储元件状态维持在状态 E（分布 1000）。如果数据要被编程为 0，则存储元件的电压的阈值提高以使得存储元件被编程至状态 B'（分布 1010）。图 10a 因此示出了将存储元件从状态 E 编程至状态 B'。状态 B' 是临时状态 B；因此验证点被描绘为 V_{vb}' ，其比 V_{vb} 低。

[0083] 请注意，分布 1010 可以具有关联的暂时或临时分布（未示出），B' 状态在达到分布 1010 之前经历该暂时或临时分布。

[0084] 在另一实施例中，在存储元件从状态 E 编程至状态 B' 之后，然后，其在 NAND 串中的相邻的存储元件 (WL_{n+1}) 将关于其较下方的页编程。例如，回去看图 2，在对存储元件 106 的较下方的页进行编程之后，将对存储元件 104 的较下方的页进行编程。在对存储元件 104 进行编程之后，如果存储元件 104 具有从状态 E 提高至状态 B' 的阈值电压，则浮棚至浮棚耦合效应将提高存储元件 106 的表观阈值电压 (apparent threshold voltage)。这将具有如下效果：将对于状态 B' 的阈值电压分布扩宽为图 10b 的描绘为阈值电压分布 1012 的阈值电压分布。在对较上方的页进行编程时，将补偿阈值电压分布的明显扩宽。E 状态也可以被扩宽较小程度，如通过分布 1002 描绘那样。

[0085] 图 10c 描绘了对较上方的页进行编程的处理。如果存储元件处于被擦除的状态 E，并且较上方的页维持在 1，则存储元件将维持在状态 E 中（分布 1002）。如果存储元件处于状态 E 并且其较上方的页数据要被编程为 0，则存储元件的阈值电压将被提高以使得存储元件处于状态 A（分布 1004）。如果存储元件层处于中间的阈值电压分布 1012，并且较上方的页数据要维持在 1，则存储元件将被编程至最终状态 B（分布 1006）。如果存储元件处于中间的阈值电压分布 1012，并且较上方的页数据要成为数据 0，则存储元件的阈值电压将升高以使得存储元件处于状态 C（分布 1008）。通过图 10a-c 描绘的处理减少浮棚至浮棚耦

合效果,这是因为仅仅相邻存储元件的较上方的页编程将影响给定的存储元件的表观阈值电压。替选状态编码的一个示例是当较上方的页的数据是 1 时从分布 1012 移动至状态 C,并且当较上方的页的数据是 0 时移动至状态 B。

[0086] 请注意,分布 1004、1006 和 1008 可以具有关联的暂时或临时的分布, A、B 和 C 状态存储元件随着其转变至最终分布 1004、1006 和 1008 而分别经历这些暂时或临时的分布。

[0087] 尽管图 10a-c 提供了关于四个数据状态和两个数据页的示例,所教导的思想可以被施加至带有多于或少于四个状态和多于或少于两页的其他实施方式。例如,当前在计划或在生产每个存储元件具有八个或十六个状态的存储设备。

[0088] 图 11 是 NAND 串的横截面,并且描绘了在升压期间的沟道结漏。该横截面描绘了在多个存储元件之间延伸的所选字线 1100 或者控制栅 (CG)。每个存储元件包括浮棚 (FG),例如 FG 1102、1104 和 1106,该浮棚在衬底的相应的沟道区域 1108、1110、1112 之上,典型地在 p 阵中。每个沟道区域是 NAND 串的可以被视为从页出来的部分。在该示例中,沟道区域 1110 是被禁止的串,并且沟道区域 1108 和 1112 是被编程的串的。 $V_{boost} > 0V$ 表示沟道区域 1110 的升压过的电压电势。

[0089] 如上面结合图 3 提及的那样,未选择的 NAND 串中的存储元件使其沟道在编程操作期间被升压,以禁止编程并且由此避免编程干扰。升压典型地通过将通过电压 V_{pass} 施加至未选择的字线来实现,而编程电压 V_{pgm} 被施加至被选择的字线。然而, V_{pass} 不能过高,或者其可以对未选择的 NAND 串进行编程。升压通过减小横跨浮棚的电压来禁止浮棚的编程。最易受编程干扰影响的被禁止的存储元件是如下存储元件,其与被选择的字线 1100 连通,并且因此接收相对高的编程电压 V_{pgm} 。与未选择的字线连通的被禁止的存储元件在其控制栅上具有较低的通过电压 V_{pass} 而非编程电压,并且因此这些被禁止的存储元件较不易受编程干扰影响了很多。

[0090] 随着 NAND 闪存继续按比例减少,沟道升压倾向于变得较困难,这是因为两个相邻沟道之间的耦合变得较强。沟道升压电势可以饱和或钳位在特定的水平,在该水平之上,即使 V_{pass} 进一步增加,该电势也不能增加很多。对于被禁止的给定存储元件,在连接至相同字线的两个相邻的存储元件的沟道处于例如为 0V 的低电压时(如在两个相邻的存储元件均被编程的情况下),该沟道升压饱和最严重。例如,沟道 1110 通过升压电压 V_{boost} 来禁止,并且沟道 1108 和 1112 并未被禁止(接收例如 0V)。在一些情况下,例如在粗略 - 精细编程操作的精细阶段中,被选择的 NAND 串的沟道可以被提高至略高于 0V,例如至 0.5V,以减缓编程。然而,该水平也显著小于 V_{boost} ,其可以是几伏特。

[0091] 升压电势饱和可能导致严重的编程干扰问题。例如,当字线上的一些存储元件被编程至高的阈值电压时,例如在每个存储元件三和四位的存储器设备中,编程电压可以增加至非常高的水平,然而沟道电势由于升压饱和而不可以充分增加。编程干扰可能容易在该编程情景和其他编程情景中出现。

[0092] 具体地,当沟道升压电势高时,存储元件的源极 / 漏极区域中的结漏可能引起沟道升压饱和。然而,当编程脉冲宽度减小时,可以改进编程饱和,于是升压电势变得较高。这可能是由于较短的结漏持续时间。相邻沟道中的电势可以强烈地调节中央的、升压过的沟道中的横向电场 ϵ_x 并且影响结漏。如果将浅沟槽绝缘视为栅极氧化物,并且将相邻沟道视为栅极,则该效果与栅极导致的漏极泄露有点类似,其中栅极电压强烈调节该泄露。竖直

电场 ϵ_y 也被描绘。通过强电场生成电子 - 空穴对 1111。

[0093] 图 12a 示出了当相邻沟道被升压或未被升压时的沟道升压电势。横轴描绘了施加至未选择的字线的通过电压 (V_{pass})，纵轴示出了禁止 / 升压沟道（如图 11 中的沟道 110）的沟道升压电势 (V_{boost})。沟道升压电势依赖于相邻沟道的电势。当相邻的两个沟道都被禁止时（曲线 1200）， V_{boost} 最高。当相邻沟道之一被禁止 / 升压时，而另一个相邻沟道导通 / 未升压时（曲线 1202），其中沟道电势在 0V， V_{boost} 为第二高。当两个相邻沟道都导通时（曲线 1204）， V_{boost} 最低，这是最差的情况。在一些情况下，当使用几伏范围内的升压时，曲线 1200 和 1204 可以至少相差 2V。

[0094] 图 12b 描绘了作为温度的函数的沟道升压电势。升压饱和具有很强的温度依赖性。在高温下，升压变得更加困难，由于沟道中的反向偏置泄露电流而导致沟道电势在低水平处饱和。在低温下，反向偏置泄露电流低得多，因此改进了饱和并能够实现更高的 V_{boost} 。在所示的曲线中，对于给定的沟道，两个相邻沟道都导通。室温的情况对应于也在图 12a 中描绘的曲线 1204。曲线 1206 表示在低温下如 -30°C 下作为 V_{pass} 的函数的 V_{boost} ，曲线 1208 表示在更高温度如 +85°C 下作为 V_{pass} 的函数的 V_{boost} 。

[0095] 图 12c 描绘了作为编程脉宽和所选字线位置的函数的沟道升压电势。减小的编程脉宽或持续时间可以改进升压饱和，以使得可以实现更高的升压电势。这可能由于结漏持续时间变得短。此处，横轴描绘了编程脉冲 (V_{pgm}) 宽度，纵轴描绘了 V_{boost} 。一般而言，较短的脉宽与更高的 V_{boost} 相关。

[0096] 减小编程脉宽，如额定宽度的二分之一或三分之一，可以将 V_{boost} 增大很大的量，从而显著地减少编程干扰。在一个情况下，将编程脉宽从 20 μs 减小到 10 μs， V_{boost} 增大约 0.5V——实质的增大。对编程脉宽强加一个更低的实际限制，这在之后结合图 14 进一步讨论。

[0097] 而且，相比于中间的字线（曲线 1212）或源极侧字线（曲线 1210），当所选字线是漏极侧字线（曲线 1214）时，沟道经常能够更早地饱和。例如，这对于一些升压方案来说是真的，在这些升压方案中，隔离电压如 0V 在编程脉冲期间被施加至所选字线的源极侧的至少一个字线。隔离电压将沟道的源极侧与漏极侧断开（cut off），并在漏极侧编程期间，沟道电容可以变得更小，因此升压较低。因此，对于更高的字线来说，切换到较短的脉宽可以发生得更早。

[0098] 具体地，对于漏极侧所选字线来说， V_{boost} 对于给定 V_{pgm} 脉宽来说较低。利用如图 7 所示的字线编号方案，更远的源极侧字线是 WL0（字线号 0），并且字线号增大直到达到最近的漏极侧字线，在该示例中，最近的漏极侧字线是 WL63。源极侧字线可以包含最近源极侧字线中的 N_{ss} 个字线内的字线。漏极侧字线可以包含最远漏极侧字线中的 N_{ds} 个字线内的字线。中间的字线可以包含源极侧字线和漏极侧字线之间的字线。要注意，此处参考了针对编程而选择的字线。

[0099] 相比于使用较长持续时间脉冲的情况，缩短编程脉冲持续时间能够增大完成编程操作所需的编程脉冲的数量，并且编程脉冲可以达到更高的幅度。然而，较短的脉冲持续时间可能导致粒度更细的编程操作，这是因为以更小的增量来增大存储元件的阈值电压。此外，在存储元件通过每个短脉冲之后的验证测试之后，存储元件能够被更早地锁住。预计总的编程时间不会显著增大。

[0100] 图 12d 描绘了就作为温度（横轴）的函数的编程脉冲数量（纵轴）而言的切换点，其中，调整是基于所选字线位置的。如所述，对于给定禁止沟道，实现更高 Vboost 的一个方法是使用具有减小的持续时间的编程脉冲。概念地，这涉及将一个长编程脉冲分为两个或更多个较短脉冲。从较长持续时间编程脉冲切换到较短持续时间编程脉冲，可以基于一个或多个标准而发生在编程操作的中途。一种可能的方法是在预定的编程脉冲数量处切换，即，在编程操作时施加的特定第 N1 个编程脉冲处。以下还参考图 13 进一步讨论。关键地，当编程脉冲幅度达到预定水平时发生切换，因为脉冲数量通常对应于脉冲幅度。

[0101] 粒度更细的方法考虑了温度和 / 或所选字线位置。例如，在图 12d 中，曲线 1224 描绘了当所选字线是漏极侧字线时 N1 和温度的关系，曲线 1222 描绘了当所选字线是中间字线时 N1 和温度的关系，曲线 1220 描绘了当所选字线是源极侧字线时 N1 和温度的关系。在比中间范围的温度更低的地方，在温度 T1 和 T2 之间，这些曲线重合，并且当编程脉冲到达更高幅度时，可以使用更高的 N1 以使得在编程操作中相对晚地切换到较短持续时间编程脉冲。在更高的温度处，如在 T2 和 T3 之间，当编程脉冲未达到高幅度时，可以使用较低的 N1 以使得在编程操作中相对早地切换到较短持续时间编程脉冲。通过使用该方案，可以减轻沟道升压电势饱和的问题以使得减少高 Vpgm 处的编程干扰。

[0102] 在一个方法中，多个存储器设备被测试为展现如图 12d 所示的曲线，存储器设备的控制电路被配置为基于该曲线来实施切换。可以通过表格中的数据点来限定曲线。控制电路可以被类似地配置为实施如本文提供的其他曲线。

[0103] 图 12e 描绘了就作为温度的函数的触发状态而言的切换点。用于实施到较短持续时间编程脉冲的切换的另一方法涉及对正被编程到特定数据状态的存储元件进行跟踪。当存储元件的预定部分被验证为达到特定数据状态时，可以触发切换。可以使用在编程操作中的每个编程脉冲之后正常发生的验证操作，以使得不需要额外的验证操作。一般而言，利用每个存储元件、整数 $N > 1$ 位，将数据编码为 $2N$ 个数据状态（例如，每个存储元件，四个或更多个状态，两位或更多位），并使用以下编码方案，在该编码方案中，几乎相等数量的存储元件被编程到每个状态。例如，对于四个状态：E、A、B 和 C，所选字线上的四分之一的存储元件被编程为 E 状态，另一个四分之一的存储元件被编程为 A 状态，又一个四分之一的存储元件被编程为 B 状态，又一个四分之一的存储元件被编程为 C 状态。因此，不同子集的存储元件被编程到不同的状态，一个子集一个状态。

[0104] 因此，特定状态，例如，可用的四个或更多个状态中的一个可以被选作触发状态。当意在被编程为特定状态的存储元件的预定部分被验证为达到特定数据状态时，可以触发切换。例如，假设状态 A 是触发状态，并且字线上的 1024 个存储元件正被编程，256 个存储元件留在 E 状态，256 个存储元件要被编程到 A 状态，256 个存储元件要被编程到 B 状态，并且 256 个存储元件要被编程到 C 状态。当所选字线的 256 个 A 状态存储元件的预定部分被验证为达到 A 状态时，可以触发切换。所述预定部分可以被表达为 N2 个存储元件、分数或百分比等。例如，N2 可以是 128 个存储元件，表示 A 状态存储元件的二分之一。

[0105] 此外，切换状态可以被固定，如最低状态，例如，当有四个可能状态时为 A 状态。或者，可以基于如温度等的标准来动态地和适应性地选择切换状态。相比于温度较低时，例如在 T1 和 T2 之间，当温度较高时，例如在 T2 和 T3 之间，选择更低的切换状态。相比于较高的切换状态，较低的切换状态导致在编程处理中更早地发生切换。例如，当有四个数据状态

时,对于 T1 和 T2 之间的温度,切换状态可以是状态 A,而对于 T2 和 T3 之间的温度,切换状态可以是状态 B。如果有八个数据状态,从最低到最高,E、A、B、C、D、E、F 和 G,对于较高温度,触发状态可以是例如 D 状态,对于较低温度,触发状态可以是 F 状态。也可以使用多于两个的切换状态。

[0106] 可以针对每个字线或针对一组字线定制触发状态,例如触发状态 1 用于漏极侧字线,触发状态 2 用于源极字线和中间字线。也可以针对每个字线或一组字线来定制指示不同触发状态的温度如 T2,例如, $T2 = \text{temp1}$ 用于漏极侧字线,而 $T2 = \text{temp2}$ 用于源极字线和中间字线。

[0107] 图 12f 描绘了就作为温度的函数的达到触发状态的存储元件数量而言的切换点。在其他选项中,一旦基于温度将切换或触发状态确定作为预定的状态或者作为动态地选择的状态,则切换点可以被进一步定义为温度的函数。具体地,提到了当预定部分的或 N2 个存储元件被验证为达到特定数据状态时,可以触发切换。此外,N2 作为温度的函数而变化,使得当温度较高时,N2 较低,而当温度较低时,N2 较高。横向标度描绘了触发状态的温度范围。

[0108] 例如,图 12f 中的温度范围可以从 T1 延伸到 T2,或者从 T2 延伸到 T3(见图 12e)。对于给定触发状态,在用于触发状态的温度范围内,当温度相对较高时,到较短持续时间编程脉冲的切换,将相对早地发生。类似地,在用于触发状态的温度范围内,当温度相对较低时,到更短持续时间编程脉冲的切换,将相对早地发生。例如,如果状态 A 的触发状态,并且温度在用于该状态的范围的高端处,则 N2 可以表示作为正被编程到 A 状态的所选字线的存储元件的 70% 的数量,例如,假设四种可能状态,该数量可以与所选字线上的存储元件的 $70\% \times 1/4$ 相同。如果温度在用于该状态的范围的低端,则 N2 可以表示例如 90% 的同等值。

[0109] 就百分比而言,为了避免由于非常慢或非常快地对存储元件进行编程而导致不想要的结果,N2 应当避免接近于 0 或 100% 的值。可以使用测试或模拟来验证 N2 的最佳值。例如,字线上的存储元件在特定温度下可以被编程为具有特定的 N2 值并被回读。当读取时,可以确定位错误的数量。可以用不同的 N2 值来重复该过程以找到产生最低错误数量的值。此外,可以针对每个字线或一组字线来定制 N2,例如,对于漏极侧字线, $N2 = \text{值 } 1$,而对于源极字线和中间字线, $N2 = \text{值 } 2$ 。

[0110] 图 13 描绘了编程操作中的编程脉冲,其中在编程操作的中途切换到较短持续时间编程脉冲。如所述的,利用较短持续时间编程脉冲的分裂(split)编程脉宽方法可以实现更高的升压电势。当 V_{pgm} 达到特定水平时,我们将编程脉冲分裂为两个或更多个较短的脉冲,而同时维持 V_{pgm} 水平和编程周期中的总编程时间。在每个短编程脉冲之后,我们对沟道进行放电,然后对沟道重新升压以确保升压电势在下个短编程脉冲期间是高的。在每个短编程脉冲之后,我们还可以执行验证操作。相比于施加不跟随有验证操作的编程脉冲来说,这可能减慢编程操作,但是该方法可以锁住通过每个短脉冲之后的验证的位,并减小对于升压而具有最差情况图案的可能性,其中禁止沟道对相邻的沟道进行了编程。还可以应用两个或更多个连续短编程脉冲而没有验证操作,而其他短编程脉冲之后跟随有验证操作。

[0111] 一般而言,编程操作可以涉及将脉冲串(pulse train)施加于所选字线,其中脉

冲串包括跟随有一个或多个验证脉冲的编程脉冲。要注意，编程脉冲可以具有任意数量的不同波形形状。描绘了方形波，尽管其他形状的波形也是可能的，如多级形状 (multilevel shape) 或斜坡式形状。此外，编程脉冲持续时间中的从较长持续时间脉冲到较短持续时间脉冲的切换，可以在脉冲串期间发生。该脉冲串 1300 包括一系列编程脉冲 1305、1310、1315、1320、1325、1330、1335、1340、1345、1350、...、这些编程脉冲在时间 t_0 至 t_9 分别被施加于选择用于编程的字线。在一个实施例中，编程脉冲具有电压 V_{PGM} ，该电压开始于 12V 并对于每个相继的编程脉冲以增量（例如，0.5V）递增，直到达到最大值，例如 20–25V。在编程脉冲之间有验证脉冲，例如，三个验证脉冲，在验证操作中使用这些验证脉冲。在一些实施例中，针对数据被编程到的每个状态（例如，状态 A、B 和 C），都可以有一个验证脉冲。在其他实施例中，可以有更多或更少的验证脉冲。例如，每组中的验证脉冲可以具有幅度 V_{Va} 、 V_{Vb} 和 V_{Vc} （图 9）或 V_{Vb}' （图 10a）。示例性的验证脉冲 1306 跟随在编程脉冲 1305 之后，并且示例性的验证脉冲 1307 跟随在编程脉冲 1335 之后。

[0112] 切换点 1303 表示使用较长持续时间编程脉冲（持续时间 Δt_1 ）（如编程脉冲 1305、1310、1315、1320、1325 和 1330）的第一系列编程脉冲 1301 和使用较短持续时间编程脉冲（持续时间 $\Delta t_1 < \Delta t_2$ ）的第二系列编程脉冲 1302（1335、1340、1345 和 1350）之间的分界点。可以利用本文中给出的包括温度、所选字线位置和 / 或存储元件到触发状态的跟踪在内的各种标准，来确定切换点。

[0113] 图 14 描绘了存储元件看到的编程脉冲，这些编程脉冲基于存储元件与字线的解码器侧的距离。编程电压在字线的解码器侧被施加至所选字线的一端。由于字线的阻容 (resistance-capacitance, RC) 延迟，更接近解码器侧的存储元件相比于更远离解码器侧的存储元件，编程脉冲的形状不同。编程脉冲 1400 表示从接近解码器侧的存储元件来看的预切换 (pre-switchover) 的较长的持续时间编程脉冲，该脉冲具有持续时间 Δt_1 ，而编程脉冲 1402 表示从远离解码器侧的存储元件来看的预切换编程脉冲。脉冲 1402 在其前沿 (leading edge) 处衰减，但是该脉冲达到期望的幅度 V_{pgm} 。编程脉冲 1410 表示从接近解码器侧的存储元件来看的后切换 (post-switchover) 的较短持续时间编程脉冲，该脉冲具有持续时间 Δt_2 ，而编程脉冲 1412 表示从远离解码器侧的存储元件来看的后切换编程脉冲。脉冲 1412 在其前沿处衰减并达到水平 $V_{pgm}-\Delta$ ，略低于期望的幅度 V_{pgm} 。

[0114] 因此，更接近解码器侧的存储元件看到的 V_{pgm} 可以变得比从更远离解码器侧的存储元件看到的 V_{pgm} 更高。然而，这不会使编程干扰更差，这是因为对于接近字线的解码器侧的存储元件来说，可以更早完成编程，使得一旦施加了较短持续时间脉冲则这些存储元件被锁定，并且它们的沟道被禁止编程。对于给定存储元件，当相邻存储元件的沟道被禁止时，沟道升压电势明显更高。因此，当使用较短持续时间编程脉冲时，对于接近解码器侧的存储元件，编程干扰将不会变差。

[0115] 要注意，关于脉宽可以多小，字线的 RC 延迟也强加了更低实际限制。如果脉宽太小，则可能无法达到期望的高编程电压水平。此外，如果脉宽太小，则可能由于不充分的 Fowler-Nordheim 隧穿注入而导致存储元件不被编程。预计初始脉宽的约三分之一到二分之一的减小的持续时间脉宽是实际的。然而，该范围对于不同存储器设备来说可以有所不同。

[0116] 图 15 是描述用于对非易失存储器进行编程的方法的一个实施例的流程图，其中

基于编程脉冲数量来切换到较短持续时间编程脉冲。在一种实施方式中，在编程之前擦除存储元件（以块或其他单位）。在步骤 1500 中，控制器发出“数据负荷”命令，并且控制电路 510 接收输入。在步骤 1502 中，用于指定页地址的地址数据从控制器或主机输入到解码器 514。在步骤 1504 中，用于所寻址的页面的一页编程数据被输入到数据缓冲器，以用于编程。数据被锁存在适当的一组锁存器中。在步骤 1506 中，控制器将“编程”命令发送到状态机 512。

[0117] 通过“编程”命令的触发，在步骤 1504 中锁存的数据将利用施加至适当所选字线的图 13 的脉冲串 1300 的步进编程脉冲而被编程到状态机 512 控制的所选存储元件中。在步骤 1508 中，编程电压 V_{PGM} 被初始化到开始脉冲（例如，12V 或其他值）并且状态机 512 维持的编程计数器 (PC) 被初始化到零。在步骤 1510 中，通过访问温度感测电路 515 来确定温度。在步骤 1512 中，确定字线位置，字线位置是当前选择用于编程的字线的字线数量。在步骤 1514 中，基于温度和 / 或字线位置（如通过访问图 12d 中示出的数据）来确定切换编程脉冲数量 (N_1)。在步骤 1516 中，设置编程脉宽，如图 13 中的 Δt_1 。最初，在编程操作开始处，使用较长持续时间脉冲。在步骤 1518，当前编程脉冲数量或计数被初始化到值一。在确定步骤 1520，确定当前编程脉冲数量是否等于或大于 N_1 。如果当前编程脉冲数量不等于或超过 N_1 ，则在步骤 1524 施加具有持续时间 Δt_1 的编程脉冲。

[0118] 因此，第一编程脉冲被施加至所选字线以开始对与所选字线相关联的存储元件进行编程。如果表示相应的存储元件应当被编程的逻辑“0”被存储在特定数据锁存器中，则相应的位线接地。另一方面，如果表示相应存储元件应当保持在其当前状态下的逻辑“1”被存储在特定锁存器中，则相应位线连接到 1.5–3V 以禁止编程。

[0119] 在步骤 1526 中，在验证操作中验证所选存储元件的状态。如果检测到所选存储元件的目标阈值电压已经达到适当水平，则存储在相应数据锁存器中的数据被改变到逻辑“1”。如果检测到阈值电压还未达到适当水平，则存储在相应数据锁存器中的数据不被改变。以该方式，在其相应数据锁存器中存储了逻辑“1”的位线不需要被编程。当所有数据锁存器正存储逻辑“1”时，状态机（通过上述的线或型机制）知道所有所选存储元件已被编程。在步骤 1528，检查是否所有数据锁存器正存储逻辑“1”。如果所有数据锁存器正存储逻辑“1”，则因为所有所选存储元件都被编程和验证，而成功完成了编程过程。在步骤“1530”中报告状态“通过”。在一些实施例中，即使不是全部所选存储元件被验证为被编程，仍认为成功完成编程过程。在该情况下，由于未充分编程的存储元件可能在随后的读取操作期间发生错误。然而，这些错误可以被 ECC 纠正。

[0120] 如果在步骤 1528 中确定不是全部的数据锁存器都存储了逻辑“1”，则继续编程过程。在一些实施例中，即使不是所有的数据锁存器都正存储逻辑“1”，仍停止编程过程。在步骤 1532 中，对照编程限值 PCmax 来检查编程计数器 PC。编程限值的一个示例是 20；然而也可以使用其他数量。如果编程计数器 PC 不小于 PCmax，则编程过程失败并且在步骤 1534 中报告状态“失败”。如果编程计数器 PC 小于 PCmax，则执行步骤 1536。其中 V_{PGM} 按步长增大，编程计数器 PC 递增一，并且当前编程脉冲数量递增一。然后，该处理循环回步骤 1520 以确定当前编程脉冲数量是否等于或大于 N_1 。如果当前编程脉冲数量不等于或大于 N_1 ，则设置第二编程脉宽 $\Delta t_2 < \Delta t_1$ 。因此，随后编程脉冲将具有较短的持续时间。然后，如上所述地继续编程。如果当前编程脉冲数量不等于或大于 N_1 ，则在步骤 1524 施加具有第一脉

宽 Δt_1 的另一编程脉冲。

[0121] 要注意,还可以使用多于两个的编程脉冲持续时间。例如,在脉冲串中,在具有第一持续时间 Δt_1 的编程脉冲之后跟随有具有第二持续时间 $\Delta t_2 < \Delta t_1$ 的编程脉冲,之后接着跟随有具有第三持续时间 $\Delta t_3 < \Delta t_2$ 的编程脉冲。

[0122] 图 16 是描述用于对非易失性存储器进行编程的方法的另一实施例的流程图,其中到较短持续时间编程脉冲的切换基于达到触发状态的存储元件的数量。类似编号的步骤对应于图 15 中的那些步骤。

[0123] 步骤 1612 包括如通过利用图 12e 中的信息来基于温度确定要跟踪的触发状态。步骤 1614 包括基于温度来确定处于跟踪状态的要跟踪的存储元件 N2 的触发数量。在步骤 1516 中,确定编程脉宽,如图 13 中的 Δt_1 。在步骤 1618,已达到触发状态的存储元件的计数被初始化为零值。在确定步骤 1620,确定计数是否等于或大于 N2。如果当前计数不等于或大于 N2,则在步骤 1524 施加具有持续时间 Δt_1 的编程脉宽。

[0124] 在步骤 1526,如所讨论地验证所选存储元件的状态。在步骤 1627 中,针对已被验证为达到触发状态的每个存储元件,将计数增加 1。如所讨论地进行步骤 1528、1530、1532 和 1534。在确定步骤 1532,如果编程计数器 PC 小于 PC_{max},则执行步骤 1536,其中 V_{PGM} 被增加一个步长,并且编程计数器 PC 被递增一。

[0125] 然后该过程循环回到步骤 1620 以确定当前计数是否等于或大于 N2。如果当前计数不等于或大于 N2,则设置第二编程脉宽 $\Delta t_2 < \Delta t_1$ 。因此,后续的编程脉冲将具有较短的持续时间 Δt_2 。然后,如上所述地继续编程。在该情况下,通过跟踪阈值电压达到触发状态的存储元件来触发到较短持续时间编程脉冲的切换。要注意,在该示例中,触发状态是编码位的数据状态。还可以通过跟踪阈值电压达到与数据状态的验证水平不同的指定验证水平的存储元件来触发到较短持续时间编程脉冲的切换。这提供了更大的灵活性,但是导致额外的验证操作。使用与数据状态相关联的已有验证水平的方法可以是更有效的,这是因为它利用了已有的验证操作而无需额外的验证操作。

[0126] 通过跟踪存储元件来触发到较短持续时间编程脉冲的切换,是适当的方法,该方法考虑了存储器设备中可能随着时间发生的各种性能改变。例如,随着存储器设备累积了更多的编程擦除周期,存储元件可以更快地编程,例如,利用更少的编程脉冲。而且,不同的存储器设备,或存储器阵列中的存储元件的不同块可以按不同速度编程。一种适当的切换自动地考虑这样的变化。

[0127] 在本文描述的技术的一个实施例中,用于对非易失性存储器进行操作的方法包括在编程操作中将第一系列编程脉冲施加至一组字线中的所选字线。

[0128] 在另一实施例中,非易失性存储系统包括一组存储元件、与该组存储元件连通的一组字线、以及与该组字线连通的一个或多个控制电路。所述一个或多个控制电路:(a)在编程操作中将第一系列编程脉冲施加至该组字线中的所选字线,其中所选字线与至少一个所选存储元件和该组存储元件的至少一个未选存储元件连通;(b)确定是否满足切换标准,其中切换标准依赖于温度;以及(c),如果满足切换标准,则从在编程操作中将第一系列编程脉冲施加至所选字线切换到在编程操作中将第二系列编程脉冲施加至所选字线,其中第二系列中的至少一个编程脉冲比第一系列中的至少一个编程脉冲具有更短持续时间。

[0129] 在另一个实施例中,用于对非易失性存储器进行操作的方法包括:在编程操作中

将第一系列编程脉冲施加至一组字线中的所选字线，其中该组字线在该组字线的源极侧和该组字线的漏极侧之间延伸，并且与一组存储元件连通，并且所选字线与该组存储元件的至少一个所选存储元件和至少一个未选存储元件连通。该方法还包括确定是否满足切换标准，其中切换标准依赖于所选字线在该组字线中的位置。如果满足切换做标准，该方法还包括从在编程操作中将第一系列编程脉冲施加至所选字线切换至在编程操作中将第二系列编程脉冲施加至所选字线，其中第二系列中的至少一个编程脉冲比第一系列中的至少一个编程脉冲具有更短的持续时间。

[0130] 在另一实施例中，非易失性存储系统包括一组 NAND 串，该组 NAND 包括所选 NAND 串和未选的 NAND 串，其中每个 NAND 串具有存储元件，并且该组 NAND 串与一组字线连通，该组字线在该组字线的源极侧与该组字线的漏极侧之间延伸。此外，一个或多个控制电路与该组字线连通。所述一个或多个控制电路执行编程操作，在编程操作中，该组存储元件中的不同子组的存储元件被编程为四个或更多个状态中的各个不同状态，并且在编程操作期间，所述一个或多个控制电路：(a) 施加第一系列编程脉冲至该组字线中的所选字线；(b) 确定是否满足切换标准，其中切换标准依赖于完成编程到四个或更多个状态中的一个状态的存储元件的部分，并且基于温度来选择所述一个状态；以及 (b) 如果满足切换标准，则从将第一系列编程脉冲施加至所选字线切换到将第二系列编程脉冲施加至所选字线，其中第二系列中的至少一个编程脉冲比第一系列中的至少一个编程脉冲具有更短的持续时间。

[0131] 在本文中提供了相应方法、系统、以及用于执行这些方法的计算机可读或处理器可读的存储设备。

[0132] 为了示例和描述的目的而给出前述详细描述。并不意在穷尽或限制于所披露的精确形式。按照上述教导，许多修改和变形都是可能的。选择所描述的实施例是为了最好地解释本技术的原理及其实际应用，从而使得本领域技术人员能够按照各种各样的实施例和各种各样的修改例来利用本技术，只要适合于设想的特定用途。意在用所附权利要求来限制本技术的范围。

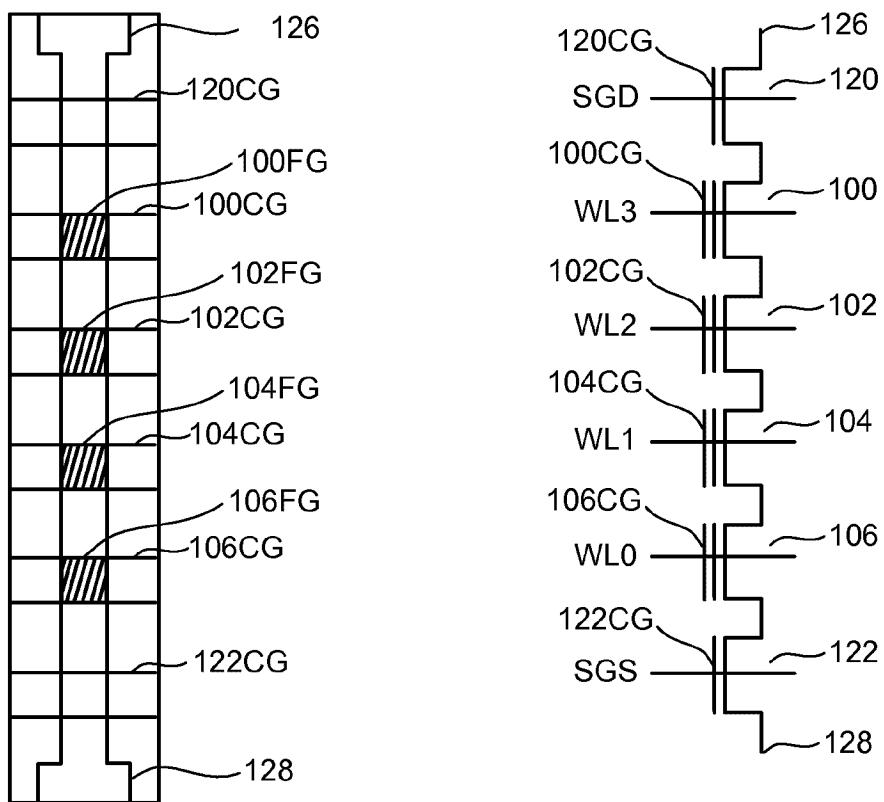


图 1b

图 1a

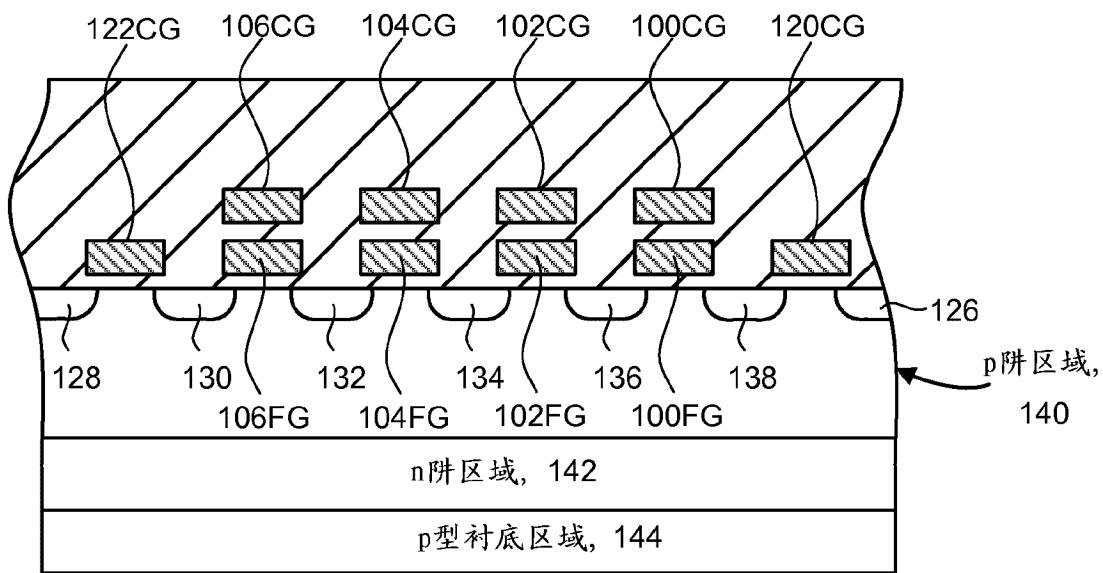


图 2

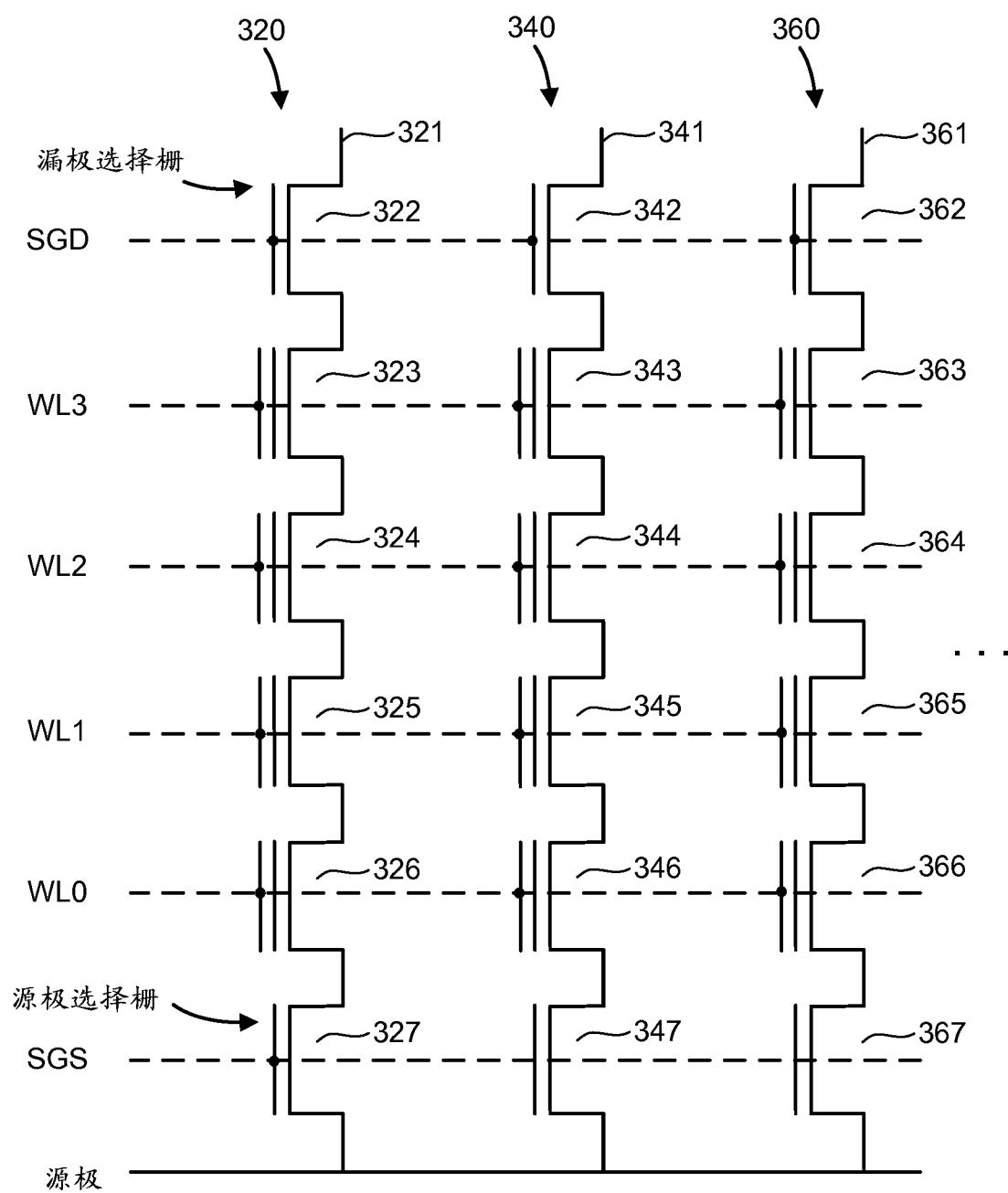


图 3

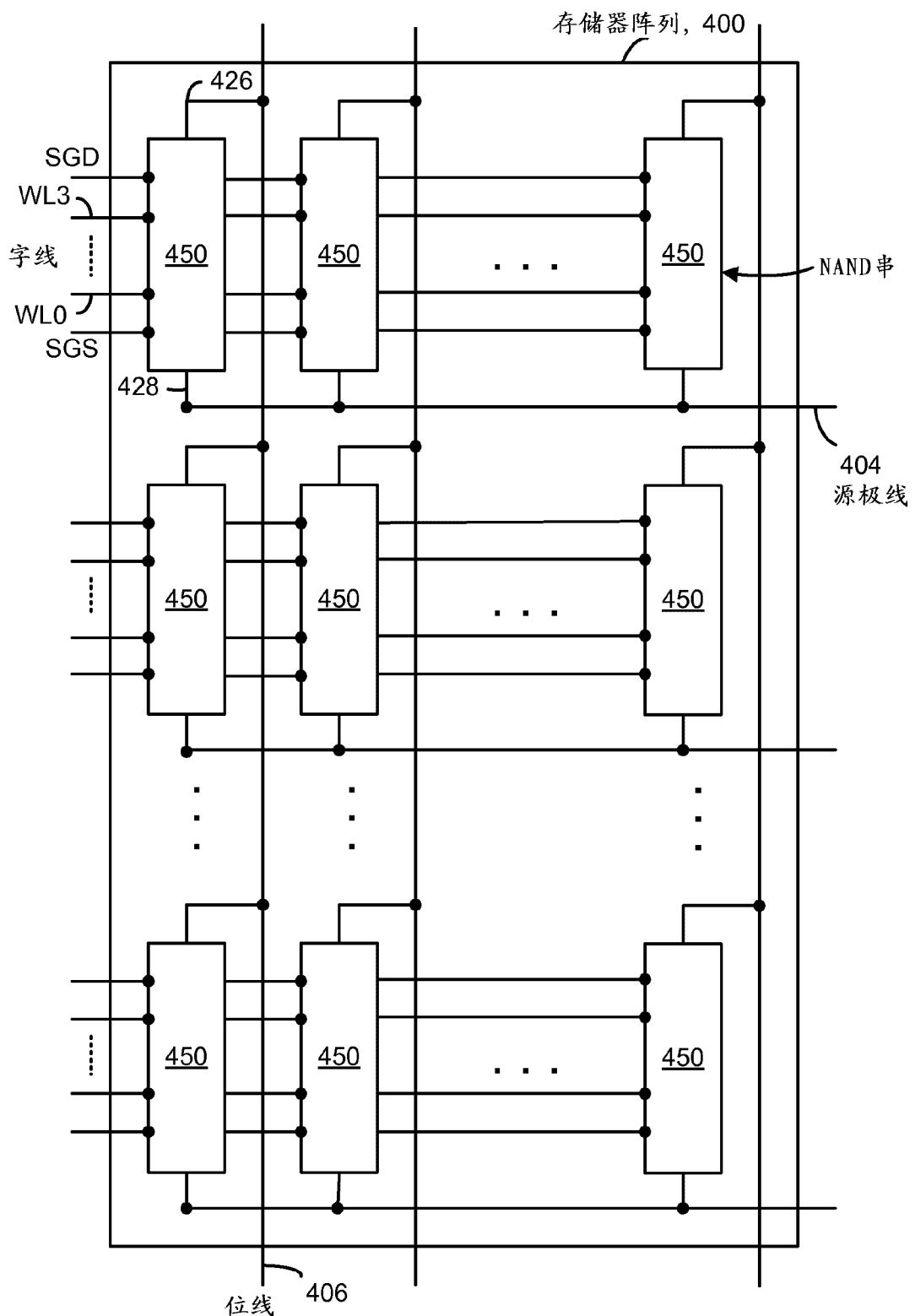


图 4

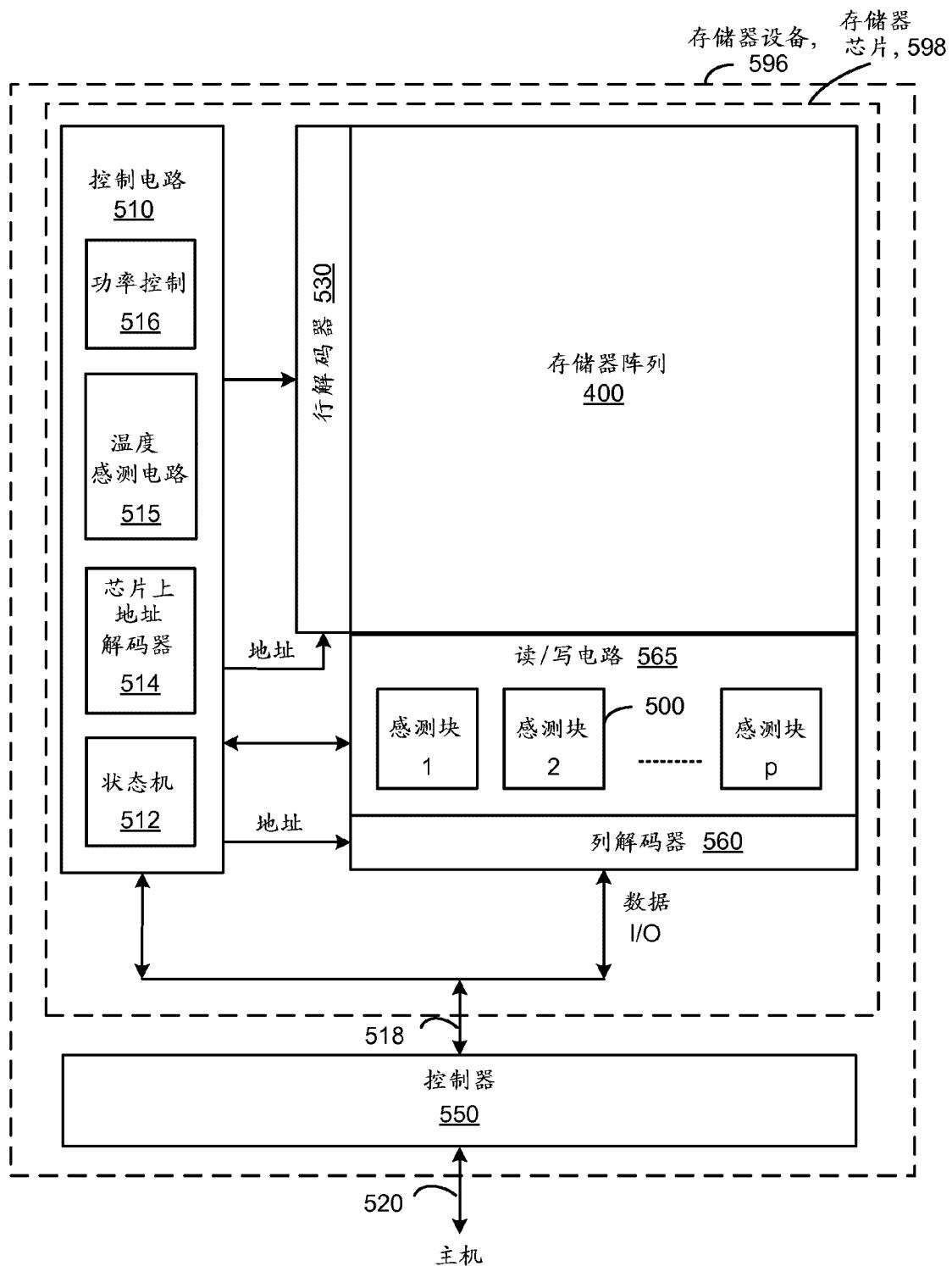


图 5

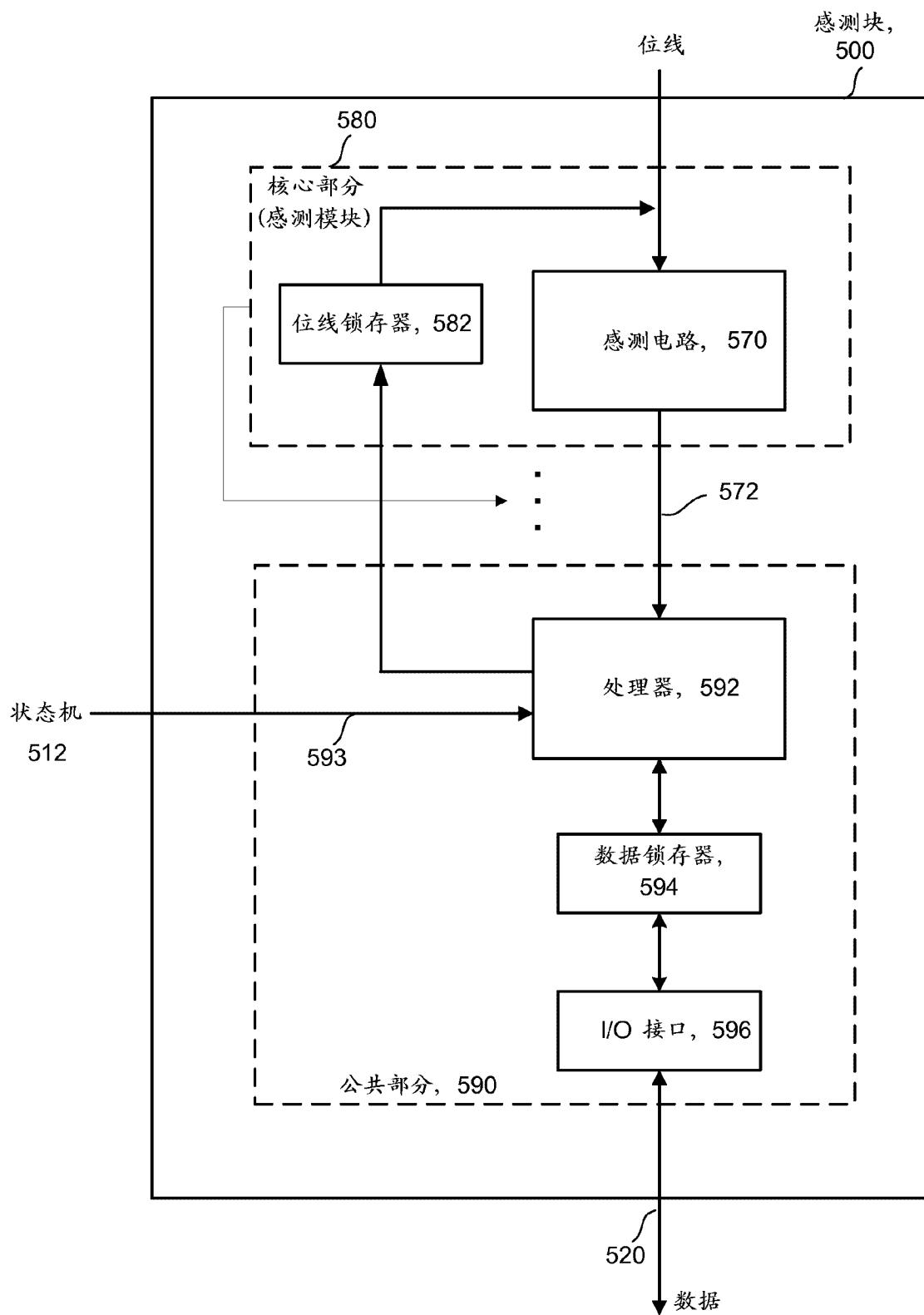


图 6

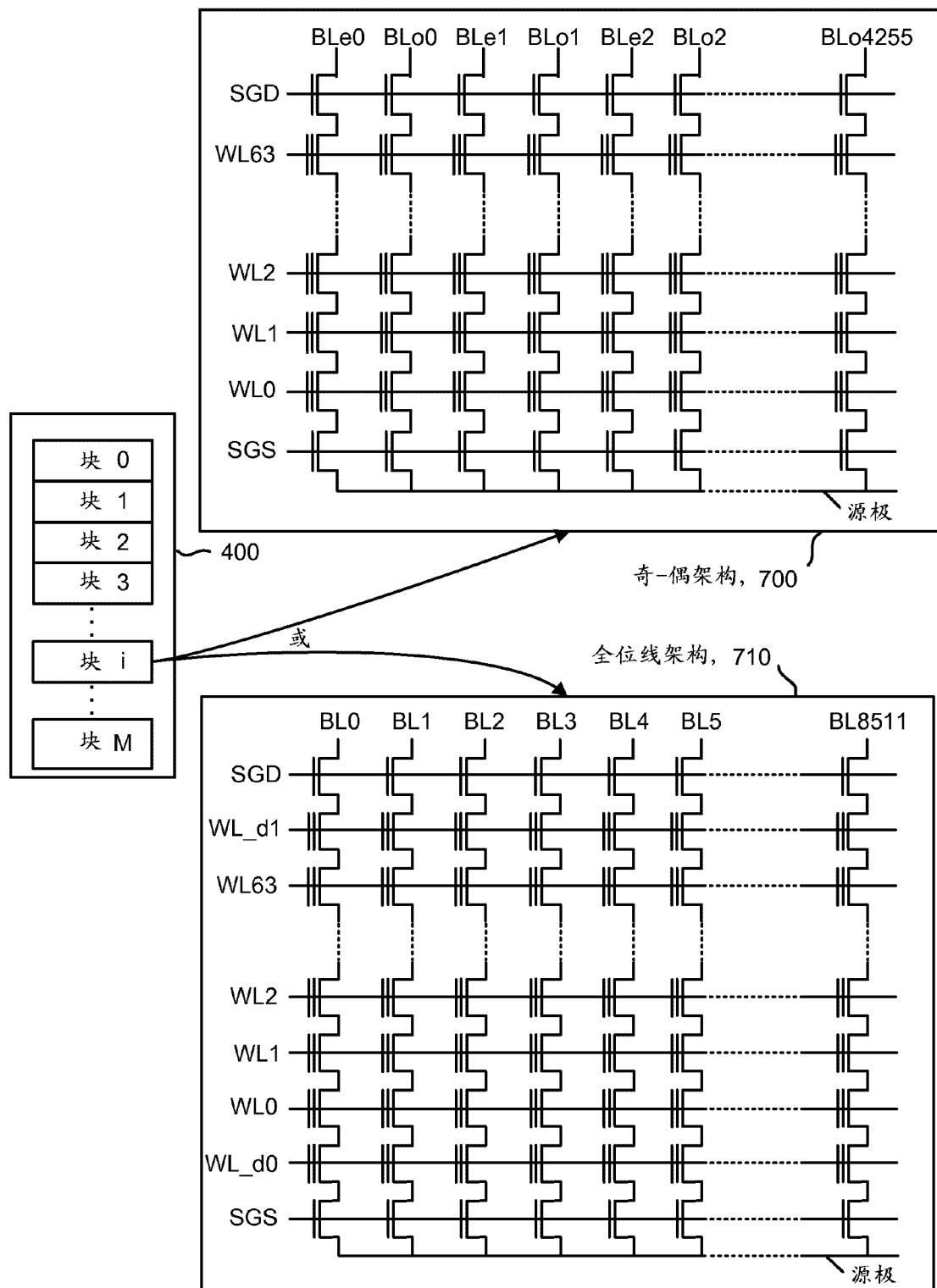


图 7

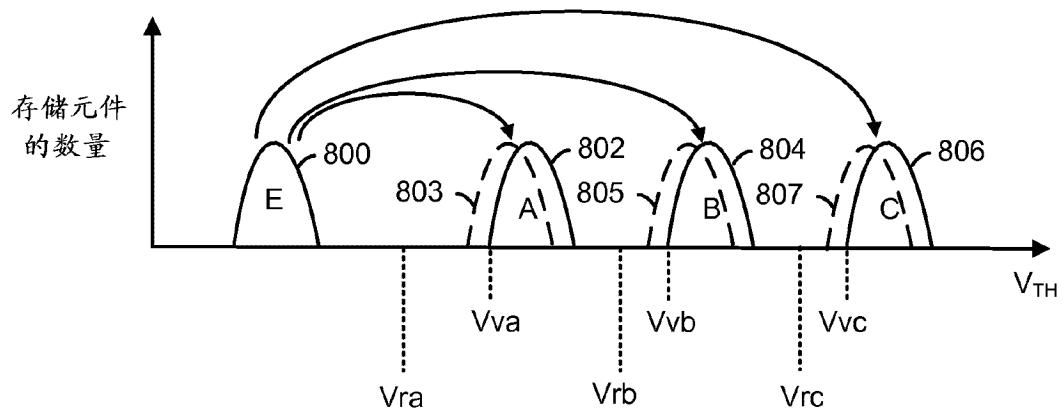


图 8

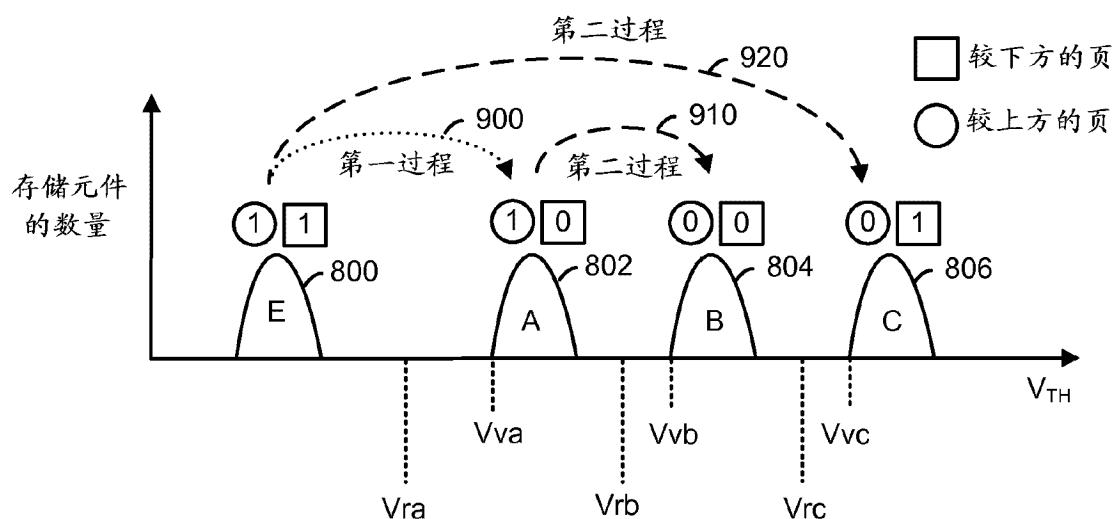


图 9

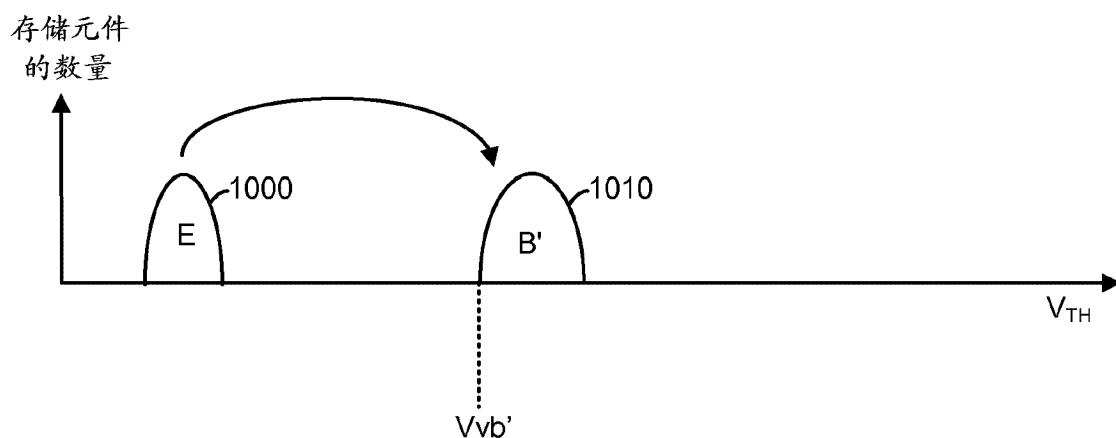


图 10a

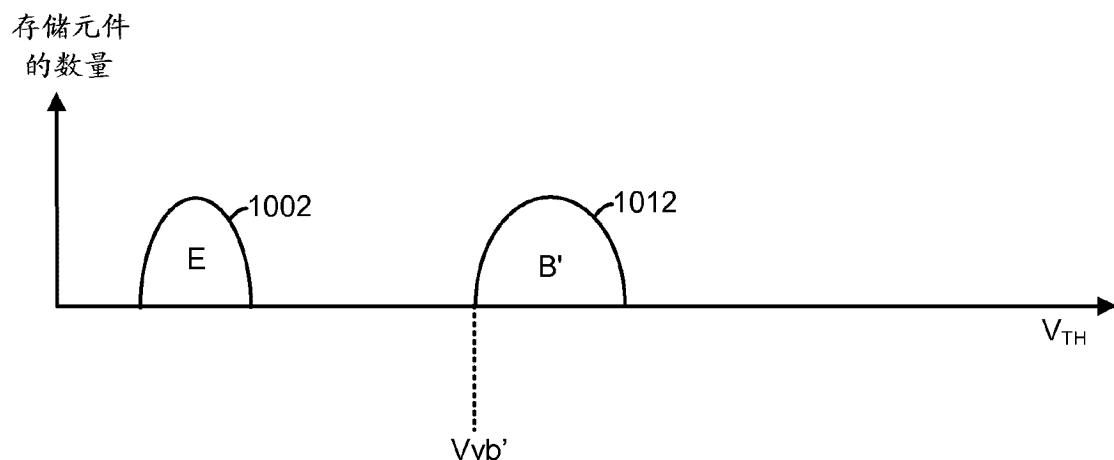


图 10b

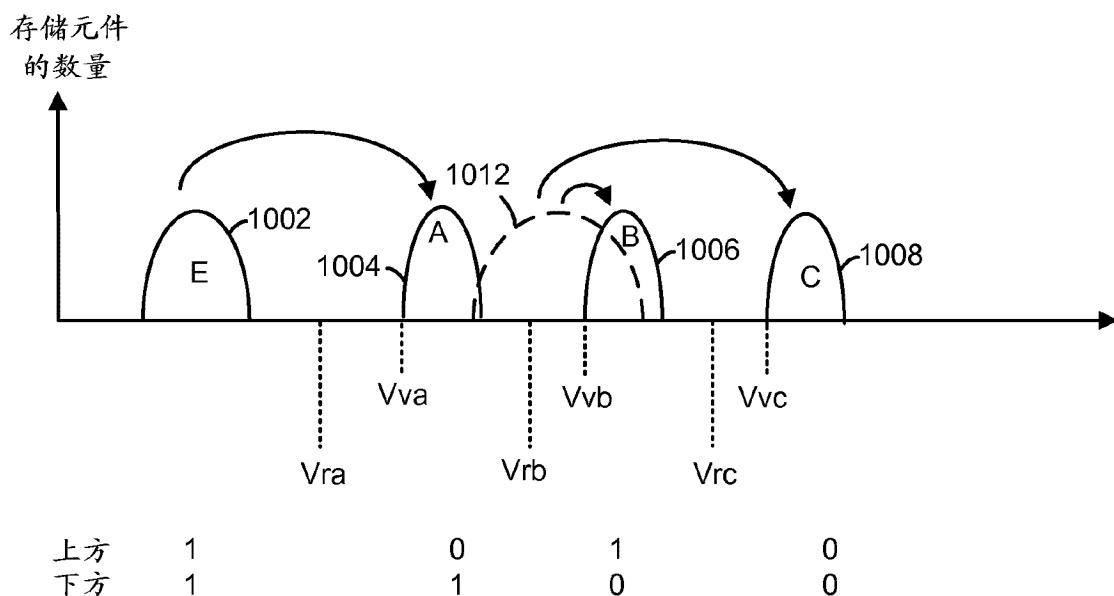


图 10c

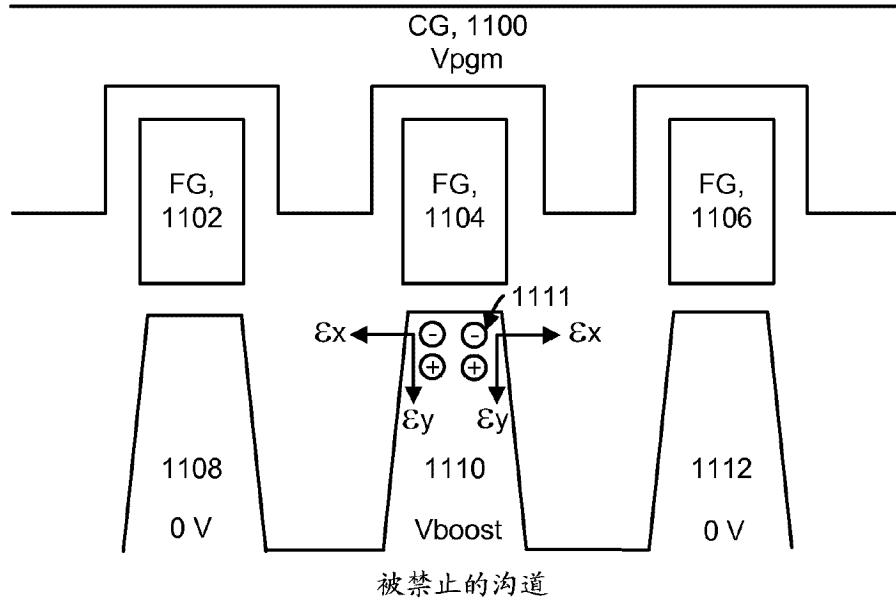


图 11

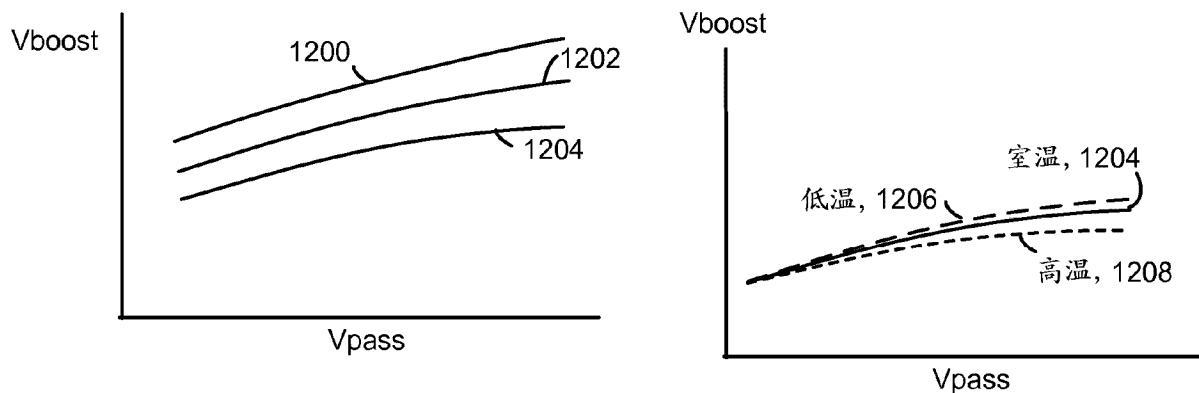


图 12a

图 12b

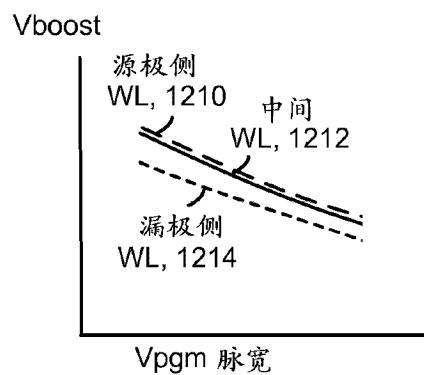


图 12c

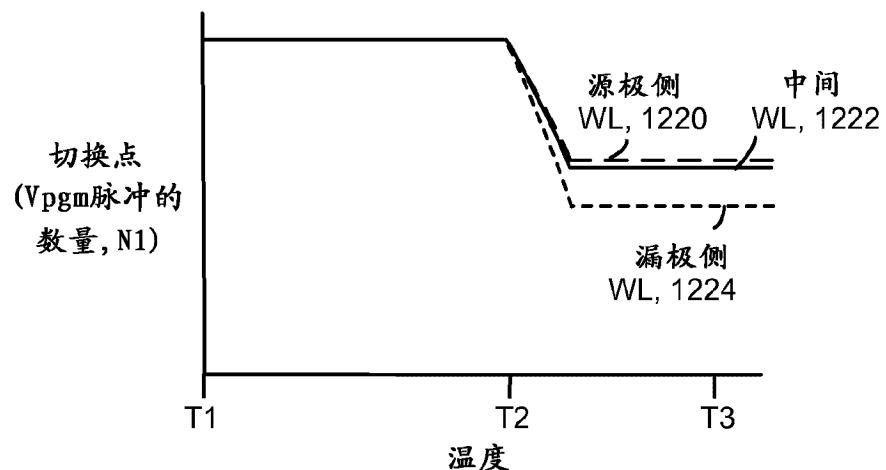


图 12d

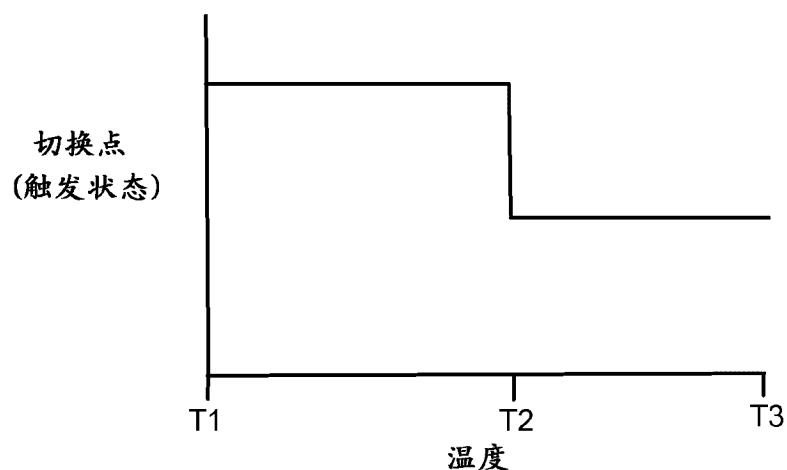


图 12e

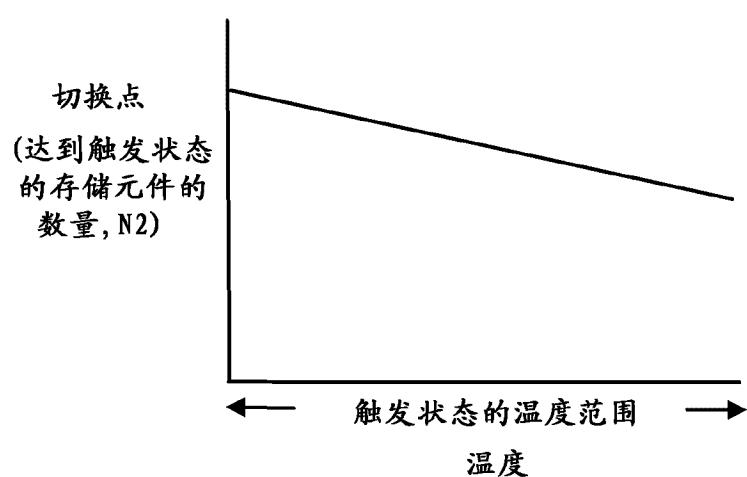


图 12f

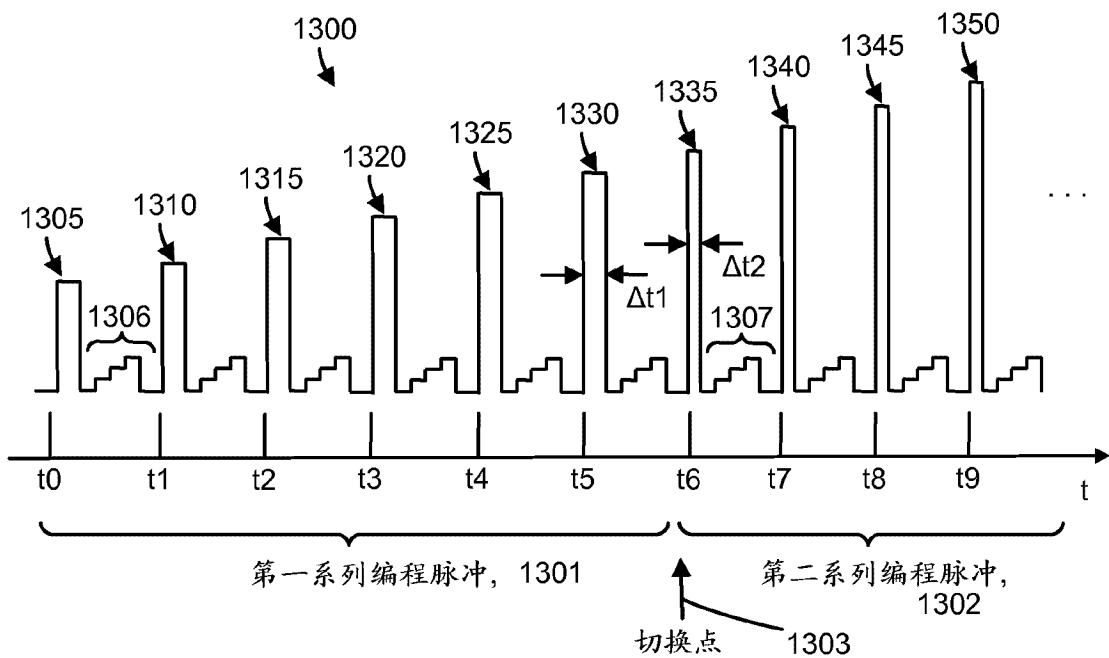


图 13

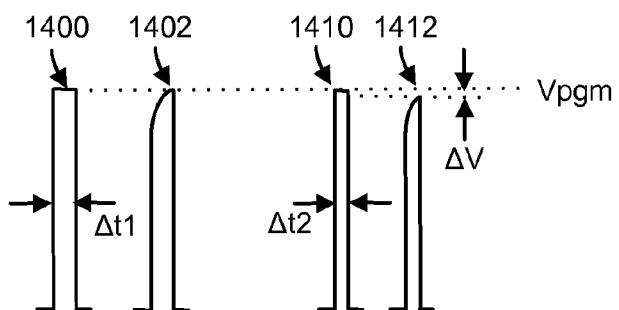


图 14

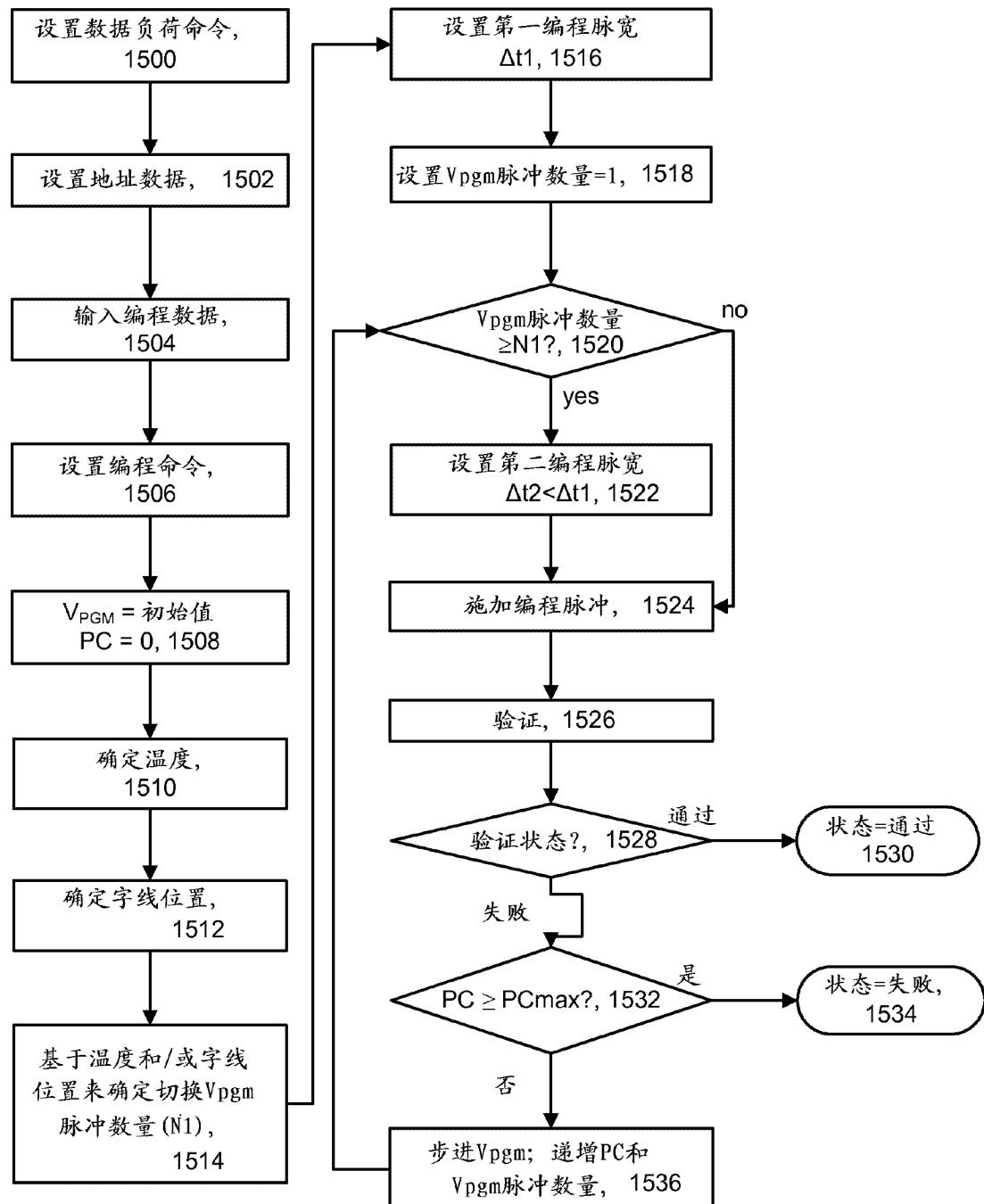


图 15

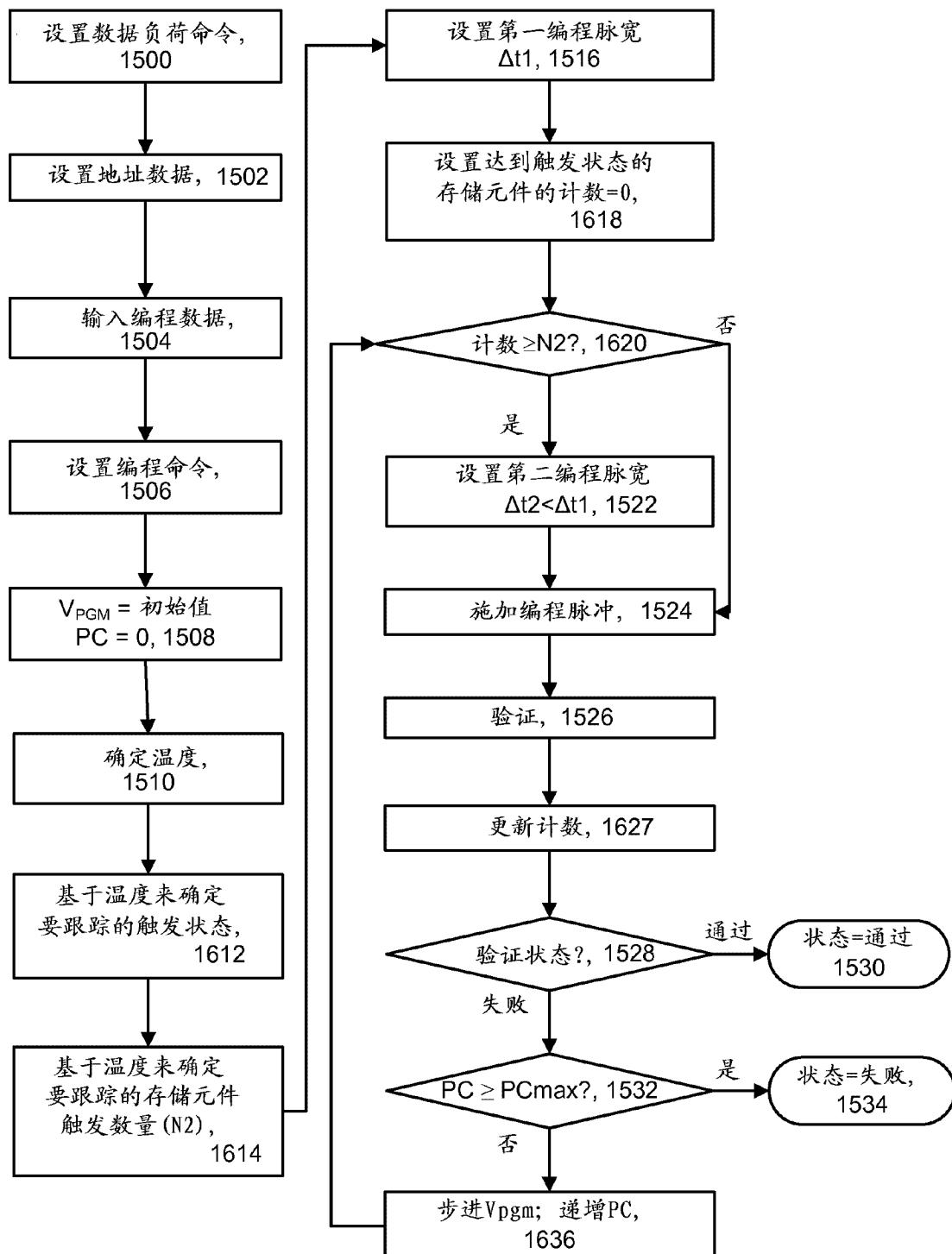


图 16

1. 一种用于对非易失性存储器进行操作的方法,包括:

在编程操作中将第一系列编程脉冲(1301)施加至一组字线(WL0-WL63)中的所选择的字线(WLn),所述一组字线与一组存储元件(700,710)连通,并且所述所选择的字线与所述一组存储元件中的至少一个所选择的存储元件和至少一个未被选择的存储元件连通;

确定是否满足切换标准(1520),所述切换标准依赖于温度;以及

如果满足所述切换标准,则从在所述编程操作中将所述第一系列编程脉冲施加至所选择的字线切换到在所述编程操作中将所述第二系列编程脉冲(1302)施加至所选择的字线,所述第二系列中的至少一个编程脉冲比在所述第一系列中的至少一个编程脉冲具有更短的持续时间(Δt_2),在所述编程操作的中途发生所述切换。

2. 根据权利要求1所述的方法,其中:

当所述温度相对较高时,在所述编程操作中相对较早地施加所述第二系列编程脉冲,而当所述温度相对较低时,在所述编程操作中相对较晚地施加所述第二系列编程脉冲。

3. 根据权利要求1或2所述的方法,其中:

如果所述温度足够低(T_2),则不满足所述切换标准,在该情况下,不从施加所述第一系列编程脉冲切换到施加所述第二系列编程脉冲,施加所述第一系列编程脉冲直至完成所述编程操作,并且所述第一系列中的每个编程脉冲具有相同的持续时间。

4. 根据权利要求1至3中任一项所述的方法,其中:

所述第一系列中的每个编程脉冲具有第一持续时间(Δt_1),而所述第二系列中的每个编程脉冲具有第二持续时间(Δt_2),所述第二持续时间短于所述第一持续时间。

5. 根据权利要求1至4中任一项所述的方法,其中:

所述第二持续时间是所述第一持续时间的三分之一至二分之一。

6. 根据权利要求1至5中任一项所述的方法,其中:

确定是否满足所述切换标准包括:确定是否所述一组存储元件中的一个子组的存储元件完成了到四个或更多个状态中的一个状态的编程,所述一个状态是基于所述温度的。

7. 根据权利要求6所述的方法,其中:

当所述温度相对较高时,所述一个状态是相对较低的状态,而当所述温度相对较低时,所述一个状态是相对较高的状态。

8. 根据权利要求6所述的方法,其中:

从最低到最高存在四个数据状态E、A、B和C,当所述温度在T₂与T₃之间时,所述一个状态是状态B,而当所述温度在T₁与T₂之间时,所述一个状态是状态A,其中T₁<T₂<T₃。

9. 根据权利要求6所述的方法,其中:

从最低到最高存在八个数据状态E、A、B、C、D、E、F和G,当所述温度在T₂与T₃之间时,所述一个状态是状态D,而当所述温度在T₁与T₂之间时,所述一个状态是状态F,其中T₁<T₂<T₃。

10. 根据权利要求6所述的方法,其中:

确定是否满足所述切换标准包括:确定是否所述一组存储元件中的特定数量的存储元件完成了到四个或更多个状态中的一个特定状态的编程,所述特定数量是基于所述温度的。

11. 一种非易失性存储系统,包括:

一组 NAND 串 (700, 710), 所述一组 NAND 串包括所选择的 NAND 串和未被选择的 NAND 串, 每个 NAND 串包括多个存储元件, 所述一组 NAND 串与在所述一组字线 (WL0-WL63) 连通, 所述一组字线在所述一组字线的源极侧和所述一组字线的漏极侧之间延伸; 以及

一个或多个控制电路 (510, 550), 所述一个或多个控制电路与所述一组字线连通, 所述一个或多个控制电路执行编程操作, 在所述编程操作中, 所述一组存储元件中的不同子组的存储元件被编程为四个或更多个状态的不同相应状态, 并且在所述编程操作期间, 所述一个或多个控制电路: (a) 将第一系列编程脉冲 (1301) 施加至所述一组字线的所选择的字线, (b) 确定是否满足切换标准, 所述切换标准依赖于温度, 以及 (b) 如果满足所述切换标准, 则从将所述第一系列编程脉冲施加至所选择的字线切换为将第二系列编程脉冲 (1302) 施加至所选择的字线, 所述第二系列中的至少一个编程脉冲比所述第一系列中的至少一个编程脉冲具有更短的持续时间, 在所述编程操作的中途发生所述切换。

12. 根据权利要求 11 所述的非易失性存储系统, 其中:

当所述温度相对较高时, 在所述编程操作中相对较早地施加所述第二系列编程脉冲, 而当所述温度相对较低时, 在所述编程操作中相对较晚地施加所述第二系列编程脉冲。

13. 根据权利要求 11 或 12 所述的非易失性存储系统, 其中:

所述第一系列中的每个编程脉冲具有第一持续时间 (Δt_1), 而所述第二系列中的每个编程脉冲具有第二持续时间 (Δt_2), 所述第二持续时间短于所述第一持续时间。

14. 根据权利要求 11 至 13 中任一项所述的非易失性存储系统, 其中:

为了确定是否满足所述切换标准, 所述一个或多个控制电路确定是否所述一组存储元件中的一个子组的存储元件完成了到四个或更多个状态中的一个状态的编程, 当所述温度高于阈值时, 所述一个状态是所述四个或更多个状态中的一个特定编程状态, 当所述温度低于所述阈值时, 所述一个状态是所述四个或更多个状态中的另一个较高的特定编程状态。

15. 根据权利要求 14 所述的非易失性存储系统, 其中:

当所述温度高于阈值 (T_2) 时, 所述一个状态是所述四个或更多个状态中的最低编程状态 (A), 而当所述温度低于所述阈值时, 所述一个状态是所述四个或更多个状态中的次低编程状态 (B)。