

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2025-509903
(P2025-509903A)

(43)公表日 令和7年4月11日(2025.4.11)

(51)国際特許分類
H 0 1 L 23/12 (2006.01)

F I
H 0 1 L 23/12 5 0 1 P

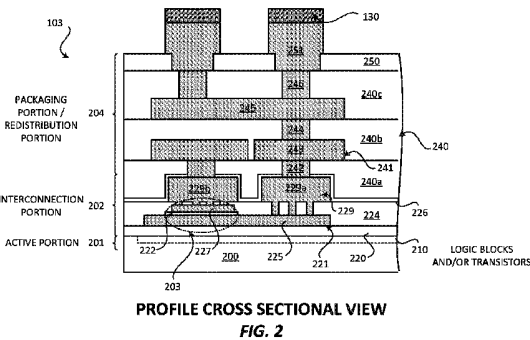
審査請求 未請求 予備審査請求 未請求 (全36頁)

(21)出願番号	特願2024-555980(P2024-555980)	(71)出願人	507364838 クアルコム、インコーポレイテッド アメリカ合衆国 カリフォルニア 9 2 1 2 1 サン ディエゴ モアハウス ドライ ブ 5 7 7 5
(86)(22)出願日	令和5年3月9日(2023.3.9)	(74)代理人	100108453 弁理士 村山 靖彦
(85)翻訳文提出日	令和6年9月19日(2024.9.19)	(74)代理人	100163522 弁理士 黒田 晋平
(86)国際出願番号	PCT/US2023/064058	(72)発明者	カイ・リウ アメリカ合衆国・カリフォルニア・9 2 1 2 1-1 7 1 4・サン・ディエゴ・モ アハウス・ドライヴ・5 7 7 5
(87)国際公開番号	WO2023/183722	(72)発明者	ジェーシュン・ラン アメリカ合衆国・カリフォルニア・9 2
(87)国際公開日	令和5年9月28日(2023.9.28)		最終頁に続く
(31)優先権主張番号	17/705,041		
(32)優先日	令和4年3月25日(2022.3.25)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW), EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES, FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV 最終頁に続く		

(54)【発明の名称】 磁気材料を含む集積デバイス及び集積受動デバイス

(57)【要約】

集積デバイスは、複数のトランジスタを含むダイ基板と、ダイ基板に結合された相互接続部分と、相互接続部分に結合されたパッケージング部分とを含む。相互接続部分は、少なくとも1つのダイ誘電体層と、複数のトランジスタに結合された複数のダイ相互接続部とを含む。パッケージング部分は、少なくとも1つの磁気層と、複数のダイ相互接続部に結合された複数のメタライゼーション相互接続部とを含む。



【特許請求の範囲】

【請求項 1】

集積デバイスであって、
複数のトランジスタを含むダイ基板と、
前記ダイ基板に結合された相互接続部分であって、
少なくとも 1 つのダイ誘電体層と、
前記複数のトランジスタに結合された複数のダイ相互接続部と、
を含む、相互接続部分と、
前記相互接続部分に結合されたパッケージング部分であって、
少なくとも 1 つの磁気層と、
前記複数のダイ相互接続部に結合された複数のメタライゼーション相互接続部と、
を含む、パッケージング部分と、
を備える、集積デバイス。

10

【請求項 2】

前記少なくとも 1 つの磁気層が、絶縁層及び／又は誘電体層を含む、請求項 1 に記載の集積デバイス。

【請求項 3】

前記少なくとも 1 つの磁気層が、非導電性材料を含む、請求項 1 に記載の集積デバイス。

【請求項 4】

前記少なくとも 1 つの磁気層が、1 よりも大きい相対透磁率値を有する、請求項 1 に記載の集積デバイス。

20

【請求項 5】

前記少なくとも 1 つの磁気層が、0.01～0.04 の範囲にある磁気損失正接値を有する、請求項 1 に記載の集積デバイス。

【請求項 6】

前記少なくとも 1 つの磁気層が、
第 1 の透磁率値を含む第 1 の磁気層と、
第 2 の透磁率値を含む第 2 の磁気層と、
を含む、請求項 1 に記載の集積デバイス。

30

【請求項 7】

前記相互接続部分が、前記複数のダイ相互接続部からの少なくともいくつかのダイ相互接続部によって画定されるキャパシタを含む、請求項 1 に記載の集積デバイス。

【請求項 8】

前記パッケージング部分が、前記複数のメタライゼーション相互接続部からの少なくとも 1 つのメタライゼーション相互接続部によって画定されるインダクタを含む、請求項 7 に記載の集積デバイス。

【請求項 9】

前記パッケージング部分が、再分配部分であり、
前記複数のメタライゼーション相互接続部が、複数の再分配相互接続部を含む、
請求項 1 に記載の集積デバイス。

40

【請求項 10】

前記集積デバイスが、電力管理集積回路（PMIC）として動作するように構成されたダイである、請求項 1 に記載の集積デバイス。

【請求項 11】

デバイスであって、
ダイ基板と、
前記ダイ基板に結合された相互接続部分であって、
少なくとも 1 つのダイ誘電体層と、
複数のダイ相互接続部と、

50

を含む、相互接続部分と、
前記相互接続部分に結合されたパッケージング部分であって、
少なくとも1つの磁気層と、
前記複数のダイ相互接続部に結合された複数のメタライゼーション相互接続部と、
を含む、パッケージング部分と、
を備える、デバイス。

【請求項12】

前記少なくとも1つの磁気層が、絶縁層、誘電体層、及び／又は非導電性材料を含み、
前記少なくとも1つの磁気層が、1よりも大きい相対透磁率値を有する、
請求項11に記載のデバイス。

10

【請求項13】

前記少なくとも1つの磁気層が、
第1の透磁率値を含む第1の磁気層と、
第2の透磁率値を含む第2の磁気層と、
を含む、請求項11に記載のデバイス。

【請求項14】

前記相互接続部分が、前記複数のダイ相互接続部からの少なくともいくつかのダイ相互
接続部によって画定されるキャパシタを含む、請求項11に記載のデバイス。

【請求項15】

前記パッケージング部分が、前記複数のメタライゼーション相互接続部からの少なくと
も1つのメタライゼーション相互接続部によって画定されるインダクタを含む、請求項1
4に記載のデバイス。

20

【請求項16】

前記ダイ基板、前記相互接続部分、及び前記パッケージング部分が、集積受動デバイス
(IPD)の一部である、請求項11に記載のデバイス。

【請求項17】

前記デバイスが、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナ
ビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、
携帯情報端末、固定ロケーション端末、タブレットコンピュータ、コンピュータ、ウェア
ラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット(IoT)
デバイス、及び自動ビークル内のデバイスからなる群から選択される、請求項11に記載
のデバイス。

30

【請求項18】

方法であって、
ダイ基板を提供することと、
前記ダイ基板の上に相互接続部分を形成することであって、
少なくとも1つのダイ誘電体層を形成することと、
複数のダイ相互接続部を形成することと、
を含む、前記ダイ基板の上に相互接続部分を形成することと、
前記相互接続部分の上にパッケージング部分を形成することであって、
前記複数のダイ相互接続部に結合された複数のメタライゼーション相互接続部を形成
することと、
少なくとも1つの磁気層を形成することと、
を含む、前記相互接続部分の上にパッケージング部分を形成することと、
を含む、方法。

40

【請求項19】

前記ダイ基板が、複数のトランジスタを含み、
前記複数のダイ相互接続部が、前記複数のダイ相互接続部が前記複数のトランジスタに
結合されるように形成されている、
請求項18に記載の方法。

50

【請求項 20】

前記少なくとも1つの磁気層が、絶縁層、誘電体層、及び／又は非導電性材料を含み、
前記少なくとも1つの磁気層が、1よりも大きい相対透磁率値を有する、
請求項18に記載の方法。

【請求項 21】

前記相互接続部分が、前記複数のダイ相互接続部からの少なくともいくつかのダイ相互
接続部によって画定されるキャパシタを含み、

前記パッケージング部分が、前記複数のメタライゼーション相互接続部からの少なくと
も1つのメタライゼーション相互接続部によって画定されるインダクタを含む、

請求項18に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本出願は、2022年3月25日に米国特許庁に出願された非仮出願第17／705，
041号に対する優先権及び利益を主張するものであり、その内容全体は、その全体が以
下に完全に記載されるかのように、かつ全ての適用可能な目的のために、参照により本明
細書に組み込まれる。

【0002】

様々な特徴は、パッケージ、集積デバイス、及び／又は集積受動デバイスに関する。

20

【背景技術】

【0003】

パッケージは、基板、集積デバイス、及び集積受動デバイスを含み得る。基板は、複数
の相互接続部を含み得る。集積デバイス及び／又は集積受動デバイスは、基板の相互接続
部に結合され得る。より小型で改善された性能を有するパッケージを提供することが、現
在必要とされている。

【発明の概要】

【0004】

様々な特徴は、パッケージ、集積デバイス、及び／又は集積受動デバイスに関する。

【0005】

30

一例は、複数のトランジスタを含むダイ基板と、ダイ基板に結合された相互接続部分と
、相互接続部分に結合されたパッケージング部分とを含む集積デバイスを提供する。相互
接続部分は、少なくとも1つのダイ誘電体層と、複数のトランジスタに結合された複数の
ダイ相互接続部とを含む。パッケージング部分は、少なくとも1つの磁気層と、複数のダイ
相互接続部に結合された複数のメタライゼーション相互接続部とを含む。

【0006】

別の例は、ダイ基板と、ダイ基板に結合された相互接続部分と、相互接続部分に結合さ
れたパッケージング部分とを含むデバイスを提供する。相互接続部分は、少なくとも1つ
のダイ誘電体層と、複数のダイ相互接続部とを含む。パッケージング部分は、少なくと
も1つの磁気層と、複数のダイ相互接続部に結合された複数のメタライゼーション相互接続
部とを含む。

40

【0007】

別の例は、ダイ基板を提供する方法を提供する。方法は、ダイ基板の上に相互接続部分
を形成し、相互接続部分を形成することは、少なくとも1つのダイ誘電体層を形成するこ
とと、複数のダイ相互接続部を形成することとを含む。方法は、相互接続部分の上にパッ
ッケージング部分を形成し、パッケージング部分を形成することは、複数のダイ相互接続部
に結合された複数のメタライゼーション相互接続部を形成することと、少なくとも1つの
磁気層を形成することとを含む。

【0008】

以下に記載される「発明を実施するための形態」を、同様の参照符号が全体を通して対

50

応するものを識別する図面と併せ読むことにより、様々な特徴、性質、及び利点が明らかとなり得る。

【図面の簡単な説明】

【0009】

【図1】基板、集積デバイス、及び集積受動デバイスを含むパッケージの例示的な側面図である。

【図2】磁気材料を含む集積デバイスの例示的な側面図である。

【図3】磁気材料を含む集積デバイスの別の例示的な側面図である。

【図4】磁気材料を含む集積受動デバイス（integrated passive device、IPD）の例示的な側面図である。

10

【図5】磁気材料を含む集積受動デバイス（IPD）の別の例示的な側面図である。

【図6】磁気材料内に配置されたインダクタを含むデバイスの例示的な図である。

【図7】様々な周波数におけるいくつかの例示的なインダクタの品質係数の例示的なグラフである。

【図8】様々な周波数におけるいくつかの例示的なインダクタのインダクタンスの例示的なグラフである。

【図9】いくつかの例示的なインダクタのインダクタンス及び品質係数を示す例示的な表である。

【図10A】磁気材料を含む集積デバイスを製造するための例示的なシーケンスを示す図である。

20

【図10B】磁気材料を含む集積デバイスを製造するための例示的なシーケンスを示す図である。

【図10C】磁気材料を含む集積デバイスを製造するための例示的なシーケンスを示す図である。

【図10D】磁気材料を含む集積デバイスを製造するための例示的なシーケンスを示す図である。

【図10E】磁気材料を含む集積デバイスを製造するための例示的なシーケンスを示す図である。

【図10F】磁気材料を含む集積デバイスを製造するための例示的なシーケンスを示す図である。

30

【図10G】磁気材料を含む集積デバイスを製造するための例示的なシーケンスを示す図である。

【図10H】磁気材料を含む集積デバイスを製造するための例示的なシーケンスを示す図である。

【図10I】磁気材料を含む集積デバイスを製造するための例示的なシーケンスを示す図である。

【図11】磁気材料を含む集積デバイスを製造するための方法の例示的なフロー図である。

【図12】磁気材料を含む集積デバイスを製造するための方法の別の例示的なフロー図である。

40

【図13】基板、集積デバイス、及び集積受動デバイスを含むパッケージを製造するための方法の例示的なフロー図である。

【図14】基板、集積デバイス、及び集積受動デバイスを含むパッケージを製造するための方法の例示的なフロー図である。

【図15】本明細書で説明される、ダイ、電子回路、集積デバイス、集積受動デバイス（IPD）、受動構成要素、パッケージ、及び／又はデバイスパッケージを集積し得る様々な電子デバイスを示す図である。

【発明を実施するための形態】

【0010】

以下の説明では、本開示の様々な態様の完全な理解をもたらすために、具体的な詳細が

50

記載される。しかしながら、当業者には、これらの具体的な詳細を伴わずとも、諸態様を實踐することができる点が理解されるであろう。例えば、不必要な詳細で諸態様を不明瞭にすることを回避するために、回路がブロック図で示される場合がある。他の事例では、本開示の諸態様を不明瞭にすることがないように、周知の回路、構造、及び技術が、詳細には示されない場合がある。

【0011】

本開示は、基板と、基板に結合された集積デバイスとを含む、パッケージについて説明する。集積デバイスは、複数のトランジスタを含むダイ基板と、ダイ基板に結合された相互接続部分と、相互接続部分に結合されたパッケージング部分とを含む。相互接続部分は、少なくとも1つのダイ誘電体層と、複数のトランジスタに結合された複数のダイ相互接続部とを含む。パッケージング部分は、少なくとも1つの磁気層と、複数のダイ相互接続部に結合された複数のメタライゼーション相互接続部とを含む。パッケージング部分は、複数のメタライゼーション相互接続部からの少なくとも1つのメタライゼーション相互接続部によって画定されるインダクタを含む。少なくとも1つの磁気層は、絶縁層、誘電体層、及び／又は非導電性材料を含む。少なくとも1つの磁気層は、1よりも大きい透磁率値（例えば、相対透磁率値）を有する。磁気層は、パッケージング部分内のインダクタの品質係数（Q）及び／又はインダクタンスを改善する（例えば、増加させる）のを助けるように構成される。以下で更に説明されるように、インダクタの品質係数及び／又はインダクタンスを改善することによって、より大きいインダクタの品質係数及び／又はインダクタンスと等しいか又はそれよりも良好な品質係数及び／又はインダクタンスを依然として有しながら、より小さいフォームファクタ（例えば、サイズ）を有するインダクタがパッケージング内に形成され得る。

【0012】

磁気材料を含む例示的な集積デバイス

図1は、基板102、集積デバイス103、及び集積受動デバイス105（IPD）を含むパッケージ100の側面図を示している。パッケージ100は、複数のはんだ相互接続部110を介してボード106に結合される。ボード106は、少なくとも1つのボード誘電体層160と、複数のボード相互接続部162とを含む。ボード106は、プリント回路板（printed circuit board、PCB）を含み得る。

【0013】

基板102は、少なくとも1つの誘電体層120（例えば、基板誘電体層）と、複数の相互接続部122（例えば、基板相互接続部）と、はんだレジスト層140と、はんだレジスト層142とを含む。集積デバイス103は、複数のはんだ相互接続部130を介して基板102に結合される。集積受動デバイス105は、複数のはんだ相互接続部150を介して基板102に結合される。基板は、異なる数の金属層を有し得る。異なる実装形態は、異なる基板を使用することができる。基板は、埋め込みトレース基板（embedded trace substrate、ETS）を含み得る。少なくとも1つの誘電体層120は、プリプレグを含み得る。

【0014】

パッケージ（例えば、100）は、無線周波数（RF）パッケージ内に実装され得る。RFパッケージは、無線周波数フロントエンド（radio frequency front end、RFFE）パッケージとすることができる。パッケージ（例えば、100）は、ワイヤレスフィデリティ（Wireless Fidelity、WiFi）通信及び／又はセルラ通信（例えば、2G、3G、4G、5G）を提供するように構成することができる。パッケージ（例えば、100）は、汎欧州デジタルセルラシステム（Global System for Mobile、GSM）コミュニケーション、ユニバーサル移動体通信システム（Universal Mobile Telecommunications System、UMTS）、及び／又はロングタームエボリューション（Long-Term Evolution、LTE）をサポートするように構成され得る。パッケージ（例えば、100）は、異なる周波数及び／又は異なる通信プロトコル

を有する信号を送受信するように構成され得る。

【0015】

以下で更に説明されるように、集積デバイス103及び／又は集積受動デバイス105は、少なくとも1つの磁気層を含み得る。少なくとも1つの磁気層は、絶縁層、誘電体層、及び／又は非導電性材料（例えば、電気を通さない材料）を含む。少なくとも1つの磁気層は、1よりも大きい（例えば、約10以上、6～12の範囲の）透磁率値を有する。磁気層は、異なる周波数において異なる透磁率値を有し得る。本開示に記載される磁気材料及び／又は磁気層の透磁率値は、材料の透磁率の自由空間の透磁率に対する比として定義される相対透磁率値である。したがって、本開示で図示及び／又は説明される磁気材料及び／又は磁気層について説明される透磁率値は、自由空間の定義された透磁率値（例えば、基準透磁率値）に対する相対透磁率値を表し得る。いくつかの実装形態では、自由空間は、 $\mu_0 = 4\pi \times 10^{-7} \text{ H/m}$ （ヘンリー／メートル）の定義された透磁率値を有するように定義され得る。1よりも大きい相対透磁率値を有する材料は、磁気材料であると見なされ得る。

10

【0016】

少なくとも1つの磁気層は、磁気層内に配置され、及び／又は磁気層によって取り囲まれたインダクタのインダクタンス及び／又は品質係数を改善するように構成される。改善されたインダクタ性能により、集積デバイス103及び／又は集積受動デバイス105内に、より小さくてよりコンパクトなインダクタが形成され得る。

【0017】

20

図2は、集積デバイス103の例示的な側面断面図を示している。集積デバイス103は、ダイ（例えば、半導体ダイ）を含み得る。集積デバイス103は、ダイ基板200、複数のトランジスタ210、少なくとも1つの酸化物層220、少なくとも1つのダイ誘電体層224、複数のダイ相互接続部221、高K誘電体層222、パッシベーション層226、少なくとも1つの磁気層240、複数のメタライゼーション相互接続部241、パッシベーション層250、複数のピラー相互接続部251、及び複数のはんだ相互接続部130を含む。

【0018】

集積デバイス103は、能動部分201、相互接続部分202、及びパッケージング部分204を含み得る。能動部分201は、バックエンドオブライン（back end of line、BEOL）部分を含み得る。相互接続部分202は、ダイ相互接続部分であり得る。相互接続部分202は、フロントエンドオブライン（front end of line、FEOL）部分を含み得る。パッケージング部分204は、再分配部分（例えば、RDL部分）を含み得る。相互接続部分202は、能動部分201に結合される。相互接続部分202は、能動部分201の上に配置される。パッケージング部分204は、相互接続部分202に結合される。パッケージング部分204は、相互接続部分202の上に配置される。相互接続部分202は、能動部分201とパッケージング部分204との間に配置される。

30

【0019】

能動部分201は、ダイ基板200、複数のトランジスタ210、及び／又は少なくとも1つの酸化物層220を含み得る。複数のトランジスタ210は、ダイ基板200内及び／又はダイ基板200の上に形成及び／又は配置され得る。ダイ基板200は、シリコン（Si）を含み得る。複数のトランジスタ210は、1つ又は複数の論理ブロックを形成及び／又は画定することができる。少なくとも1つの酸化物層220は、ダイ基板200及び／又は複数のトランジスタ210の上に配置される。複数のトランジスタ210は、任意のタイプのトランジスタ（例えば、CMOSトランジスタ、プレーナトランジスタ、電界効果トランジスタ）であり得る。少なくとも1つの酸化物層220は、二酸化ケイ素を含み得る。複数のトランジスタ210及び／又は少なくとも1つの酸化物層220を製造及び／又は形成するために、バックエンドオブライン（BEOL）プロセスが使用され得る。相互接続部分202は、ダイ基板200、複数のトランジスタ210、及び／又

40

50

は少なくとも1つの酸化物層220に結合される。

【0020】

相互接続部分202は、複数のダイ相互接続部221、少なくとも1つのダイ誘電体層224、高K誘電体層222、及び／又はパッシベーション層226を含み得る。複数のダイ相互接続部221は、少なくとも1つのダイ相互接続部225、少なくとも1つのダイ相互接続部227、及び少なくとも1つのダイ相互接続部229（例えば、229a、229b）を含み得る。複数のダイ相互接続部221は、複数のトランジスタ210に結合され得る。例えば、少なくとも1つのダイ相互接続部225は、複数のトランジスタ210に（例えば、直接又は間接的に）結合され得る。パッシベーション層226は、少なくとも1つのダイ誘電体層224及び／又は少なくとも1つのダイ相互接続部229（例えば、229a、229b）の上に配置され得る。

10

【0021】

相互接続部分202は、少なくとも1つのダイ相互接続部225の少なくとも一部、高K誘電体層222、及び少なくとも1つのダイ相互接続部227の少なくとも一部によって画定されるキャパシタ203を含む。キャパシタ203は、少なくとも1つのダイ誘電体層224内に配置され得る。高K誘電体層222は、少なくとも1つのダイ相互接続部225と少なくとも1つのダイ相互接続部227との間に配置される。高K誘電体層222は、少なくとも1つのダイ誘電体層224の誘電率よりも高い誘電率を有し得る。

【0022】

少なくとも1つのダイ相互接続部225は、集積デバイスの第1の金属層（M1）上に配置され得、少なくとも1つのダイ相互接続部227は、集積デバイスの第2の金属層（M2）上に配置され得、少なくとも1つのダイ相互接続部229は、集積デバイスの第3の金属層（M3）上に配置され得る。第1の金属層（M1）と第3の金属層（M3）との間には、少なくとも1つのビアダイ相互接続部が存在し得ることに留意されたい。また、第2の金属層（M2）と第3の金属層（M3）との間には、少なくとも1つのビアダイ相互接続部が存在し得ることに留意されたい。第1の金属層（M1）と第3の金属層（M3）との間のビアダイ相互接続部（単数又は複数）、及び第2の金属層（M2）と第3の金属層（M3）との間のビアダイ相互接続部（単数又は複数）は、複数のダイ相互接続部221の一部と見なされる。

20

【0023】

パッケージング部分204は、複数のメタライゼーション相互接続部241、少なくとも1つの磁気層240、パッシベーション層250、及び／又は複数のピラー相互接続部251を含む。複数のピラー相互接続部130は、複数のピラー相互接続部251に結合され得る。複数のメタライゼーション相互接続部241は、少なくとも1つのメタライゼーション相互接続部242、少なくとも1つのメタライゼーション相互接続部243、少なくとも1つのメタライゼーション相互接続部244、少なくとも1つのメタライゼーション相互接続部245、及び／又は少なくとも1つのメタライゼーション相互接続部246を含み得る。少なくとも1つのメタライゼーション相互接続部243は、集積デバイスの第4の金属層（M4）上に配置され得、少なくとも1つのメタライゼーション相互接続部245は、集積デバイスの第5の金属層（M5）上に配置され得る。少なくとも1つのメタライゼーション相互接続部242は、ビアメタライゼーション相互接続部（単数又は複数）を含み得る。少なくとも1つのメタライゼーション相互接続部244は、ビアメタライゼーション相互接続部（単数又は複数）を含み得る。少なくとも1つのメタライゼーション相互接続部246は、ビアメタライゼーション相互接続部（単数又は複数）を含み得る。複数のメタライゼーション相互接続部241は、複数の再分配相互接続部（例えば、再分配層（RDL）相互接続部）を含み得る。パッシベーション層250は、少なくとも1つの磁気層240の上に形成及び／又は配置され得る。パッシベーション層250は、ポリイミド（PI）を含み得る。複数のメタライゼーション相互接続部241は、複数のダイ相互接続部221に結合される。例えば、少なくとも1つのメタライゼーション相互接続部242は、パッシベーション層226内の1つ又は複数の開口部を介して、少な

30

40

50

くとも1つのダイ相互接続部229に結合される。

【0024】

パッケージング部分204は、複数のメタライゼーション相互接続部241からの少なくとも1つのメタライゼーション相互接続部から画定及び／又は形成される少なくとも1つのインダクタを含む。例えば、少なくとも1つのインダクタは、少なくとも1つのメタライゼーション相互接続部243及び／又は少なくとも1つのメタライゼーション相互接続部245によって画定され得る。インダクタ、及び／又は複数のメタライゼーション相互接続部241からの少なくとも1つのメタライゼーション相互接続部は、少なくとも1つの磁気層240内に配置され得る。相互接続部分202内のキャパシタ203とパッケージング部分204内のインダクタとの組み合わせは、1つ又は複数の信号に対するフィルタとして使用され得る。

10

【0025】

少なくとも1つの磁気層240は、磁気層240a、磁気層240b、磁気層240cを含む。少なくとも1つの磁気層240は、絶縁層、誘電体層、及び／又は非導電性材料を含む。少なくとも1つの磁気層240は、誘電材料及び磁気材料の両方であり得る。したがって、少なくとも1つの磁気層240は、誘電特性及び磁気特性の両方を有し得る。少なくとも1つの磁気層240は、1つ又は複数の材料を含み得る。少なくとも1つの磁気層240は、1よりも大きい（例えば、約10以上、6～12の範囲の）透磁率値を有する。磁気層は、異なる周波数において異なる透磁率値を有し得る。本開示に記載される磁気材料及び／又は磁気層の透磁率値は、材料の透磁率の自由空間の透磁率に対する比として定義される相対透磁率値である。したがって、本開示で図示及び／又は説明される磁気材料及び／又は磁気層について説明される透磁率値は、自由空間の定義された透磁率値（例えば、基準透磁率値）に対する相対透磁率値を表し得る。いくつかの実装形態では、自由空間は、 $\mu_0 = 4\pi \times 10^{-7} \text{ H/m}$ （ヘンリー／メートル）の定義された透磁率値を有するように定義され得る。1よりも大きい相対透磁率値を有する材料は、磁気材料であると見なされ得る。少なくとも1つの磁気層240は、約0.01～0.04の範囲にある磁気損失正接値を含む。少なくとも1つの磁気層240は、味の素磁気膜（AMF）を含み得る。少なくとも1つの磁気層240は、インダクタ及び／又は複数のメタライゼーション相互接続部241を取り囲む（例えば、部分的に取り囲む、完全に取り囲む）。例えば、少なくとも1つの磁気層240は、（i）インダクタ及び／又は複数のメタライゼーション相互接続部241に接触しており、（ii）インダクタ（若しくはインダクタの一部）及び／又は複数のメタライゼーション相互接続部241（若しくは複数のメタライゼーション相互接続部241の一部）を少なくとも部分的に取り囲む、磁気材料を含む（例えば、磁気特性を有する）。少なくとも1つの磁気層240は、少なくとも1つの磁気層240内に配置され、及び／又は少なくとも1つの磁気層240によって取り囲まれたインダクタのインダクタンス及び／又は品質係数を改善するように構成される。改善されたインダクタ性能により、集積デバイス103内に、より小さくてよりコンパクトなインダクタが形成され得る。

20

30

【0026】

磁気層240a、磁気層240b、及び磁気層240cは、1つの磁気層として、又は別個の磁気層として見なされ得る。いくつかの実装形態では、3つよりも多い又は少ない磁気層が存在し得る。いくつかの実装形態では、磁気層240a、磁気層240b、及び磁気層240cは、同じ特性（例えば、同じ透磁率、同じ磁気損失正接値）を有し得る。いくつかの実装形態では、磁気層240a、磁気層240b、及び／又は磁気層240cは、異なる特性（例えば、異なる透磁率、異なる磁気損失正接値）を有し得る。例えば、第1の磁気層は、第1の透磁率（例えば、第1の透磁率値、第1の相対透磁率値）及び第1の磁気損失正接値を有し得、第2の磁気層は、第2の透磁率（例えば、第2の透磁率値、第2の相対透磁率値）及び第2の磁気損失正接値を有し得る。いくつかの実装形態では、磁気層240a、磁気層240b、及び／又は磁気層240cは、いくつかの特性について同様の及び／又は同じ値を有し得、他の特性について異なる値を有し得る。少なくと

40

50

も1つの磁気層240がどのようにインダクタの性能を改善するのを助けるかについてのより詳細な記載は、少なくとも図7～図9において以下で更に説明される。

【0027】

図3は、集積デバイス103の別の例示的な図を示している。図3の集積デバイス103は、図2の集積デバイス103と同様であり、したがって、図2の集積デバイス103と同様の構成要素を含む。図3の集積デバイス103は、磁気層240cの上にパッシベーション層250を含んでいない。更に、図3では、集積デバイス103は、磁気層240cのより厚い層を含む。

【0028】

集積デバイス（例えば、103）は、ダイ（例えば、半導体ベアダイ）を含み得る。集積デバイスは、電力管理集積回路（power management integrated circuit、PMIC）を含み得る。集積デバイスは、アプリケーションプロセッサを含み得る。集積デバイスは、モデムを含み得る。集積デバイスは、無線周波数（radio frequency、RF）デバイス、受動デバイス、フィルタ、キャパシタ、インダクタ、アンテナ、送信機、受信機、ガリウムヒ素（GaAs）ベースの集積デバイス、表面弾性波（surface acoustic wave、SAW）フィルタ、バルク弾性波（bulk acoustic wave、BAW）フィルタ、発光ダイオード（light emitting diode、LED）集積デバイス、シリコン（Si）ベースの集積デバイス、炭化ケイ素（SiC）ベースの集積デバイス、メモリ、電源管理プロセッサ、及び／又はこれらの組み合わせを含み得る。集積デバイス（例えば、103）は、少なくとも1つの電子回路（例えば、第1の電子回路、第2の電子回路など）を含み得る。集積デバイスは、トランジスタを含み得る。集積デバイスは、電気構成要素及び／又は電気デバイスの一例であり得る。いくつかの実装形態では、集積デバイスは、チップレットを含み得る。チップレットは、他のタイプの集積デバイスを製造するために使用される他のプロセスと比較して、より良好な歩留まりをもたらすプロセスを使用して製造することができ、このことにより、チップレットを製造する全体的なコストを引き下げることができる。異なるチップレットは、異なるサイズ及び／又は形状を有し得る。異なるチップレットは、異なる機能を提供するように構成することができる。異なるチップレットは、異なる相互接続部密度（例えば、異なる幅及び／又は間隔を有する相互接続部）を有し得る。いくつかの実装形態では、いくつかのチップレットを使用して、1つ又は複数のチップ（例えば、1つ又は複数の集積デバイス）の機能を実行することができる。いくつかの機能を実行する、いくつかのチップレットを使用することは、パッケージの機能の全てを実行するために単一のチップを使用することに比べて、パッケージの全体的なコストを低減することができる。

【0029】

磁気材料を含む例示的な集積受動デバイス（IPD）

図4は、集積受動デバイス105の例示的な側面断面図を示している。集積受動デバイス105は、受動ダイを含み得る。集積受動デバイス105は、ダイ基板200、少なくとも1つの酸化物層220、少なくとも1つのダイ誘電体層224、複数のダイ相互接続部221、高K誘電体層222、パッシベーション層226、少なくとも1つの磁気層240、複数のメタライゼーション相互接続部241、パッシベーション層250、複数のピラー相互接続部251、及び複数のはんだ相互接続部150を含む。

【0030】

集積受動デバイス105は、集積デバイス103と同様であり得、したがって、集積デバイス103と同じ又は同様の構成要素を含む。しかしながら、集積受動デバイス105は、ダイ基板200内に複数のトランジスタがない場合がある。集積受動デバイス105は、ダイ基板200内にいかなる能動デバイスも有しない場合がある。

【0031】

集積受動デバイス105は、相互接続部分202及びパッケージング部分204を含み得る。相互接続部分202は、ダイ相互接続部分であり得る。相互接続部分202は、フ

10

20

30

40

50

ロントエンドオンライン（F E O L）部分を含み得る。パッケージング部分 2 0 4 は、再分配部分（例えば、R D L 部分）を含み得る。相互接続部分 2 0 2 は、ダイ基板 2 0 0、及び／又は少なくとも 1 つの酸化物層 2 2 0 に結合される。相互接続部分 2 0 2 は、ダイ基板 2 0 0 及び／又は少なくとも 1 つの酸化物層 2 2 0 の上に配置される。パッケージング部分 2 0 4 は、相互接続部分 2 0 2 に結合される。パッケージング部分 2 0 4 は、相互接続部分 2 0 2 の上に配置される。相互接続部分 2 0 2 は、ダイ基板 2 0 0 とパッケージング部分 2 0 4 との間に配置される。

【0032】

相互接続部分 2 0 2 は、複数のダイ相互接続部 2 2 1、少なくとも 1 つのダイ誘電体層 2 2 4、高 K 誘電体層 2 2 2、及び／又はパッシベーション層 2 2 6 を含み得る。複数のダイ相互接続部 2 2 1 は、少なくとも 1 つのダイ相互接続部 2 2 5、少なくとも 1 つのダイ相互接続部 2 2 7、及び少なくとも 1 つのダイ相互接続部 2 2 9（例えば、2 2 9 a、2 2 9 b）を含み得る。パッシベーション層 2 2 6 は、少なくとも 1 つのダイ誘電体層 2 2 4 及び／又は少なくとも 1 つのダイ相互接続部 2 2 9（例えば、2 2 9 a、2 2 9 b）の上に配置され得る。

10

【0033】

相互接続部分 2 0 2 は、少なくとも 1 つのダイ相互接続部 2 2 5 の少なくとも一部、高 K 誘電体層 2 2 2、及び少なくとも 1 つのダイ相互接続部 2 2 7 の少なくとも一部によって画定されるキャパシタ 2 0 3 を含む。キャパシタ 2 0 3 は、少なくとも 1 つのダイ誘電体層 2 2 4 内に配置され得る。高 K 誘電体層 2 2 2 は、少なくとも 1 つのダイ相互接続部 2 2 5 と少なくとも 1 つのダイ相互接続部 2 2 7 との間に配置される。

20

【0034】

少なくとも 1 つのダイ相互接続部 2 2 5 は、集積受動デバイスの第 1 の金属層（M 1）上に配置され得、少なくとも 1 つのダイ相互接続部 2 2 7 は、集積受動デバイスの第 2 の金属層（M 2）上に配置され得、少なくとも 1 つのダイ相互接続部 2 2 9 は、集積受動デバイスの第 3 の金属層（M 3）上に配置され得る。第 1 の金属層（M 1）と第 3 の金属層（M 3）との間には、少なくとも 1 つのビアダイ相互接続部が存在し得ることに留意されたい。また、第 2 の金属層（M 2）と第 3 の金属層（M 3）との間には、少なくとも 1 つのビアダイ相互接続部が存在し得ることに留意されたい。第 1 の金属層（M 1）と第 3 の金属層（M 3）との間のビアダイ相互接続部（単数又は複数）、及び第 2 の金属層（M 2）と第 3 の金属層（M 3）との間のビアダイ相互接続部（単数又は複数）は、複数のダイ相互接続部 2 2 1 の一部と見なされる。

30

【0035】

パッケージング部分 2 0 4 は、複数のメタライゼーション相互接続部 2 4 1、少なくとも 1 つの磁気層 2 4 0、パッシベーション層 2 5 0、及び／又は複数のピラー相互接続部 2 5 1 を含む。複数のピラー相互接続部 1 5 0 は、複数のピラー相互接続部 2 5 1 に結合され得る。複数のメタライゼーション相互接続部 2 4 1 は、少なくとも 1 つのメタライゼーション相互接続部 2 4 2、少なくとも 1 つのメタライゼーション相互接続部 2 4 3、少なくとも 1 つのメタライゼーション相互接続部 2 4 4、少なくとも 1 つのメタライゼーション相互接続部 2 4 5、及び／又は少なくとも 1 つのメタライゼーション相互接続部 2 4 6 を含み得る。少なくとも 1 つのメタライゼーション相互接続部 2 4 3 は、集積受動デバイスの第 4 の金属層（M 4）上に配置され得、少なくとも 1 つのメタライゼーション相互接続部 2 4 5 は、集積受動デバイスの第 5 の金属層（M 5）上に配置され得る。少なくとも 1 つのメタライゼーション相互接続部 2 4 2 は、ビアメタライゼーション相互接続部（単数又は複数）を含み得る。少なくとも 1 つのメタライゼーション相互接続部 2 4 4 は、ビアメタライゼーション相互接続部（単数又は複数）を含み得る。少なくとも 1 つのメタライゼーション相互接続部 2 4 6 は、ビアメタライゼーション相互接続部（単数又は複数）を含み得る。複数のメタライゼーション相互接続部 2 4 1 は、複数の再分配相互接続部（例えば、再分配層（R D L）相互接続部）を含み得る。パッシベーション層 2 5 0 は、少なくとも 1 つの磁気層 2 4 0 の上に形成及び／又は配置され得る。パッシベーション層

40

50

250は、ポリイミド（PI）を含み得る。複数のメタライゼーション相互接続部241は、複数のダイ相互接続部221に結合される。例えば、少なくとも1つのメタライゼーション相互接続部242は、パッシベーション層226内の1つ又は複数の開口部を介して、少なくとも1つのダイ相互接続部229に結合される。

【0036】

パッケージング部分204は、複数のメタライゼーション相互接続部241からの少なくとも1つのメタライゼーション相互接続部から画定及び／又は形成される少なくとも1つのインダクタを含む。例えば、少なくとも1つのインダクタは、少なくとも1つのメタライゼーション相互接続部243及び／又は少なくとも1つのメタライゼーション相互接続部245によって画定され得る。相互接続部分202内のキャパシタ203とパッケージング部分204内のインダクタとの組み合わせは、1つ又は複数の信号に対するフィルタとして使用され得る。

【0037】

少なくとも1つの磁気層240は、磁気層240a、磁気層240b、磁気層240cを含む。少なくとも1つの磁気層240は、絶縁層、誘電体層、及び／又は非導電性材料を含む。少なくとも1つの磁気層240は、1よりも大きい（例えば、約10の）透磁率値（例えば、相対透磁率値）を有する。少なくとも1つの磁気層240は、約0.01～0.04の範囲にある磁気損失正接値を含む。少なくとも1つの磁気層240は、インダクタ及び／又は複数のメタライゼーション相互接続部241を取り囲む。少なくとも1つの磁気層240は、少なくとも1つの磁気層240内に配置され、及び／又は少なくとも1つの磁気層240によって取り囲まれたインダクタのインダクタンス及び／又は品質係数を改善するように構成される。インダクタンスは、導体及び／又はインダクタによって蓄積された（磁場を介した）磁気エネルギーに関連する。磁気材料（例えば、少なくとも1つの磁気層240）によって取り囲まれている導体及び／又はインダクタには、より多くのエネルギーが蓄積され、したがって、導体及び／又はインダクタは、より高いインダクタンスを有することになる。更に、（損失正接に関連する）損失エネルギーが同時に比例的に増加しない場合、インダクタの品質係数（磁気エネルギーを損失エネルギーで除算することによって定義される）を増加させる。改善されたインダクタ性能により、集積受動デバイス105内に、より小さくてよりコンパクトなインダクタが形成され得る。したがって、アプリケーションが最小インダクタンス及び／又は最小品質係数を有するインダクタを必要とする場合、磁気層を有しない、より大きいフォームファクタのインダクタを提供する代わりに、磁気層によって取り囲まれている、より小さいフォームファクタのインダクタが提供され得る。

【0038】

いくつかの実装形態では、磁気層240a、磁気層240b、及び磁気層240cは、同じ特性（例えば、同じ透磁率、同じ磁気損失正接値）を有し得る。いくつかの実装形態では、磁気層240a、磁気層240b、及び／又は磁気層240cは、異なる特性（例えば、異なる透磁率、異なる磁気損失正接値）を有し得る。例えば、第1の磁気層は、第1の透磁率（例えば、第1の透磁率値、第1の相対透磁率値）及び第1の磁気損失正接値を有し得、第2の磁気層は、第2の透磁率（例えば、第2の透磁率値、第2の相対透磁率値）及び第2の磁気損失正接値を有し得る。いくつかの実装形態では、磁気層240a、磁気層240b、及び／又は磁気層240cは、いくつかの特性について同様の及び／又は同じ値を有し得、他の特性について異なる値を有し得る。

【0039】

図5は、集積受動デバイス105の別の例示的な図を示している。図5の集積受動デバイス105は、図4の集積受動デバイス105と同様であり、したがって、図4の集積受動デバイス105と同様の構成要素を含む。図5の集積受動デバイス105は、磁気層240cの上にパッシベーション層250を含んでいない。更に、図5では、集積受動デバイス105は、磁気層240cのより厚い層を含む。

【0040】

図6は、インダクタ602及び少なくとも1つの磁気層604を含むデバイス600を示している。デバイス600は、集積デバイス103及び／又は集積受動デバイス105を表し得る。インダクタ602は、デバイス600のパッケージング部分内に形成され得る。インダクタ602は、デバイス600のパッケージング部分内の少なくとも1つのメタライゼーション相互接続部によって形成及び／又は画定され得る。インダクタ602は、少なくとも1つの磁気層604によって取り囲まれ得る。少なくとも1つの磁気層604は、少なくとも1つの磁気層240と同様及び／又は同じであり得る。デバイス600は2つ以上のインダクタを含み得ることに留意されたい。インダクタは、異なる形状、サイズ、巻線、構成、及び／又は配置を有し得る。インダクタは、デバイス600の1つ又は複数の金属層（例えば、メタライゼーション層）上に配置され得る。

10

【0041】

図7は、例示的な周波数にわたるいくつかのインダクタの品質係数（Q）を示す例示的なグラフ700を示している。グラフ700は、第1のインダクタについての第1のプロット線710、第2のインダクタについての第2のプロット線720、第3のインダクタについての第3のプロット線730、及び第4のインダクタについての第4のプロット線740を含む。

【0042】

図8は、例示的な周波数にわたるいくつかのインダクタのインダクタンスを示す例示的なグラフ800を示している。グラフ800は、第1のインダクタについての第1のプロット線810、第2のインダクタについての第2のプロット線820、第3のインダクタについての第3のプロット線830、及び第4のインダクタについての第4のプロット線840を含む。

20

【0043】

第1のインダクタ、第2のインダクタ、第3のインダクタ、及び第4のインダクタは、同じ設計を有する。しかしながら、第1のインダクタ、第2のインダクタ、第3のインダクタ、及び第4のインダクタの各々は、異なる特性を有する異なる誘電体層によって取り囲まれている。

【0044】

図9は、特定の周波数における第1のインダクタ、第2のインダクタ、第3のインダクタ、及び第4のインダクタの様々なインダクタンス及び品質係数を示す例示的な表900を示している。

30

【0045】

第1のインダクタ（第1のプロット線710及び第1のプロット線810に関連付けられている）は、磁気材料によって取り囲まれておらず、代わりに、0.01の損失正接（例えば、電気損失正接）を有する非磁性誘電体材料によって取り囲まれており、その結果、1.5GHzにおいて1ナノヘンリー（nH）のインダクタンス及び1.5GHzにおいて20の品質係数（Q）をもたらす。第2のインダクタ（第2のプロット線720及び第2のプロット線820に関連付けられる）は、10の透磁率及び0.04の損失正接（例えば、磁気損失正接）を有する磁気材料によって取り囲まれており、その結果、1.5GHzにおいて7nHのインダクタンス及び1.5GHzにおいて23の品質係数（Q）をもたらす。第3のインダクタ（第3のプロット線730及び第3のプロット線830に関連付けられている）は、10の透磁率及び0.02の損失正接（例えば、磁気損失正接）を有する磁気材料によって取り囲まれており、その結果、1.5GHzにおいて7nHのインダクタンス及び1.5GHzにおいて40の品質係数（Q）をもたらす。第4のインダクタ（第4のプロット線740及び第4のプロット線840に関連付けられている）は、10の透磁率及び0.01の損失正接（例えば、磁気損失正接）を有する磁気材料によって取り囲まれており、その結果、1.5GHzにおいて7nHのインダクタンス及び1.5GHzにおいて60の品質係数（Q）をもたらす。

40

【0046】

したがって、上記の例は、磁気層がインダクタのインダクタンスを7倍改善し得ること

50

を実証している。より効果的及び／又は強力なインダクタ設計の1つの利点は、集積デバイス及び／又は集積受動デバイスの設計及び／又は性能要件を依然として満たしながら、より小さくてよりコンパクトなインダクタが集積デバイス及び／又は集積受動デバイス内に提供され得ることである。これにより、集積デバイス及び／又は集積受動デバイスの全体的なサイズ及び／又は形態を低減するのを助けることができる。

【0047】

図7～図9に示されるグラフ及び値は、例示的なものであることに留意されたい。異なる実装形態は、同じ又は異なる周波数にわたって、同じ、同様の、又は異なる値を有し得る。例えば、10という磁気層（例えば、磁性誘電体層）の透磁率値は例示的なものである。1よりも大きい他の透磁率値（例えば、相対透磁率値）を有する他の磁気層が使用されてもよい（例えば、1、6、5、7、8、11）。磁気層が異なる周波数に対して異なる透磁率値を有し得ることに留意されたい。

10

【0048】

少なくとも1つの磁気層を有する様々な集積デバイス及び／又は集積受動デバイスが説明されてきたが、少なくとも1つの磁気層を有する集積デバイスを製造するためのプロセスについて以下で説明する。

【0049】

磁気層を含む集積デバイスを製造するための例示的なシーケンス

図10A～図10Iは、少なくとも1つの磁気層を含む集積デバイスを提供又は製造するための例示的なシーケンスを示している。いくつかの実装形態では、本開示で説明される集積デバイス103を提供又は製造するために、図10A～図10Iのシーケンスが使用され得る。

20

【0050】

図10A～図10Iのシーケンスは、集積デバイスを提供又は製造するためのシーケンスを簡略化及び／又は明確化するために、1つ又は複数の段階を組み合わせ得ることに留意すべきである。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の主旨から逸脱することなく、プロセスのうちの1つ又は複数の交換若しくは置換することができる。異なる実装形態では、集積デバイスを異なって製造することができる。図10A～図10Iのシーケンスは、少なくとも1つの磁気層を含む集積受動デバイス（例えば、105）を製造するために使用され得ることに留意されたい。図10A～図10Iに示されるシーケンスは、ウェハ（例えば、シリコンウェハ）上で実施され、次いで、いくつかの集積デバイスに個片化され得る。同様の手法が、集積受動デバイスに対して実施され得る。

30

【0051】

段階1は、図10Aに示されるように、ダイ基板200が提供された後の状態を示している。ダイ基板200は、シリコン（Si）を含み得る。複数のトランジスタ210は、ダイ基板200内及び／又はダイ基板200の上に形成され得る。複数のトランジスタ210を製造するために、BEOLプロセスが使用され得る。ダイ基板200を提供することは、ウェハ（例えば、シリコンウェハ）を提供することを含み得る。

【0052】

段階2は、少なくとも1つの酸化物層220がダイ基板200及び／又は複数のトランジスタ210の上に形成された後の状態を示している。少なくとも1つの酸化物層220は、二酸化ケイ素を含み得る。少なくとも1つの酸化物層220を形成するために、堆積プロセス及び／又は積層プロセスが使用され得る。少なくとも1つの酸化物層220は、プラズマ強化オルトケイ酸テトラエチル（PE TEOS）から形成され得る。いくつかの実装形態では、少なくとも1つの酸化物層220は、段階1においてダイ基板200が提供されるときに既に形成されていてもよい。

40

【0053】

段階3は、少なくとも1つのダイ相互接続部225が少なくとも1つの酸化物層220の上に形成された後の状態を示している。少なくとも1つのダイ相互接続部225は、ダ

50

イ基板 200 及び／又は複数のトランジスタ 210 の上に形成され得る。少なくとも 1 つのダイ相互接続部 225 は、少なくとも 1 つの酸化物層 220 内の 1 つ又は複数の開口部を介して、複数のトランジスタ 210 に（例えば、直接又は間接的に）結合され得る。少なくとも 1 つのダイ相互接続部 225 を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。

【0054】

段階 4 は、高 K 誘電体層 222 が少なくとも 1 つのダイ相互接続部 225 の少なくとも一部の上に形成された後の状態を示している。高 K 誘電体層 222 は、窒化ケイ素を含み得る。高 K 誘電体層 222 を形成するために、堆積、積層、及び／又はパターニングプロセスが使用され得る。

【0055】

段階 5 は、少なくとも 1 つのはんだ相互接続部 227 が少なくとも 1 つの高 K 誘電体層 222 の上に形成された後の状態を示している。少なくとも 1 つのダイ相互接続部 227 を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。少なくとも 1 つのダイ相互接続部 225、高 K 誘電体層 222、及び少なくとも 1 つのダイ相互接続部 227 の少なくとも一部は、キャパシタを形成及び／又は画定することができる。

【0056】

段階 6 は、図 10B に示されるように、少なくとも 1 つのダイ誘電体層 224 が形成及びパターニングされた後の状態を示している。少なくとも 1 つのダイ誘電体層 224 を形成及びパターニングするために、堆積、積層、露光、現像、及び／又はエッチングプロセスが使用され得る。少なくとも 1 つのダイ誘電体層 224 は、少なくとも 1 つのダイ相互接続部 225 及び少なくとも 1 つのダイ相互接続部 227 の上及び周囲に形成され得る。少なくとも 1 つのダイ誘電体層 224 は、複数のキャビティ 1024 を含み得る。少なくとも 1 つのダイ誘電体層 224 は、少なくとも 1 つのダイ相互接続部 225、高 K 誘電体層 222、及び少なくとも 1 つのダイ相互接続部 227 が少なくとも 1 つのダイ誘電体層 224 内に配置されるように形成され得る。

【0057】

段階 7 は、少なくとも 1 つのはんだ相互接続部 229 が少なくとも 1 つのダイ誘電体層 224 の上に形成された後の状態を示している。少なくとも 1 つのダイ相互接続部 229 を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。少なくとも 1 つのダイ相互接続部 229 を形成することは、少なくとも 1 つのダイ誘電体層 224 内に（例えば、少なくとも 1 つのダイ誘電体層 224 のキャビティ 1024 内に）ビアダイ相互接続部を形成することを含み得る。ビアダイ相互接続部（単数又は複数）は、少なくとも 1 つのダイ相互接続部 229 の一部と見なされ得る。少なくとも 1 つのダイ相互接続部 229 は、少なくとも 1 つのダイ相互接続部 225 及び少なくとも 1 つのダイ相互接続部 227 に結合され得る。

【0058】

段階 8 は、パッシベーション層 226 が少なくとも 1 つのダイ相互接続部 229 及び／又は少なくとも 1 つのダイ誘電体層 224 の上に形成された後の状態を示している。パッシベーション層 226 は、二酸化ケイ素及び／又は窒化ケイ素を含み得る。パッシベーション層 226 を形成するために、堆積及び／又は積層プロセスが使用され得る。

【0059】

段階 9 は、図 10C に示されるように、少なくとも 1 つのメタライゼーション相互接続部 242 がパッシベーション層 226 内の少なくとも 1 つの開口部を介して形成された後の状態を示している。少なくとも 1 つのメタライゼーション相互接続部 242 を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。少なくとも 1 つのメタライゼーション相互接続部 242 は、少なくとも 1 つのダイ相互接続部 229 に結合され得る。

【0060】

段階 10 は、磁気層 240a がパッシベーション層 226 及び少なくとも 1 つのメタラ

10

20

30

40

50

イゼーション相互接続部 242 の上に形成された後の状態を示している。磁気層 240 a を形成するために、積層プロセスが使用され得る。磁気層 240 a の一部を除去し、かつ少なくとも 1 つのメタライゼーション相互接続部 242 を露出させるために、研削プロセスが使用され得る。少なくとも 1 つのメタライゼーション相互接続部 242 の一部もまた研削され得る。

【0061】

段階 11 は、少なくとも 1 つのメタライゼーション相互接続部 243 が少なくとも 1 つのメタライゼーション相互接続部 242 及び磁気層 240 a の上に形成された後の状態を示している。少なくとも 1 つのメタライゼーション相互接続部 243 を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。少なくとも 1 つのメタライゼーション相互接続部 243 は、少なくとも 1 つのメタライゼーション相互接続部 242 に結合される。

【0062】

段階 12 は、図 10 D に示されるように、少なくとも 1 つのメタライゼーション相互接続部 244 が少なくとも 1 つのメタライゼーション相互接続部 243 の上に形成された後の状態を示している。少なくとも 1 つのメタライゼーション相互接続部 245 を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。少なくとも 1 つのメタライゼーション相互接続部 244 は、少なくとも 1 つのメタライゼーション相互接続部 243 に結合される。

【0063】

段階 13 は、磁気層 240 b が、少なくとも 1 つのメタライゼーション相互接続部 243、少なくとも 1 つのメタライゼーション相互接続部 244、及び磁気層 240 a の上に形成された後の状態を示している。磁気層 240 b を形成するために、積層プロセスが使用され得る。磁気層 240 b の一部を除去し、かつ少なくとも 1 つのメタライゼーション相互接続部 244 を露出させるために、研削プロセスが使用され得る。少なくとも 1 つのメタライゼーション相互接続部 244 の一部もまた研削され得る。

【0064】

段階 14 は、図 10 E に示されるように、少なくとも 1 つのメタライゼーション相互接続部 245 が少なくとも 1 つのメタライゼーション相互接続部 244 及び磁気層 240 b の上に形成された後の状態を示している。少なくとも 1 つのメタライゼーション相互接続部 245 を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。少なくとも 1 つのメタライゼーション相互接続部 245 は、少なくとも 1 つのメタライゼーション相互接続部 244 の上に形成される。

【0065】

段階 15 は、少なくとも 1 つのメタライゼーション相互接続部 246 が少なくとも 1 つのメタライゼーション相互接続部 245 の上に形成された後の状態を示している。少なくとも 1 つのメタライゼーション相互接続部 246 を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。少なくとも 1 つのメタライゼーション相互接続部 246 は、少なくとも 1 つのメタライゼーション相互接続部 245 に結合される。

【0066】

段階 16 は、図 10 F に示されるように、磁気層 240 c が、少なくとも 1 つのメタライゼーション相互接続部 245、少なくとも 1 つのメタライゼーション相互接続部 246、及び磁気層 240 b の上に形成された後の状態を示している。磁気層 240 c を形成するために、積層プロセスが使用され得る。磁気層 240 c の一部を除去し、かつ少なくとも 1 つのメタライゼーション相互接続部 246 を露出させるために、研削プロセスが使用され得る。少なくとも 1 つのメタライゼーション相互接続部 246 の一部もまた研削され得る。磁気層 240 a、磁気層 240 b、及び／又は磁気層 240 c は、同じ磁気層（例えば、同じ磁気材料を含む）であり得、又は異なる特性（例えば、異なる透磁率値）を有する磁気層であり得る。

【0067】

段階 17 は、パッシベーション層 250 が少なくとも 1 つのメタライゼーション相互接続部 246 及び／又は磁気層 240c の上に形成された後の状態を示している。パッシベーション層 250 は、ポリイミド (PI) を含み得る。パッシベーション層 250 を形成するために、堆積及び／又は積層プロセスが使用され得る。

【0068】

段階 18 は、図 10G に示されるように、パッシベーション層 250 内の開口部 1050 が形成された後の状態を示している。開口部 1050 を形成するために、露光、現像、及び／又はエッチングプロセスが使用され得る。

【0069】

段階 19 は、図 10H に示されるように、複数のピラー相互接続部 251 がパッシベーション層 250 の開口部 1050 を介して少なくとも 1 つのメタライゼーション相互接続部 246 の上に形成された後の状態を示している。複数のピラー相互接続部 251 を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。複数のピラー相互接続部 251 のいくつかの部分は、少なくとも 1 つのメタライゼーション相互接続部の一部と見なされ得る。

【0070】

段階 20 は、図 10I に示されるように、複数のはんだ相互接続部 130 が複数のピラー相互接続部 251 の上に形成された後の状態を示している。複数のはんだ相互接続部 130 を形成するために、はんだリフロープロセスが使用され得る。

【0071】

上述したように、上記のシーケンスは、いくつかの集積デバイスが同時に形成されるようにウェハ（例えば、シリコンウェハ）上に製造され得、次いで、ウェハが個片化されて、磁気層を含む個々の集積デバイスを形成する。上記のシーケンスは、1 つの設備又はいくつかの設備において製造され得る。例えば、能動部分 201 及び相互接続部分 202 を含むウェハが提供され得、パッケージング部分 204 が、相互接続部分 202 の上に製造され得る。能動部分 201、相互接続部分 202、及びパッケージング部分 204 を含むウェハは、いくつかの集積デバイスを形成するために個片化され得る。

【0072】

磁気層を含む集積デバイスを製造するための方法の例示的なフロー図

いくつかの実装形態では、集積デバイスを製造することは、いくつかのプロセスを含む。図 11 は、少なくとも 1 つの磁気層を含む集積デバイスを提供又は製造するための方法 1100 の例示的なフロー図を示している。いくつかの実装形態では、集積デバイス 103 を提供又は製造するために、図 11 の方法 1100 が使用され得る。方法 1100 は、ウェハ（例えば、シリコンウェハ）上で実施され、次いで、いくつかの集積デバイスに個片化され得る。

【0073】

図 11 の方法 1100 は、集積デバイスを提供又は製造するための方法を簡略化及び／又は明確化するために、1 つ又は複数のプロセスを組み合わせ得ることに留意すべきである。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。更に、図 11 の方法 1100 は、少なくとも 1 つの磁気層を有する集積受動デバイス（例えば、105）を提供又は製造するために実施され得る。

【0074】

方法は、（1105において）ダイ基板（例えば、200）を提供する。ダイ基板 200 は、シリコン (Si) を含み得る。ダイ基板 200 は、ウェハ（例えば、シリコンウェハ）を含み得る。複数のトランジスタ 210 は、ダイ基板 200 内及び／又はダイ基板 200 の上に形成され得る。複数の論理ブロックは、複数のトランジスタ 210 によって形成及び／又は画定され得る。複数のトランジスタ 210 を製造するために、BEOL プロセスが使用され得る。集積受動デバイスを製造する際、ダイ基板 200 には、複数のトランジスタがない場合がある（例えば、能動デバイスがない場合がある）。図 10A の段階 1 は、ダイ基板を提供する一例を図示及び説明している。

10

20

30

40

50

【0075】

方法は、（1110において）ダイ基板200及び／又は複数のトランジスタ210の上に少なくとも1つの酸化物層（例えば、220）を形成する。少なくとも1つの酸化物層220は、二酸化ケイ素を含み得る。少なくとも1つの酸化物層220を形成するために、堆積プロセス及び／又は積層プロセスが使用され得る。少なくとも1つの酸化物層220は、プラズマ強化オルトケイ酸テトラエチル（PE TE OS）から形成され得る。いくつかの実装形態では、少なくとも1つの酸化物層220は、（1105において）ダイ基板200が提供されるときに既に形成されていてもよい。図10Aの段階2は、ダイ基板200及び／又は複数のトランジスタの上に形成された少なくとも1つの酸化物層の一例を図示及び説明している。

10

【0076】

方法は、（1115において）酸化物層の上に少なくとも1つのダイ相互接続部（例えば、225）を形成及びパターニングする。少なくとも1つのダイ相互接続部225は、ダイ基板200及び／又は複数のトランジスタ210の上に形成され得る。少なくとも1つのダイ相互接続部225は、少なくとも1つの酸化物層220内の1つ又は複数の開口部を介して、複数のトランジスタ210に結合され得る。少なくとも1つのダイ相互接続部225を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。図10Aの段階3は、酸化物層の上に形成された少なくとも1つのダイ相互接続部の一例を図示及び説明している。

【0077】

方法は、（1120において）少なくとも1つのダイ相互接続部225の一部の上に少なくとも1つの高K誘電体層を形成及びパターニングする。高K誘電体層222は、窒化ケイ素を含み得る。高K誘電体層222を形成するために、堆積、積層、及び／又はパターニングプロセスが使用され得る。図10Aの段階4は、ダイ相互接続部の少なくとも一部の上に形成された高K誘電体層の一例を図示及び説明している。

20

【0078】

方法は、（1125において）高K誘電体層の上に少なくとも1つのダイ相互接続部（例えば、227）を形成及びパターニングする。少なくとも1つのダイ相互接続部227を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。少なくとも1つのダイ相互接続部225、高K誘電体層222、及び少なくとも1つのダイ相互接続部227の少なくとも一部は、キャパシタを形成及び／又は画定することができる。図10Aの段階5は、高K誘電体層の上に形成されたダイ相互接続部の一例を図示及び説明している。

30

【0079】

方法は、（1130において）少なくとも1つのダイ誘電体層（例えば、224）を形成及びパターニングする。少なくとも1つのダイ誘電体層224は、少なくとも1つのダイ相互接続部225及び少なくとも1つのダイ相互接続部227の上及び周囲に形成され得る。少なくとも1つのダイ誘電体層224は、複数のキャビティ1024を含み得る。少なくとも1つのダイ誘電体層224を形成及びパターニングするために、堆積、積層、露光、現像、及び／又はエッチングプロセスが使用され得る。図10Bの段階6は、ダイ誘電体層を形成及びパターニングする一例を図示及び説明している。

40

【0080】

方法はまた、（1130において）少なくとも1つのダイ誘電体層224の上に少なくとも1つのダイ相互接続部（例えば、229）を形成及びパターニングする。少なくとも1つのダイ相互接続部229を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。少なくとも1つのダイ相互接続部229は、他のダイ相互接続部に結合され得る。図10Bの段階7は、ダイ誘電体層の上に形成されたダイ相互接続部の一例を図示及び説明している。

【0081】

方法は、（1135において）少なくとも1つのダイ相互接続部229及び少なくとも

50

1つのダイ誘電体層224の上にパッシベーション層（例えば、226）を形成する。パッシベーション層226は、二酸化ケイ素及び／又は窒化ケイ素を含み得る。パッシベーション層226を形成するために、堆積及び／又は積層プロセスが使用され得る。図10Bの段階8は、ダイ相互接続部及びダイ誘電体層の上に形成されたパッシベーション層の一例を図示及び説明している。

【0082】

方法は、（1140において）少なくとも1つのメタライゼーション相互接続部（例えば、242）を形成及びパターニングする。少なくとも1つのメタライゼーション相互接続部242を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。図10Cの段階9は、パッシベーション層内の少なくとも1つの開口部を介して形成されたメタライゼーション相互接続部の一例を図示及び説明している。方法はまた、（1140において）パッシベーション層226及び少なくとも1つのメタライゼーション相互接続部242の上に磁気層（例えば、240a）を形成する。磁気層240aを形成するために、積層プロセスが使用され得る。磁気層240aの一部を除去し、かつ少なくとも1つのメタライゼーション相互接続部242を露出させるために、研削プロセスが使用され得る。少なくとも1つのメタライゼーション相互接続部242の一部もまた研削され得る。図10Cの段階10は、パッシベーション層及びメタライゼーション相互接続部の上に形成された磁気層の一例を図示及び説明している。方法は、（1140において）（i）メタライゼーション相互接続部を形成及びパターニングすること、並びに（ii）磁気層を形成及び研削すること、というプロセスを、必要な数の層に対して反復的に繰り返すことができる。図10C～図10Fの段階11～16は、メタライゼーション相互接続部及び磁気層を反復して形成する例を図示及び説明している。

【0083】

方法は、（1145において）少なくとも1つのメタライゼーション相互接続部（例えば、246）及び／又は磁気層（例えば、240c）の上にパッシベーション層（例えば、250）を形成する。パッシベーション層250は、ポリイミド（PI）を含み得る。パッシベーション層250を形成するために、堆積及び／又は積層プロセスが使用され得る。図10Fの段階17は、メタライゼーション相互接続部及び磁気層の上に形成されたパッシベーション層を図示及び説明している。方法はまた、（1145において）パッシベーション層（例えば、250）内に開口部（例えば、1050）を形成する。開口部1050を形成するために、露光、現像、及び／又はエッチングプロセスが使用され得る。図10Gの段階18は、パッシベーション層内の開口部の一例を図示及び説明している。

【0084】

方法は、（1150において）メタライゼーション相互接続部（単数又は複数）の上に複数のピラー相互接続部（例えば、251）を形成する。複数のピラー相互接続部251を形成するために、めっきプロセス及びパターニングプロセスが使用され得る。複数のピラー相互接続部251のいくつかの部分は、少なくとも1つのメタライゼーション相互接続部の一部と見なされ得る。図10Hの段階19は、パッシベーション層の開口部を介してメタライゼーション相互接続部の上に形成された複数のピラー相互接続部の一例を図示及び説明している。

【0085】

方法はまた、（1150において）複数のはんだ相互接続部（例えば、130）を形成する。複数のはんだ相互接続部130は、複数のピラー相互接続部251に結合され得る。複数のはんだ相互接続部130を形成するために、はんだリフロープロセスが使用され得る。図10Iの段階20は、複数のピラー相互接続部の上に形成された複数のはんだ相互接続部を図示及び説明している。

【0086】

上述したように、方法1100は、いくつかの集積デバイスが同時に形成されるようにウェハ（例えば、シリコンウェハ）上に製造され得、次いで、ウェハが個片化されて、磁気層を含む個々の集積デバイスを形成する。

10

20

30

40

50

【0087】

磁気層を含む集積デバイスを製造するための方法の例示的なフロー図

いくつかの実装形態では、集積デバイスを製造することは、いくつかのプロセスを含む。図12は、少なくとも1つの磁気層を含む集積デバイスを提供又は製造するための方法1200の例示的なフロー図を示している。いくつかの実装形態では、集積デバイス103を提供又は製造するために、図12の方法1200を使用され得る。方法1200は、ウェハ（例えば、シリコンウェハ）上で実施され、次いで、いくつかの集積デバイスに個片化され得る。

【0088】

図12の方法1200は、集積デバイスを提供又は製造するための方法を簡略化及び／又は明確化するために、1つ又は複数のプロセスを組み合わせ得ることに留意すべきである。例えば、方法1200のプロセスのうちの1つ又は複数のプロセスは、方法1100のプロセスのうちの1つ又は複数のプロセスを含み得る。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。更に、図12の方法1200は、少なくとも1つの磁気層を有する集積受動デバイス（例えば、105）を提供又は製造するために実施され得る。

【0089】

方法は、（1205において）ダイ基板（例えば、200）を提供する。ダイ基板200は、シリコン（Si）を含み得る。ダイ基板200は、ウェハ（例えば、シリコンウェハ）を含み得る。複数のトランジスタ210は、ダイ基板200内及び／又はダイ基板200の上に形成され得る。複数の論理ブロックは、複数のトランジスタ210によって形成及び／又は画定され得る。複数のトランジスタ210を製造するために、BEOLプロセスが使用され得る。ダイ基板200は、集積デバイスの能動部分（例えば、201）の一部であり得る、かつ／又はそれを画定し得る。集積受動デバイスを製造する際、ダイ基板200には、複数のトランジスタがない場合がある（例えば、能動デバイスがない場合がある）。図10Aの段階1は、ダイ基板を提供する一例を図示及び説明している。

【0090】

方法は、（1210において）ダイ基板（例えば、200）の上に相互接続部分（例えば、202）を形成し、相互接続部分202を形成することは、少なくとも1つのダイ誘電体層を形成することと、複数のダイ相互接続部を形成することを含む。相互接続部分202は、ダイ基板200に結合され得る。

【0091】

相互接続部分202を形成することは、ダイ基板200及び／若しくは複数のトランジスタ210の上に少なくとも1つの酸化物層（例えば、220）を形成すること、酸化物層の上に少なくとも1つのダイ相互接続部（例えば、225）を形成及びパターニングすること、少なくとも1つのダイ相互接続部225の一部の上に少なくとも1つの高K誘電体層を形成及びパターニングすること、高K誘電体層の上に少なくとも1つのダイ相互接続部（例えば、227）を形成及びパターニングすること、少なくとも1つのダイ誘電体層（例えば、224）を形成及びパターニングすること、少なくとも1つのダイ誘電体層224の上に少なくとも1つのダイ相互接続部（例えば、229）を形成及びパターニングすること、並びに／又は少なくとも1つのダイ相互接続部229及び少なくとも1つのダイ誘電体層224の上にパッシベーション層（例えば、226）を形成することを含み得る。

【0092】

相互接続部分202は、複数のダイ相互接続部からの少なくともいくつかのダイ相互接続部によって画定されるキャパシタを含み得る。相互接続部分202を形成することは、図11の方法1100のプロセス1110～1135を含み得る。図10A～図10Bの段階2～8は、相互接続部分を形成する一例を示している。

【0093】

方法は、（1215において）相互接続部分（例えば、202）の上にパッケージング部分（例えば、204）を形成し、パッケージング部分204を形成することは、複数の

10

20

30

40

50

ダイ相互接続部に結合された複数のメタライゼーション相互接続部を形成することと、少なくとも1つの磁気層を形成することを含む。パッケージング部分204は、相互接続部分202に結合され得る。

【0094】

パッケージング部分を形成することは、少なくとも1つのメタライゼーション相互接続部（例えば、242）を形成及びパターニングすること、パッシベーション層226及び少なくとも1つのメタライゼーション相互接続部242の上に磁気層（例えば、240a）を形成すること、磁気層240aの一部を研削し、少なくとも1つのメタライゼーション相互接続部242を露出させること（少なくとも1つのメタライゼーション相互接続部242の一部も研削され得る）、少なくとも1つのメタライゼーション相互接続部（例えば、246）及び／若しくは磁気層の上にパッシベーション層（例えば、250）を形成すること、メタライゼーション相互接続部（単数若しくは複数）の上に複数のピラー相互接続部（例えば、251）を形成すること、並びに／又は複数のはんだ相互接続部を形成することを含み得る。複数のはんだ相互接続部は、集積デバイス及び／又は集積受動デバイスのパッケージング部分の一部と見なされても見なされなくてもよいことに留意されたい。

10

【0095】

パッケージング部分204は、複数のメタライゼーション相互接続部からの少なくとも1つのメタライゼーション相互接続部によって画定されるインダクタを含み得る。少なくとも1つの磁気層は、絶縁層、誘電体層、及び／又は非導電性材料を含む。少なくとも1つの磁気層は、1よりも大きい透磁率値（例えば、相対透磁率値）を有する。

20

【0096】

方法は、(i)メタライゼーション相互接続部を形成及びパターニングすること、並びに(ii)磁気層を形成及び研削すること、というプロセスを、必要な数の層に対して反復的に繰り返すことができる。パッケージング部分204を形成することは、図11の方法1100のプロセス1140～1150を含み得る。図10C～図10Iの段階9～20は、パッケージング部分を形成する一例を示している。

【0097】

上述したように、方法1200は、いくつかの集積デバイスが同時に形成されるようにウェハ（例えば、シリコンウェハ）上に製造され得、次いで、ウェハが個片化されて、磁気層を含む個々の集積デバイスを形成する。

30

【0098】

集積デバイス及び集積受動デバイスを含むパッケージを製造するための例示的なシーケンス

図13は、磁気層を含む集積デバイス及び／又は磁気層を含む集積受動デバイスを含むパッケージを提供又は製造するための例示的なシーケンスを示している。いくつかの実装形態では、集積デバイス及び／又は集積受動デバイスを含むパッケージ100を提供又は製造するために、図13のシーケンスが使用され得る。

【0099】

図13のシーケンスは、パッケージを提供又は製造するためのシーケンスを簡略化及び／又は明確化するために、1つ又は複数の段階を組み合わせ得ることに留意すべきである。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの1つ又は複数を変換若しくは置換することができる。一度に（ウェハの一部として）1つのパッケージ又はいくつかのパッケージを製造するために、図13のシーケンスが使用され得る。

40

【0100】

図13に示されるように、段階1は、基板102が提供された後の状態を示している。基板102は、供給元によって提供される場合もあれば、又は製造される場合もある。基板102は、少なくとも1つの誘電体層120及び複数の相互接続部122、はんだレジスト層140及びはんだレジスト層142を含む。基板102は、埋め込みトレース基板

50

(E T S) を含み得る。いくつかの実装形態では、少なくとも 1 つの誘電体層 1 2 0 は、プリプレグ層（単数又は複数）を含み得る。

【0 1 0 1】

段階 2 は、集積デバイス 1 0 3 が基板 1 0 2 の第 1 の表面（例えば、上面）に結合された後の状態を示している。集積デバイス 1 0 3 は、複数のはんだ相互接続部 1 3 0 を介して基板 1 0 2 に結合され得る。複数のはんだ相互接続部 1 3 0 は、複数の相互接続部 1 2 2 に結合される。複数のはんだ相互接続部 1 3 0 を介して集積デバイス 1 0 3 を複数の相互接続部 1 2 2 に結合するために、はんだリフロープロセスが使用され得る。

【0 1 0 2】

段階 2 はまた、集積受動デバイス 1 0 5 が基板 1 0 2 の第 1 の表面（例えば、上面）に結合された後の状態を示している。集積受動デバイス 1 0 5 は、複数のはんだ相互接続部 1 5 0 を介して基板 1 0 2 に結合され得る。複数のはんだ相互接続部 1 5 0 は、複数の相互接続部 1 2 2 に結合される。複数のはんだ相互接続部 1 5 0 を介して集積受動デバイス 1 0 5 を複数の相互接続部 1 2 2 に結合するために、はんだリフロープロセスが使用され得る。

【0 1 0 3】

段階 3 は、複数のはんだ相互接続部 1 1 0 が基板 1 0 2 に結合された後の状態を示している。複数のはんだ相互接続部 1 1 0 は、少なくとも 1 つの誘電体層 1 2 0 の第 2 の表面の上に配置されている相互接続部に結合され得る。複数のはんだ相互接続部 1 1 0 を基板 1 0 2 に結合するために、はんだリフロープロセスが使用され得る。段階 3 は、パッケージ 1 0 0 を示し得る。本開示で説明されるパッケージ（例えば、1 0 0）は、1 つずつ製造することもでき、あるいは、1 つ又は複数のウェハの一部として一体に製造してから、個々のパッケージへと個片化することもできる。

【0 1 0 4】

集積デバイス及び集積受動デバイスを含むパッケージを製造するための方法の例示的なフロー図

いくつかの実装形態では、磁気層を含む集積デバイス及び／又は磁気層を含む集積受動デバイスを含むパッケージを製造することは、いくつかのプロセスを含む。図 1 4 は、磁気層を含む集積デバイス及び／又は磁気層を含む集積受動デバイスを含むパッケージを提供又は製造するための方法 1 4 0 0 の例示的なフロー図を示している。いくつかの実装形態では、本開示で説明される図 1 のパッケージ 1 0 0 を提供又は製造するために、図 1 4 の方法 1 4 0 0 が使用され得る。しかしながら、本開示に記載されるパッケージのいずれかを提供又は製造するために、方法 1 4 0 0 が使用され得る。

【0 1 0 5】

図 1 4 の方法は、磁気層を含む集積デバイス及び／又は磁気層を含む集積受動デバイスを含むパッケージを提供又は製造するための方法を簡略化及び／又は明確化するために、1 つ又は複数のプロセスを組み合わせ得ることに留意すべきである。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。

【0 1 0 6】

方法は、（1 4 0 5 において）基板（例えば、1 0 2）を提供する。基板 1 0 2 は、供給元によって提供される場合もあれば、又は製造される場合もある。基板 1 0 2 は、少なくとも 1 つの誘電体層 1 2 0、及び複数の相互接続部 1 2 2 を含む。基板 1 0 2 は、埋め込みトレース基板（E T S）を含み得る。いくつかの実装形態では、少なくとも 1 つの誘電体層 1 2 0 は、プリプレグ層を含み得る。図 1 3 の段階 1 は、エスケープ相互接続部を有する基板を提供する一例を図示及び説明している。

【0 1 0 7】

方法は、（1 4 1 0 において）少なくとも 1 つの集積デバイス（例えば、1 0 3）を基板（例えば、1 0 2）の第 1 の表面に結合する。例えば、集積デバイス 1 0 3 は、複数のはんだ相互接続部 1 3 0 を介して基板 1 0 2 に結合され得る。複数のはんだ相互接続部 1 3 0 は、複数の相互接続部 1 2 2 に結合される。複数のはんだ相互接続部 1 3 0 を介して

集積デバイス 103 を基板に結合するために、はんだリフロープロセスが使用され得る。

【0108】

方法はまた、(1410において)少なくとも1つの集積受動デバイス(例えば、105)を基板(例えば、102)の第1の表面に結合する。例えば、集積受動デバイス105は、複数のはんだ相互接続部150を介して基板102に結合され得る。複数のはんだ相互接続部150は、複数の相互接続部122に結合される。複数のはんだ相互接続部150を介して集積受動デバイス105を複数の相互接続部に結合するために、はんだリフロープロセスが使用され得る。図13の段階2は、基板に結合された集積デバイス及び集積受動デバイスの一例を図示及び説明している。

【0109】

方法は、(1415において)複数のはんだ相互接続部(例えば、110)を基板(例えば、102)の第2の表面に結合する。複数のはんだ相互接続部110を基板に結合するために、はんだリフロープロセスが使用され得る。図13の段階3は、はんだ相互接続部を基板に結合する一例を図示及び説明している。

【0110】

例示的な電子デバイス

図15は、前述のデバイス、集積デバイス、集積回路(integrated circuit、IC)パッケージ、集積回路(IC)デバイス、半導体デバイス、集積回路、ダイ、インターポーザ、パッケージ、パッケージオンパッケージ(package-on-package、PoP)、システムインパッケージ(System in Package、SiP)、又はシステムオンチップ(System on Chip、SoC)のうちのいずれかと集積され得る様々な電子デバイスを示している。例えば、携帯電話デバイス1502、ラップトップコンピュータデバイス1504、固定ロケーション端末デバイス1506、ウェアラブルデバイス1508、又は自動ビークル1510が、本明細書で説明されるようなデバイス1500を含み得る。デバイス1500は、例えば、本明細書で説明されるデバイス及び／又は集積回路(IC)パッケージのうちのいずれかであり得る。図15に示されるデバイス1502、1504、1506、及び1508、並びにビークル1510は、単なる例に過ぎない。モバイルデバイス、ハンドヘルドパーソナル通信システム(personal communication system、PCS)ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム(global positioning system、GPS)対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読み取り機器などの固定位置データユニット、通信デバイス、スマートフォン、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス(例えば、時計、眼鏡)、モノのインターネット(Internet of things、IoT)デバイス、サーバ、ルータ、自動ビークル(例えば、自律ビークル)内に実装された電子デバイス、又はデータ若しくはコンピュータ命令を記憶するか若しくは取り出す任意の他のデバイス、あるいはこれらの任意の組み合わせを含む、デバイス(例えば、電子デバイス)の群を含むがこれらに限定されない他の電子デバイスもまた、デバイス1500を搭載し得る。

【0111】

図1～図9、図10A～図10I、及び／又は図11～図15に示されている、構成要素、プロセス、特徴、及び／又は機能のうちの1つ又は複数の、単一の構成要素、プロセス、特徴、若しくは機能へと再構成及び／又は組み合わせることができ、あるいはいくつかの構成要素、プロセス、又は機能として具現化することもできる。追加的な要素、構成要素、プロセス、及び／又は機能もまた、本開示から逸脱することなく追加することができる。また、図1～図9、図10A～図10I、及び／又は図11～図15、並びに本開示におけるその対応する説明は、ダイ及び／又はICに限定されるものではない点にも留意すべきである。いくつかの実装形態では、デバイス及び／又は集積デバイスを、製造、作製、提供、及び／又は生産するために、図1～図9、図10A～図10I、及び／又は

10

20

30

40

50

図 1 1 ~ 図 1 5、並びに本開示におけるその対応する説明が使用され得る。いくつかの実装形態では、デバイスは、ダイ、集積デバイス、集積受動デバイス（IPD）、ダイパッケージ、集積回路（IC）デバイス、デバイスパッケージ、集積回路（IC）パッケージ、ウェハ、半導体デバイス、パッケージオンパッケージ（POP）デバイス、放熱デバイス、及び／又はインターポーザを含み得る。

【0112】

本開示における図は、様々な部品、構成要素、物体、デバイス、パッケージ、集積デバイス、集積回路、及び／又はトランジスタの、実際の表現及び／又は概念的表現を表し得る点に留意されたい。いくつかの事例では、図は、正確な縮尺ではない場合がある。いくつかの事例では、明瞭化の目的のために、全ての構成要素及び／又は部品が示されていない場合もある。いくつかの事例では、図中の様々な部品及び／又は構成要素の、位置、場所、サイズ、及び／又は形状は、例示的なものであり得る。いくつかの実装形態では、図中の様々な構成要素及び／又は部品は、任意選択的なものであり得る。

【0113】

「例示的（exemplary）」という語は、「例、事例、又は例示としての役割を果たすこと」を意味するために本明細書で使用される。「例示的」として本明細書に記載の実装形態又は態様はいずれも、必ずしも本開示の他の態様よりも好ましい又は有利であるとして解釈されるべきではない。同様に、「態様」という用語は、本開示の全ての態様が、説明する特徴、利点、又は動作モードを含むことを必要とするとは限らない。「結合されている（coupled）」という用語は、本明細書では、2つの物体間の直接的又は間接的な結合（例えば、機械的結合）を指すために使用されている。例えば、物体Aが物体Bに物理的に接触しており、物体Bが物体Cに接触している場合には、物体Aと物体Cとは、それらが互いに物理的に直接接触していない場合であっても、依然として互いに結合されているとみなすことができる。「電氣的に結合されている（electrically coupled）」という用語は、2つの物体の間を電流（例えば、信号、電力、接地）が伝播することができるように、それら2つの物体が直接的又は間接的に一体に結合されていることを意味し得る。電氣的に結合されている2つの物体は、それら2つの物体の間に電流を伝播させる場合もあれば、又は伝播させない場合もある。用語「第1」、「第2」、「第3」、及び「第4」（及び／又は、第4を上回るいずれかのもの）の使用は、自由裁量によるものである。説明されている構成要素のうちのいずれも、第1の構成要素、第2の構成要素、第3の構成要素、又は第4の構成要素とすることができる。例えば、第2の構成要素と称されている構成要素は、第1の構成要素、第2の構成要素、第3の構成要素、又は第4の構成要素とすることもできる。「カプセル化すること（encapsulating）」という用語は、物体が別の物体を部分的にカプセル化し得るか、又は完全にカプセル化し得ることを意味する。「上部（top）」及び「底部（bottom）」という用語は、自由裁量によるものである。上部に配置されている構成要素が、底部に配置されている構成要素の上に配置されている場合もある。上部の構成要素が底部の構成要素と見なされる場合もあり、その逆も同様である。本開示で説明されるように、第2の構成要素「の上に（over）」配置されている第1の構成要素とは、底部又は上部が自由裁量によってどのように定義されているかに応じて、その第1の構成要素が、第2の構成要素の上方又は下方に配置されていることを意味し得る。別の実施例では、第1の構成要素が、第2の構成要素の第1の表面の上に（例えば、上方に）配置されている場合があり、第3の構成要素が、第2の構成要素の第2の表面の上に（例えば、下方に）配置されている場合があり、この場合、第2の表面は、第1の表面の反対側にある。ある1つの構成要素が別の構成要素の上に配置されている文脈において、本出願で使用される場合の「～の上に」という用語は、別の構成要素上に、及び／又は別の構成要素内に存在している（例えば、構成要素の表面上に存在しているか、又は構成要素内に埋め込まれている）構成要素を意味するために使用することができる点に更に留意されたい。それゆえ、例えば、第2の構成要素の上に存在している第1の構成要素とは、（1）第1の構成要素が第2の構成要素の上に存在しているが、第2の構成要素には直接接触していないこと

10

20

30

40

50

、(2) 第1の構成要素が第2の構成要素上に(例えば、第2の構成要素の表面上に)存在していること、及び／又は(3) 第1の構成要素が第2の構成要素内に存在している(例えば、第2の構成要素内に埋め込まれている)ことを意味し得る。第2の構成要素「内に(in)」配置されている第1の構成要素は、第2の構成要素内に部分的に配置されている場合もあれば、又は、第2の構成要素内に完全に配置されている場合もある。本開示で使用される場合の「約(about)『値X』」又は「およそ(approximately)値X」という用語は、「値X」の10パーセントの範囲内を意味する。例えば、約1又はおよそ1の値とは、0.9~1.1の範囲の値を意味することになる。

【0114】

いくつかの実装形態では、相互接続部とは、2つの点、要素、及び／又は構成要素間の電氣的接続を可能にするか若しくは容易にする、デバイス又はパッケージの要素若しくは構成要素である。いくつかの実装形態では、相互接続部は、トレース、ビア、パッド、ピラー、メタライゼーション層、再分配層、及び／又はアンダーバンプメタライゼーション(under bump metallization、UBM)層／相互接続部を含み得る。いくつかの実装形態では、相互接続部は、信号(例えば、データ信号)、接地、及び／又は電力に関する電気経路を提供するように構成することが可能な、導電性材料を含み得る。相互接続部は、2つ以上の要素又は構成要素を含み得る。相互接続部は、1つ又は複数の相互接続部によって画定され得る。相互接続部は、1つ又は複数の金属層を含み得る。相互接続部は、回路の一部とすることができる。異なる実装形態は、相互接続部を形成するために、異なるプロセス及び／又はシーケンスを使用することができる。いくつかの実装形態では、相互接続部を形成するために、化学気相成長(chemical vapor deposition、CVD)プロセス、物理気相成長(physical vapor deposition、PVD)プロセス、スパッタリングプロセス、スプレーコーティング、及び／又はめっきプロセスが使用され得る。

【0115】

また、本明細書に含まれている様々な開示は、フローチャート、フロー図、構造図、又はブロック図として示されているプロセスとして、説明される場合がある点にも留意されたい。フローチャートは、逐次プロセスとして動作を説明し得るものであるが、それらの動作のうちの多くは、並行して、又は同時に実行することができる。更には、動作の順序を並べ替えることもできる。プロセスは、その動作が完了すると終了する。

【0116】

以下では、更なる例を、本開示の理解を容易にするために説明する。

【0117】

態様1：集積デバイスであって、複数のトランジスタを含むダイ基板と、ダイ基板に結合された相互接続部分と、相互接続部分に結合されたパッケージング部分とを備える、集積デバイス。相互接続部分は、少なくとも1つのダイ誘電体層と、複数のトランジスタに結合された複数のダイ相互接続部とを含む。パッケージング部分は、少なくとも1つの磁気層と、複数のダイ相互接続部に結合された複数のメタライゼーション相互接続部とを含む。

【0118】

態様2：少なくとも1つの磁気層が、絶縁層及び／又は誘電体層を含む、態様1に記載の集積デバイス。

【0119】

態様3：少なくとも1つの磁気層が、非導電性材料を含む、態様1又は2に記載の集積デバイス。

【0120】

態様4：少なくとも1つの磁気層が、1よりも大きい相対透磁率値を有する、態様1~3に記載の集積デバイス。

【0121】

態様5：少なくとも1つの磁気層が、0.01~0.04の範囲にある磁気損失正接値

10

20

30

40

50

を有する、態様 1～4 に記載の集積デバイス。

【0122】

態様 6：少なくとも 1 つの磁気層が、第 1 の透磁率値を含む第 1 の磁気層と、第 2 の透磁率値を含む第 2 の磁気層と、を含む、態様 1～5 に記載の集積デバイス。第 1 の透磁率値は、第 1 の相対透磁率値であり得る。第 2 の透磁率値は、第 2 の相対透磁率値であり得る。

【0123】

態様 7：相互接続部分が、複数のダイ相互接続部からの少なくともいくつかのダイ相互接続部によって画定されるキャパシタを含む、態様 1～6 に記載の集積デバイス。

【0124】

態様 8：パッケージング部分が、複数のメタライゼーション相互接続部からの少なくとも 1 つのメタライゼーション相互接続部によって画定されるインダクタを含む、態様 7 に記載の集積デバイス。

【0125】

態様 9：パッケージング部分が、再分配部分であり、複数のメタライゼーション相互接続部が、複数の再分配相互接続部を含む、態様 1～8 に記載の集積デバイス。

【0126】

態様 10：集積デバイスが、電力管理集積回路（PMIC）として動作するように構成されたダイである、態様 1～9 に記載の集積デバイス。

【0127】

態様 11：デバイスであって、ダイ基板と、ダイ基板に結合された相互接続部分と、相互接続部分に結合されたパッケージング部分と、を備える、デバイス。相互接続部分は、少なくとも 1 つのダイ誘電体層と、複数のダイ相互接続部とを含む。パッケージング部分は、少なくとも 1 つの磁気層と、複数のダイ相互接続部に結合された複数のメタライゼーション相互接続部とを含む。

【0128】

態様 12：少なくとも 1 つの磁気層が、絶縁層、誘電体層、及び／又は非導電性材料を含み、少なくとも 1 つの磁気層が、1 よりも大きい相対透磁率値を有する、態様 11 に記載のデバイス。

【0129】

態様 13：少なくとも 1 つの磁気層が、第 1 の透磁率値を含む第 1 の磁気層と、第 2 の透磁率値を含む第 2 の磁気層と、を含む、態様 11 又は 12 に記載のデバイス。第 1 の透磁率値は、第 1 の相対透磁率値であり得る。第 2 の透磁率値は、第 2 の相対透磁率値であり得る。

【0130】

態様 14：相互接続部分が、複数のダイ相互接続部からの少なくともいくつかのダイ相互接続部によって画定されるキャパシタを含む、態様 11～13 に記載のデバイス。

【0131】

態様 15：パッケージング部分が、複数のメタライゼーション相互接続部からの少なくとも 1 つのメタライゼーション相互接続部によって画定されるインダクタを含む、態様 14 に記載のデバイス。

【0132】

態様 16：ダイ基板、相互接続部分、及びパッケージング部分が、集積受動デバイス（IPD）の一部である、態様 11～15 に記載のデバイス。

【0133】

態様 17：デバイスが、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、固定ロケーション端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット（IoT）デバイス、及び自動ビークル内のデバイスからなる群から選択される、態様 11～

10

20

30

40

50

16に記載のデバイス。

【0134】

態様18：方法は、ダイ基板を提供する。方法は、ダイ基板の上に相互接続部分を形成し、相互接続部分を形成することは、少なくとも1つのダイ誘電体層を形成することと、複数のダイ相互接続部を形成することを含む。方法は、相互接続部分の上にパッケージング部分を形成し、パッケージング部分を形成することは、複数のダイ相互接続部に結合された複数のメタライゼーション相互接続部を形成することと、少なくとも1つの磁気層を形成することを含む。

【0135】

態様19：ダイ基板が、複数のトランジスタを含み、複数のダイ相互接続部が、複数のダイ相互接続部が複数のトランジスタに結合されるように形成されている、態様18に記載の方法。

10

【0136】

態様20：少なくとも1つの磁気層が、絶縁層、誘電体層、及び／又は非導電性材料を含み、少なくとも1つの磁気層が、1よりも大きい相対透磁率値を有する、態様18又は19に記載の方法。

【0137】

態様21：相互接続部分が、複数のダイ相互接続部からの少なくともいくつかのダイ相互接続部によって画定されるキャパシタを含み、パッケージング部分が、複数のメタライゼーション相互接続部からの少なくとも1つのメタライゼーション相互接続部によって画定されるインダクタを含む、態様18～20に記載の方法。

20

【0138】

本明細書で説明されている本開示の様々な特徴は、本開示から逸脱することなく、種々のシステムにおいて実装することができる。本開示の上記の態様は、単なる例に過ぎず、本開示を限定するものとして解釈されるべきではない点に留意されたい。本開示の諸態様の説明は、例示的であることが意図されており、特許請求の範囲を限定することを意図するものではない。それゆえ、本教示は、他のタイプの装置に容易に適用することができ、当業者には、多くの代替形態、修正形態、及び変形形態が明らかとなるであろう。

【符号の説明】

【0139】

30

- 100 パッケージ
- 102 基板
- 103 集積デバイス
- 105 集積受動デバイス
- 106 ボード
- 110 相互接続部
- 120 誘電体層
- 122 相互接続部
- 130 相互接続部
- 140 レジスト層
- 142 レジスト層
- 150 相互接続部
- 160 ボード誘電体層
- 162 ボード相互接続部
- 200 ダイ基板
- 201 能動部分
- 202 相互接続部分
- 203 キャパシタ
- 204 パッケージング部分
- 210 トランジスタ

40

50

- 2 2 0 酸化物層
- 2 2 1 ダイ相互接続部
- 2 2 2 高K誘電体層
- 2 2 4 ダイ誘電体層
- 2 2 5 ダイ相互接続部
- 2 2 6 パッシベーション層
- 2 2 7 ダイ相互接続部
- 2 2 9 ダイ相互接続部
- 2 4 0 磁気層
- 2 4 0 a 磁気層
- 2 4 0 b 磁気層
- 2 4 0 c 磁気層
- 2 4 1 メタライゼーション相互接続部
- 2 4 2 メタライゼーション相互接続部
- 2 4 3 メタライゼーション相互接続部
- 2 4 4 メタライゼーション相互接続部
- 2 4 5 メタライゼーション相互接続部
- 2 4 6 メタライゼーション相互接続部
- 2 5 0 パッシベーション層
- 2 5 1 ピラー相互接続部
- 6 0 0 デバイス
- 6 0 2 インダクタ
- 6 0 4 磁気層
- 1 0 2 4 キャビティ
- 1 0 5 0 開口部
- 1 5 0 0 デバイス
- 1 5 0 2 携帯電話デバイス
- 1 5 0 4 ラップトップコンピュータデバイス
- 1 5 0 6 固定ロケーション端末デバイス
- 1 5 0 8 ウェアラブルデバイス
- 1 5 1 0 自動ビークル

10

20

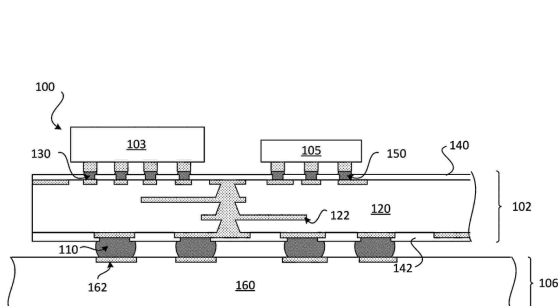
30

40

50

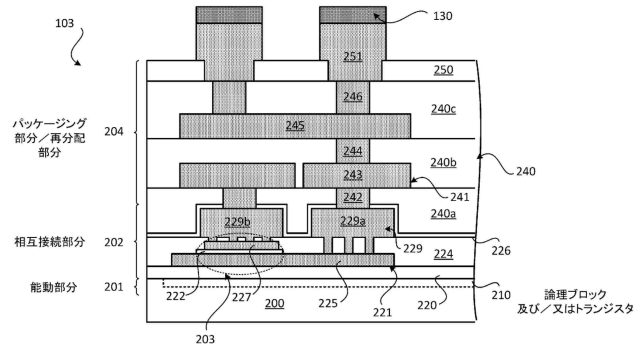
【図面】

【図 1】



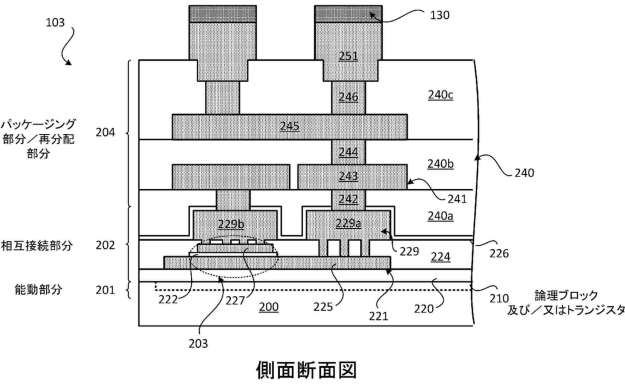
側面断面図

【図 2】

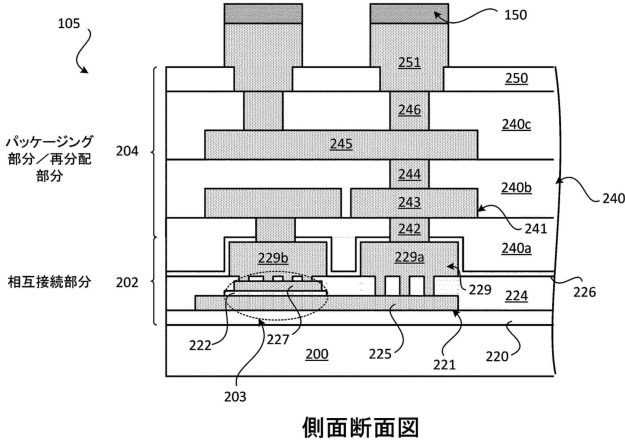


側面断面図

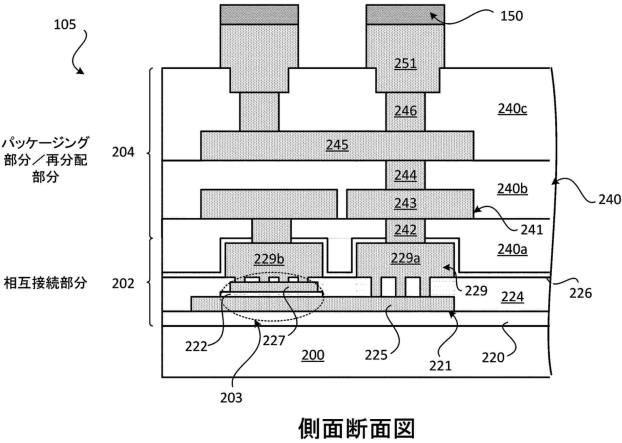
【図 3】



【図 4】



【図 5】



【図 6】

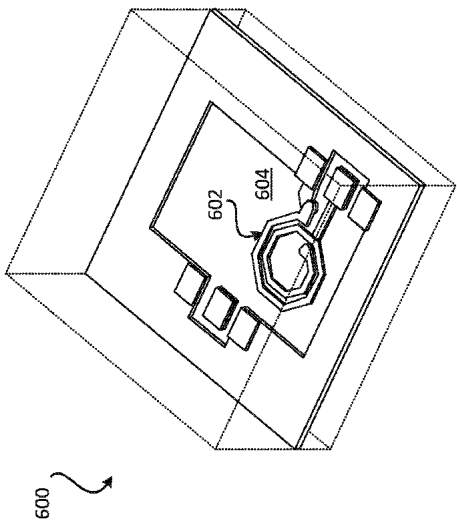
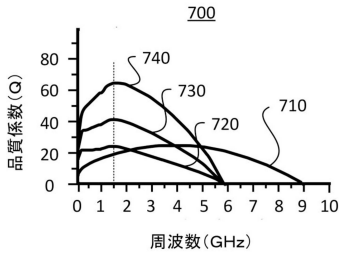
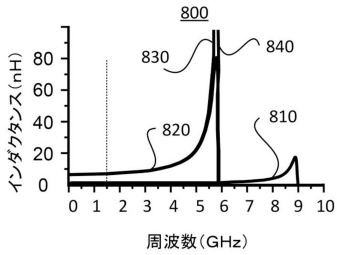


FIG. 6

【図 7】



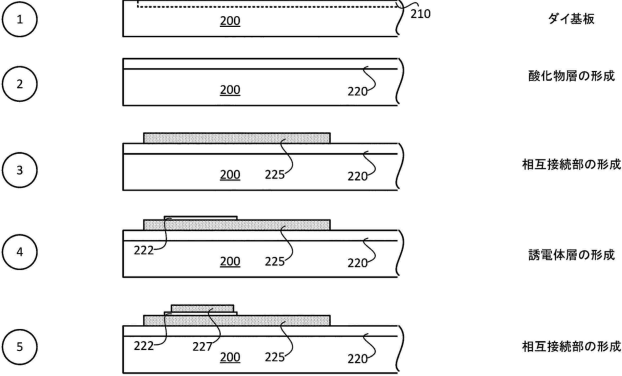
【図 8】



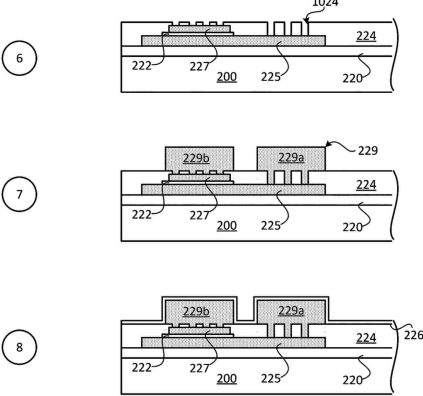
【図 9】

インダクタノ線	磁気材料の有無	透磁率 (μr)	損失正接	インダクタンス @ 1.5GHz	Q係数 @ 1.5GHz
710/810	無	1	0.01	1nH	20
720/820	有	10	0.04	7nH	23
730/830	有	10	0.02	7nH	40
740/840	有	10	0.01	7nH	60

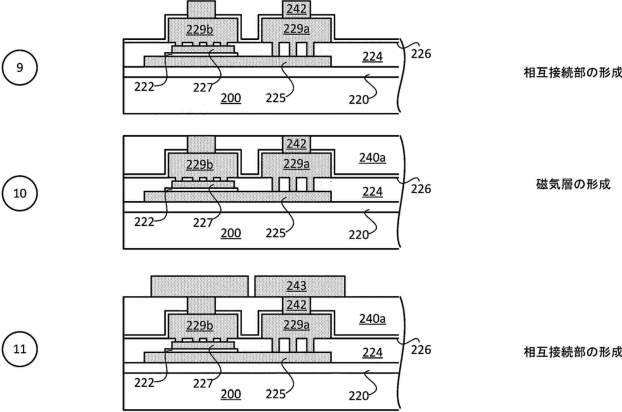
【図 10 A】



【図 10 B】



【図 10 C】



10

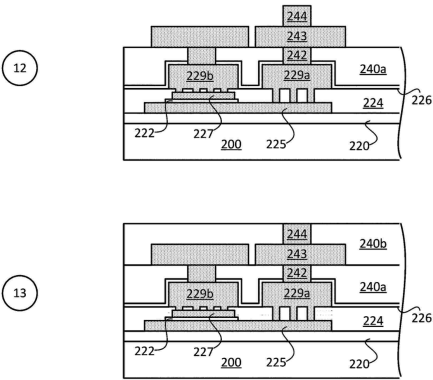
20

30

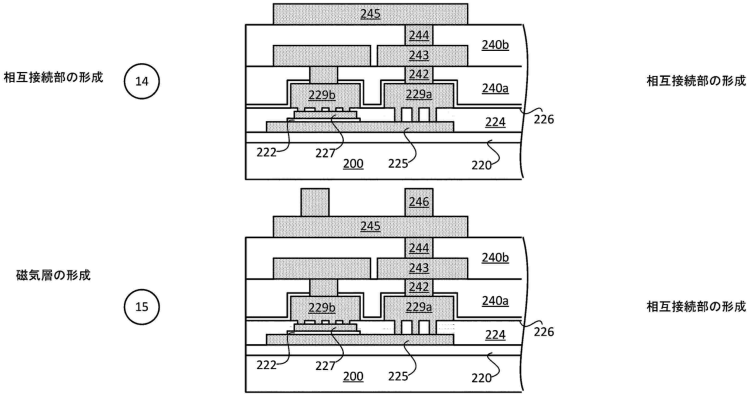
40

50

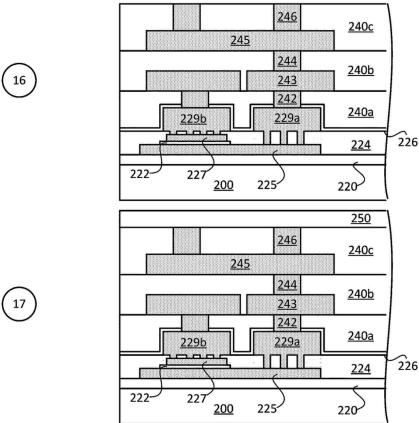
【図 10 D】



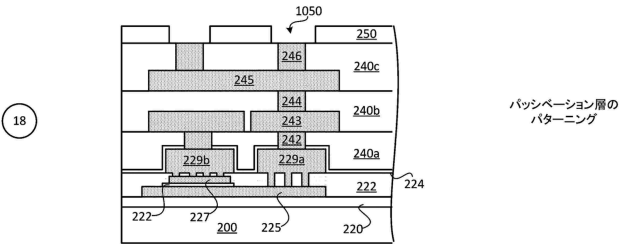
【図 10 E】



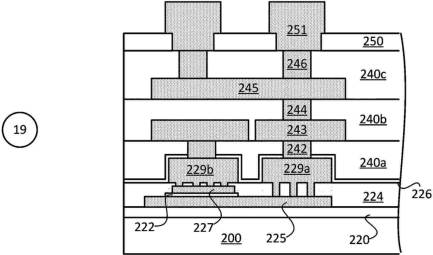
【図 10 F】



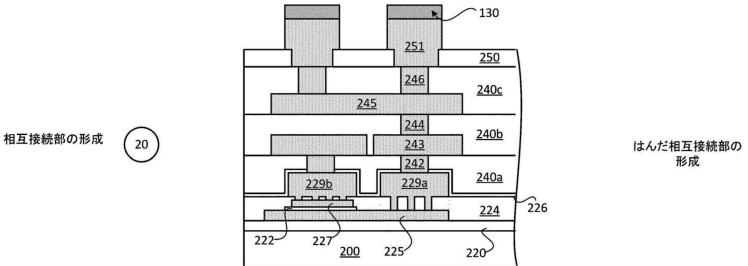
【図 10 G】



【図 10 H】



【図 10 I】



10

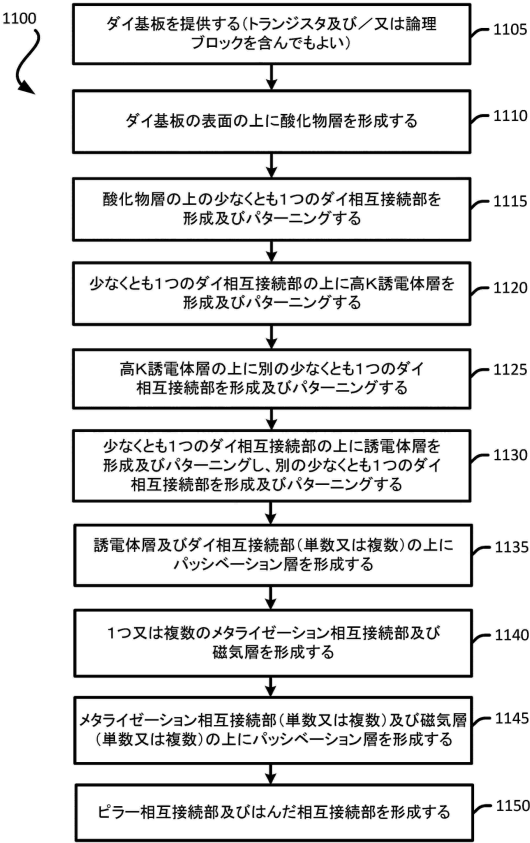
20

30

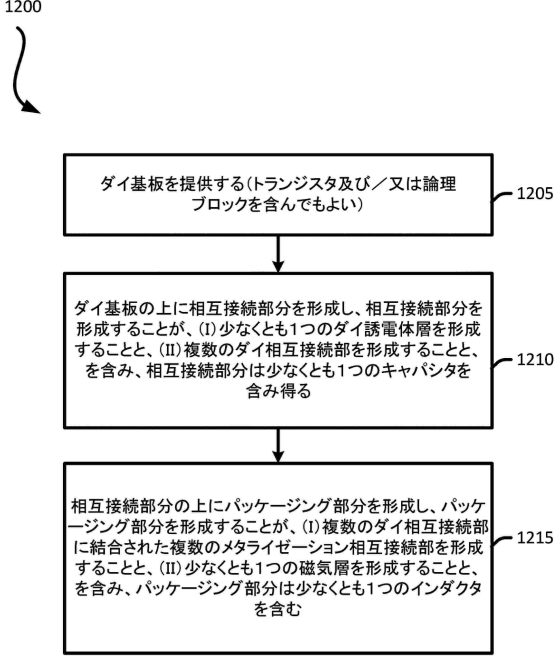
40

50

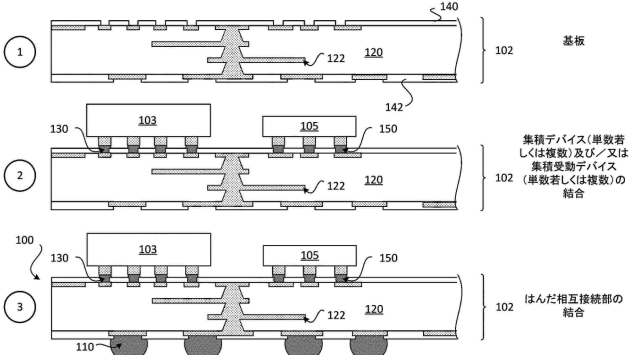
【図 1 1】



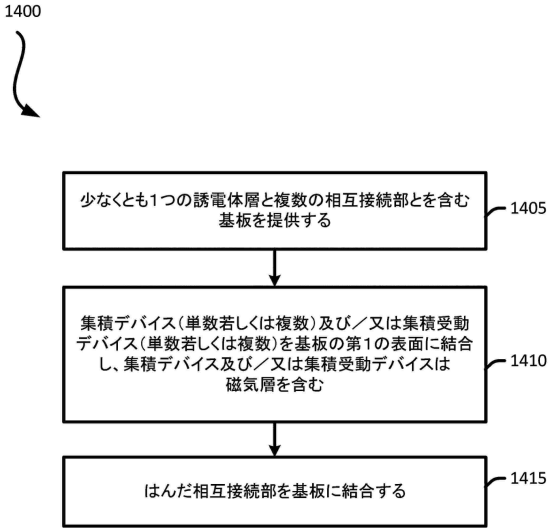
【図 1 2】



【図 1 3】



【図 1 4】



10

20

30

40

50

【図 15】

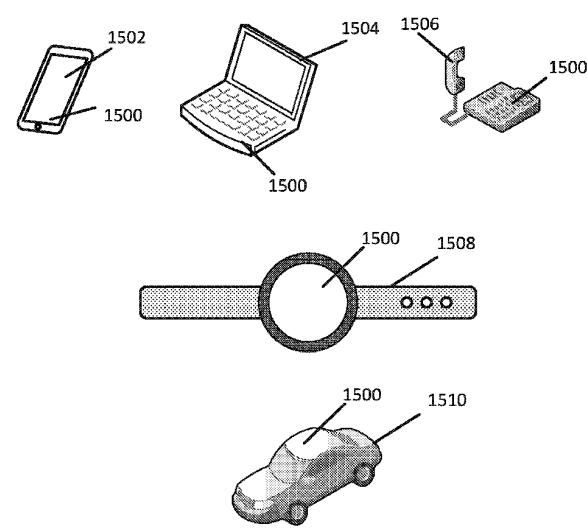


FIG. 15

10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/064058

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L23/522 H01L23/532 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2021/159163 A1 (LIFF SHAWNA [US] ET AL) 27 May 2021 (2021-05-27) paragraphs [0024] - [0061]; figures 3, 4A-4D -----	1-21
X	US 2017/250133 A1 (STURCKEN NOAH [US] ET AL) 31 August 2017 (2017-08-31) paragraphs [0026] - [0052]; figure 5 -----	1-5, 9, 11, 12, 16, 18-20
A	US 2009/256667 A1 (SMEYS PETER [US] ET AL) 15 October 2009 (2009-10-15) paragraphs [0023] - [0040]; figures 2A-2C -----	1-21
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 16 June 2023		Date of mailing of the international search report 27/06/2023
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Franche, Vincent

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT					
Information on patent family members					
International application No					
PCT/US2023/064058					
Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 2021159163 A1	27-05-2021	CN	112864128 A		28-05-2021
		DE	102020127692 A1		27-05-2021
		JP	2021087007 A		03-06-2021
		KR	20210065026 A		03-06-2021
		TW	202129894 A		01-08-2021
		US	2021159163 A1		27-05-2021

US 2017250133 A1	31-08-2017	US	2017250133 A1		31-08-2017
		US	2017250134 A1		31-08-2017

US 2009256667 A1	15-10-2009	US	2009256667 A1		15-10-2009
		US	2012009689 A1		12-01-2012

10

20

30

40

50

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,
ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,C
O,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,I
R,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX
,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,
SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライヴ・ 5 7 7 5

(72)発明者

ジョンヘ・キム

アメリカ合衆国・カリフォルニア・ 9 2 1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライ
ヴ・ 5 7 7 5