



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201217873 A1

(43)公開日：中華民國 101 (2012) 年 05 月 01 日

(21)申請案號：100138384

(22)申請日：中華民國 100 (2011) 年 10 月 21 日

(51)Int. Cl. : **G02F1/1343 (2006.01)**

G02F1/1345 (2006.01)

(30)優先權：2010/10/25 日本

2010-238320

2011/05/23 日本

2011-114701

(71)申請人：精工愛普生股份有限公司 (日本) SEIKO EPSON CORPORATION (JP)

日本

(72)發明人：原弘幸 HARA, HIROYUKI (JP)；橫田智己 YOKOTA, TOMOKI (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：11 項 圖式數：27 共 68 頁

(54)名稱

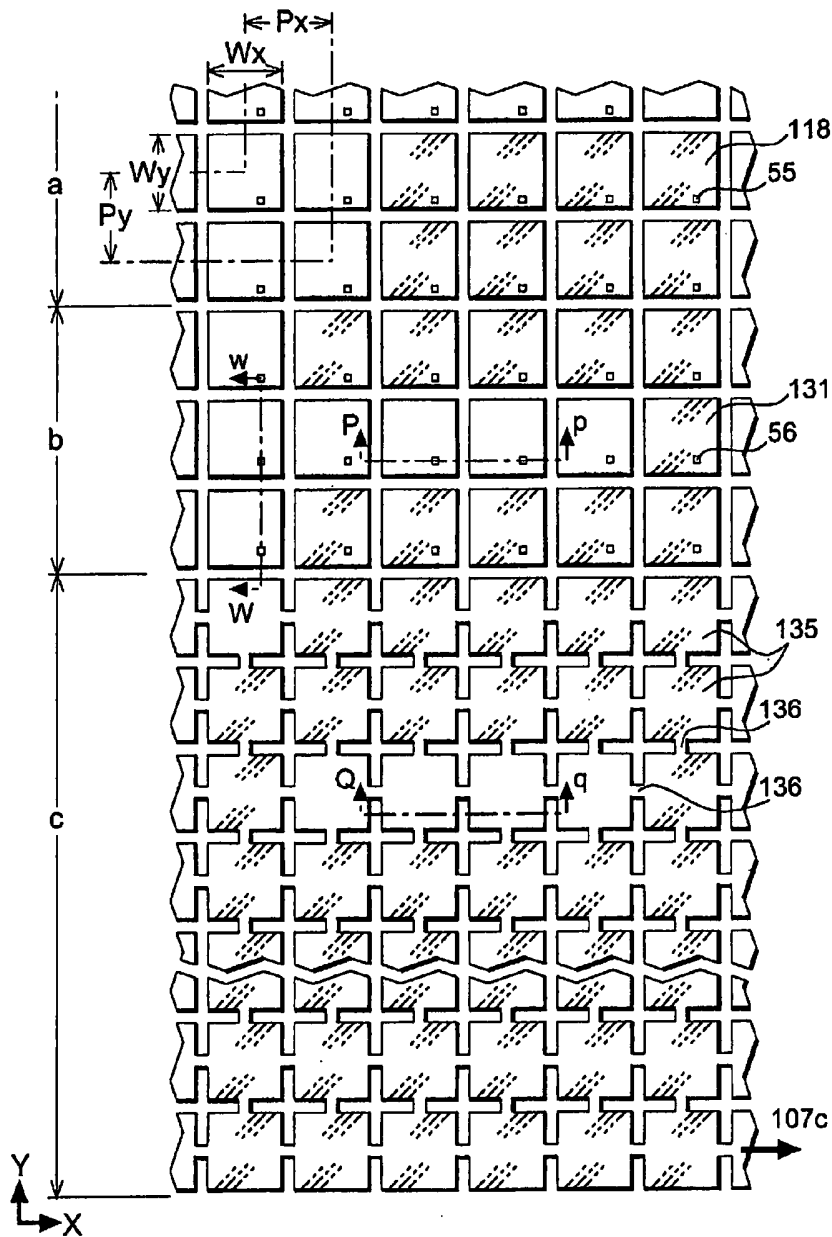
光電裝置及電子機器

ELECTRO-OPTICAL DEVICE AND ELECTRONIC EQUIPMENT

(57)摘要

於顯示區域 a 中，像素電極 118 以特定之間距排列成矩陣狀。於包圍顯示區域 a 之虛設顯示區域 b 中所設置之虛設像素電極 131 包含與像素電極 118 同一層，且以與像素電極 118 相等之尺寸及間距排列成島狀。虛設像素電極 131 經由較像素電極 118 更下層之配線而彼此相互連接。

< K區域 (像素電極、虛設像素電極、導電圖案) >



55：接觸孔

56：接觸孔

107c：連接點

118：像素電極

131：虛設像素電極

135：導電圖案

136：連接部

a：顯示區域

b：顯示區域

c：外側區域

P-p：線

P_x ：像素電極之 X 方向之间距

P_y ：像素電極之 Y 方向之间距

Q-q：線

W-w：線

W_x ：像素電極之 X 方向之尺寸

W_y ：像素電極之 Y 方向之尺寸



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201217873 A1

(43)公開日：中華民國 101 (2012) 年 05 月 01 日

(21)申請案號：100138384

(22)申請日：中華民國 100 (2011) 年 10 月 21 日

(51)Int. Cl. : **G02F1/1343 (2006.01)**

G02F1/1345 (2006.01)

(30)優先權：2010/10/25 日本

2010-238320

2011/05/23 日本

2011-114701

(71)申請人：精工愛普生股份有限公司 (日本) SEIKO EPSON CORPORATION (JP)
日本

(72)發明人：原弘幸 HARA, HIROYUKI (JP)；橫田智己 YOKOTA, TOMOKI (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：11 項 圖式數：27 共 68 頁

(54)名稱

光電裝置及電子機器

ELECTRO-OPTICAL DEVICE AND ELECTRONIC EQUIPMENT

(57)摘要

於顯示區域 a 中，像素電極 118 以特定之間距排列成矩陣狀。於包圍顯示區域 a 之虛設顯示區域 b 中所設置之虛設像素電極 131 包含與像素電極 118 同一層，且以與像素電極 118 相等之尺寸及間距排列成島狀。虛設像素電極 131 經由較像素電極 118 更下層之配線而彼此相互連接。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種光電裝置及使用該光電裝置之電子機器。

【先前技術】

光電裝置、例如液晶面板呈如下之構成：一對元件基板與對向基板一面保持固定間隙一面貼合，並且於該間隙中封入有液晶。於元件基板中之與對向基板對向之面上，像素電極針對每個像素而排列成矩陣狀。另一方面，於對向基板中之與元件基板對向之面上，以與所有像素電極對向之方式設置有共用電極。

於此種液晶面板之中，尤其如顯示區域以對角計為1吋以下之應用於例如投影機之光閥的液晶面板中，存在因像素電極之有無而產生之階差使液晶配向之紊亂或光學散射等產生，並使對比率下降的情形。為了消除該階差，提出有如下之技術：雖然並不有助於顯示，但亦於像素電極所排列之顯示區域之外側的區域，以與像素電極大致相同之密度設置包含與像素電極同一層之導電圖案，從而於顯示區域之內與外不易產生平坦度之差(參照專利文獻1)。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2006-267937號公報(參照圖4)

【發明內容】

[發明所欲解決之問題]

然而，上述導電圖案係將在縱向及橫向上相鄰之尺寸與像素電極相同之電極彼此連接並圖案化而成者。因此，由於連接部分之面積增加，故而設置於顯示區域之外側之區域的導電圖案無法成為與像素電極相同之密度，結果存在平坦度產生差之問題。

本發明係鑒於上述情況而完成者，其目的之一在於提供一種可使顯示區域與該顯示區域之外側之區域之平坦度的差更小之技術。

[解決問題之技術手段]

為了達成上述目的，本發明之一實施形態之光電裝置之特徵在於：其包括：元件基板；以及對向基板，其與上述元件基板對向配置，且在與上述元件基板之對向側具有共用電極；且上述元件基板包含：複數個像素電極，其等形成在與上述對向基板之對向側，並針對每個像素以特定之間距排列；驅動電路，其於俯視時位於上述複數個像素電極之外側，並驅動上述像素；複數個虛設像素電極，其等以於俯視時，在上述驅動電路與上述複數個像素電極之間包圍上述複數個像素電極之方式設置，包含與上述複數個像素電極同一層，並以與上述複數個像素電極實質上相等之尺寸及間距排列成島狀；以及配線，其配設在與上述複數個像素電極不同之層上，並將上述複數個虛設像素電極中之至少於一方向上相鄰之虛設像素電極彼此電性連接。根據該構成，由於像素電極與虛設像素電極實質上尺寸及間距相等，因此與先前技術相比可使平坦度之差變小。進

而，亦可經由配線而對虛設像素電極共通地施加獨立於像素電極之電壓。

於上述構成中，亦可設為如下之構成：上述元件基板包含：複數條掃描線；複數條資料線，其等在俯視時與上述複數條掃描線交叉；以及屏蔽電極，其以於剖面觀察時設置在上述資料線與上述像素電極之間，於俯視時覆蓋上述資料線之方式形成，並被施加特定之電壓；且上述像素電極於俯視時分別對應於上述複數條掃描線與上述複數條資料線之各交叉而設置，上述配線包含與上述屏蔽電極同一層，並被施加上述特定之電壓。根據該構成，作為配線，可使用與抑制像素電極與資料線之電容耦合之屏蔽電極相同的層。又，於該構成中，較佳為對上述共用電極施加特定之共用電壓，並將上述特定電壓設為上述共用電壓。若如此，則於由虛設像素電極及共用電極夾持例如液晶之類的光電物質之情形時，可使對於該光電物質之施加電壓變成零。

於上述構成中，亦可設為如下之構成：上述元件基板包含：複數條掃描線；以及複數條資料線，其等在俯視時與上述複數條掃描線交叉；且上述像素電極於俯視時分別對應於上述複數條掃描線與上述複數條資料線之各交叉而設置；上述驅動電路包含：兩個掃描線驅動電路，其等自上述複數條掃描線之兩端側分別驅動上述複數條掃描線之各條掃描線；以及資料線驅動電路，其自上述複數條資料線之一端側驅動上述複數條資料線之各條資料線。於該構成

中，較佳為如下之構成：上述配線係包含與上述資料線不同之電極層之第1配線，且上述複數個虛設像素電極中之位於上述資料線驅動電路與上述複數個像素電極之間者係經由上述第1配線而相互連接。根據該構成，可使用包含與資料線不同之電極層之第1配線將虛設像素電極相互連接。作為此種配線，可使用將用以與半導體層之源極、汲極區域連接之中繼電極層，或包含與掃描線同一層之閘極電極層等圖案化而成者。又，如下之構成亦較佳：上述配線係包含與上述資料線同一層之電極層之第2配線，且上述複數個虛設像素電極中之位於上述掃描線驅動電路與上述複數個像素電極之間者係經由上述第2配線而相互連接。根據該構成，可使用包含與資料線同一層之第2配線將虛設像素電極相互連接。如此，若使用現有之導電層作為配線，則可防止製造製程之複雜化。

於上述構成中，亦可設為如下之構成：以特定之週期對上述虛設像素電極交替地施加較上述共用電壓僅高特定值之電壓、及僅低上述特定值之電壓。若如此構成，則不僅於由虛設像素電極及共用電極夾持液晶之情形時，可使施加於該液晶之電壓變成零，而且即便於施加於液晶之電壓有效值為零時反射率或透射率不變成最小之情形時，亦可使虛設顯示區域中之反射率或透射率變成最小。當然，亦可並非反射率或透射率變成最小之電壓。例如，亦可施加上述共用電壓。若如此構成，則可使施加於例如由虛設像素電極及共用電極夾持之液晶之電壓變成零。

於上述構成中，亦可設為如下之構成：於俯視時，在上述像素電極之間隙及上述虛設像素電極之間隙中分別埋入有絕緣材。若如此構成，則可使自顯示區域至虛設顯示區域所產生之階差變得極小。

又，於上述構成中，亦可設為如下之構成：具有導電圖案，該導電圖案於俯視時設置在包圍上述虛設像素電極之位置，包含與上述像素電極同一層，且不與上述虛設像素電極連接。若如此構成，則亦可減少自虛設顯示區域至外側區域所產生之階差。

又，本發明之一實施形態之光電裝置之特徵在於：其包括：元件基板；以及對向基板，其與上述元件基板對向配置，並在與上述元件基板之對向側具有共用電極；且上述元件基板包含：複數個像素電極，其等形成在與上述對向基板之對向側，並針對每個像素以特定之間距排列；驅動電路，其於俯視時位於上述複數個像素電極之外側，並驅動上述像素；複數個虛設像素電極，其等以於俯視時，在上述驅動電路與上述複數個像素電極之間包圍上述複數個像素電極之方式設置，包含與上述複數個像素電極同一層，並以成為與上述複數個像素電極實質上相等之密度的方式排列成島狀；以及配線，其配設在與上述複數個像素電極不同之層上，並將上述複數個虛設像素電極中之至少於一方向上相鄰之虛設像素電極彼此電性連接。根據該構成，由於像素電極與虛設像素電極之密度相等，故而與先前技術相比可使平坦度之差變小。進而，亦可經由配線而

對虛設像素電極共通地施加獨立於像素電極之電壓。

再者，本發明除光電裝置以外，亦可作為包含該光電裝置之電子機器來定義。作為此種電子機器，可列舉將光電裝置之光調變圖像放大投射之投影機。

【實施方式】

<第1實施形態>

以下，對本發明之第1實施形態進行說明。

第1實施形態之反射型之液晶面板可用作後述之投影機的光閥。再者，第1實施形態之液晶面板之特徵部分主要在於位於顯示區域之外側之虛設顯示區域的虛設像素電極。其中，必需對虛設像素電極之構成層或針對該虛設像素電極之配線等與顯示區域之導電層處於何種關係進行說明。

因此，首先對液晶面板100之構造之概略進行說明。

再者，於以下之圖中，為了將各層、各構件、各區域等設為可識別之大小，有時會使比例尺不同。

圖1(A)係表示第1實施形態之液晶面板100之構造之立體圖，圖1(B)係沿圖1(A)中之H-h線斷裂之剖面圖。

如該等圖所示，液晶面板100呈如下之構造：形成有像素電極118之元件基板101與設置有共用電極108之對向基板102藉由包含間隔物(省略圖示)之密封材料90而保持固定的間隙，並以使電極形成面對向之方式相互貼合，且於該間隙中填充有例如VA(Vertical Alignment，垂直排列)型之液晶105。

元件基板101及對向基板102分別使用玻璃或石英等具有透光性之基板。於圖1(A)中，元件基板101之Y方向之尺寸較對向基板102更長，但因裏側(h側)對齊，故元件基板101之近前側(H側)之一面自對向基板102突出。於該突出之區域，沿著X方向設置有複數個端子107。再者，複數個端子107係連接於FPC(Flexible Printed Circuits，可撓性印刷電路)基板，並被自外部上位裝置供給各種信號或各種電壓、影像信號。

再者，於本實施形態中，亦可將不具有透光性之基板、例如矽基板用於元件基板101，而將液晶面板構成為所謂的LCOS(Liquid Crystal On Silicon，液晶覆矽)型。

於元件基板101中，形成在與對向基板102對向之面上之像素電極118係將鋁等反射性金屬層圖案化而成者，詳細情況將後述。於對向基板102中，設置在與元件基板101對向之面上之共用電極108係ITO(Indium Tin Oxide，氧化銦錫)等具有透明性之導電層。

再者，密封材料90係如後述般沿著對向基板102之內緣形成為邊框狀，但為了封入液晶105，其一部分實際上開口。因此，於封入液晶105後，其開口部分藉由封口材料92而封口。又，於元件基板101之對向面及對向基板102之對向面上，分別設置有於未施加電壓之狀態下使液晶分子沿著基板面之法線方向配向的配向膜，但圖1(B)中被省略。

此處，關於圖1(B)所示之元件基板101之區域a、b、c，

參照圖8及圖9進行說明。圖8係表示自對向基板102之側、即自觀察側觀察時之元件基板101的俯視圖，圖9係將圖8中之區域a、b、c抽出表示之圖。再者，圖8中省略了圖1(A)所示之密封材料90之開口部分及封口材料92。

於圖8或圖9中，a係有助於顯示之像素電極118排列成矩陣狀之顯示區域。b係較顯示區域a位於更外側、且位於該顯示區域a與設置有資料線驅動電路160及掃描線驅動電路170之驅動電路的周邊電路區域之間的虛設顯示區域，其係包圍顯示區域a之區域。c係自虛設顯示區域b之更外側至元件基板101之緣端部為止之外側區域，且排除導通點94或端子107所排列之部分。換言之，所謂虛設顯示區域b，係指顯示區域a與外側區域c間之區域。

其次，參照圖2對液晶面板100之電氣構成進行說明。此處，圖2與圖8及圖9相反，表示圖1(A)中自下方、即自背面進行側俯視時之位置關係。

如上所述，液晶面板100中，元件基板101與對向基板102保持固定之間隙而貼合，並且於該間隙中夾持有液晶105。於元件基板101中之與對向基板102之對向面上，複數m列之掃描線112沿著圖中之X方向而設置，另一方面，複數n行之資料線114沿著Y方向、且與各掃描線112相互保持電性絕緣而設置。

於顯示區域a中，對應於m列之掃描線112與n行之資料線114之各個交叉，設置有作為開關元件之一例之n通道型的TFT(Thin Film Transistor，薄膜電晶體)116與具有反射性

之像素電極118之組。TFT116之閘極電極連接於掃描線112，源極電極連接於資料線114，汲極電極連接於像素電極118。因此，本實施形態中，於顯示區域a中像素電極118以m列n行排列成矩陣狀。

再者，於圖2中，自背面側觀察之元件基板101之對向面成為圖紙裏側，因此掃描線112或資料線114、TFT116、像素電極118等應以虛線表示，但因變得難以觀察，故分別以實線表示。又，本實施形態中，為了區分資料線114，有時會於圖2中自左側起依次稱作第1、第2、第3、...、第(n-1)、第n行。同樣地，為了區分掃描線112，有時會於圖2中自上方起依次稱作第1、第2、第3、...、第(m-1)、第m列。

資料線驅動電路160係自資料線114之一端側驅動第1、第2、第3、...、第n行之資料線114。詳細而言，資料線驅動電路160將經由端子107所供給之影像信號藉由同樣經由端子107所供給之各種控制信號而對1、2、3、...、n行的資料線114分配並加以保持，然後作為資料信號X1、X2、X3、...、Xn來供給。又，如圖8所示，資料線驅動電路160係設置於外側區域c中之設置有複數個端子107之一邊的區域。

兩個掃描線驅動電路170自一端側及另一端側之兩個方向驅動第1、第2、第3、...、第m列之掃描線112。詳細而言，掃描線驅動電路170係藉由經由端子107所供給之各種控制信號而分別生成掃描信號Y1、Y2、Y3、...、Ym，並

自第1、第2、第3、...、第m列之掃描線112之兩側供給上述掃描信號。又，如圖8所示，掃描線驅動電路170係分別設置於外側區域c中之與形成有資料線驅動電路160之區域鄰接之兩邊的區域。

另一方面，於對向基板102中之與元件基板101之對向面上，遍及整個面設置有具有透明性之共用電極108。於元件基板101中，依次經由端子107、配線107a、及與對向基板102之導通點94而對共用電極108施加電壓LCcom。再者，如圖8所示，導通點94於俯視時分別位於形成在基板內周緣之密封材料90之框外的四角，藉由銀膏等導通材料而謀求與共用電極108導通。

圖3係表示顯示區域a中之像素110之等效電路之圖，其成為如下之構成：由像素電極118與共用電極108夾持液晶105之液晶元件120對應於掃描線112與資料線114之交叉而排列。

再者，圖2中雖省略，但實際上如圖3所示，相對於液晶元件120並列地設置有輔助電容(儲存電容)125。該輔助電容125之一端連接於像素電極118及TFT116之汲極電極，另一端與電容線115共通連接。本實施形態中，對電容線115施加與共用電極108相同之電壓LCcom。

於此種構成中，若掃描線驅動電路170選擇某1列之掃描線112，並將該掃描線112設為H位準，則閘極電極連接於該掃描線112之TFT116成為接通狀態，像素電極118成為與資料線114電性連接之狀態。因此，當掃描線112為H位準

時，若資料線驅動電路160將對應於灰階之電壓之資料信號供給至資料線114，則該資料信號經由成為接通狀態之TFT116而施加於像素電極118。若掃描線112成為L位準，則TFT116成為斷開狀態，施加於像素電極118之電壓由液晶元件120之電容性及輔助電容125保持。

掃描線驅動電路170依次選擇自第1列至第m列為止之掃描線112，並且資料線驅動電路160經由資料線114對位於所選擇之掃描線112之1列的像素供給資料信號，藉此將對應於灰階之電壓施加、保持於所有液晶元件120中。該動作係於每一個訊框(一個垂直掃描期間)中重複。

因此，於本實施形態中，資料線驅動電路160及掃描線驅動電路170係作為驅動像素110(液晶元件120)之驅動電路而發揮功能。

另一方面，液晶元件120中，對應於由像素電極118及共用電極108之間所產生之電場之強度，液晶105之分子配向狀態會發生變化。

圖1(A)或圖1(B)中自作為對向基板102之側之觀察側所入射的光經過省略圖示之偏光片、對向基板102、共用電極108、液晶105這一路徑後，由像素電極118反射，並經過與之前相反之路徑而出射。此時，相對於入射至液晶元件120之光量，出射之光量之比率即反射率隨著施加、保持於液晶元件120之電壓變高而變大。

如此，液晶面板100中，反射率於每個液晶元件120中變化，因此液晶元件120作為應顯示之圖像之最小單位之像

素而發揮功能。液晶元件120於俯視時由像素電極118規定，因此像素電極118所排列之區域成為上述顯示區域a。

繼而，對元件基板101中之顯示區域a之元件構造進行說明。

圖4~圖6係表示像素之構成之俯視圖，圖7係沿圖4~圖6之J-j線斷裂之局部剖面圖。再者，圖4~圖6中，為了於自對向面俯視元件基板101時對構造進行說明，省略層間絕緣膜等非導電膜之圖示，並且圖4表示元件構造中之至資料線層為止，圖5表示屏蔽電極層，圖6表示像素電極層。

首先，如圖7所示，於作為元件基板101之基材之基板11上設置有基底絕緣膜40，進而於基底絕緣膜40上設置有包含多晶矽之半導體層30。半導體層30之表面係由利用熱氧化所形成之絕緣膜32覆蓋。關於半導體層30之平面形狀，形成為長邊於圖4中之縱方向、即其後將形成之資料線114延伸之方向上延伸的矩形。

掃描線112係以如下方式配設：於圖4中之橫方向上延伸，並且在形成為矩形之半導體層30之中央部直行。其結果，如圖4及圖7所示，半導體層30中之與掃描線112重疊之部分成為通道區域30a。

半導體層30之中，相對於通道區域30a，圖7中左側(圖4中為下側)為源極區域30s，圖7中右側(圖4中為上側)為汲極區域30d。其中，源極區域30s經由分別使絕緣膜32及第1層間絕緣膜41開孔之接觸孔51而與中繼電極61連接。同樣地，汲極區域30d亦經由分別使絕緣膜32及第1層間絕緣

膜41開孔之接觸孔52而與中繼電極62連接。

中繼電極61、62係將於第1層間絕緣膜41上成膜之導電性之多晶矽膜(電極層20)分別圖案化而成者。關於中繼電極61之平面形狀，係較接觸孔51大一圈之程度，因隱藏於來自位於上層之資料線114之分支部分，故圖4中省略。另一方面，中繼電極62呈如下之大致T字形狀，該大致T字形狀包含以覆蓋半導體層30之方式在圖4中於縱方向上延伸之部分、及以覆蓋掃描線112之方式於橫方向上延伸之部分。

於圖7中，以覆蓋第1層間絕緣膜41或中繼電極61、62之方式形成有介電質層34。再者，介電質層34例如為氧化矽膜。

資料線114及電容電極115b係將以覆蓋介電質層34之方式形成之導電性之雙層膜圖案化而成者。詳細而言，資料線114及電容電極115b係將作為下層而成膜之導電性之多晶矽膜、及作為上層而成膜之鋁膜的雙層膜(資料線層21)圖案化而成者。

此處，所謂「下層(上層)」，係表示製造製程中先(後)形成之層、或距對向面較遠(近)之層的概念。

資料線114係以於圖4中在半導體層30之左側、且在與掃描線112正交之縱方向上延伸，並且朝向半導體層30中之源極區域30s(中繼電極61)分支的方式形成，其經由使介電質層34開孔之接觸孔50而連接於中繼電極61。因此，資料線114係經由中繼電極61而連接於源極區域30s。

電容電極115b係以覆蓋中繼電極62之方式成為大致T字形狀，但為了避開與汲極區域30d相連之接觸孔53，而成為一部分切開之形狀。

於圖7中，以覆蓋資料線114、電容電極115b或介電質層34之方式形成有第2層間絕緣膜42。中繼電極71及屏蔽電極72係將以覆蓋第2層間絕緣膜42之方式形成之導電性的雙層膜圖案化而成者。詳細而言，中繼電極71及屏蔽電極72係將作為下層而成膜之鋁膜、及作為上層而成膜之氮化鈦膜的雙層膜(屏蔽電極層22)圖案化而成者。

中繼電極71係經由分別使第2層間絕緣膜42及介電質層34開孔之接觸孔53而連接於中繼電極62。又，屏蔽電極72係經由使第2層間絕緣膜42開孔之接觸孔54而連接於電容電極115b。

關於屏蔽電極72之平面形狀，如圖5所示，於俯視時形成為：以覆蓋資料線114及半導體層30之方式於縱方向延伸，且於掃描線112之上方朝右橫方向突出。

另一方面，關於中繼電極71之平面形狀，同樣如圖5所示，於掃描線112之上方，形成為如與屏蔽電極72之右橫之突出部分相鄰之矩形，且針對每個像素形成為島狀。

於圖7中，以覆蓋中繼電極71、屏蔽電極72或第2層間絕緣膜42之方式形成有第3層間絕緣膜43。像素電極118係將以覆蓋第3層間絕緣膜43之方式形成之鋁膜(像素電極層23)圖案化而成者，其經由使第3層間絕緣膜43開孔之接觸孔55而連接於中繼電極71。因此，像素電極118係依次經由

中繼電極71及中繼電極62而連接於汲極區域30d。

關於像素電極118之平面形狀，如圖6所示，大致為正方形，關於其配置，如圖5中虛線所示般，正方形之各邊於俯視時處於如包含在掃描線112及資料線114之內般的位置關係。

以覆蓋該像素電極118或第3層間絕緣膜43之方式，藉由以TEOS(Tetra Ethyl Ortho Silicate，四乙基正矽酸鹽)為原料之化學氣相沈積而形成氧化矽膜。此時，氧化矽膜亦形成於像素電極118之表面，但被CMP(Chemical Mechanical Polishing，化學機械研磨)處理削去，因此結果如圖7所示，作為絕緣材之氧化矽膜36僅殘留於相鄰之像素電極118彼此之間隙部分。藉由該處理，於元件基板101之顯示區域a中將對向面平坦化。

而且，於經平坦化之表面形成包含無機材料之配向膜38。雖然詳細情況省略圖示，但該配向膜38係藉由例如矽氧化物之斜向蒸鍍，使複數個微小之柱狀構造體於朝同一方向傾斜之狀態下氣相沈積而成者。

圖5中，於縱方向上逐行延伸之屏蔽電極72雖無特別圖示，但被抽出至外側區域c而共通連接，並且例如於圖2中，經由端子107及連接點107b而被施加與共用電極108相同之電壓LCcom。因此，於顯示區域a中，即便資料線114因資料信號之供給而產生電壓變動，在像素電極118中，尤其在與斷開狀態之TFT116相連之像素電極118中，亦可抑制由電容耦合所引起之電位變動。

進而，來自觀察側即對向基板102之入射光於俯視時，在相鄰之像素電極118之間隙部分不被像素電極118反射而侵入，但因半導體層30由屏蔽電極72覆蓋，故TFT116之掉電洩漏特性不會因來自對向面側之侵入光而受損。

又，輔助電容125係由中繼電極62與介電質層34及電容電極115b之積層構造構成。電容電極115b係針對每個像素形成為單個之島狀，但經由接觸孔54而連接於屏蔽電極72，因此遍及各像素被共通地施加電壓LCcom。因此，若以等效電路來看，則成為如圖3所示。

其次，對各區域中之電極之構成進行說明。圖10係將圖9中之K區域，即顯示區域a、虛設顯示區域b及外側區域c沿著Y方向排列之區域局部放大之俯視圖，其表示俯視元件基板101之對向面時之像素電極層23之圖案化形狀。

如該圖所示、且如上所述，於顯示區域a中，像素電極118排列成矩陣狀。此處，將像素電極118之X方向之尺寸設為 W_x 、將Y方向之尺寸設為 W_y 。再者，本案中，因將像素電極118設為正方形，故 W_x 等於 W_y 。

又，例如以對角之中心取像素電極118之排列間距，將X方向之間距設為 P_x ，將Y方向之間距設為 P_y 時，間距 P_x 等於資料線114之排列間隔，間距 P_y 等於掃描線112之排列間隔。因將像素電極118設為正方形，故 P_x 等於 P_y 。

再者，實施形態中，將像素電極118設為正方形，但當應用於除光閥以外之其他用途，例如數位靜態相機之EVF(Electronic View Finder，電子取景器)等時，因以一個

點被分割成例如R(紅)、G(綠)、B(藍)三個像素，並且一個點成為正方形之方式構成，故對應於各色之像素電極118之形狀成為長方形。因此，像素電極118之尺寸未必係 W_x 等於 W_y ，間距亦未必係 P_x 等於 P_y 。

於虛設顯示區域b中，設置有將像素電極層23圖案化而成之虛設像素電極131。該虛設像素電極131係以X方向之尺寸為 W_x 、Y方向之尺寸為 W_y 而形成，即以與像素電極118相同之尺寸、間距形成，且與像素電極118之排列對齊而排列成矩陣者。

又，虛設像素電極131如以下所說明般經由接觸孔56而連接於下層之屏蔽電極72，但於俯視時，相對於虛設像素電極131之形狀設置接觸孔56之相對位置與相對於像素電極118之接觸孔55的位置相同。

因此，於外觀上(即自上面觀察像素電極層時)，虛設像素電極131與像素電極118難以區分。

再者，該例係於虛設顯示區域b中之K區域中，遍及3列而設置虛設像素電極131之例。

圖11係表示沿圖10之P-p線(X方向)，以包含虛設像素電極131之方式斷裂之情形時之元件基板101之構造的局部剖面圖，圖12係表示沿W-w線(Y方向)，以包含虛設像素電極131之方式斷裂之情形之元件基板101之構造的局部剖面圖。

如該等圖所示，屏蔽電極72係以覆蓋資料線114之方式於Y方向上延設，並且如圖11所示被拉長至接觸孔56為

止。

虛設像素電極131係經由使第3層間絕緣膜43開孔之接觸孔56而連接於屏蔽電極72。於Y方向上延設之屏蔽電極將於Y方向上相鄰之虛設像素電極131彼此連接，並且如上所述被抽出至外側區域c而共通連接，並被施加電壓LCcom。因此，對虛設像素電極131之各個分別施加與共用電極108相同之電壓LCcom。

又，於俯視時，如圖11或圖12所示，藉由顯示區域a中之CMP處理而將氧化矽膜36埋入至虛設像素電極131之間隙部分。於虛設顯示區域b中，藉由虛設像素電極131與共用電極108而夾持液晶105，因此構成一種液晶元件，但並不有助於顯示，故此處表現為無效液晶元件。

再者，圖11係以沿X方向之P-p線使K區域斷裂，因此未出現掃描線112。又，圖12係以沿Y方向之W-w線使K區域斷裂，因此未出現資料線114。

若使說明回到圖10，則於外側區域c中，設置有將像素電極層23圖案化而成之導電圖案135。該導電圖案135係如下者：使與像素電極118(虛設像素電極131)相同尺寸之電極以與像素電極118之排列相同的方式排列成矩陣，並且藉由各邊中央附近之連接部136將於縱向及橫向上相鄰之電極彼此相互連接並進行圖案化。

導電圖案135未經由像素電極層23而與虛設像素電極131之任一者直接連接。然而，於本實施形態中，成為經由圖2所示之端子107與連接點107c對導電圖案135施加電壓

LCcom之構成。因此，導電圖案135亦可構成為經由其他導電層而間接地連接。

再者，導電圖案135亦可構成為相對於包含虛設像素電極131之其他電極電性浮動。

圖13係表示沿圖10之Q-q線斷裂之情形時之元件基板101之構造的局部剖面圖。再者，圖12表示外側區域c中之至虛設顯示區域b之外側即設置有資料線驅動電路160之區域為止的密封材料90之框內之區域。

如該圖所示，導電圖案135未與屏蔽電極72或資料線114等下層之配線之任一者連接。又，於俯視時，如圖12所示，藉由顯示區域a中之CMP處理而將氧化矽膜36埋入至導電圖案135之間隙部分。

圖14係將圖9中之L區域，即顯示區域a、虛設顯示區域b及外側區域c沿著X方向排列之區域局部放大之俯視圖，其表示俯視元件基板101之對向面時之像素電極層23之圖案化形狀。

如該圖所示，在與像素電極118所排列之顯示區域a相鄰之虛設顯示區域b中，虛設像素電極131排列成三行，進而以與虛設顯示區域b相鄰之方式設置有導電圖案135。

根據實施形態之液晶面板100，虛設顯示區域b中之虛設像素電極131係以俯視時包圍像素電極118所排列之顯示區域a之方式，以與像素電極118實質上相等之配線密度(例如相等之尺寸及間距)形成。進而，於液晶面板100中，藉由CMP處理將氧化矽膜36分別埋入至像素電極118之間隙

與虛設像素電極131之間隙，藉此而平坦化。因此，液晶面板100成為自顯示區域a至虛設顯示區域b不易產生平坦度之差之構造。再者，此處所謂「實質上相等」，係指相對於虛設像素電極131，像素電極118之尺寸之間距處於 $\pm 3\%$ 之範圍內。其原因在於：若為該範圍內，則即便考慮到製造誤差，亦可無視由平坦度之差所產生之影響。

又，於俯視時，將虛設像素電極131連接於屏蔽電極72之接觸孔56係設置在與將像素電極118連接於中繼電極71之接觸孔55相同的位置處。因此，可使由接觸孔之存在所產生之階差之影響於顯示區域a與虛設顯示區域b內大致相同。

因經由屏蔽電極72對虛設像素電極131施加電壓LCcom，故於無效液晶元件，即由虛設像素電極131及共用電極108夾持液晶105之液晶元件中，施加於該液晶105之電壓變成零。因此，無效液晶元件成為正常顯黑模式之黑色顯示，故虛設顯示區域b作為包圍顯示區域a之外框(邊框)而發揮功能。

進而，於包圍虛設顯示區域b之外側區域c中，設置有導電圖案135，並且藉由CMP處理將氧化矽膜36埋入至該間隙部分而使其平坦化。因此，液晶面板100成為自虛設顯示區域b至外側區域c亦不易產生平坦度之差之構造。

<第2實施形態>

其次，對本發明之第2實施形態進行說明。第1實施形態中，設為將虛設像素電極131連接於屏蔽電極72並施加電

壓LCcom之構成，但該第2實施形態係設為如下之構成：連接於將電極層20或資料線層21圖案化而成之配線，而非屏蔽電極72(將屏蔽電極層22圖案化而成之配線)，並施加除電壓LCcom以外之電壓。

圖15係表示第2實施形態之液晶面板之電氣構成之圖。第2實施形態成為如下之構成：因對虛設像素電極131施加除電壓LCcom以外之電壓，故經由端子107及連接點107d而供給信號V1。再者，信號V1之電壓將後述。

圖16係用以對第2實施形態中之元件基板101之各區域進行說明的圖。圖16與圖1所示之區域不同之處在於：將虛設顯示區域分成第1虛設顯示區域bx與第2虛設顯示區域by。

其中，第1虛設顯示區域bx係位於顯示區域a與設置有資料線驅動電路160之區域160b之間的區域、及位於與區域160b相反側的區域。第2虛設顯示區域by係位於顯示區域a與設置有掃描線驅動電路170之區域170b之間的兩個區域。

資料線114係自資料線驅動電路160至顯示區域a於Y方向延設，因此於第1虛設顯示區域bx中之與區域160b相同側之區域(即圖16中下側之區域)中，使用將資料線層21圖案化而成之配線，將虛設像素電極131彼此於X方向相互連接較困難。另一方面，於第1虛設顯示區域bx中之區域160b之相反側之區域(即圖11中上側之區域)中，有時未設置有資料線驅動電路160，但設置有資料線114之檢查電路等。

於此情形時，使用將資料線層21圖案化而成之配線，將虛設像素電極131彼此連接較困難。因此，第2實施形態中，於第1虛設顯示區域bx中，使用將電極層20圖案化而成之配線來將虛設像素電極131彼此連接。

再者，如此，關於虛設顯示區域中之沿著Y方向之區域by，雖會因資料線驅動電路160之有無而存在差異，但由於情況相同，因此於第2實施形態中不進行區分。

圖17係將圖16中之M區域，即顯示區域a、虛設顯示區域bx及外側區域c沿著X方向排列之區域局部放大之俯視圖，其表示俯視時之像素電極層23之圖案化形狀。

如該圖所示，關於將像素電極層23圖案化而成之像素電極118、虛設像素電極131及導電圖案135，與圖10所示之第1實施形態相同。

圖18係表示圖17所示之M區域中之以包含虛設像素電極131之方式於R-r線斷裂之構造的局部剖面圖。

如圖18所示，虛設顯示區域bx中之虛設像素電極131係經由使第3層間絕緣膜43開孔之接觸孔56而連接於中繼電極73。中繼電極73係針對每個虛設像素電極131將屏蔽電極層22圖案化成島狀而成者。因此，中繼電極73不會干擾顯示區域a中之中繼電極71與屏蔽電極72之任一者。

進而，中繼電極73係經由使第2層間絕緣膜42及介電質層34開孔之接觸孔57而連接於配線63。配線63係將圖7所示之構成中繼電極61、62之電極層20以於圖18中之紙面垂直方向(圖17中X方向)上延設之方式，逐列進行圖案化而

成者，其為第1配線之一例。

於X方向上延設之配線63將於X方向上相鄰之虛設像素電極131彼此連接，並且雖未特別圖示，但被拉出至外側區域c而共通連接，且經由圖15中之連接點107d及端子107而被供給信號V1。因此，於虛設顯示區域bx中，對虛設像素電極131之各個共通地施加信號V1。

圖19係將圖16中之N區域，即顯示區域a、第2虛設顯示區域by及外側區域c沿著X方向排列之區域局部放大之俯視圖，其表示俯視時之像素電極層23之圖案化形狀。如該圖所示，關於將像素電極層23圖案化而成之像素電極118、虛設像素電極131及導電圖案135，與圖14所示之第1實施形態相同。

圖20係表示N區域之中，以包含虛設像素電極131之方式以沿著X方向之S-s線斷裂之構造的局部剖面圖。

如該圖所示，第2虛設顯示區域by中之虛設像素電極131係經由接觸孔56而連接於中繼電極74。中繼電極74與中繼電極73相同，係針對每個虛設像素電極131將屏蔽電極層22圖案化成島狀而成者。中繼電極74係經由使第2層間絕緣膜42開孔之接觸孔58而連接於配線81。配線81係將圖7所示之資料線114、或構成電容電極115b之資料線層21以於圖20中之紙面垂直方向(圖19中Y方向)上延設之方式，逐行進行圖案化而成者，其為第2配線之一例。

於Y方向上延設之配線81將於Y方向上相鄰之虛設像素電極131彼此連接，並且雖未特別圖示，但被拉出至外側

區域c而共通連接，且經由圖15中之連接點107d及端子107而被供給信號V1。因此，於虛設顯示區域by中，亦對虛設像素電極131之各個共通地施加信號V1。再者，由於第2虛設顯示區域by位於掃描線驅動電路170與顯示區域a之間，因此圖20中不存在資料線114。

圖22係第2實施形態中供給至虛設像素電極131之信號V1之電壓波形圖。如該圖所示，以相對於施加至共用電極108之電壓LCcom僅高出電壓Vm之電壓(LCcom+Vm)、及僅降低電壓Vm之電壓(LCcom-Vm)交替地切換而對每一個訊框供給信號V1。

關於包含無效液晶元件之液晶元件120之電壓-反射率特性，若為正常顯黑模式，則一般如圖23(A)所示，於電壓為零時反射率變成0%，隨著電壓變高反射率增加，不久達到100%。再者，圖23(A)將針對液晶元件120之施加電壓(像素電極118或虛設像素電極131與共用電極108之電位差)設為橫軸，並以將最小反射率設為0%，將最大反射率設為100%而正規化之相對反射率來表示。

然而，因液晶105之特性或配向膜38之預傾角等各種因素，如圖23(B)所示，存在於電壓為Vm而非零時反射率變成最小的0%之情形。於此種情形時，即便對虛設像素電極131施加電壓LCcom、並使針對無效液晶元件之施加電壓為零，亦有可能無法將虛設顯示區域b設為充分之黑色顯示。

對此，於第2實施形態中，即便於液晶元件具有如圖

23(B)所示之特性之情形時，因對虛設像素電極131施加進行黑色顯示之電壓，故可使虛設顯示區域b具有作為包圍顯示區域a之外框(邊框)之功能。又，於虛設像素電極131中，針對每一個訊框交替地切換電壓($LCcom+V_m$)與電壓($LCcom-V_m$)，因此當將兩個訊框作為基準單位來觀察時，不會對無效液晶元件施加直流成分。因此，由虛設像素電極131與共用電極108夾持之液晶105亦不會因直流成分之施加而劣化。

再者，第2實施形態中，設為於第1虛設顯示區域bx中，依次經由(端子107、連接部107d)配線63及中繼電極73對虛設像素電極131供給信號V1之構成，即，使用將電極層20圖案化而成之配線63供給信號V1之構成，但並不限定於此，例如亦可如圖21所示般設為使用配線113來供給之構成。配線113係將構成掃描線112之多晶矽層圖案化而成者，其為第1配線之另一例。再者，於圖21中，中繼電極73係經由使第1層間絕緣膜41開孔之接觸孔59而連接於配線113。

此時，關於配線63，可針對每個虛設像素電極131形成為島狀並作為中繼電極而發揮功能，亦可如圖18所說明般於Y方向上延設而形成為配線，並且用於藉由相對於配線113並列連接而使配線電阻降低。

又，於第2實施形態中，設為如下之構成，即當將液晶元件120之反射率變成最小時之電壓有效值設定為 V_m 時，以($LCcom+V_m$)及($LCcom-V_m$)交替地切換施加於虛設像素

電極131之信號V1之電壓，但電壓 V_m 並不限定於液晶元件120之反射率變成最小時之電壓，例如亦可使用反射率為50%時之電壓(灰階電壓)。又，電壓之切換週期亦可不為一個訊框。

於第2實施形態中，若液晶元件具有圖23(A)所示般之特性，則亦可設為經由配線63或配線81對虛設像素電極131施加電壓LCcom之構成。

此外，第1實施形態或第2實施形態中，設為於虛設顯示區域b(b_x 、 b_y)中虛設像素電極131以3列或3行排列之構成，但亦可為1列或1行、2列或2行、4列以上或4行以上。又，液晶面板100並不限定於反射型，亦可為透射型。

<變形例>

圖25係表示K區域中之電極構成之另一例之圖。K區域中之電極構成並不限定於圖10所例示者。圖25表示對電極進行交錯配置(三角配置)之例。奇數列之像素118之基準點(例如左下頂點)之x座標相對於偶數列之像素118之基準點，僅偏移既定之長度(例如 $P_x/2$)。關於虛設像素電極131亦相同。

圖26係表示K區域中之電極構成之又一例之圖。圖26中，顯示區域a中之像素電極118與虛設顯示區域b中之虛設像素電極131係x座標偏移而配置。若僅觀察顯示區域a中之像素電極118，則x座標對齊，若僅觀察虛設顯示區域b中之像素電極131，則x座標對齊。然而，虛設像素電極131之基準點(例如左下頂點)之x座標相對於像素電極118之

基準點(例如左下頂點)，僅偏移既定之長度(例如 $P_x/2$)。

圖 27 係表示 K 區域中之電極構成之又一例之圖。圖 10 之例中，像素電極 118 與虛設像素電極 131 具有相同之形狀及尺寸。然而，圖 27 之例中，像素電極 118 與虛設像素電極 131 之尺寸及間距不同。具體而言，虛設電極 131 之間距大於像素電極 118。但是，於圖 27 之例中，虛設像素電極 131 具有狹縫 1311。狹縫 1311 係以成為如於顯示區域 a 與虛設顯示區域 b 中配線密度相等之形狀之方式設計。例如，當於顯示區域 a 中在像素電極 118 間存在 10% 之開口時，於虛設像素區域 b 中，藉由電極間之開口及狹縫 1311 而形成合計 10% 之開口。於圖 10 及圖 25~圖 27 之例中，均以於顯示區域 a 與虛設顯示區域 b 中配線密度相等之方式構成有像素電極 118 及虛設電極 131。

<電子機器>

其次，對應用上述實施形態之反射型之液晶面板 100 的電子機器進行說明。圖 24 係表示將液晶面板 100 用作光閥之投影機 1100 之構成的俯視圖。

如該圖所示，投影機 1100 係使實施形態之反射型之液晶面板 100 與 R(紅)、G(綠)、B(藍)之各色相對應的三板式。於投影機 1100 之內部，沿著系統光軸 PL 而配置有偏光照明裝置 1110。於該偏光照明裝置 1110 中，來自燈 1112 之出射光因反射器 1114 之反射而成為大致平行之光束，併入射至第 1 積分透鏡 1120。藉由該第 1 積分透鏡 1120 將來自燈 1112 之出射光分割成複數個中間光束。該經分割之中間光束藉

由於光入射側具有第2積分透鏡之偏光轉換元件1130，而轉換成偏光方向大致一致之一種偏光光束(s偏光光束)，並自偏光照明裝置1110出射。

然後，自偏光照明裝置1110出射之s偏光光束藉由偏振分光器1140之s偏光光束反射面1141而反射。該反射光束中之藍色光(B)之光束由分光鏡1151之藍色光反射層反射，然後藉由液晶面板100B而調變。又，透過分光鏡1151之藍色光反射層之光束中之紅色光(R)的光束由分光鏡1152之紅色光反射層反射，然後藉由液晶面板100R而調變。另一方面，透過分光鏡1151之藍色光反射層之光束中之綠色光(G)的光束透過分光鏡1152之紅色光反射層，並藉由液晶面板100G而調變。

此處，液晶面板100R、100G及100B與上述實施形態中之液晶面板100相同，係以與所供給之R、G、B之各色相對應之資料信號分別受到驅動。即，該投影機1100成為如下之構成：對應於R、G、B之各色而設置有三組液晶面板100，且根據與R、G、B之各色相對應之影像信號分別驅動該等液晶面板100。

藉由液晶面板100R、100G、100B而分別調變之紅色、綠色、藍色之光藉由分光鏡1152、1151、偏振分光器1140依次合成後，藉由投射光學系統1160而投射至螢幕1170。再者，藉由分光鏡1151、1152而將與R、G、B之各原色相對應之光束入射至液晶面板100R、100G及100B，因此無需彩色濾光片。

再者，作為電子機器，除參照圖24所說明之投影機以外，可列舉上述之EVF、或背投型之電視機、頭戴式顯示器等。

【圖式簡單說明】

圖1(A)、(B)係表示第1實施形態之液晶面板之構成之圖。

圖2係表示液晶面板中之電路構成之圖。

圖3係表示液晶面板中之像素之等效電路之圖。

圖4係表示液晶面板中之像素構成之俯視圖。

圖5係表示液晶面板中之像素構成之俯視圖。

圖6係表示液晶面板中之像素構成之俯視圖。

圖7係表示液晶面板中之像素之剖面構成之圖。

圖8係用以對液晶面板中之元件基板之各區域進行說明的圖。

圖9係表示各區域之劃分之圖。

圖10係表示K區域中之電極構成之圖。

圖11係表示虛設顯示區域之剖面構成之圖。

圖12係表示虛設顯示區域之剖面構成之圖。

圖13係表示外側區域之剖面構成之圖。

圖14係表示L區域中之電極構成之圖。

圖15係表示第2實施形態之液晶面板之電路構成之圖。

圖16係表示液晶面板之各區域之劃分之俯視圖。

圖17係表示M區域中之電極構成之圖。

圖18係表示液晶面板中之虛設顯示區域之剖面構成之

圖。

圖 19 係表示 N 區域中之電極構成之圖。

圖 20 係表示液晶面板中之虛設顯示區域之剖面構成之圖。

圖 21 係表示液晶面板中之虛設顯示區域之剖面構成之圖。

圖 22 係表示施加於虛設像素電極之信號 V1 之電壓波形之圖。

圖 23(A)、(B) 係表示用以對信號 V1 之電壓 Vm 進行說明之電壓-反射率特性的圖。

圖 24 係表示應用液晶面板之投影機之構成之圖。

圖 25 係表示 K 區域中之電極構成之另一例之圖。

圖 26 係表示 K 區域中之電極構成之又一例之圖。

圖 27 係表示 K 區域中之電極構成之又一例之圖。

【主要元件符號說明】

11	基板
20	電極層
21	資料線層
22	屏蔽電極層
23	像素電極層
30	半導體層
30a	通道區域
30d	汲極區域
30s	源極區域

32	絕緣膜
34	介電質層
36	氧化矽膜
38	配向膜
40	基底絕緣膜
41	第1層間絕緣膜
42	第2層間絕緣膜
43	第3層間絕緣膜
50、51、52、53、54、55、 56、57、58、59	接觸孔
61、62、71、73、74	中繼電極
63、81、107a	配線
72	屏蔽電極
90	密封材料
92	封口材料
94	導通點
100、100B、100G、100R	液晶面板
101	元件基板
102	對向基板
105	液晶
107	端子
107b、107c、107d	連接點
108	共用電極
110	像素

112	掃描線
114	資料線
115	電容線
115b	電容電極
116	TFT
118	像素電極
120	液晶元件
125	輔助電容
131	虛設像素電極
135	導電圖案
136	連接部
160	資料線驅動電路
160b	設置有資料線驅動電路之區域
170	掃描線驅動電路
170b	設置有掃描線驅動電路之區域
1100	投影機
1110	偏光照明裝置
1112	燈
1114	反射器
1120	第1積分透鏡
1130	偏光轉換元件
1140	偏振分光器
1141	s偏光光束反射面

1151、1152	分光鏡
1160	投射光學系統
1170	螢幕
1311	狹縫
a	顯示區域
b	虛設顯示區域
B	藍
bx	第1虛設顯示區域
by	第2虛設顯示區域
c	外側區域
G	綠
H-h、J-j、P-p、R-r、S-s、 W-w、Q-q	線
K、L、M、N	區域
LCcom	電壓
PL	系統光軸
Px	像素電極之X方向之間距
Py	像素電極之Y方向之間距
R	紅
V1	信號
Wx	像素電極之X方向之尺寸
Wy	像素電極之Y方向之尺寸
X1~Xn	資料信號
Y1~Ym	掃描信號

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100138384

※申請日：100.10.1

※IPC 分類：G02F 1/1343 ·2006.01

一、發明名稱：(中文/英文)

G02F 1/1345 ·2006.01

光電裝置及電子機器

ELECTRO-OPTICAL DEVICE AND ELECTRONIC EQUIPMENT

二、中文發明摘要：

於顯示區域a中，像素電極118以特定之間距排列成矩陣狀。於包圍顯示區域a之虛設顯示區域b中所設置之虛設像素電極131包含與像素電極118同一層，且以與像素電極118相等之尺寸及間距排列成島狀。虛設像素電極131經由較像素電極118更下層之配線而彼此相互連接。

三、英文發明摘要：

In a display region, pixel electrodes are arranged with a predetermined pitch in a matrix. Dummy pixel electrodes provided in a dummy display region surrounding the display region are formed from the same layer as the pixel electrodes, and are arranged in an island shape so as to have the same size and pitch as the pixel electrodes. The dummy pixel electrodes are connected to each other via a wire positioned under the pixel electrodes.

七、申請專利範圍：

1. 一種光電裝置，其特徵在於：其包括：

元件基板；以及

對向基板，其與上述元件基板對向配置，且在與上述元件基板之對向側具有共用電極；且

上述元件基板包含：

複數個像素電極，其等形成在與上述對向基板之對向側，並針對每個像素以特定之間距排列；

驅動電路，其於俯視時位於上述複數個像素電極之外側，並驅動上述像素；

複數個虛設像素電極，其等以於俯視時，在上述驅動電路與上述複數個像素電極之間包圍上述複數個像素電極之方式設置，由與上述複數個像素電極同一之層構成，並以與上述複數個像素電極實質上相等之尺寸及間距排列成島狀；以及

配線，其配設在與上述複數個像素電極不同之層上，並將上述複數個虛設像素電極中之至少於一方向上相鄰之虛設像素電極彼此電性連接。

2. 如請求項1之光電裝置，其中上述元件基板包含：

複數條掃描線；

複數條資料線，其等在俯視時與上述複數條掃描線交叉；以及

屏蔽電極，其以於剖面觀察時設置在上述資料線與上述像素電極之間，於俯視時覆蓋上述資料線之方式形

成，並被施加特定之電壓；且

上述像素電極於俯視時分別對應於上述複數條掃描線與上述複數條資料線之各交叉而設置，

上述配線包含與上述屏蔽電極同一層，並被施加上述特定之電壓。

3. 如請求項2之光電裝置，其中

上述共用電極被施加特定之共用電壓，且

上述特定之電壓係上述共用電壓。

4. 如請求項1之光電裝置，其中上述元件基板包含：

複數條掃描線；以及

複數條資料線，其等在俯視時與上述複數條掃描線交叉；且

上述像素電極於俯視時分別對應於上述複數條掃描線與上述複數條資料線之各交叉而設置；

上述驅動電路包含：

兩個掃描線驅動電路，其等自上述複數條掃描線之兩端側分別驅動上述複數條掃描線之各條掃描線；以及

資料線驅動電路，其自上述複數條資料線之一端側驅動上述複數條資料線之各條資料線。

5. 如請求項4之光電裝置，其中上述配線係包含與上述資料線不同之電極層之第1配線，且

上述複數個虛設像素電極中之位於上述資料線驅動電路與上述複數個像素電極之間者係經由上述第1配線而相互連接。

6. 如請求項4之光電裝置，其中上述配線係包含與上述資料線同一層之電極層之第2配線，且

上述複數個虛設像素電極中之位於上述掃描線驅動電路與上述複數個像素電極之間者係經由上述第2配線而相互連接。

7. 如請求項4之光電裝置，其中以特定之週期對上述虛設像素電極交替地施加較上述共用電壓僅高特定值之電壓、及僅低上述特定值之電壓。

8. 如請求項1之光電裝置，其中於俯視時，在上述像素電極之間隙及上述虛設像素電極之間隙中分別埋入有絕緣材。

9. 如請求項1之光電裝置，其具有導電圖案，該導電圖案於俯視時設置在包圍上述虛設像素電極之位置，包含與上述像素電極同一層，且不與上述虛設像素電極連接。

10. 一種電子機器，其特徵在於：其具有如請求項1至9中任一項之光電裝置。

11. 一種光電裝置，其特徵在於其包括：

元件基板；以及

對向基板，其與上述元件基板對向配置，並在與上述元件基板之對向側具有共用電極；且

上述元件基板包含：

複數個像素電極，其等形成在與上述對向基板之對向側，並針對每個像素以特定之間距排列；

驅動電路，其於俯視時位於上述複數個像素電極之

外側，並驅動上述像素；

複數個虛設像素電極，其等以於俯視時，在上述驅動電路與上述複數個像素電極之間包圍上述複數個像素電極之方式設置，由與上述複數個像素電極同一之層構成，並以成為與上述複數個像素電極實質上相等之密度的方式排列成島狀；以及

配線，其配設在與上述複數個像素電極不同之層上，並將上述複數個虛設像素電極中之至少於一方向上相鄰之虛設像素電極彼此電性連接。

八、圖式：

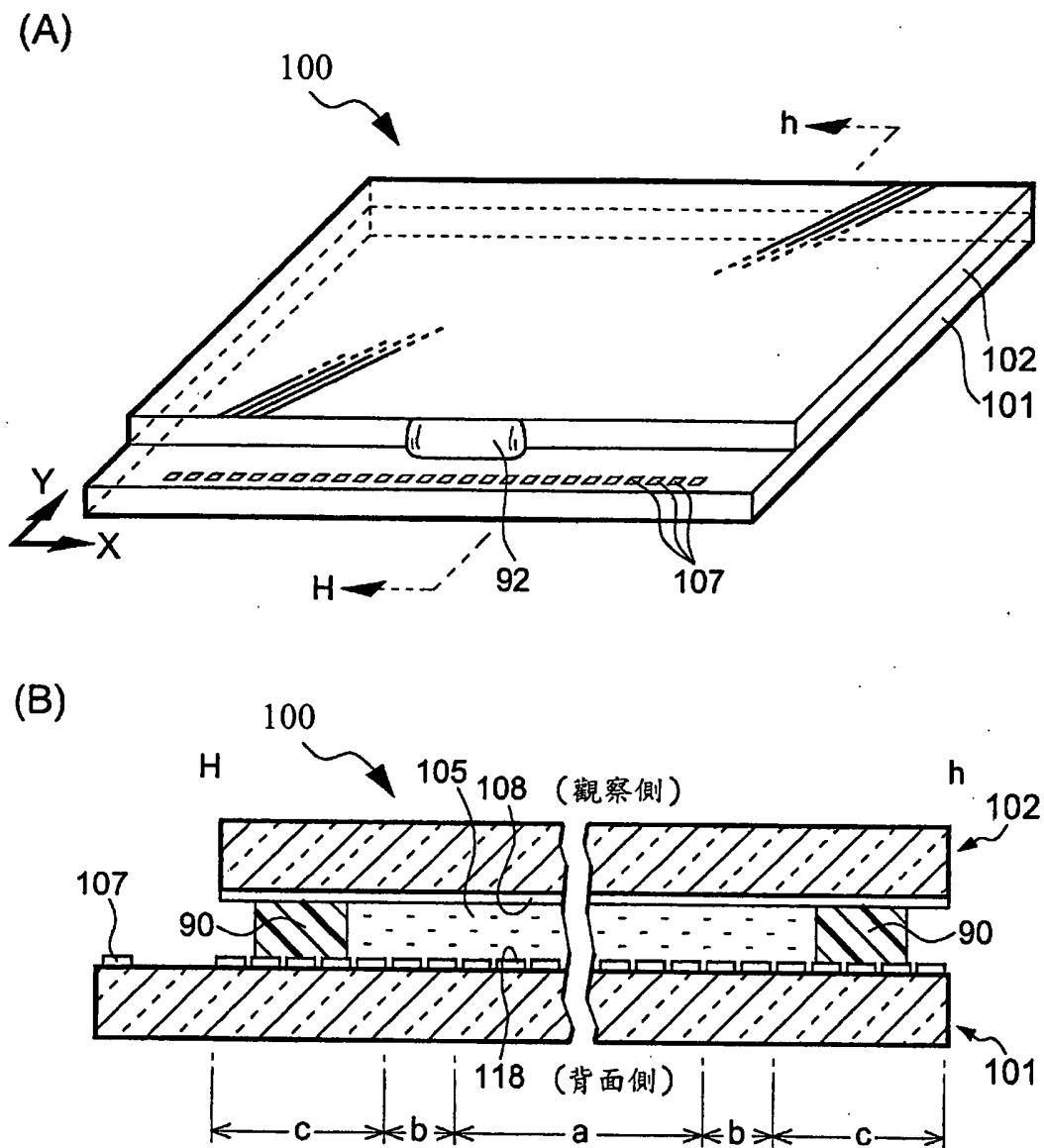


圖 1

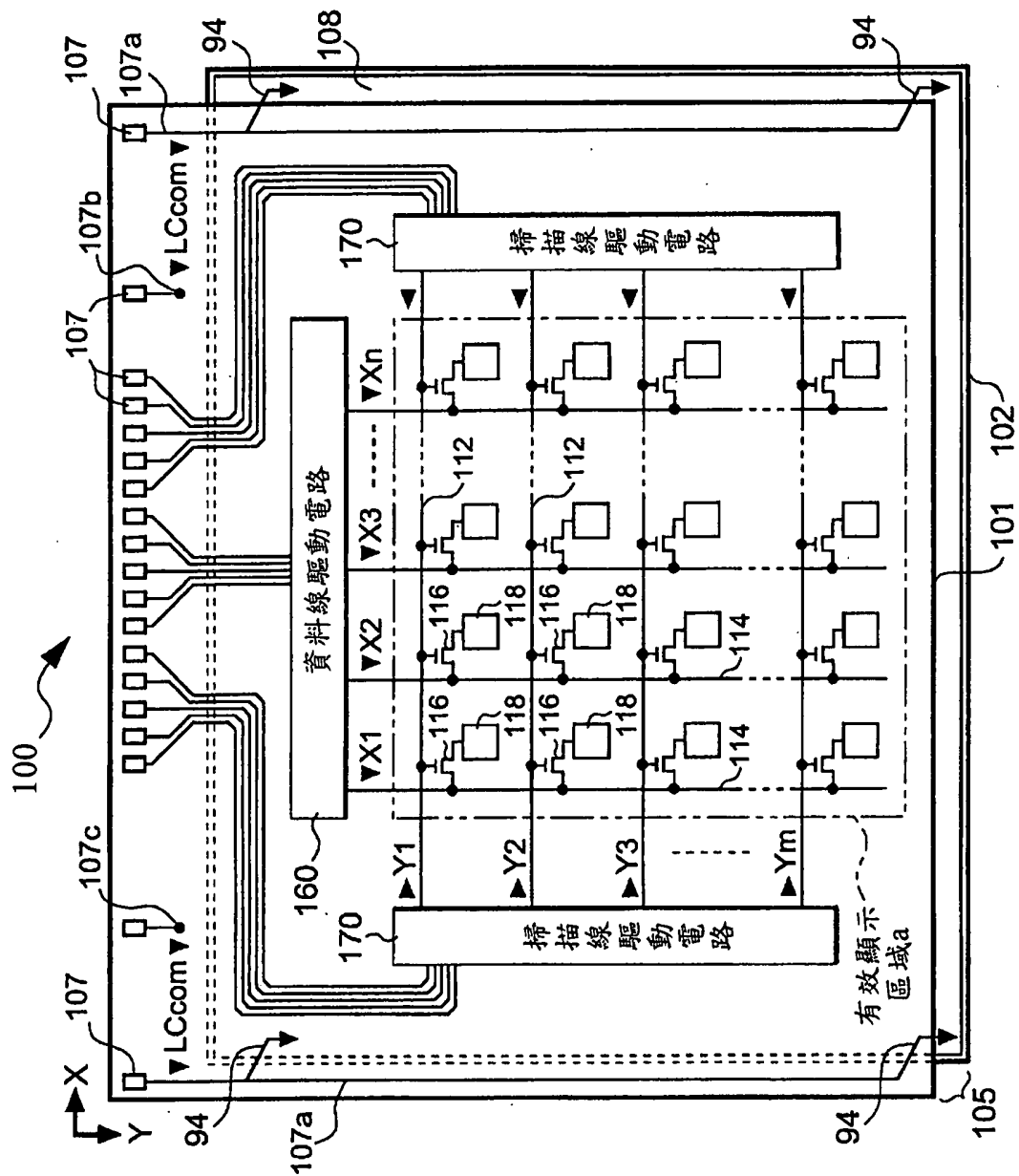


圖2

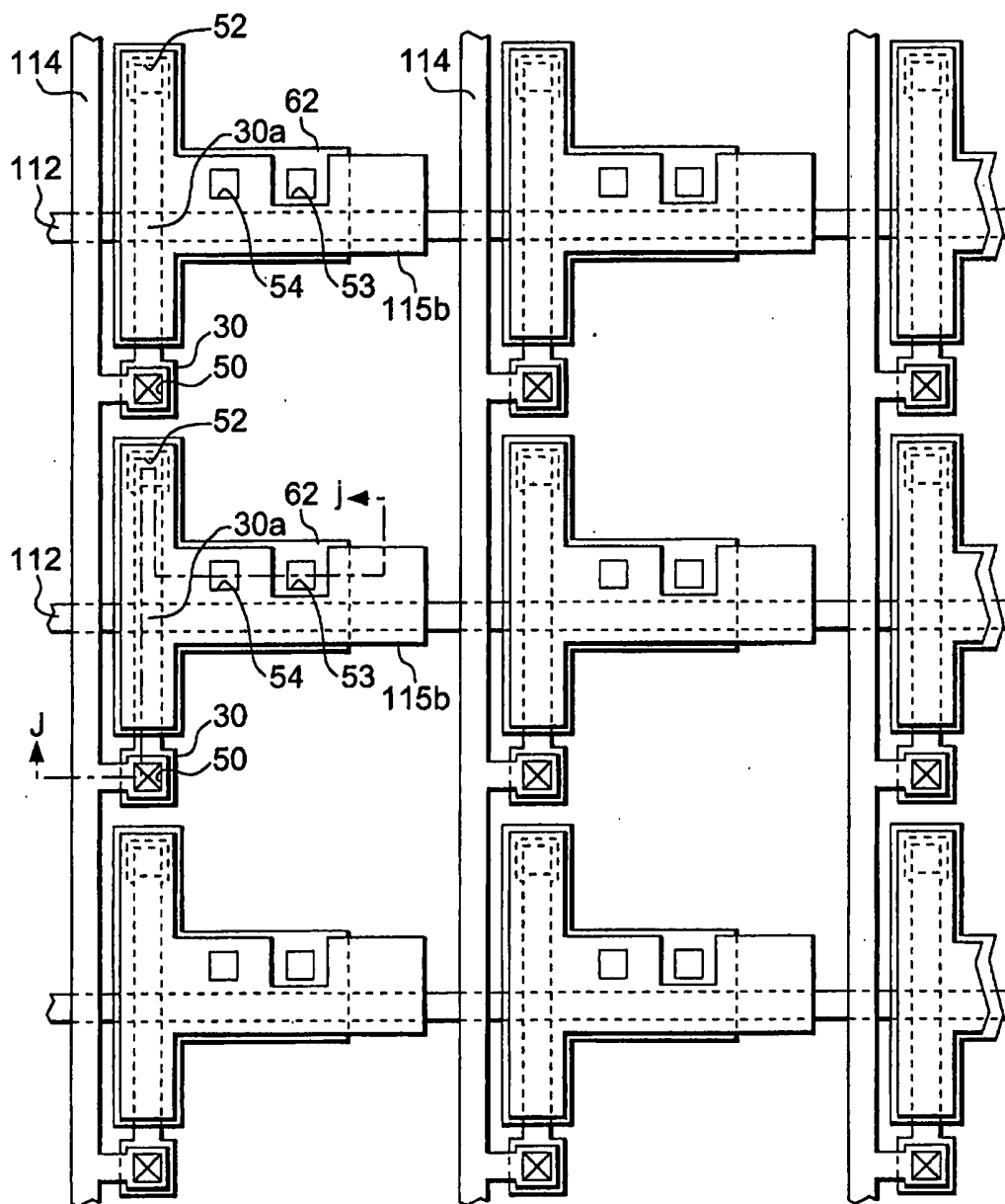


圖 4

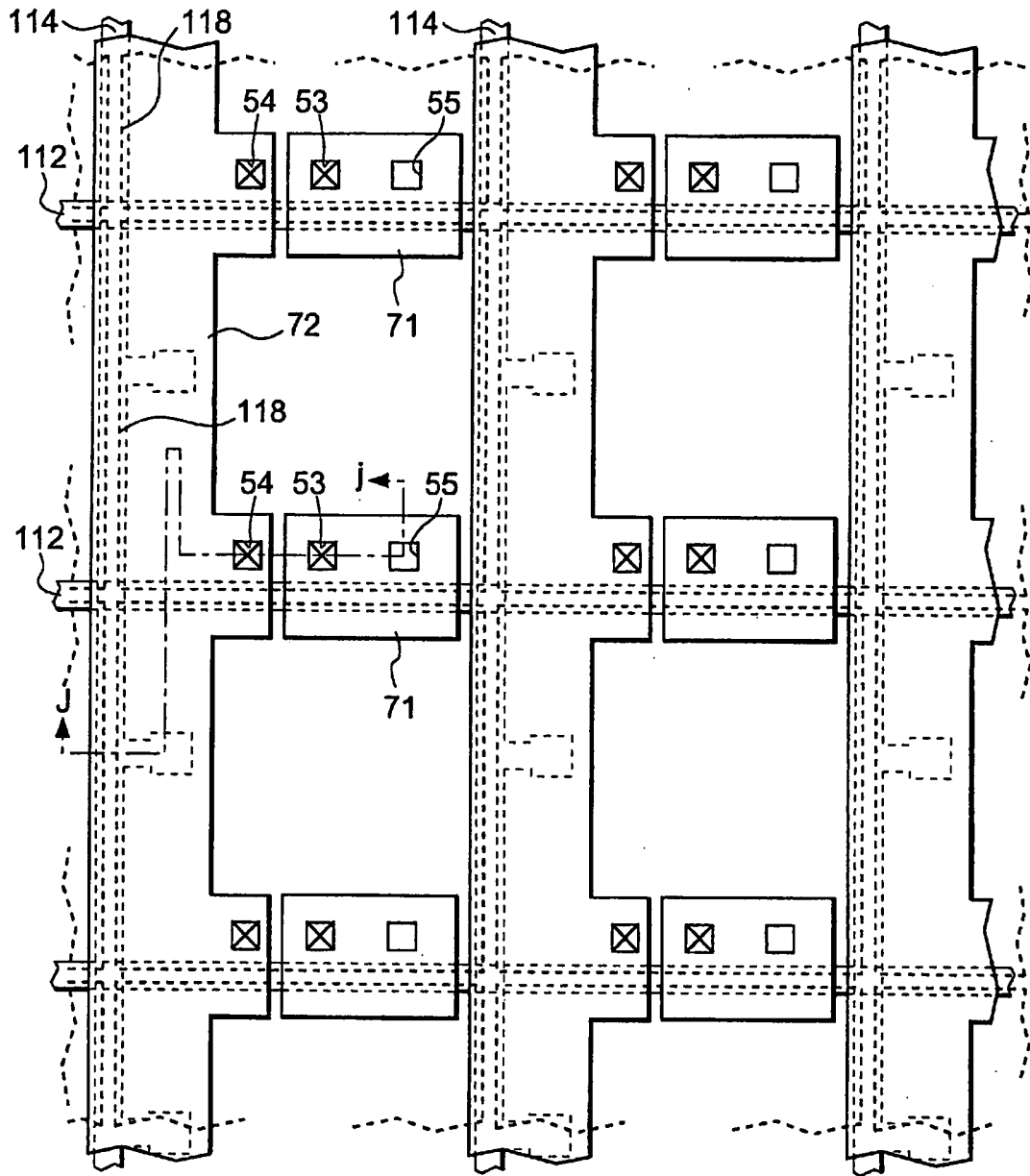


圖5

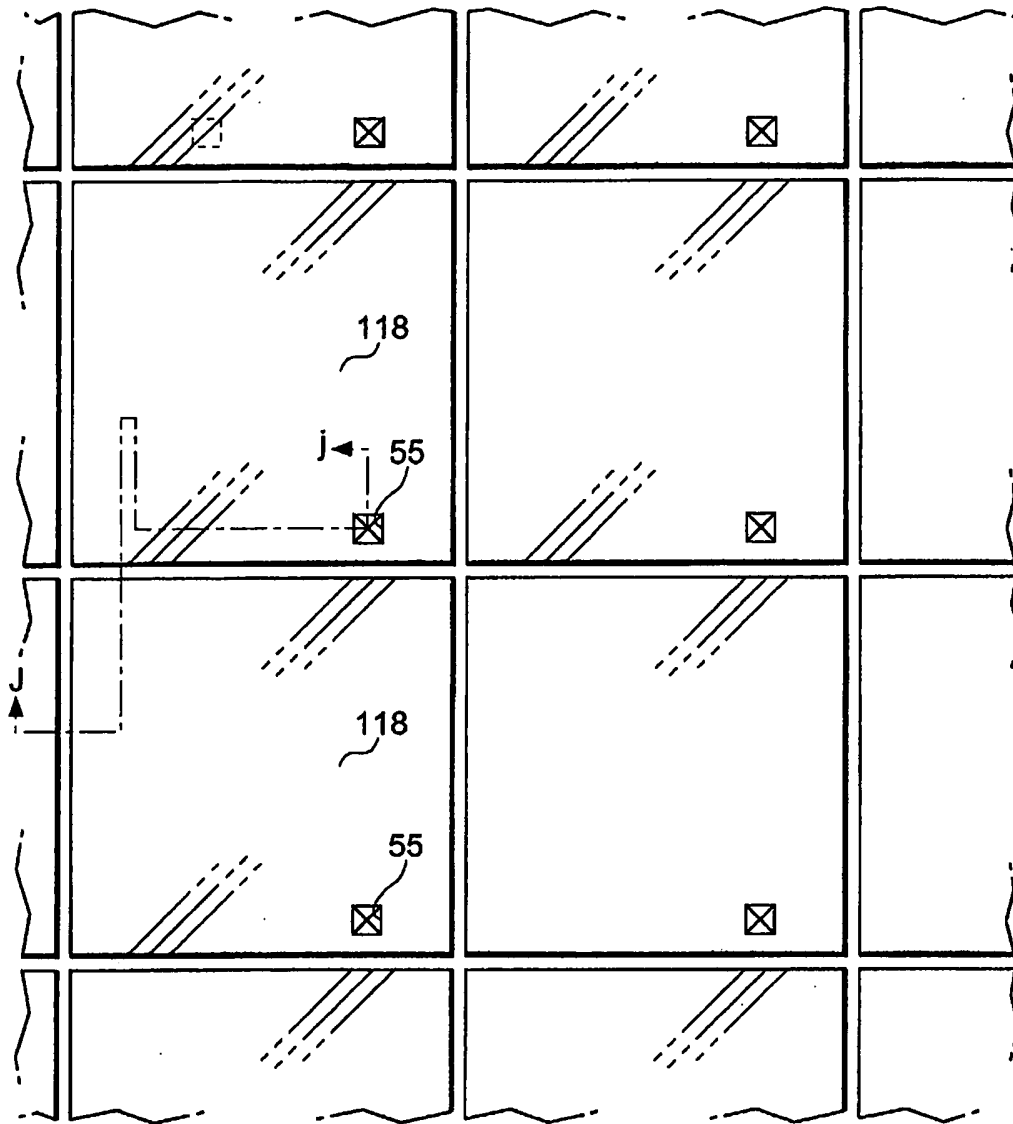
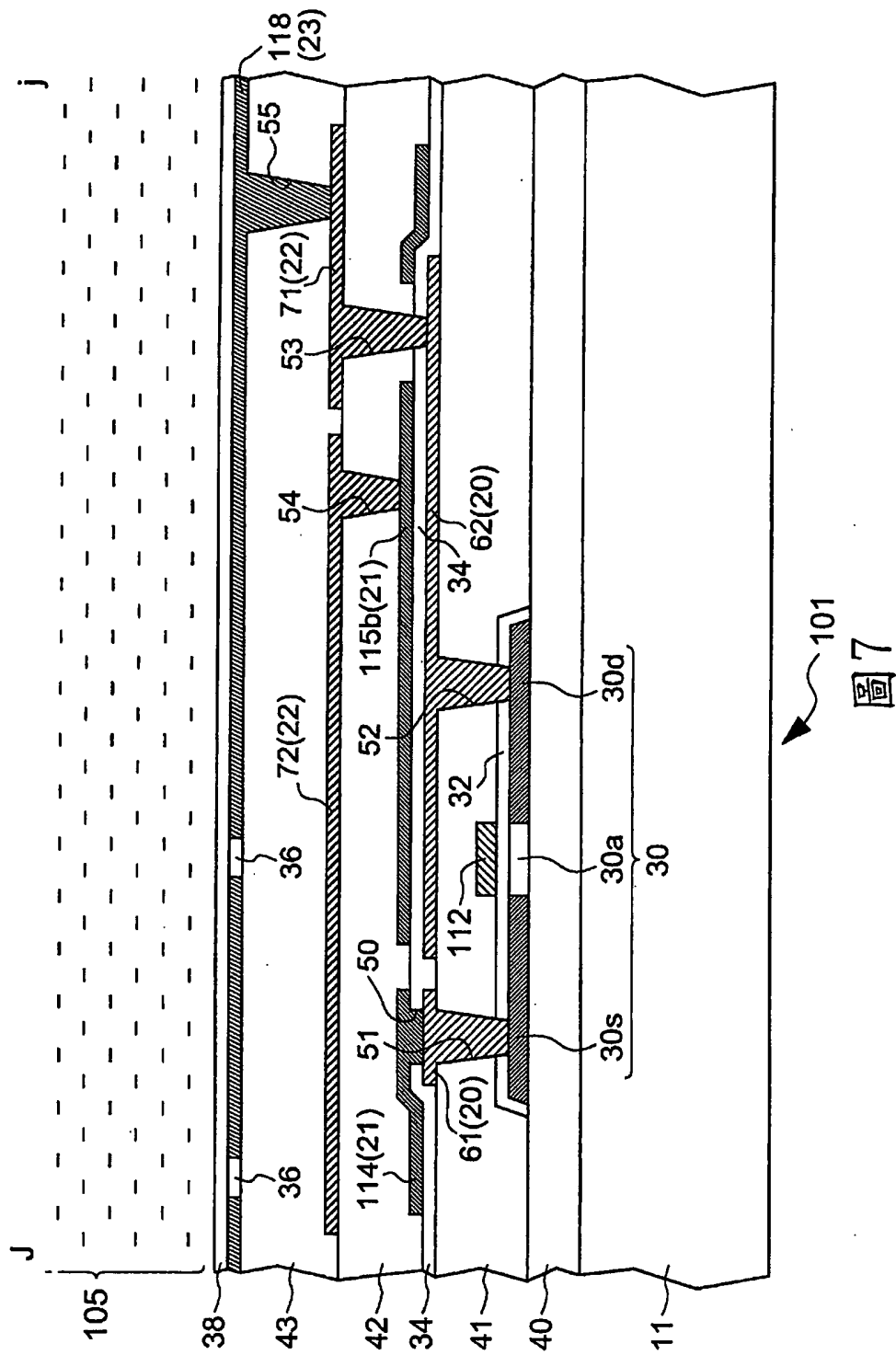


圖6



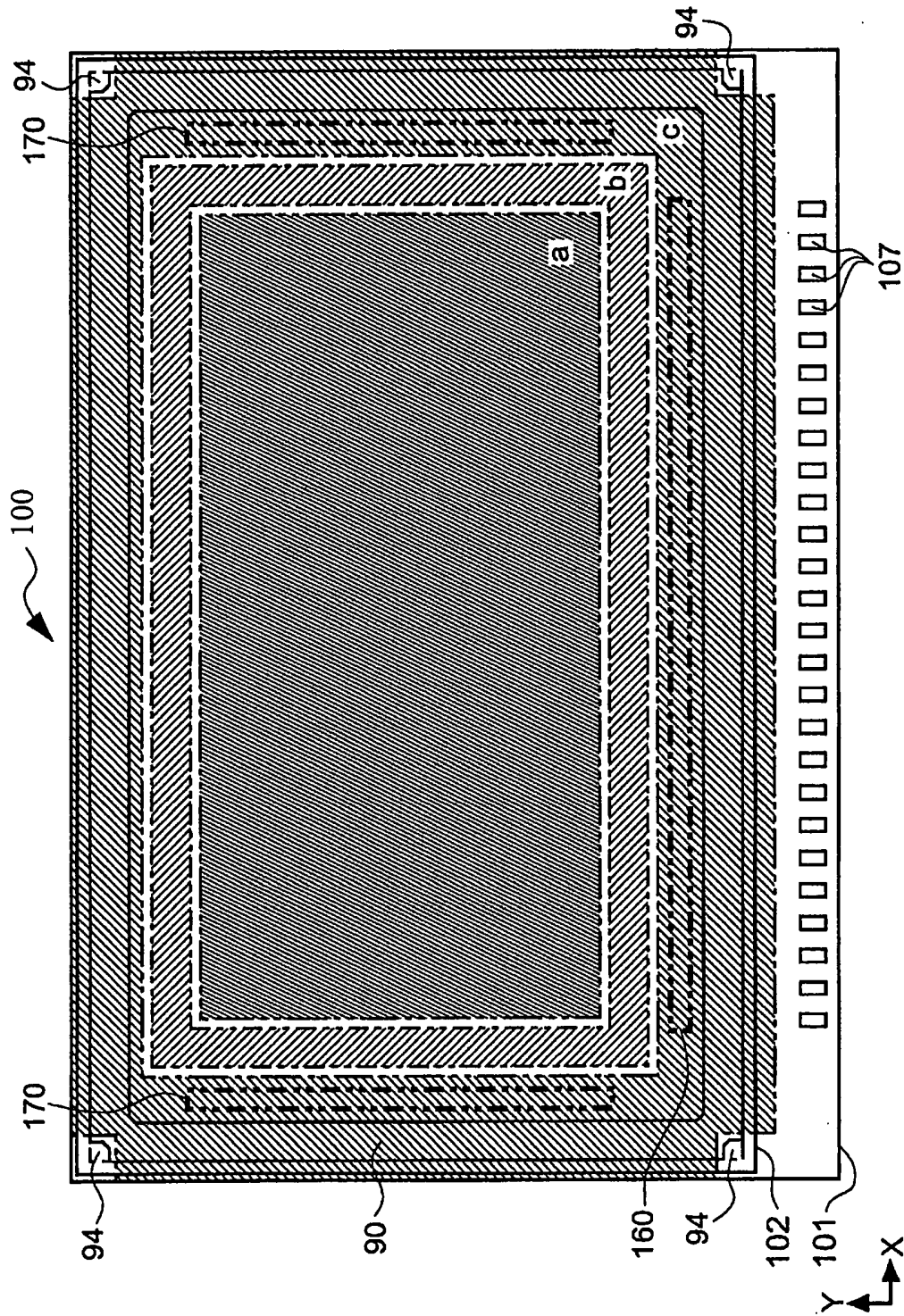
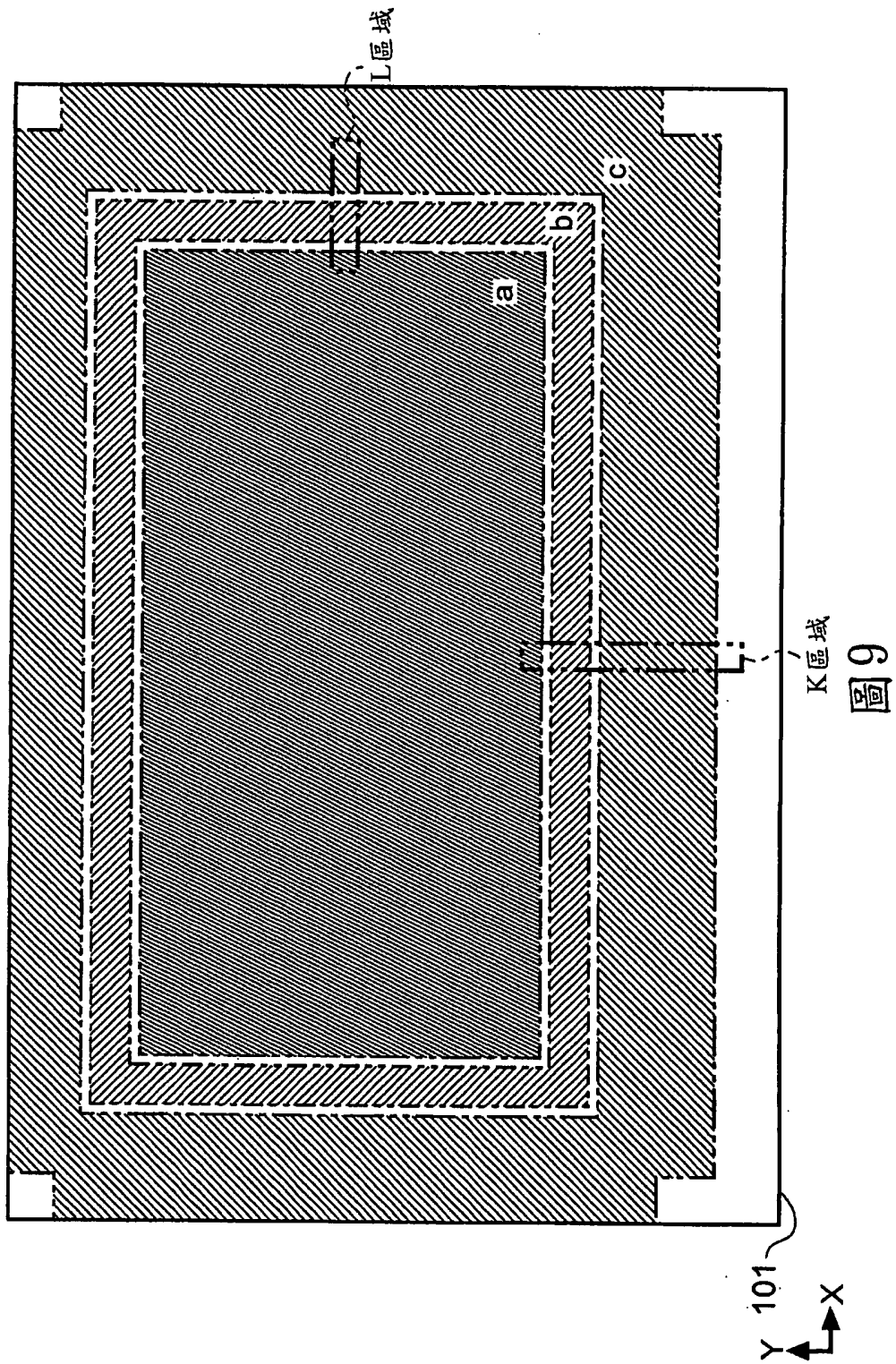


圖 8



<K區域(像素電極、虛設像素電極、導電圖案)>

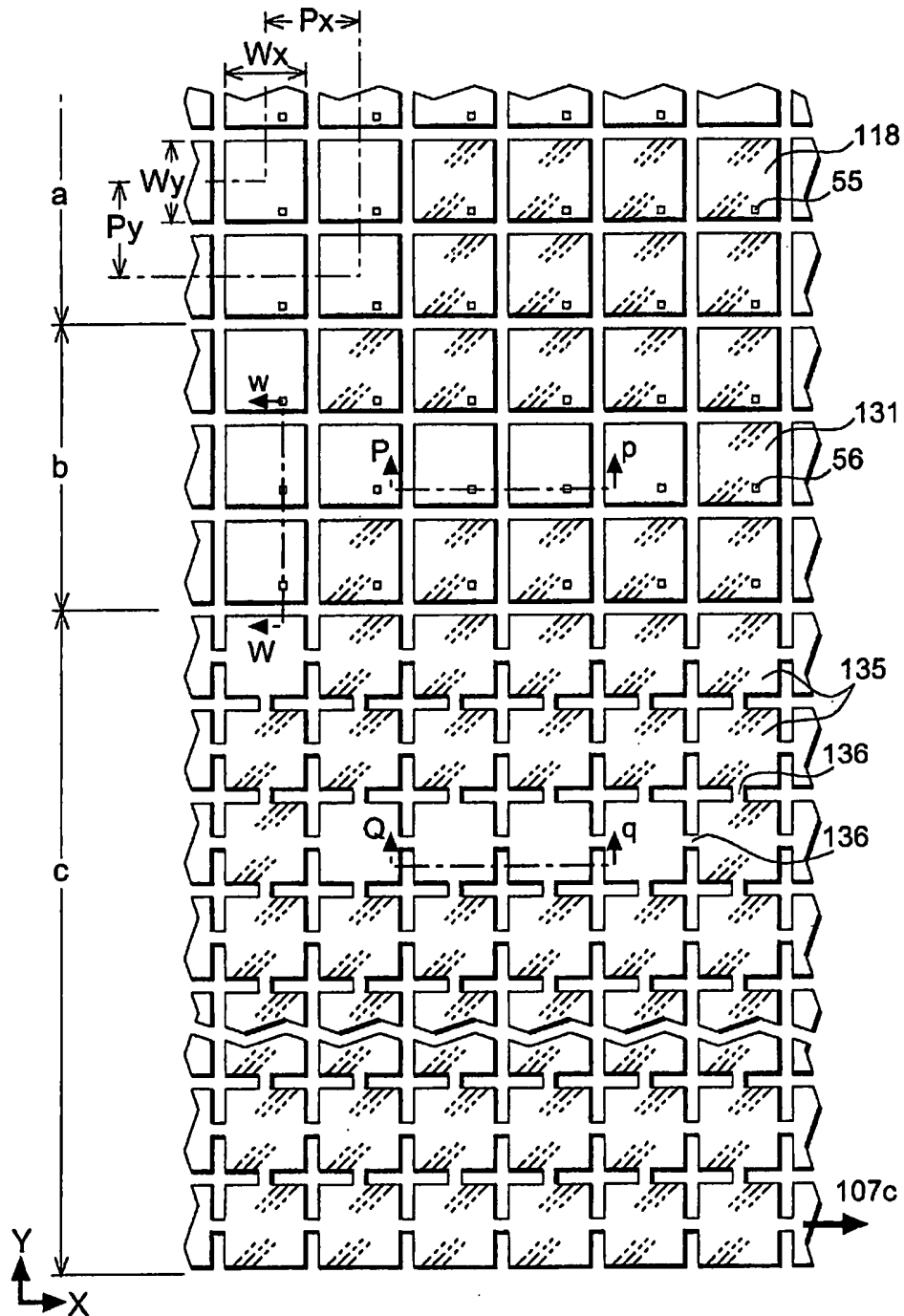


圖10

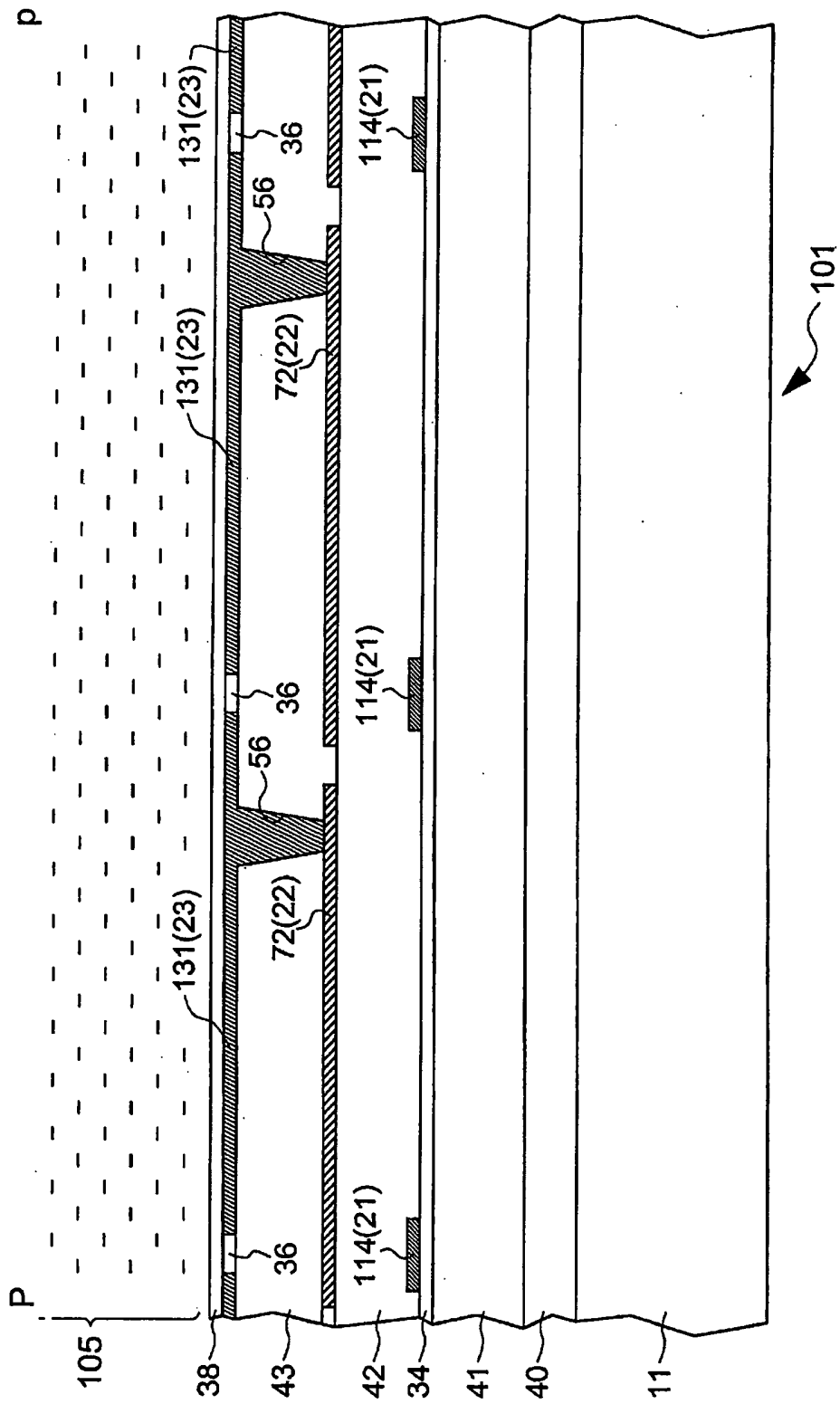


圖 11

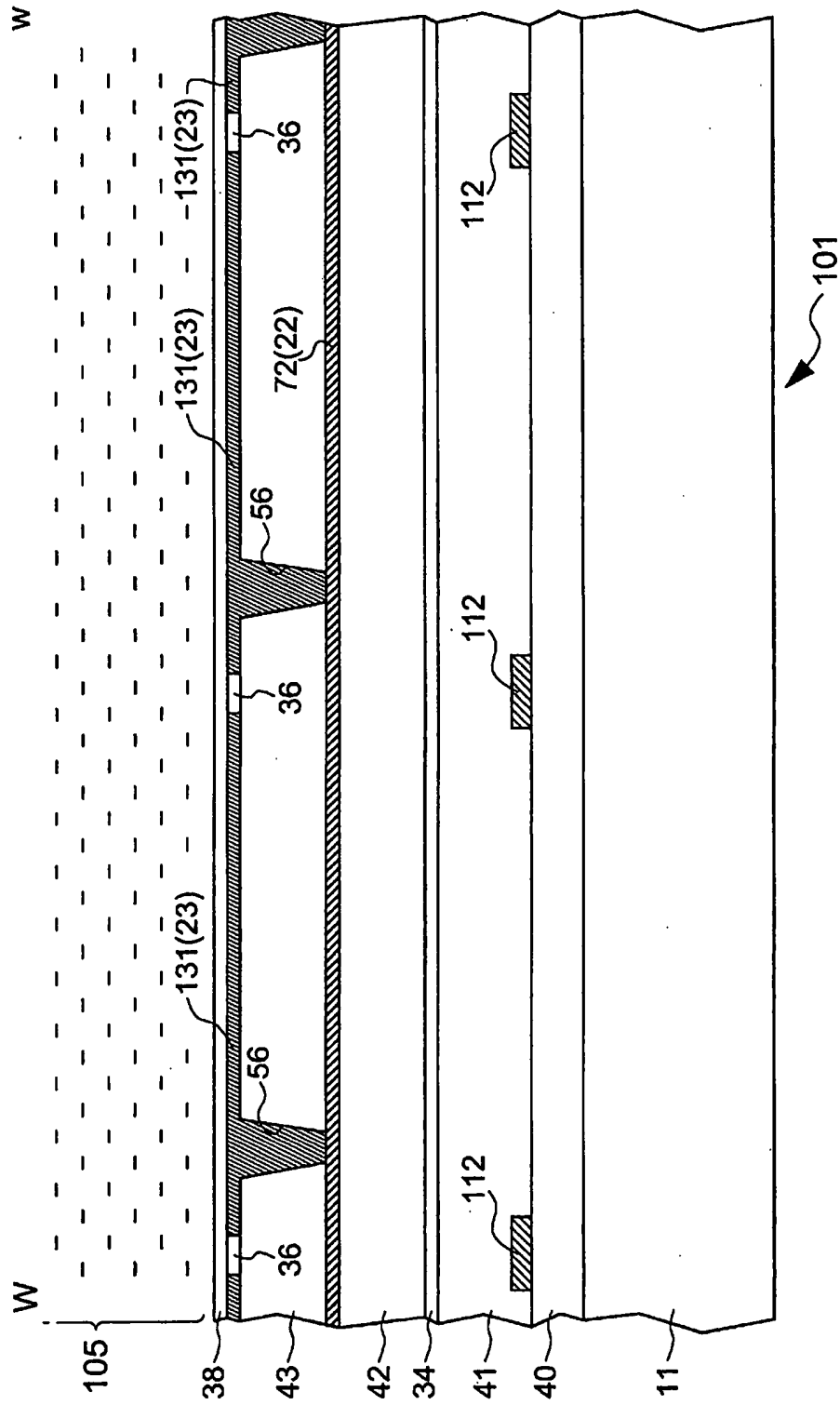


圖12

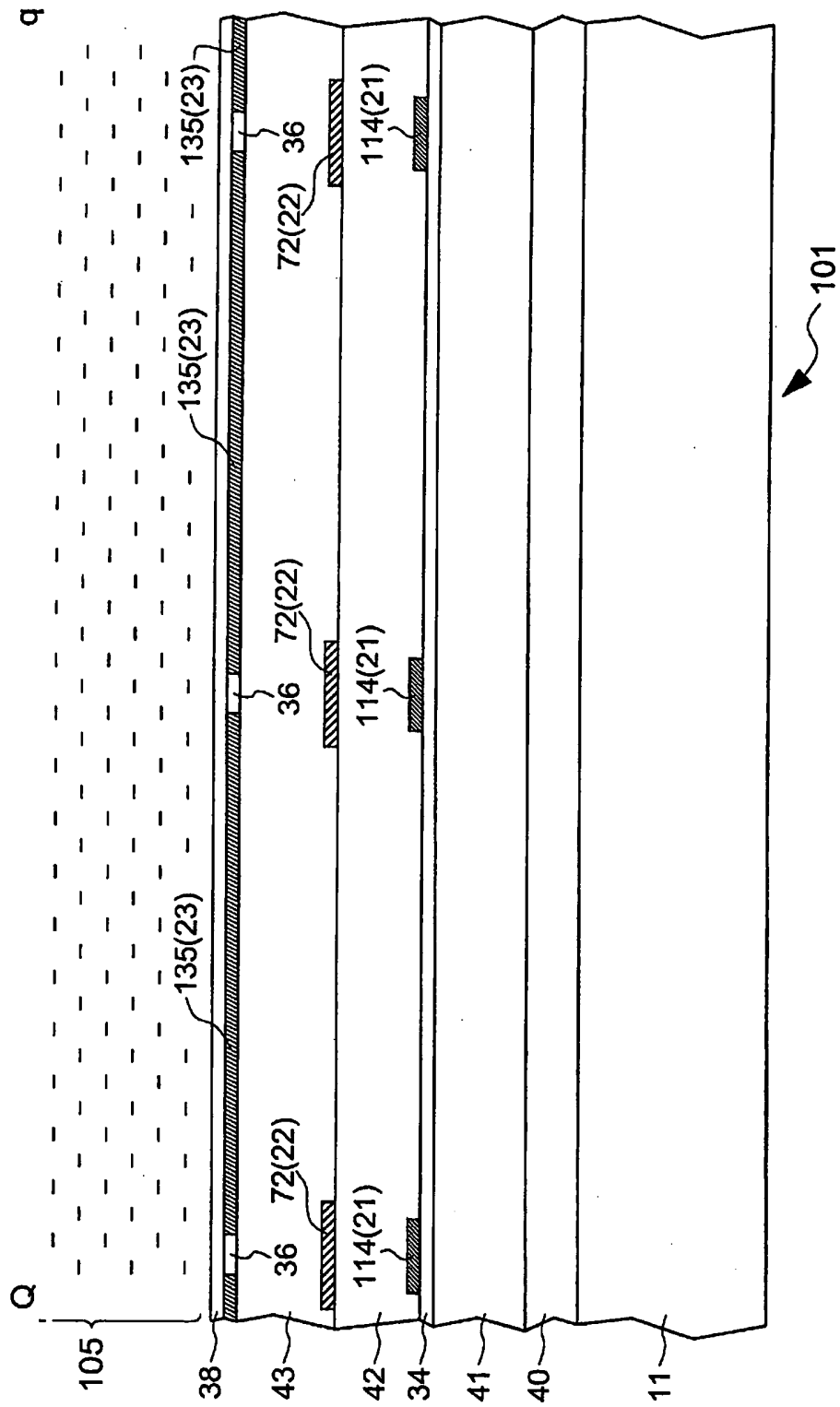


圖13

<L區域(像素電極、虛設像素電極、導電圖案)>

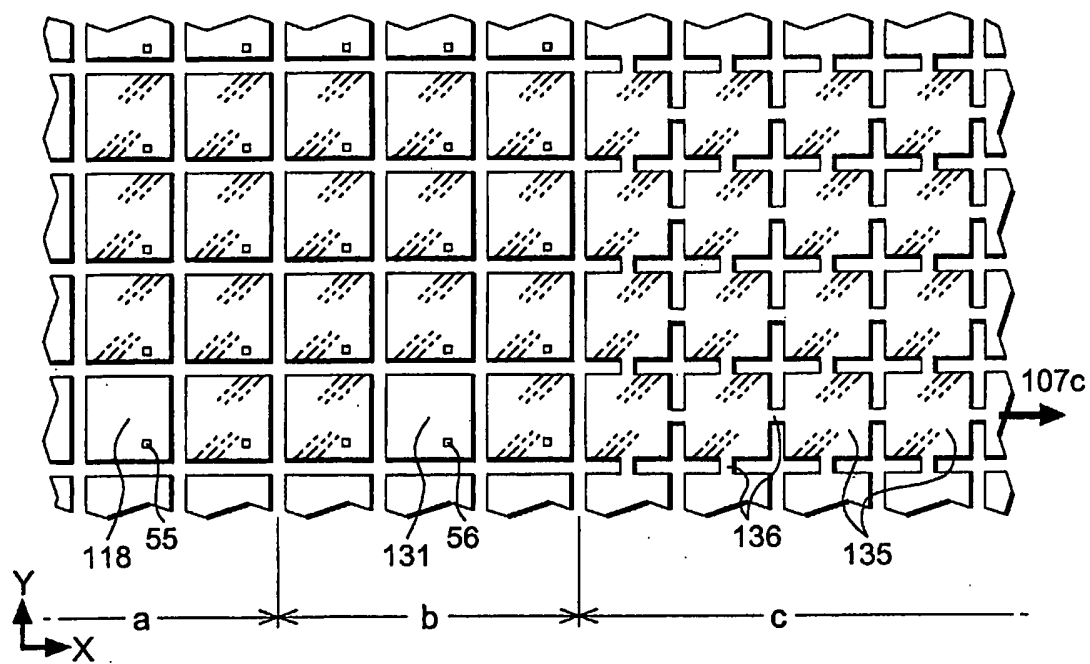


圖14

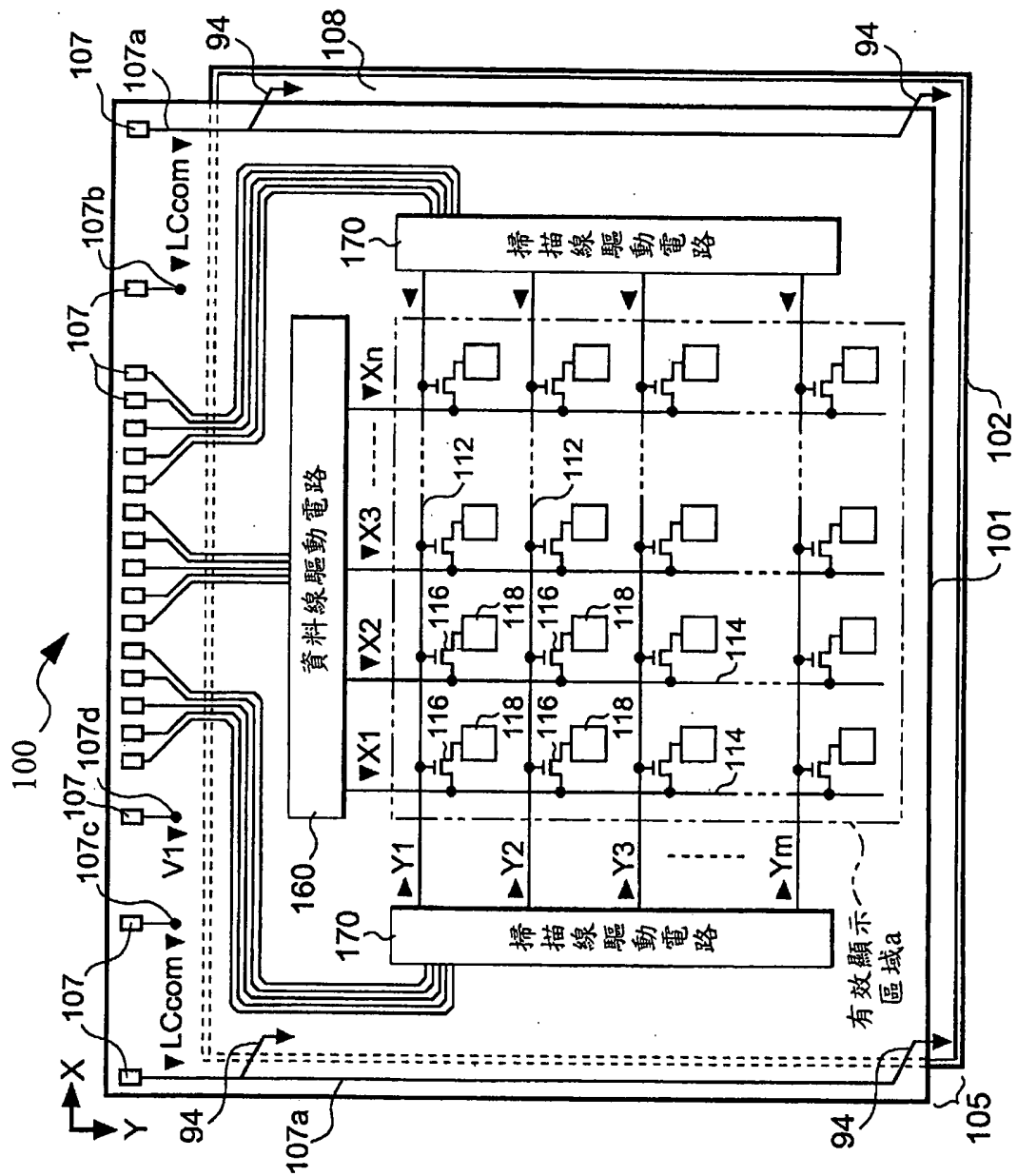


圖15

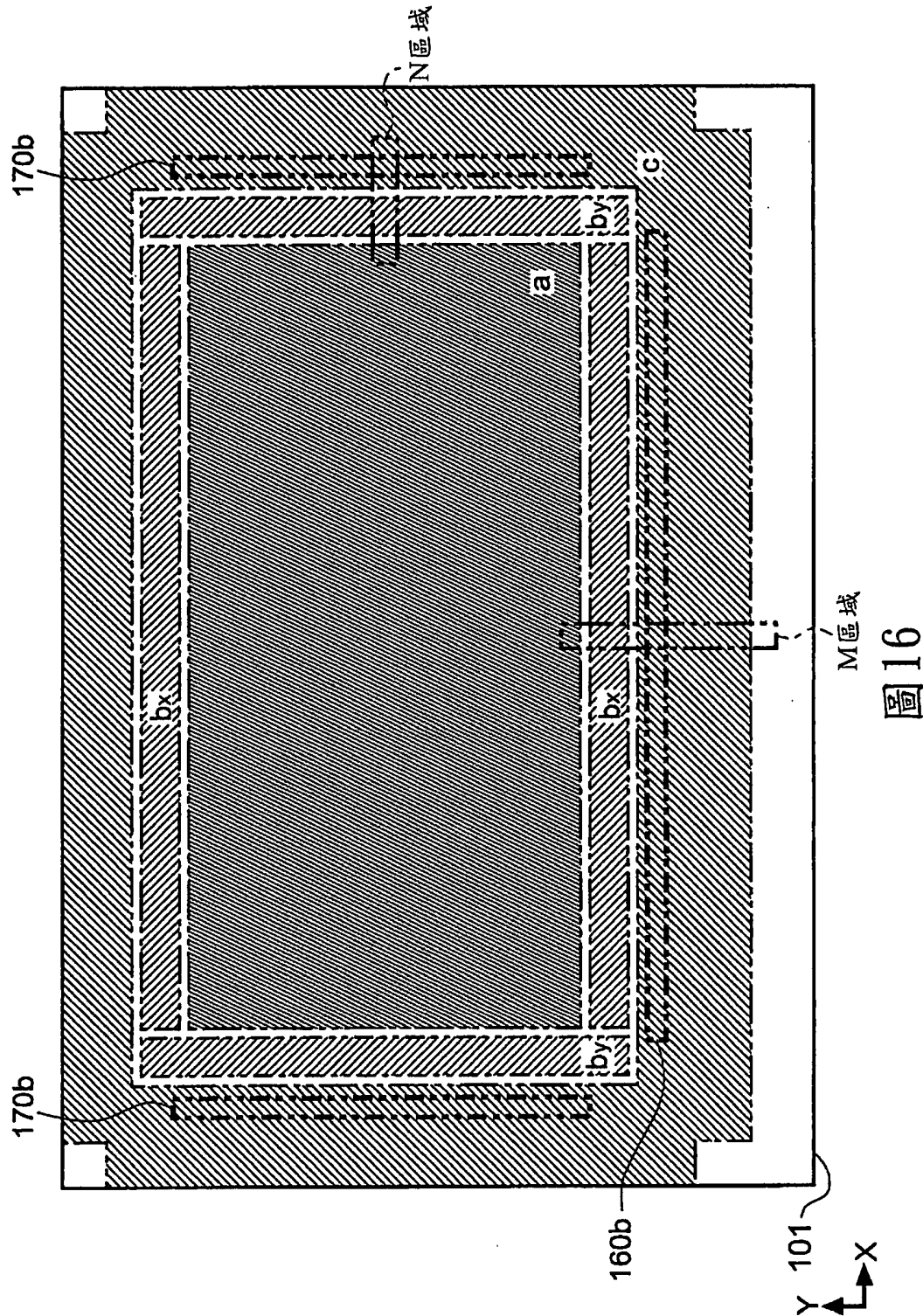


圖16

< M區域 (像素電極、虛設像素電極、導電圖案) >

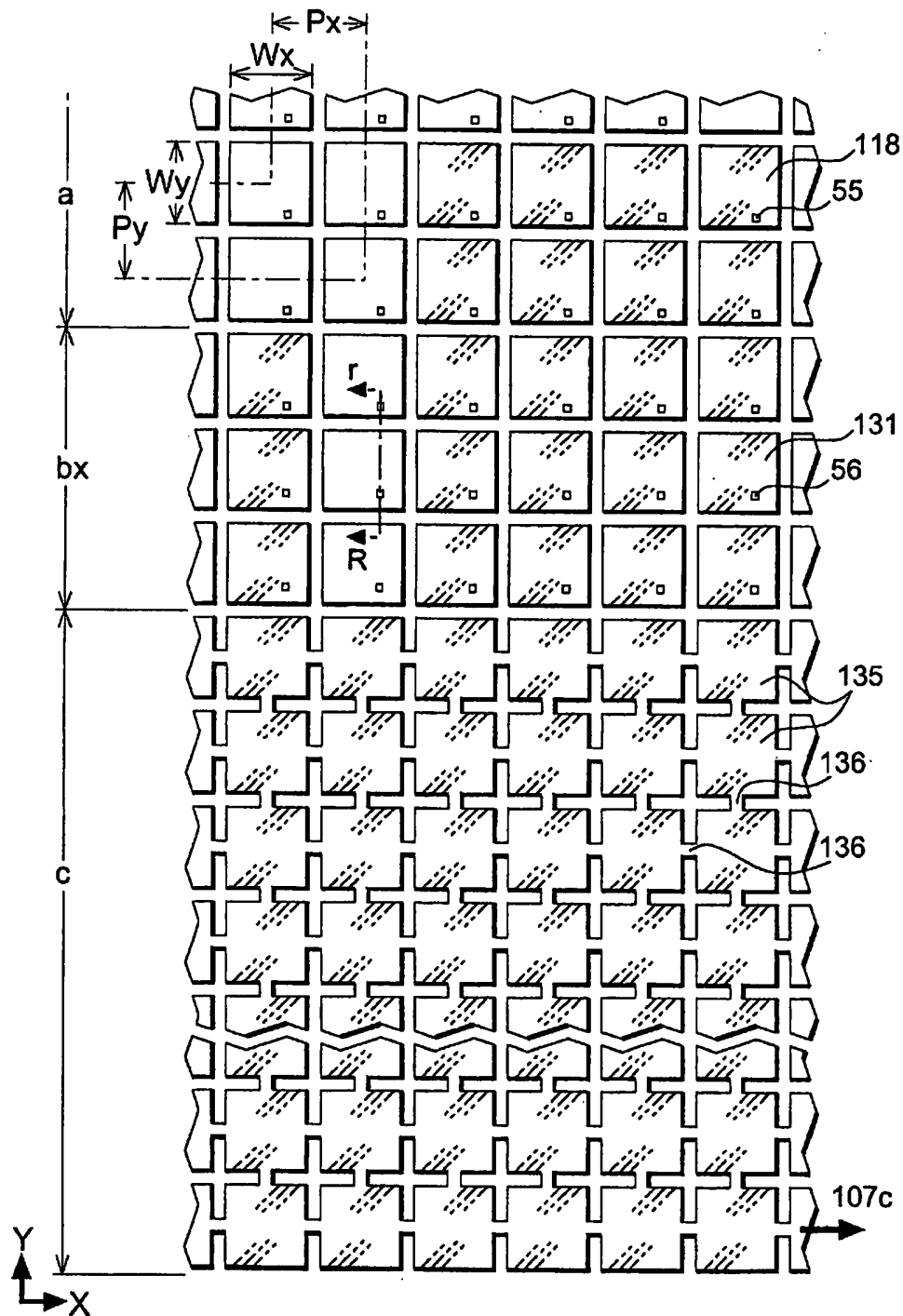


圖17

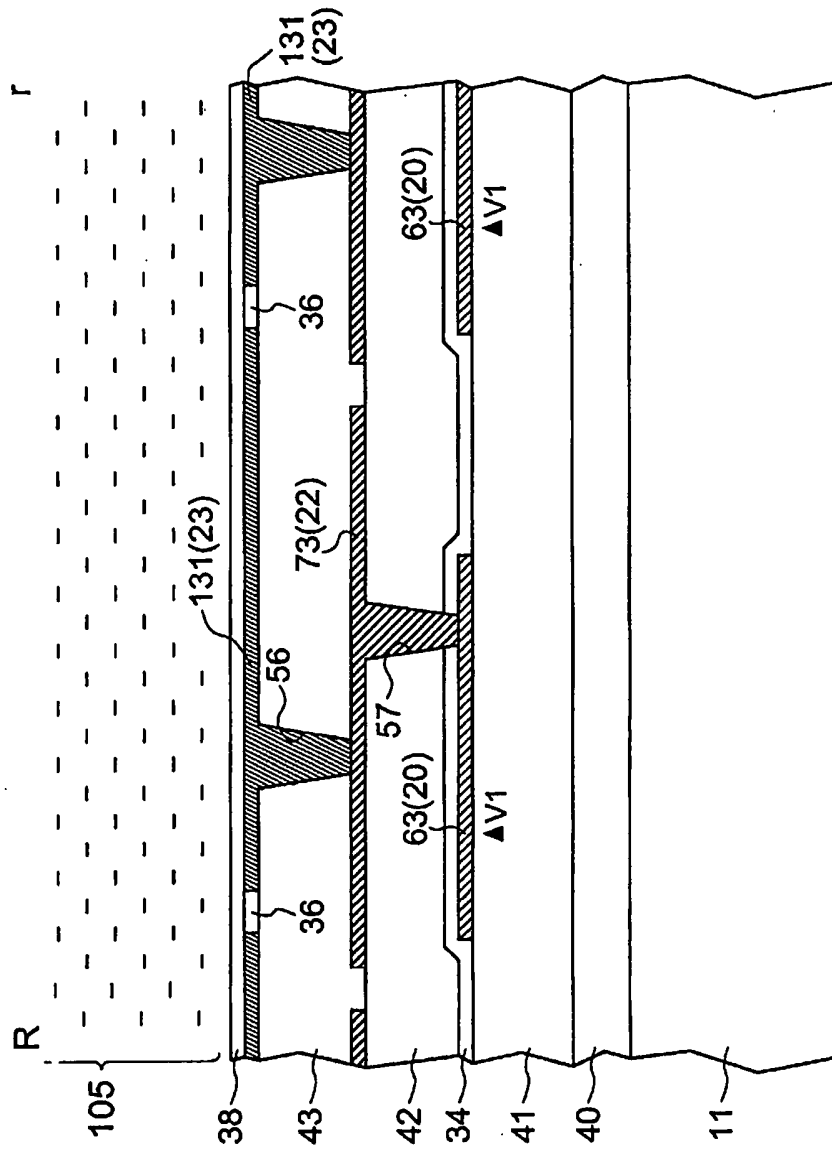


圖 18

<N區域(像素電極、虛設像素電極、導電圖案)>

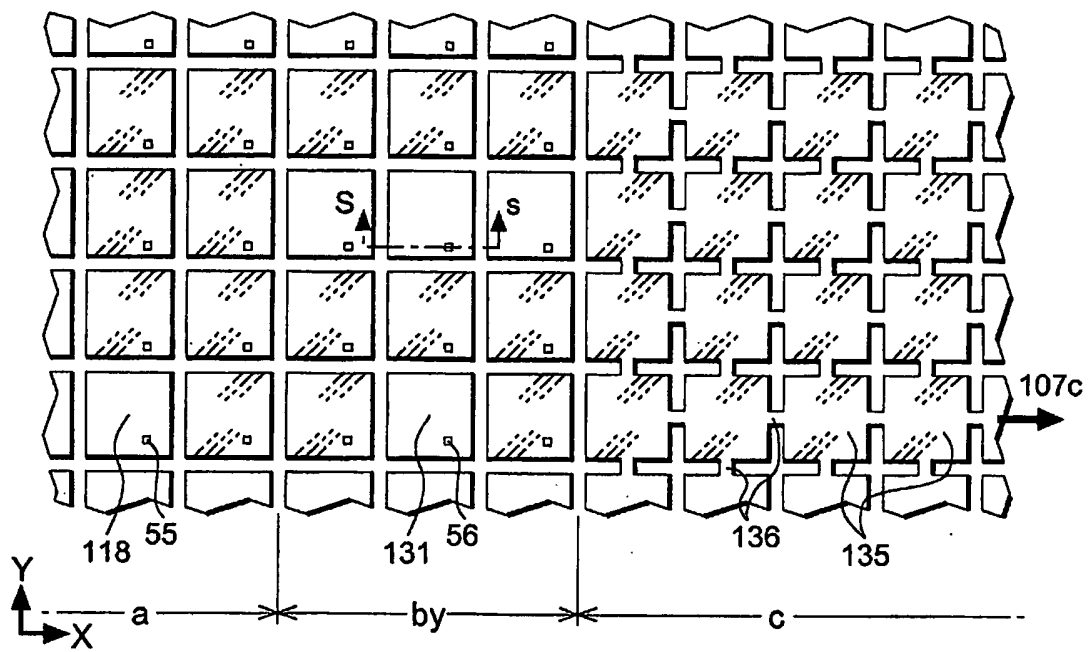


圖 19

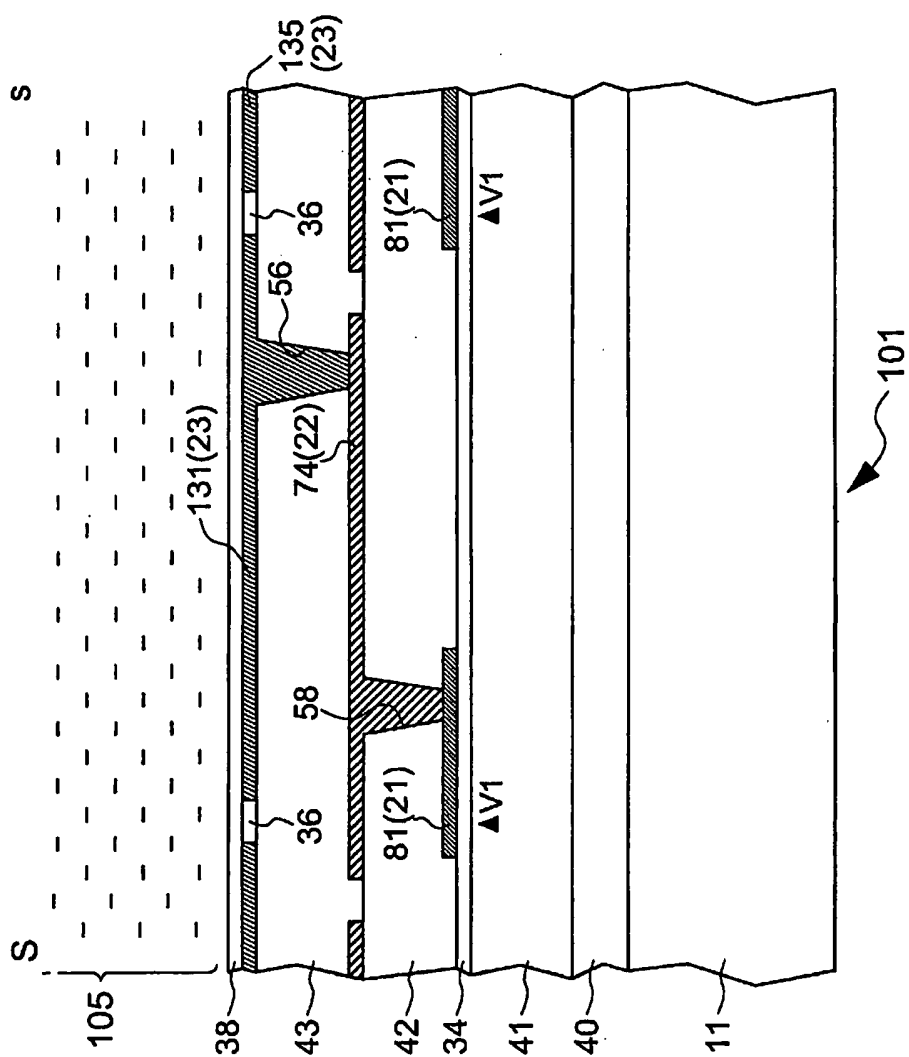
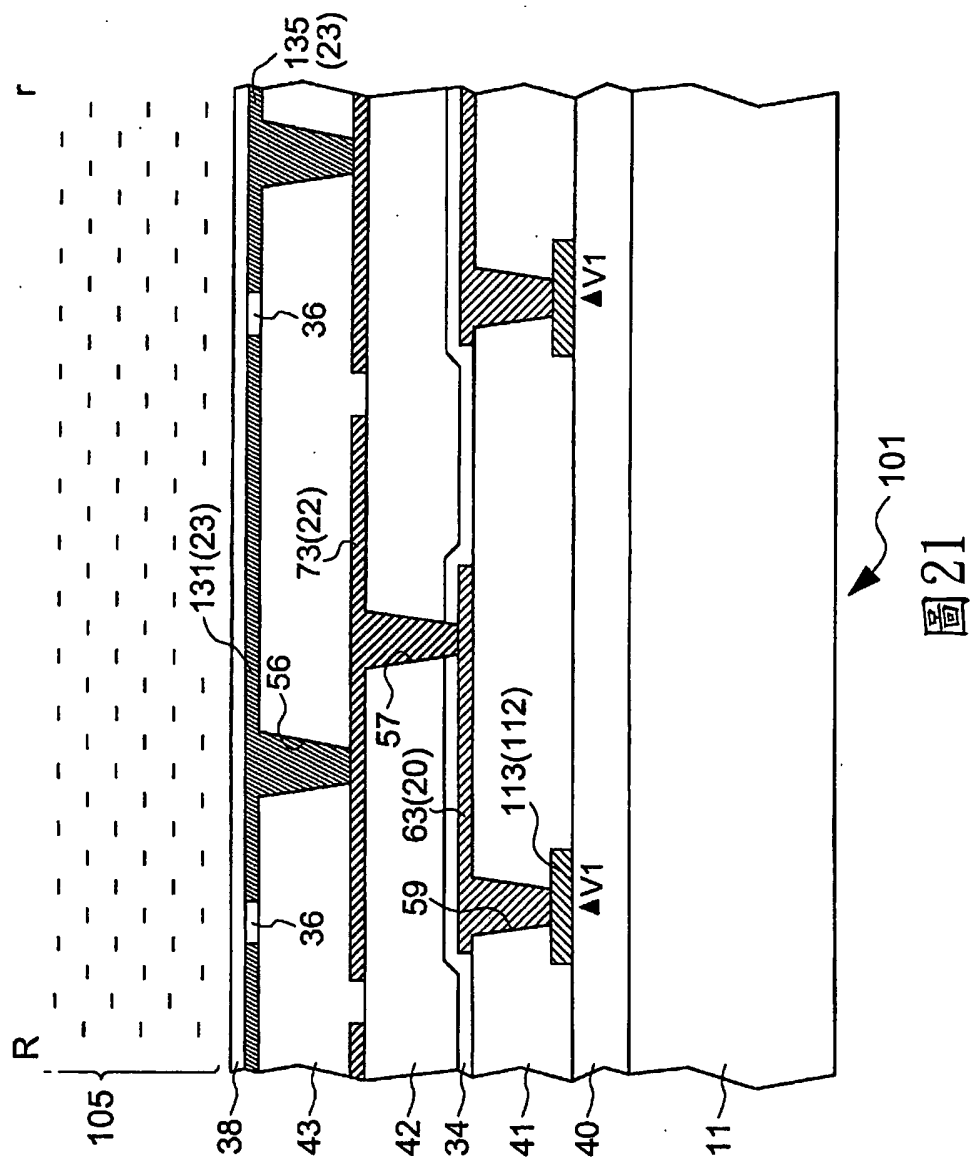


圖 20



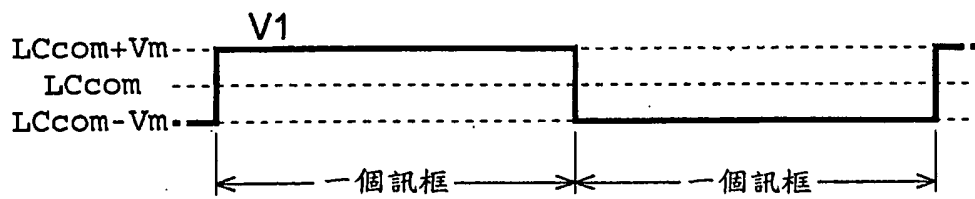


圖 22

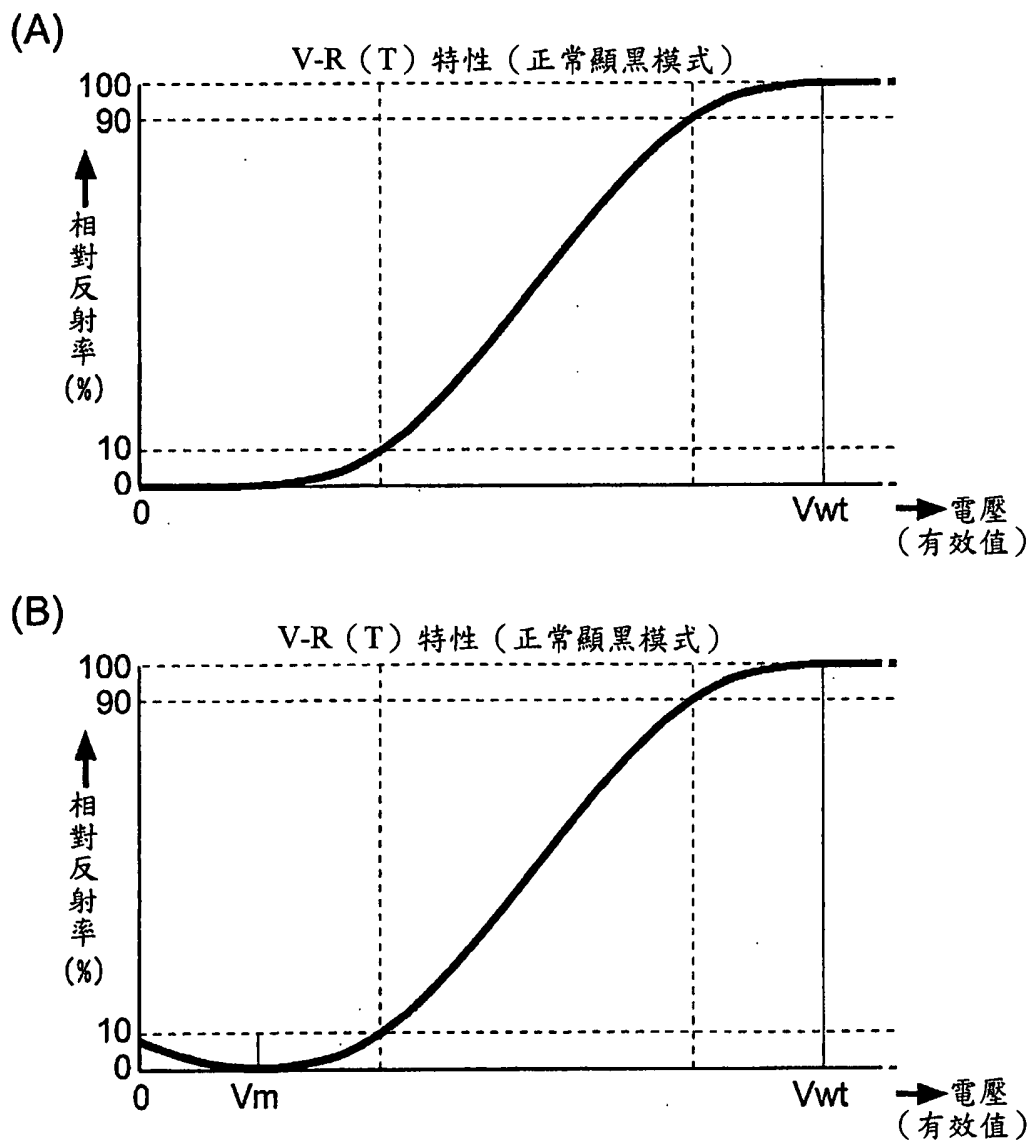


圖 23

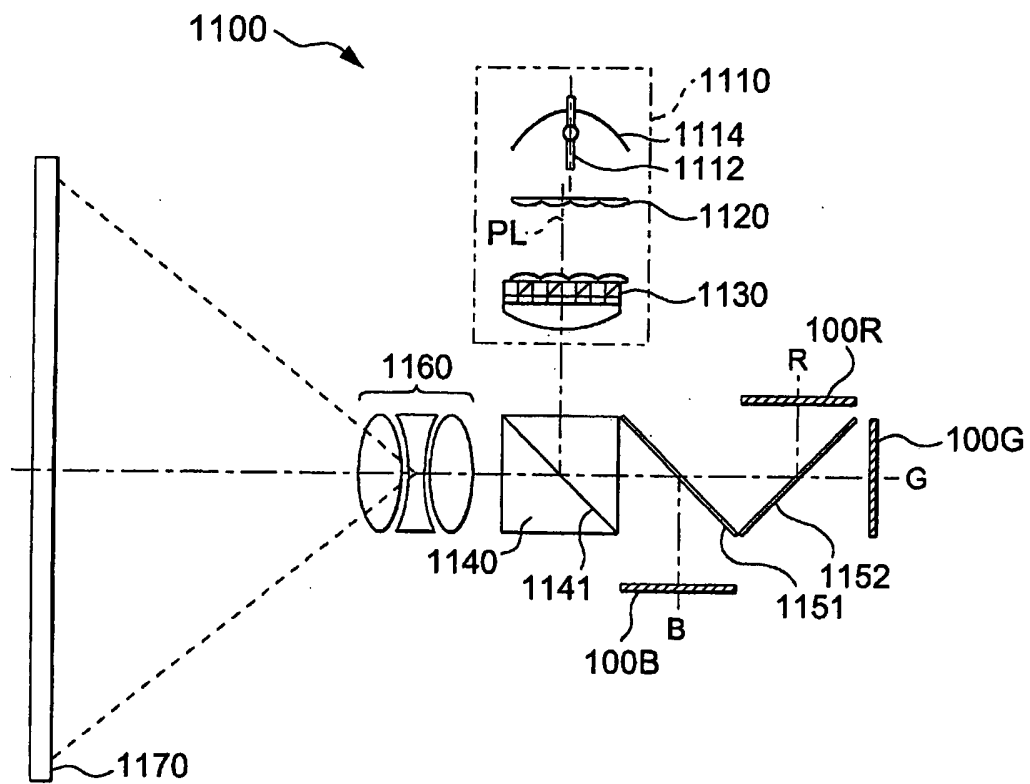


圖 24

<K區域(像素電極、虛設像素電極、導電圖案)>

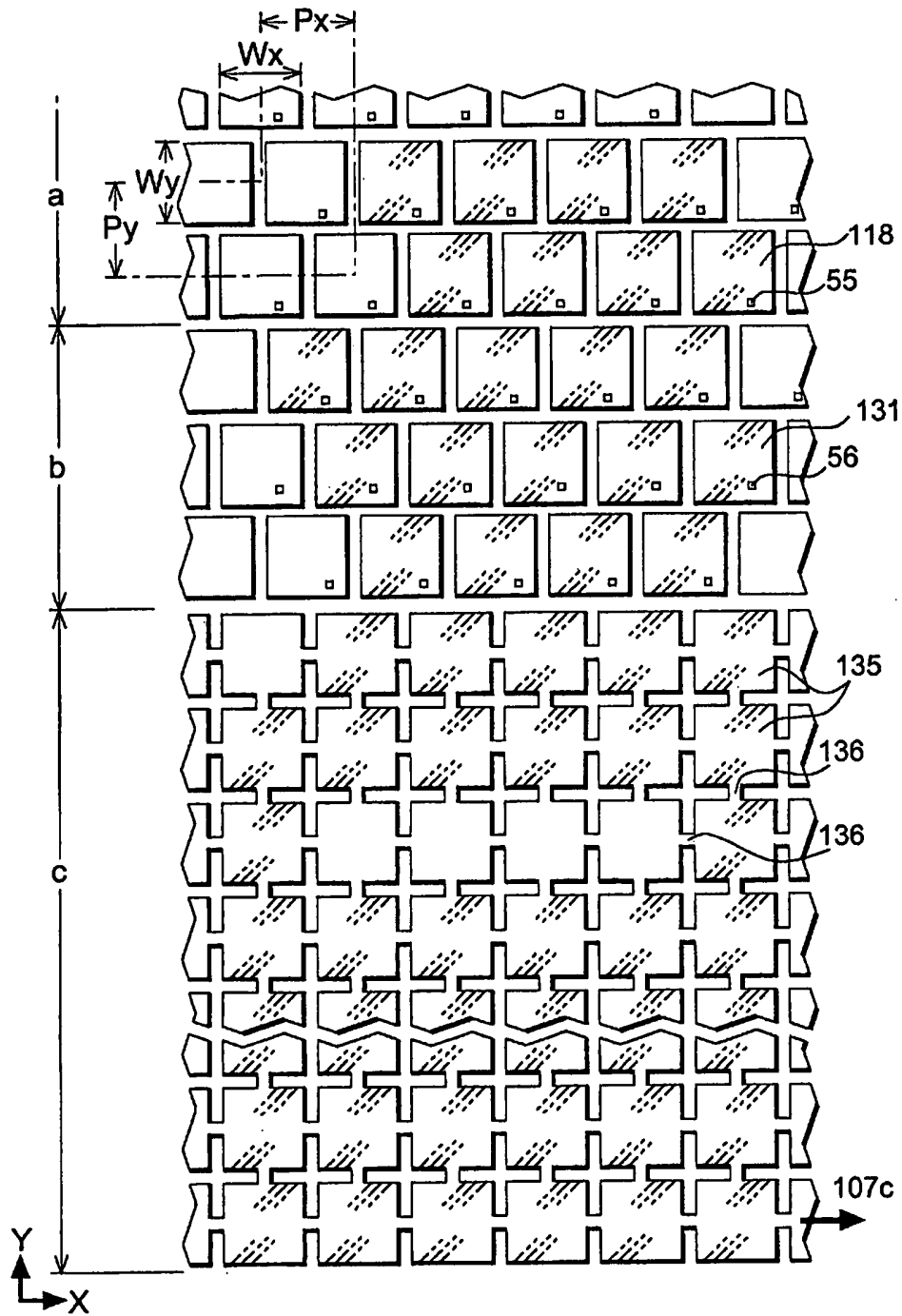


圖 25

<K區域 (像素電極、虛設像素電極、導電圖案)>

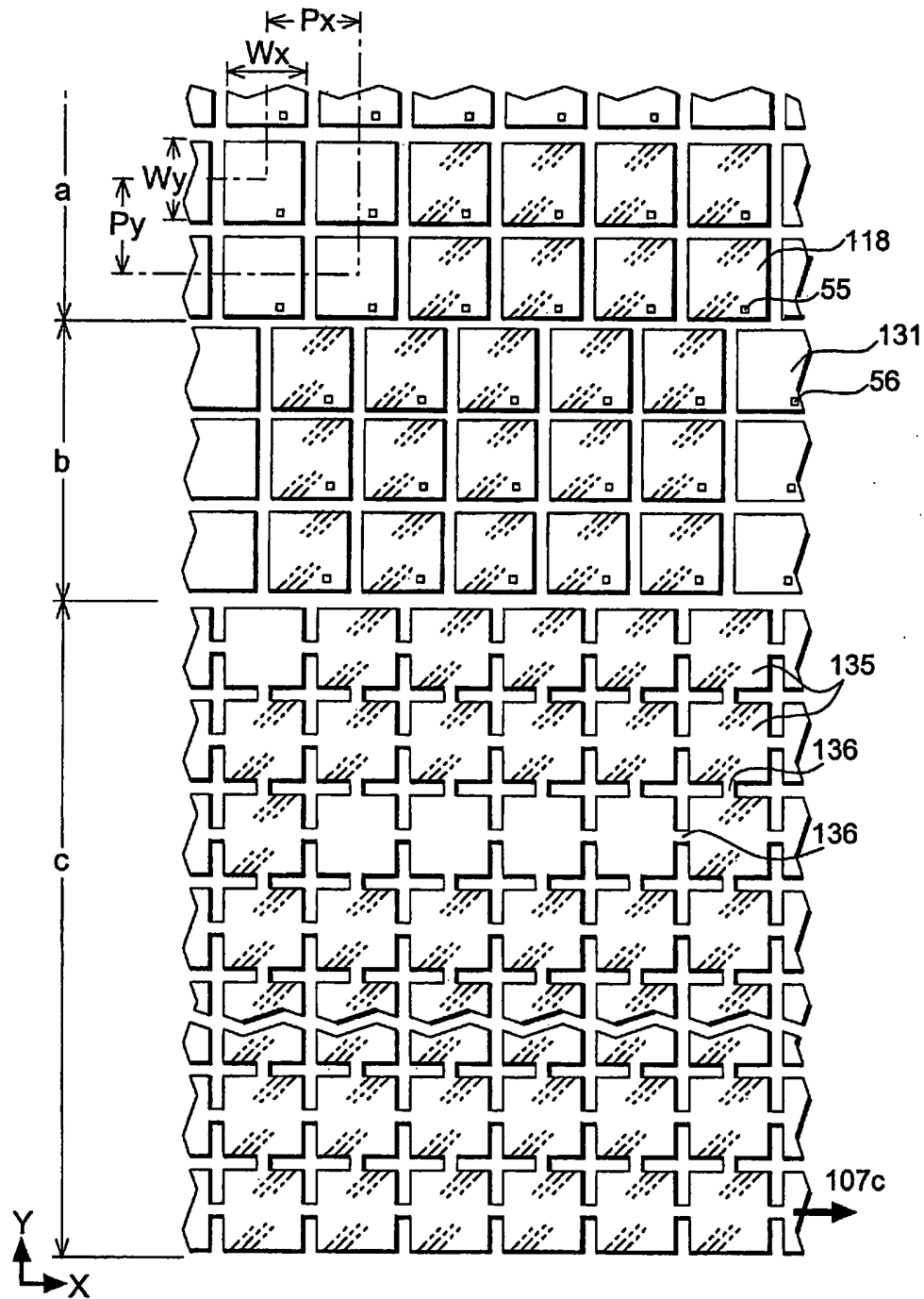


圖26

<K區域 (像素電極、虛設像素電極、導電圖案)>

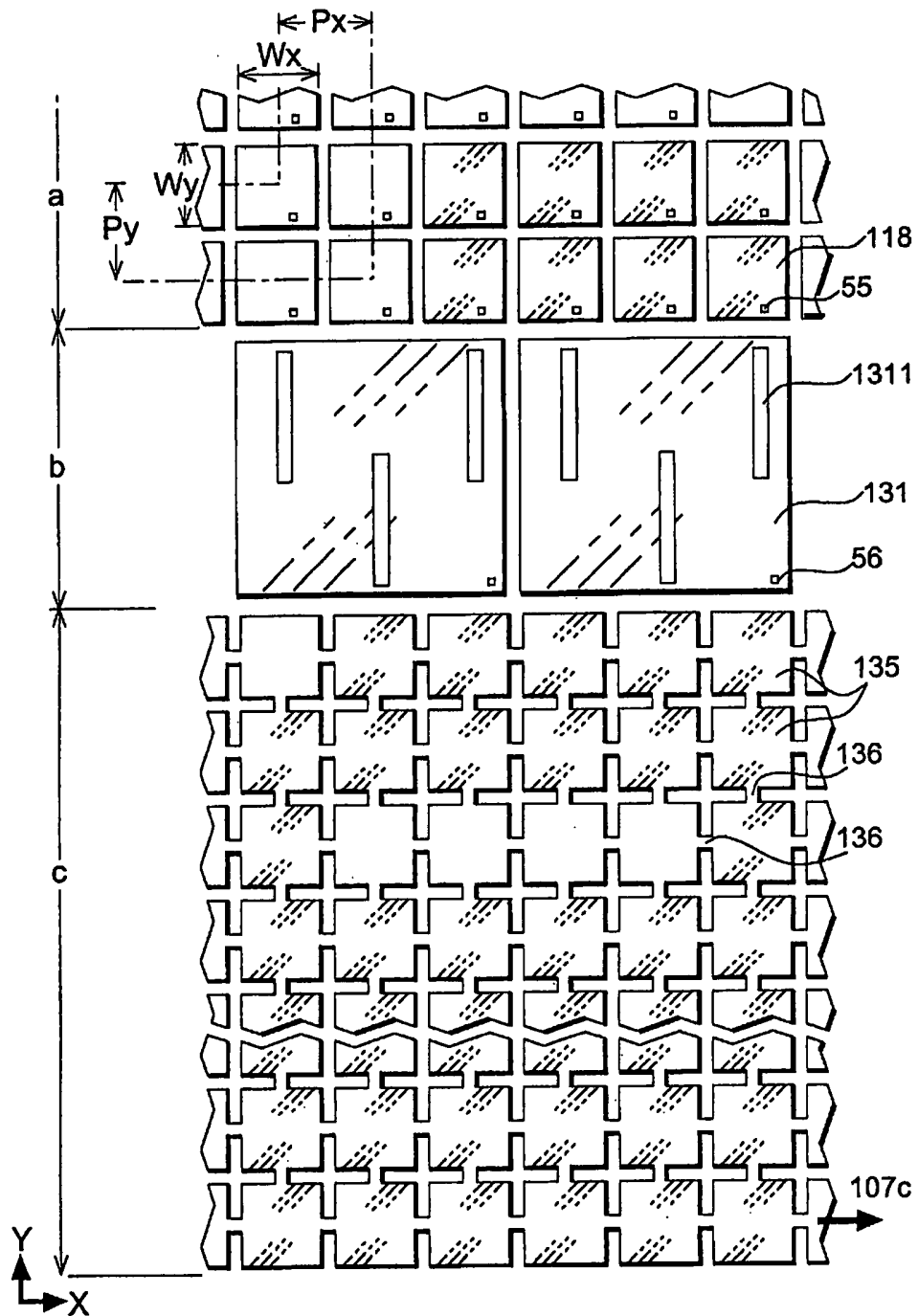


圖27

四、指定代表圖：

(一)本案指定代表圖為：第 (10) 圖。

(二)本代表圖之元件符號簡單說明：

55、56	接觸孔
107c	連接點
118	像素電極
131	虛設像素電極
135	導電圖案
136	連接部
a、b	顯示區域
c	外側區域
P-p、W-w、Q-q	線
P _x	像素電極之X方向之間距
P _y	像素電極之Y方向之間距
W _x	像素電極之X方向之尺寸
W _y	像素電極之Y方向之尺寸

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)