(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0140432
(43) 공개일자 2020년12월16일

(51) 국제특허분류(Int. Cl.)
H01L 21/28 (2006.01) *H01L 21/02* (2006.01)
H01L 21/3065 (2006.01) *H01L 21/311* (2006.01)
H01L 21/3205 (2006.01) *H01L 21/324* (2017.01)
H01L 21/768 (2006.01)
(52) CPC특허분류
H01L 21/28061 (2013.01)
G11C 29/44 (2013.01)
(21) 출원번호 10-2019-0066737
(22) 출원일자 2019년06월05일
심사청구일자 2019년06월05일

(71) 출원인
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)
한양대학교 에리카산학협력단
경기도 안산시 상록구 한양대학로 55
(72) 발명자
이한보람
서울특별시 강서구 우장산로8길 49, 901호
김우희
서울특별시 성북구 한천로 509 코오롱아파트 102동 701호
(74) 대리인
차준용

전체 청구항 수 : 총 10 항

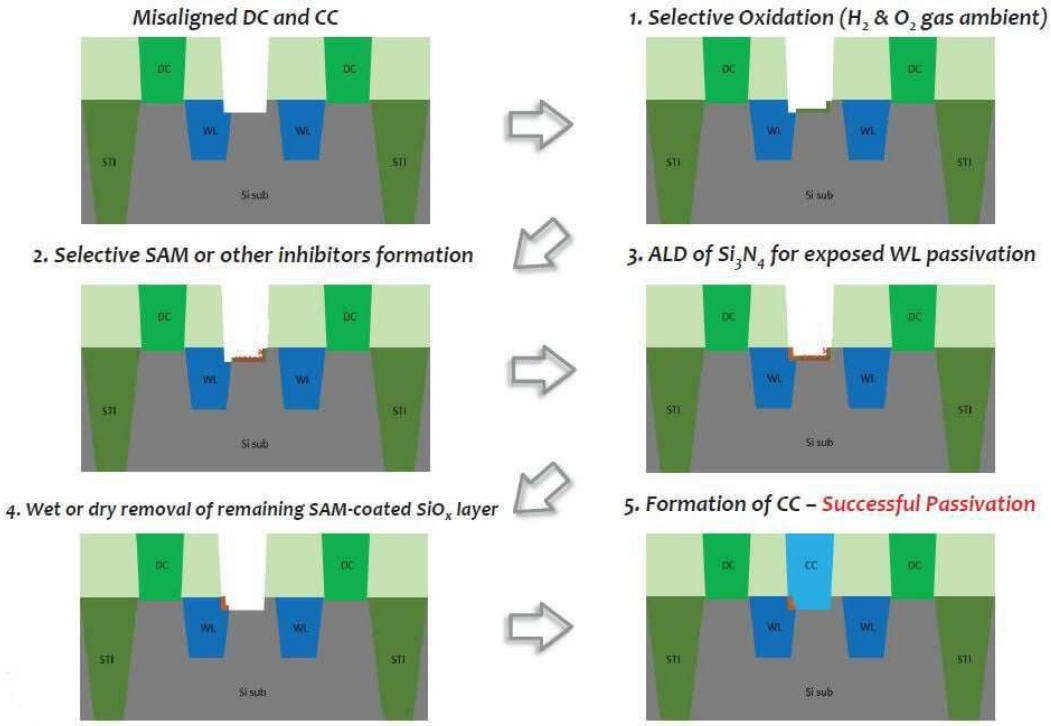
(54) 발명의 명칭 **선택적 증착에 의한 메모리 소자 결함 회복 방법**

(57) 요 약

본 발명은 메모리 소자의 미스얼라인의 결함을 해결하기 위한 메모리 소자 결함 회복 방법에 관한 것으로, 구체적으로는 1) 제1물질층과 제2물질층이 동시에 노출되어 미스얼라인이 발생된 기판을 제공하는 단계; 2) 제1물질층 또는 제2물질층 중 어느 하나가 실리콘층인 경우 O_2와 H_2 가스를 이용하여 실리콘층을 선택적으로 산화시켜 실

(뒷면에 계속)

대 표 도 - 도1



리콘 산화막을 형성하는 단계; 3) 상기 실리콘 산화막에 자기조립단분자막(Self-Assembled Monolayer, SAM)을 흡착시키는 단계; 4) 실리콘층 이외의 물질층 상에 패시베이션 재료를 증착시키는 단계; 5) 상기 자기조립단분자막을 포함하는 실리콘 산화막을 에칭 공정에 의하여 제거하는 단계를 포함하며, 본 발명은 DRAM 이외에도 반도체에서 컨택을 요구하는 모든 제작 공정(소자-소자, 소자-전극, 전극-전극 등등)에서 발생하는 포토리소그라피 기술의 불일치성으로 인한 전기적 쇼트를 방지하기 위한 결함 회복 기술로서 나노 스케일 패터닝 공정의 단점을 보완해줄 뿐만 아니라 모든 공정이 진공 상에서 이루어지기 때문에 활용하면 현재의 반도체 공정에 직접적으로 적용이 가능하다.

(52) CPC특허분류
H01L 21/02164 (2013.01)
H01L 21/0228 (2013.01)
H01L 21/3065 (2013.01)
H01L 21/31116 (2013.01)
H01L 21/32051 (2013.01)
H01L 21/324 (2013.01)
H01L 21/76816 (2013.01)
H01L 21/76871 (2013.01)
H01L 27/108 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1425124015
부처명	중소벤처기업부
과제관리(전문)기관명	중소기업기술정보진흥원
연구사업명	중소기업R&D역량제고(R&D)
연구과제명	새로운 cobalt 전구체를 이용한 원자층 증착 공정 개발
기 여 율	1/1
과제수행기관명	인천대학교산학협력단
연구기간	2018.11.01 ~ 2019.07.31

명 세 서

청구범위

청구항 1

1) 제1물질층과 제2물질층이 동시에 노출되어 미스얼라인이 발생된 기판을 제공하는 단계;

2) 제1물질층 또는 제2물질층 중 어느 하나가 실리콘층인 경우 O_2와 H_2 가스를 이용하여 실리콘층을 선택적으로 산화시켜 실리콘 산화막을 형성하는 단계;

3) 상기 실리콘 산화막에 자기조립단분자막(Self-Assembled Monolayer, SAM)을 흡착시키는 단계;

4) 실리콘층 이외의 물질층 상에 패시베이션 재료를 증착시키는 단계;

5) 상기 자기조립단분자막을 포함하는 실리콘 산화막을 에칭 공정에 의하여 제거하는 단계를 포함하는 선택적 증착에 의한 메모리 소자 결함 회복 방법.

청구항 2

제1항에 있어서,

상기 2) 단계에서, 온도는 750 ~ 950℃이고, 총 기체에 대한 상기 O_2 가스의 기체분압은 5 ~ 20%인 것을 특징으로 하는 선택적 증착에 의한 메모리 소자 결함 회복 방법.

청구항 3

제1항에 있어서,

상기 자기조립단분자막은 DMADMS-비스(디메틸아미노)디메틸실란(Bis(dimethylamino)dimethylsilane) 또는 DMATMS-(디메틸아미노)트리메틸실란((Dimethylamino)trimethylsilane)를 흡착시킴으로써 형성되는 것을 특징으로 하는 선택적 증착에 의한 메모리 소자 결함 회복 방법.

청구항 4

제1항에 있어서,

상기 3) 단계 및 4) 단계는 원자층 증착법(Atomic Layer Deposition)에 의하여 수행되는 것을 특징으로 하는 선택적 증착에 의한 메모리 소자 결함 회복 방법.

청구항 5

제1항에 있어서,

상기 자기조립단분자막으로 흡착된 실리콘 산화막은 표면의 물 접촉각은 80 ~ 90° 인 것을 특징으로 하는 선택적 증착에 의한 메모리 소자 결함 회복 방법.

청구항 6

제1항에 있어서,

상기 3) 단계는 기판의 온도가 600℃ 이하이며, 상기 4) 단계 공정 온도와 동일한 것을 특징으로 하는 선택적

증착에 의한 메모리 소자 결함 회복 방법.

청구항 7

제1항에 있어서,

상기 4) 단계에서 상기 실리콘층 이외의 물질층 상에 실리콘질화막(Si_xN_y)을 형성시키는 것을 특징으로 하는 선택적 증착에 의한 메모리 소자 결함 회복 방법.

청구항 8

제7항에 있어서,

상기 실리콘질화막(Si_xN_y)을 형성시키기 위한 전구제는 실란(silane; SiH_4), 디클로로실란(dichlorosil ane; $SiCl_2H_2$), 디실란(disilane; Si_2H_6) 또는 TEOS 중 어느 하나인 것을 특징으로 하는 선택적 증착에 의한 메모리 소자 결함 회복 방법.

청구항 9

제1항에 있어서,

상기 단계 5) 이후에 셀 접촉(Cell Contact)을 형성시키는 단계를 더 포함하는 것을 특징으로 하는 선택적 증착에 의한 메모리 소자 결함 회복 방법.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 메모리 소자는 DRAM(Dynamic random-access memory)인 것을 특징으로 하는 선택적 증착에 의한 메모리 소자 결함 회복 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 자기조립 기반의 바텀업 나노패터닝 중 가장 각광받고 있는 지역 선택적 원자층 증착법(Area-Selective Atomic Layer Deposition, AS-ALD)을 활용하여, DRAM(Dynamic RAM) 제작에 있어 탑다운 패터닝(리소그래피+플라즈마에칭) 공정을 이용한 박막 패터닝 공정 중 발생하는 접합면 간 불일치성(Contact Mismatch or Misaligned issue)을 해결하여 DRAM에서 발생하는 전기적 쇼트(Electrical short) 문제를 방지하는 방법에 관한 것이다.

[0002] 패턴과 일치하지 않는 DC(Digit Contact) 또는 CC(Cell Contact)과 WL(Word Line)의 전기적 쇼트를 방지하기 위해 워드선(WL)과 맞닿지 않는 표면을 선택적으로 산화시킨 후, 해당 표면을 선택적으로 자기조립단분자막(Self-Assembled Monolayer, SAM)이나 다른 표면 억제 분자(surface inhibition molecules)를 기상흡착시킨다.

[0003] 그 후, 전기적 쇼트가 발생하는 부분에 ALD 공정을 진행하여 그 부분을 패시베이션층(passivation layer)을 선택적으로 증착하고, 셀 접촉(CC)을 형성시키는 공정을 진행한다. 상기의 공정(선택적 산화→표면억제분자흡착→ALD 패시베이션층 형성)은 모두 기상에서 이뤄짐과 동시에, 나노 스케일에서의 표면반응을 기반으로 진행되기 때문에 미세 구조의 소자와 소자(또는 전극)간 불일치성으로 인한 결함을 회복하여 DRAM의 전기적 쇼트 문제를 해결할 수 있다.

배 경 기 술

[0004] 반도체 소자 혹은 전자 소자의 특성을 향상시키기 위해서는 콘택트 저항을 낮추는 것이 매우 중요한데, 이를 위해 실리콘 기반의 전자 소자에서는 실리콘과 물리적 전기적으로 적합성이 뛰어난 금속 실리사이드를 콘택트로 사용해오고 있다.

[0005] 한편, 금속 실리사이드를 제작하는 통상적인 방법은 실리콘 기판 위에 금속 박막을 증착하고 난 뒤, 열처리를 통해 실리콘과 금속 박막을 열적으로 반응시켜 금속 실리사이드를 형성하는 것이다. 이때 원하는 콘택트 부분에만 금속 실리사이드를 형성하기 위해서 금속 박막 증착 직후 에칭을 통한 패터닝(patterning)을 하거나, 금속 실리사이드가 형성된 후 에칭을 통해 패터닝을 하는 공정을 사용한다.

[0006] 반도체 장치가 보다 고집적화됨에 따라 미스얼라인 마진의 확보가 어려워지고 있다. 따라서 상기 콘택홀을 형성하는 공정에서 미스얼라인이 발생할 수 있다. 이와 같이 미스얼라인이 발생하면, 노출 시키고자 하는 도전 패턴이 노출되지 않는 불량이 발생할 수 있으며 또는 반대로 노출되지 않아야 할 도전 패턴이 노출되는 불량이 발생할 수 있다. 이러한 불량이 발생하면, 상기 도전 패턴과 이후의 배선과의 전기적인 연결에 결함이 발생하여, 반도체 장치의 작동 불량이 유발된다. 또한, 상기 미스얼라인에 의해서 상기 콘택홀의 위치가 정확하지 못하면, 이후에 상기 콘택홀을 채우는 배선과 이웃하는 소자와의 전기적 절연 상에 문제점이 발생할 수 있다.

[0007] 따라서, 반도체 소자의 미스얼라인의 결함 치유는 반도체 소자의 고집적화 및 미세화에 따른 특성 향상을 위해 매우 중요한 역할을 하게 된다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 대한민국 등록특허 제10-1419533호

발명의 내용

해결하려는 과제

[0009] 본 발명은 메모리 소자의 미스얼라인의 결함을 해결하기 위한 메모리 소자 결함 회복 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 본 발명은 상기와 같은 문제점을 해결하기 위해 1) 제1물질층과 제2물질층이 동시에 노출되어 미스얼라인이 발생된 기판을 제공하는 단계; 2) 제1물질층 또는 제2물질층 중 어느 하나가 실리콘층인 경우 O_2와 H_2 가스를 이용하여 실리콘층을 선택적으로 산화시켜 실리콘 산화막을 형성하는 단계(선택적 산화); 3) 상기 실리콘 산화막에 자기조립단분자막(Self-Assembled Monolayer, SAM)을 흡착시키는 단계(표면 비활성화); 4) 실리콘층 이외의 물질층 상에 패시베이션 재료를 증착시키는 단계; 5) 상기 자기조립단분자막을 포함하는 실리콘 산화막을 에칭 공정에 의하여 제거하는 단계를 포함하는 선택적 증착에 의한 메모리 소자 결함 회복 방법을 제공한다.

[0011] 또한 단계 5) 이후에 셀 접촉(Cell Contact)을 형성시키는 단계를 더 포함할 수 있다.

[0012] 상기 2) 단계에서, 온도는 750 ~ 950℃이고, 총 기체에 대한 상기 O_2 가스의 기체분압은 5 ~ 20%인 것을 특징으로 한다.

[0013] 상기 자기조립단분자막은 디메틸실란 디메틸아민(dimethylsilane dimethylamine; DMSDMA), 트리메틸실란 디메틸아민(TMSDMA) 비스(디메틸아미노)디메틸실란(Bis(dimethylamino)dimethylsilane; DMADMS) 또는 (디메틸아미노)트리메틸실란((Dimethylamino)trimethylsilane; DMATMS) 및 다른 알킬 아민 실란을 흡착시킴으로써 형성되는 것을 특징으로 하며, 특히 비스(디메틸아미노)디메틸실란(Bis(dimethylamino)dimethylsilane; DMADMS) 또는 (디메틸아미노)트리메틸실란((Dimethylamino)trimethylsilane; DMATMS) 중 어느 하나를 흡착시키? 것이 바람직하며, 상기 자기조립단분자막으로 흡착된 실리콘 산화막은 표면의 물 접촉각은 80 ~ 90° 인 것을 특징으로 한다.

[0014] 상기 3) 단계 및 4) 단계는 화학적 기상 증착법, 금속 유기 화학적 기상 증착법, 분자빔 에피택시, 및 원자층 증착법 등의 방법으로 형성할 수 있으나, 원자층 증착법(Atomic Layer Deposition)에 의하여 수행되는 것이 바람직하다.

[0015] 따라서 본 발명에서 사용하고 있는 자기조립단분자막 흡착으로 인한 표면 비활성화 단계는 진공 챔버 내에서 짧은 시간 노출을 통하여 균일한 표면 억제막의 형성이 가능하고, 열적으로 매우 안정하여 고온의 공정에 적용이 가능하고, 짧은 분자 길이로 인해 3차원의 복잡한 나노구조 안에 입체 장애 없이 고밀도의 균일한 표면 억제막의 형성이 가능하다.

[0016] 상기 3) 단계는 기판의 온도가 600℃ 이하인 것을 특징으로 하며, 기판의 온도가 600℃를 초과하는 경우, 자기조립단분자막의 형성 과정에서 열화가 일어나서 4) 단계 페시베이션 박막을 선택적으로 증착하는 공정의 실현이 불가능하게 된다. 화학적으로 흡착된 2) 단계의 SAM 물질의 경우, 600℃ 이상에서 열화가 되는 것으로 알려져 있다.

[0017] 상기 3) 단계의 온도는 후속 단계의 ALD 패시베이션 박막 형성 공정과 함께, 한 챔버 내에서 증착이 이뤄진다면, 동일한 온도에서 3,4단계를 온도 조건의 변화 없이 동시에 공정을 수행할 수 있다는 장점이 있다. 즉, 상기 온도는 SAM 물질이 열화되지 않는 선에서는 4단계에서 사용하는 insulating material의 공정온도와 관련이 있다. 상기 기판 온도의 하한은 50℃가 바람직하지만 이에 제한되는 것은 아니며, 4) 단계의 공정 온도와 관련하여 적절하게 조절될 수 있다.

[0018] 상기 4) 단계에서 상기 실리콘층 이외의 물질층 상에 실리콘질화막(Si_xN_y)을 형성시키는 것을 특징으로 한다. 상기 실리콘질화막은 CC(Cell Contact)와 WL(Word Line) 간의 배리어막으로서, 텅스텐-실리콘 타겟(W-Si target) 또는 텅스텐-실리콘 소스(W-Si source)를 이용하여 화학기상증착법(CVD), 원자층증착법(ALD)을 통해 형성할 수 있으나, 본 발명의 기술적 특징에 비추어 볼 때 원자층증착법(ALD)을 통해 형성하는 것이 바람직하며, 이때 사용되는 전구체로는 실란(silane; SiH_4), 디클로로실란(dichlorosil ane; $SiCl_2H_2$), 디실란(disilane; Si_2H_6), TEOS 등을 사용할 수 있다.

[0019] 본 발명의 다른 실시 예에서, 상기 메모리 소자는 DRAM(Dynamic random-access memory)인 것을 특징으로 한다.

발명의 효과

[0020] 본 발명은 DRAM 이외에도 반도체에서 컨택을 요구하는 모든 제작 공정(소자-소자, 소자-전극, 전극-전극 등등)에서 발생하는 포토리소그라피 기술의 불일치성으로 인한 전기적 쇼트를 방지하기 위한 결함 회복 기술로서 나노 스케일 패터닝 공정의 단점을 보완해줄 뿐만 아니라 모든 공정이 진공 상에서 이루어지기 때문에 활용하면 현재의 반도체 공정에 직접적으로 적용이 가능하다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 소자 결함 회복 방법의 개략도이다.

도 2는 수소 및 산소 분압에 따른 실리콘과 텅스텐의 선택적 산화 관계를 나타내는 그래프이다.

도 3은 DMADMS 및 DMATMS 분자의 SiO_2 기판에서 흡착과정을 나타내는 개략도이다.

도 4는 Si 와 SiO_2 기판에서 DMADMS 노출 시간에 따른 접촉각(Contact Angle)의 변화를 나타낸 그래프이다.

도 5는 Ru 증착을 위한 ALD 공정(100 cycles) 이후 각 기판에서 FESEM 사진이다; a) Si (b) DMADMS/Si (c) SiO_2 (d) DMADMS/SiO_2.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 본 발명을 보다 상세하게 설명한다.

[0023] 본 발명은 반도체 소자에서 접합 영역에서의 결함을 치유하기 위한 방법에 관한 것으로서, 본 발명은 크게 4단계의 프로세스(process)에 의해 구현된다.

[0024] 먼저 제1공정은 박막 패터닝 공정 중 발생하는 접합면 간 불일치가 발생하는 경우 실리콘(Si) 기판을 선택적 산화시키는 단계이다. 제1공정 이전에 제1물질층과 제2물질층이 동시에 노출되어 미스얼라인이 발생된 기판을 제

공하는 단계가 추가될 수 있다.

[0025] 즉, 패턴과 일치하지 않는 DC(Digit Contact) 또는 CC(Cell Contact)와 WL(Word Line)의 전기적 쇼트를 방지하기 위해 WL과 맞닿지 않는 표면을 선택적으로 산화시키는 단계이다.

[0026] 접합면 간 불일치 상태에서는 텅스텐 및 실리콘이 동시에 존재하는 조건으로 선택적 산화공정으로 텡스텐은 산화시키지 않고, 실리콘 기판만 산화시켜 선택적 실리콘 산화막을 형성한다.

[0027] 반도체 제조 소자를 이루는 트랜지스터의 게이트 전극은 흔히 텅스텐(W)으로 형성된다. 게이트 전극 패터닝 공정을 거친 후 게이트 전극 측벽을 산화시키기 위해 선택적 산화 공정을 실시하여 게이트 패터닝을 위한 식각 공정에서 발생한 플라즈마 손상(plasma damage)을 제거한다. 이러한 선택적 산화는 O_2와 H_2의 분압을 조절하여 텅스텐의 산화는 일어나지 않고 폴리실리콘 등의 실리콘만이 산화되어 실리콘 산화막(SiO_2)을 형성하게 된다.

[0028] 선택적 산화 공정을 진행할 때 실리콘 산화막을 두께를 증가시키면서도 텅스텐의 산화가 일어나지 않도록 하기 위해서는 O_2 와 H_2의 텅스텐과의 상호 작용을 적절히 이용하여야 한다. 도 2는 850℃에서 O_2와 H_2의 분압 및 온도에 따른 실리콘(Si)의 선택적 산화 관계를 보이는 그래프이다. 도시되지 않았으나 본 발명자는 텅스텐옥사이드(WOx)의 텅스텐(W)으로의 환원은 750 ~ 950℃의 온도에서 산소가 5 ~ 20%인 경우에 실리콘의 선택적 산화가 80%이상 나타나는 것을 확인하였다.

[0029] 텅스텐의 산화와 환원 반응의 균형을 유지시켜주는 것은 O_2 와 H_2의 비율이므로, O_2 와 H_2의 균형 관계에 변화를 일으킴으로써 실리콘 산화막의 두께를 적절하게 증가시킬 수 있다. O_2의 유량을 증대시키면 실리콘의 산화막의 두께는 증가하나 동시에 텅스텐의 산화도 증가하기 때문에 수소 유량의 증대를 통해 텅스텐의 환원을 증가시켜야 한다.

[0030] 제2공정은 표면 억제 공정으로, 상기 선택적으로 산화된 표면에 자기조립단분자막(Self-Assembled Monolayer, SAM)이나 다른 표면 억제 분자(surface inhibition molecules)를 기상흡착시킨다.

[0031] 상기 표면 억제 공정은 SiO_2 기판 표면상에 짧은 chain 길이를 갖는 Si 기반의 DMADMS-비스(디메틸아미노)디메틸실란(Bis(dimethylamino)dimethylsilane), DMATMS-(디메틸아미노)트리메틸실란((Dimethylamino)trimethylsilane)을 억제제(inhibitor)로써 흡착시킴으로써 이루어진다.

[0032] 기존에 자기조립단분자막(Self-assembled monolayers, SAMs)을 이용한 AS-ALD 방법의 경우 주로 솔루션 공정을 활용하여 오랜 시간(>24 hr) 동안 알킬 채인(alkyl chain) 길이가 12 이상의 벌키한(분자높이 > 수nm) 표면억제막(bulky inhibition layer)을 형성한 것과 비교하여 다음과 같은 몇 가지 이점을 갖는다. 본 발명에서 제안하는 표면 억제 분자막은 알킬실릴기 그룹을 가진 분자의 선택적인 표면 기상 실릴화(gas phase silylation) 반응을 통해 (i) 진공 챔버 내 짧은 시간 노출(수십초 이내)을 통해 균일하고 오염이 없는 고품질의 표면 억제막의 형성이 가능하다. 또한, (ii) 절연체 표면 -OH 그룹에 실릴화를 통해 치환 증착된 실릴그룹(R_3Si) 내 silicon-carbon 결합의 경우 열적으로 매우 안정(> 600℃)하여 고온의 고품질의 박막 형성을 필요로 하는 공정에 적용이 가능하다 (SAMs 열화: < 350℃). (iii) 뿐만 아니라, 짧은 분자 길이로 인해 3차원의 복잡한 나노구조 안에 입체 장애 없이 고밀도의 균일한 표면 억제막의 형성이 가능하여 3차원 선택 박막 형성을 가능하게 해주므로 다양한 나노소재 분야에 적용을 가능하게 해준다.

[0033] 기존의 AS-ALD 공정에서는, 원자층 박막증착 공정을 실시하기 전에 박막 성장을 원치 않는 영역에 자기조립단분자막을 형성하여 ALD 전구체의 화학 흡착을 억제하여 특정 지역에만 박막 증착이 가능하게 해준다. 그러나 SAMs을 기반으로 한 AS-ALD 에는 몇 가지 한계가 있는데, 솔루션 공정을 활용한 긴 코팅시간, 용액 상에서 일어날 수 있는 분자막 오염이슈와 서로 간의 물리적인 흡착 등으로 인한 상호 간섭이 발생하여 기판 위에 단원자 분자막을 균일하게 형성하는 것이 매우 힘들다. 뿐만 아니라, 3차원 나노구조에 활용 시 형성된 SAM의 긴 chain 길이로 인한 상호 입체 장애가 발생하여 SAMs이 만나는 에지 부분에 결함이 생기거나 균일하게 흡착이 되지 못한다는 것이다. 따라서 실제 나노스케일 반도체 공정에 쓰이기 어렵다.

[0034] 이러한 SAM을 기반으로 한 AS-ALD의 여러가지 한계점들을 극복하기 위해서, 본 발명자는 알킬실릴기 그룹을 가진 분자의 기상 실릴화 반응을 통해 억제제(inhibitor)를 표면에 선택적으로 SiO_2 표면에 흡착시킴으로써 공정이 간단하며 chain 길이가 짧으며 열적으로 안정성이 뛰어난 분자막을 형성시켰다.

[0035] 상기 제2공정에 대한 개략적인 실험 방법은 도 3에 도시되어 있다.

[0036] 본 발명자는 ALD를 이용한 단일 cycle로 DMADMS 을 (5, 10, 20 및 30초) pulse 및 30 sccm의 Ar gas 10초 purge으로 진행하였다. 기판 온도는 150℃이고, DMATMS의 흡착에 대해서도 동일한 실험 조건이 수행되었다. DMADMS 와 DMATMS로 코팅된 SiO_2 기판은 표면 물 접촉각이 80 ~ 90° 로 소수성 표면으로 성질이 변화하였다(도 4).

[0037] 본 발명자는 Ru 및 Al_2O_3를 사용하여 AS-ALD에 대한 DMADMS/SiO_2 및 DMATMS/SiO_2의 blocking 물성을 연구했다. Ru 증착을 위해 Carish(dicarbonyl-bis(5-methyl-2,4-hexanediketonato) Ru(II), $C_{16}H_{22}O_6Ru$, Tanaka, Japan)와 산소 가스가 각각 전구체와 반응물(reactant)로 사용되었다. SiO_2 및 DMADMS/SiO_2 기판을 ALD 공정에 사용하였다. Carish 전구체의 온도 및 기판 온도는 각각 100 및 283℃로 유지시켰다. 전구체와 산소 가스는 각각의 반응 사이에 7초의 질소 가스 purge 와 함께 각각 (6s 및 5s)의 pulse를 설정하였다. Carish 전구체의 carrier 가스로써 100sccm의 질소 가스를 사용하였다. SiO_2 및 DMADMS/SiO_2 상에 Ru 증착을 위해 약 1Å/cycle의 성장 속도를 갖는 100 ALD cycle 공정을 진행하였다.

[0038] 또한 DMADMS/SiO_2 및 DMATMS/SiO_2 기판에 대한 Al_2O_3를 ALD 공정을 통해 blocking 물성을 테스트하였다. 여기서는 트리메틸알루미늄(trimethylaluminum, TMA)과 H_2O가 각각 전구체와 반응물로 사용되었다. TMA 및 H_2O는 각각 실온으로 유지하였다. Al_2O_3 공정의 한 cycle은 TMA pulse (5초), N_2 purge (15초), H_2O pulse (5초) 및 N_2 purge(15초)로 구성하였다. 본 발명자는 150℃에서 DMADMS/SiO_2 및 DMATMS/SiO_2 기판에 대한 Al_2O_3 공정을 5 cycle을 진행하였다. 여기서 금속 산화물(metal oxide) 막 두께는 ALD cycle의 수를 조절하여 제어할 수 있다.

[0039] 도 5를 참조하면 DMADMS 및 DMATMS의 blocking 능력은 Ru에 대해서는 우수했지만 Al_2O_3에 대해서는 그렇지 못했다. 이것은 각 전구체의 크기 또는 고유의 반응성 차이로 인한 것으로 설명된다.

[0040] 제3공정은 CC(Cell Contact)와 WL(Word Line)의 전기적 쇼트를 방지하기 위하여 패시베이션 재료를 도전성 재료 상에 증착시키는 단계이다.

[0041] 절연성 재료로서는 상기 도전성 재료 원소의 산소화합물, 질소화합물, 탄소화합물, 또는 할로겐화합물의 단층으로 형성할 수 있다. 또한, 이들의 적층을 사용할 수 있다. 대표적으로는 질화알루미늄, 질화규소, 산화규소, 실리콘 탄화물, 질화탄소, 염화알루미늄 등이 있다. 또한, 폴리이미드, 폴리아미드, BCB(벤조사이클로부텐), 아크릴 등의 유기수지를 사용할 수 있다. 또한, 실록산, 폴리실라잔 등을 사용할 수 있다. 또 상기 절연성 재료에 한정되지 않으며, 절연성 재료이면 적절하게 사용할 수 있다

[0042] 본 발명에서는 WL(Word Line)의 도전성 재료인 텅스텐 상에 실리콘질화막(Si_xN_y)을 형성하는 것이 바람직하다. 상기 실리콘질화막은 CC(Cell Contact)와 WL(Word Line) 간의 배리어막으로서, 텅스텐-실리콘 타겟(W-Si target) 또는 텅스텐-실리콘 소스(W-Si source)를 이용하여 스퍼터링법(sputtering), 화학기상증착법 (CVD), 원자층증착법(ALD)을 통해 형성할 수 있으나, 본 발명의 기술적 특징에 비추어 볼 때 원자층증착법(ALD)을 통해 형성하는 것이 바람직하며, 이때 사용되는 전구체로는 실란(silane; SiH_4), 디클로로실란(dichlorosil ane; $SiCl_2H_2$), 디실란(disilane; Si_2H_6), TEOS 등을 사용할 수 있다.

[0043] 상기 실리콘질화막은 400℃ 내지 500℃의 저온의 온도에서 원자층증착(ALD; Atomic Layer Deposition) 방식으로 형성할 수 있다. 이를 위해 먼저, 반도체 기판을 증착 장비 내에 로딩시킨다. 여기서 증착 장비는 복수 개의 웨이퍼가 장착되는 배치(batch) 타입의 플라즈마 장비를 이용한다. 다음에 증착 장비 내에 질화 증착 소스를 공급한다. 질화 증착 소스는 디클로로실란(DCS; Dichlorosilane, $SiCl_2H_2$) 가스와 암모니아(NH_3) 가스를 포함한다. 구체적으로, 플라즈마 장비 내에 디클로로실란($SiCl_2H_2$) 가스를 공급하면서 바이어스를 인가한다. 그러면 실리콘질화막이 형성될 피증착면, 즉, 텅스텐의 노출면 상에 실리콘(Si)이 흡착된다. 다음에 증착 장비 내에 퍼지(purge) 가스를 주입하여 미흡착된 실리콘을 배기시킨다. 계속해서 증착 장비 내에 암모니아(NH_3) 가스를 공급하면서 플라즈마를 구동(plasma turn on)시킨다. 그러면 텅스텐 상에 흡착된 실리콘(Si)과 암모니아 가스의 질소(N)가 결합하여 실리콘질화막(Si_xN_y)의 단원자층(mono atomic layer)을 형성한다. 다음에 증착 장비 내에 퍼지 가스를 주입하여 증착 장비 내부를 배기시킨다. 이러한 실리콘질화막의 단원자층은 한 싸이클(cycle)당 0.8 Å의 증착 속도로 증착된다. 본 발명의 실시예에서, 실리콘질화막은 원자층증착방식을 적어도 50 싸이클을 진행하여 20Å 내지 50Å의 두께로 증착하는 것이 바람직하다. 상기 형성된 실리콘질화막은 CC(Cell Contact)와

WL(Word Line) 간의 접촉을 방지할 수 있다.

[0044] 제4공정은 에칭 공정으로 자기조립단분자막(SAM)에 의하여 코팅된 실리콘 산화막(SiO_x)을 제거하는 단계이다.

에칭 공정은 실리콘 산화막을 제거할 수 있는 공지의 에칭 방법을 사용할 수 있다. 바람직하게 HF 등을 이용한 습식 식각에 의해 이루어질 수 있으나, 반드시 이에 한정되는 것이 아니며, 공지되어 있는 임의의 방법을 사용하여 습식 또는 건식 식각하여 제거할 수도 있다.

[0045] 이후 셀 접촉(Cell Contact)을 형성시키면, 컨택면 간 불일치성(Contact Mismatch or Misaligned issue)을 해결하여 DRAM에서 발생하는 전기적 쇼트 (Electrical short) 문제를 방지할 수 있다.

[0047] 선행기술에 비해 본 제안 기술은 DRAM 이외에도 반도체에서 컨택을 요구하는 모든 제작 공정(소자-소자, 소자-전극, 전극-전극 등등)에서 발생하는 포토리소그라피 기술의 불일치성으로 인한 전기적 쇼트를 방지하기 위한 결함 회복 기술로서 나노 스케일 패터닝 공정의 단점을 보완해줄 뿐만 아니라 모든 공정이 진공 상에서 이루어지기 때문에 활용하면 현재의 반도체 공정에 직접적으로 적용이 가능할 것으로 판단한다.

[0048] 현재 접촉 불일치(Contact Mismatch)을 위한 AS-ALD 결함 회복 기술은 기존의 보고된 여러 가지 원자층 증착 기술, 선택적 증착 기술과 본 연구진이 보유한 기술을 융합하여 성취될 수 있을 것이라고 판단된다.

[0049] - 선택적 증착 공정 (Selective deposition process): 기존의 공정은 대부분 원하지 않는 기판을 선택적으로 passivation하기 위해 리소그래피에서의 Photo-resist(PR)을 코팅한 후, Mask 공정, PR 제거(PR removal)의 공정을 진행하거나, 자기조립단분자막(Self-Assembled Monolayer, SAM)을 용액 상에서 24시간 이상 코팅을 하는 공정이 진행되어 왔다.

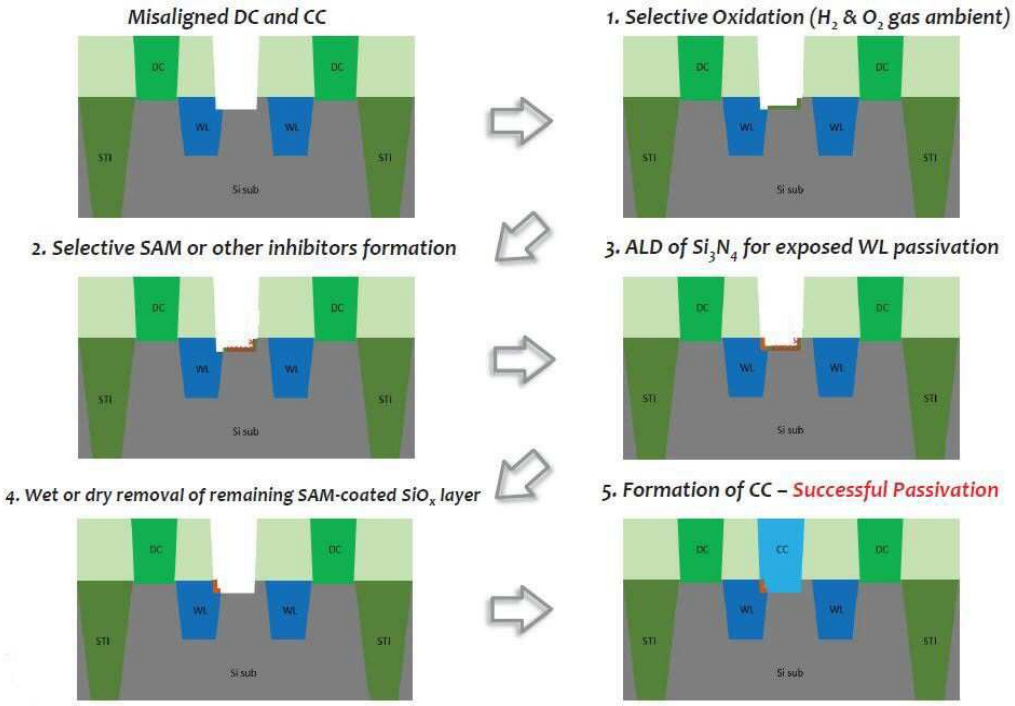
[0050] 하지만 본 기술에서 제안하는 선택적 증착 공정은 기상에서 선택적인 산화법과 표면억제분자흡착 공정을 활용하여 표면 억제층을 선택적으로 형성하고, 후속 ALD 공정을 이용한 선택적인 passivation layer의 성장을 진행하여 노출된 전극 부분을 보호한다.

[0051] - ALD process: 대부분 ALD 공정이 솔루션 상에서 장시간 형성된 SAM molecules 위에서 진행되는 반면, 본 제안 기술은 기상에서 ALD 전구체를 활용한 SDP 물질을 통하여 표면을 선택적으로 passivation 시킬 수 있으며 동시에 후속 CC 또는 DC 증착 공정이 in-situ로 이루어 질 수 있다는 장점이 있다.

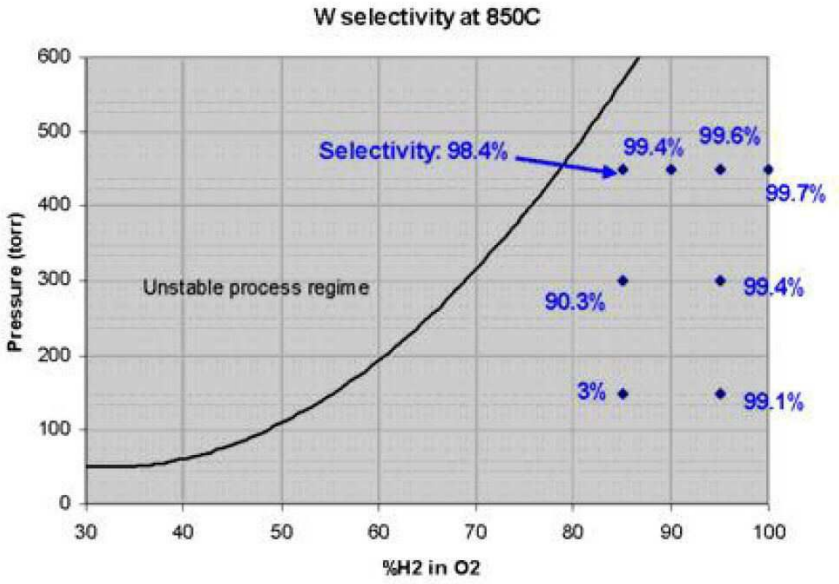
[0052] - Defect healing process: 기존의 공정은 대부분 증착(Deposition)→ 식각(Etching)→ 증착(Deposition)→ 식각(Etching)→의 탑다운(Top-down) 기반 반복 공정으로서 결함이 발생할 경우, 수정이 매우 어렵다는 단점을 가지고 있다. 본 기술에서 제안하는 결함 회복 방법은 선택적 산화법, 표면억제분사 물질을 이용한 SDP 기술, ALD 공정을 기반으로 선택적으로 박막을 모두 기상에서 *in-situ*로 성장시켜 결함을 회복시킬 수 있으므로 사전 공정에서 컨택 간 불일치가 발생할 경우, 본 발명법을 통해 빠른 수정이 가능하며 현재의 진공 기반 반도체 직접회로 공정과의 호환성이 있다.

도면

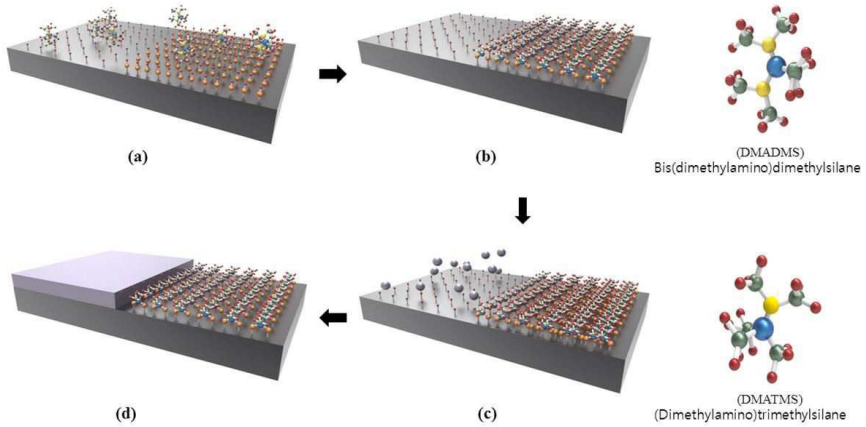
도면1


Misaligned DC and CC
1. Selective Oxidation (H_2 & O_2 gas ambient)
2. Selective SAM or other inhibitors formation
3. ALD of Si_3N_4 for exposed WL passivation
4. Wet or dry removal of remaining SAM-coated SiO_x layer
5. Formation of CC – Successful Passivation
DC
CC
WL
STI
Si sub

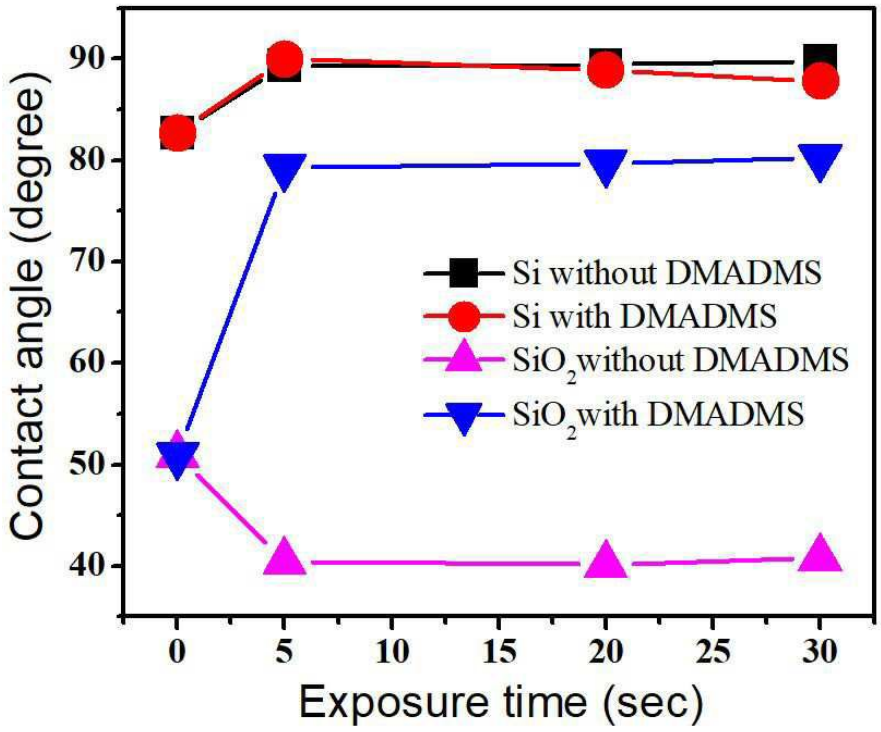
도면2


W selectivity at 850C
Pressure (torr)
%H2 in O2
Selectivity: 98.4%
99.4%
99.6%
99.7%
Unstable process regime
90.3%
99.4%
3%
99.1%
600
500
400
300
200
100
0
30
40
50
60
70
80
90
100

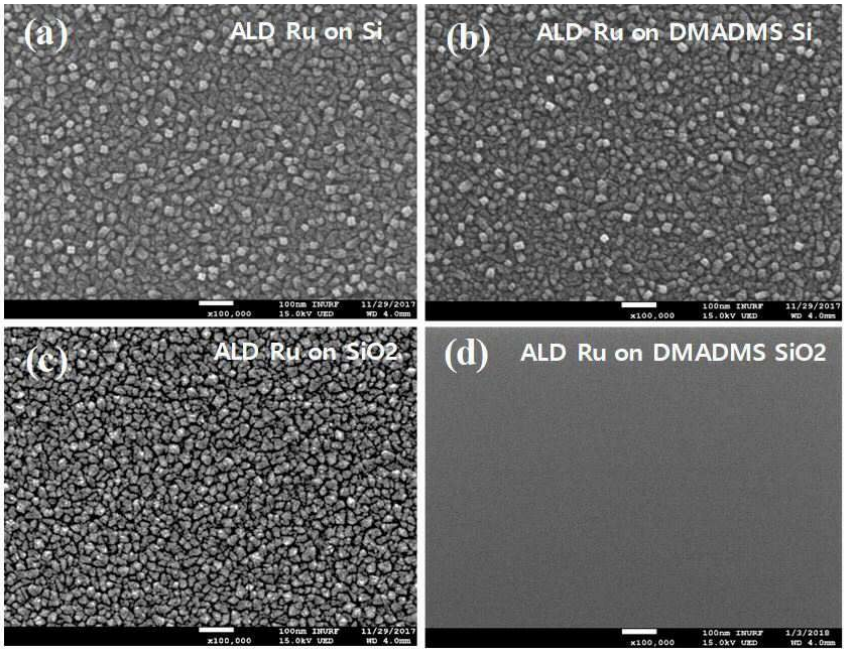
도면3


(a)
(b)
(DMADMS)
Bis(dimethylamino)dimethylsilane
(d)
(c)
(DMATMS)
(Dimethylamino)trimethylsilane

도면4


Contact angle (degree)
90
80
70
60
50
40
0
5
10
15
20
25
30
Exposure time (sec)
Si without DMADMS
Si with DMADMS
SiO2without DMADMS
SiO2with DMADMS

도면5


(a)
ALD Ru on Si
(b)
ALD Ru on DMADMS Si
(c)
ALD Ru on SiO2
(d)
ALD Ru on DMADMS SiO2