

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成22年11月18日(2010.11.18)

【公表番号】特表2010-529756(P2010-529756A)

【公表日】平成22年8月26日(2010.8.26)

【年通号数】公開・登録公報2010-034

【出願番号】特願2010-510563(P2010-510563)

【国際特許分類】

H 04 L 1/18 (2006.01)

H 04 W 28/04 (2009.01)

【F I】

H 04 L 1/18

H 04 Q 7/00 2 6 3

【手続補正書】

【提出日】平成22年9月29日(2010.9.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

環状バッファにリダンダンシバージョンを割当てる割当方法であって、前記割当方法は

、  
系統的ビット(S)と、パリティビット(b)の第1ブロック(P<sub>0</sub>)と、パリティビット(c)の第2ブロック(P<sub>1</sub>)とを受信する第1受信ステップ(1301)であって、前記系統的ビット(S)、前記第1ブロック(P<sub>0</sub>)、および前記第2ブロック(P<sub>1</sub>)は、それぞれダミービットを有することと；

前記系統的ビット(S)、前記第1ブロック(P<sub>0</sub>)、および前記第2ブロック(P<sub>1</sub>)を個別にブロックインターリープするインターリープステップ(1303)と；

前記第1ブロック(P<sub>0</sub>)と前記第2ブロック(P<sub>1</sub>)をインターレースすることによって、インターレースしたパリティビット(P<sub>0</sub>, P<sub>1</sub>)を生成するインターレースステップと；

インターリープした前記系統的ビット(S)を、インターレースした前記パリティビット(P<sub>0</sub>, P<sub>1</sub>)の先頭に加えることによって、環状バッファを生成する環状バッファ生成ステップ(1305)と；

前記環状バッファから1以上の列を削除することによって、短縮された前記環状バッファである短縮環状バッファを生成する短縮環状バッファ生成ステップと；

前記短縮環状バッファの特定行から開始するためのリダンダンシバージョンを明示する行明示ステップ(1307)と；

前記リダンダンシバージョンと所望ビット数を受信する第2受信ステップ(1309)と；

前記リダンダンシバージョンのビット位置から開始する前記所望ビット数を出力する出力ステップ(1311)と

を備えることを特徴とする、割当方法。

【請求項2】

前記割当方法は更に、前記短縮環状バッファの列の先頭から開始するリダンダンシバージョンを明示するステップを有する、

請求項 1 記載の割当方法。

【請求項 3】

前記出力ステップは、前記環状バッファの終点よりも早いポイントにおいて、前記環状バッファの最初に戻るステップを有する、

請求項 1 記載の方法。

【請求項 4】

前記短縮環状バッファ生成ステップは、前記環状バッファの最後の複数の列から 1 以上の前記列を削除するステップを有する、

請求項 1 記載の方法。

【請求項 5】

N の床関数を床関数 [ N ] と称し、

コードブロックセグメンテーションルールによって決定された転送ブロックのためのセグメント番号を C と称し、

ハイブリッド自動再送要求処理あたりの全ソフトバッファサイズを、N<sub>IR</sub> と称すると

前記短縮環状バッファ生成ステップは、床関数 [ N<sub>IR</sub> / C ] に基づき、セグメントあたりのバッファサイズを決定するステップを有する、

請求項 1 記載の方法。

【請求項 6】

前記列明示ステップは、前記短縮環状バッファの 8 つの列の先頭から開始するリダンダンシバージョンを明示する 8 列明示ステップを有する、

請求項 2 記載の割当方法。

【請求項 7】

前記列明示ステップは、前記短縮環状バッファの 4 つの列の先頭から開始するリダンダンシバージョンを明示する 4 列明示ステップを有する、

請求項 2 記載の割当方法。

【請求項 8】

オフセットされた前記列の番号を と称し、

前記 番目の列の先頭から開始する前記リダンダンシバージョンを、第 1 リダンダンシバージョンと称すると、

前記割当方法は更に、前記第 1 リダンダンシバージョンを明示するステップを有する、

請求項 2 記載の割当方法。

【請求項 9】

前記短縮環状バッファの先頭からオフセットされた位置から開始する前記リダンダンシバージョンを、第 1 リダンダンシバージョンと称すると、

前記割当方法は更に、前記第 1 リダンダンシバージョンを明示することによって、前記系統的ビット ( S ) をパンクチャするステップを有する、

請求項 2 記載の割当方法。

【請求項 10】

エンコーダ ( 301 ) 、レート整合回路 ( 303 ) 、および送信回路 ( 311 ) を有する装置であって、

前記エンコーダ ( 301 ) は、系統的ビット ( S ) と、パリティビット ( b ) の第 1 ブロック ( P<sub>0</sub> ) と、パリティビット ( c ) の第 2 ブロック ( P<sub>1</sub> ) とを出力し、

前記レート整合回路 ( 303 ) は、前記前記系統的ビット ( S ) 、前記第 1 ブロック ( P<sub>0</sub> ) 、および前記第 2 ブロック ( P<sub>1</sub> ) を受信し、ダミービットを有する環状バッファを生成し、前記環状バッファの特定行はリダンダンシバージョンの開始点を有し、前記レート整合回路 ( 303 ) は、前記環状バッファから 1 以上の列を削除することによって短縮された短縮環状バッファを生成し、前記レート整合回路 ( 303 ) は、前記環状バッファの非ダミービットを、前記短縮環状バッファから、特定リダンダンシバージョンから開始する送信機に出力し、

前記送信回路（311）は、前記非ダミービットを受信して前記非ダミービットを送信することを特徴とする、装置。

【請求項11】

前記短縮環状バッファは、  
インターリープされた前記系統的ビット（S）と；  
インターリープされ且つインターレースされた前記第1ブロック（P<sub>0</sub>）と；  
インターリープされ且つインターレースされた前記第2ブロック（P<sub>1</sub>）と  
を有する、請求項10記載の装置。

【請求項12】

前記レート整合回路（303）は、前記短縮環状バッファの列の先頭から開始するリダンダンシバージョンを明示する、請求項10記載の装置。

【請求項13】

前記レート整合回路（303）は、前記リダンダンシバージョンの位置から開始する所望ビット数を出力し、

前記出力は、前記環状バッファの終点よりも早いポイントにおいて、前記環状バッファの最初に戻ることを有する

請求項10記載の装置。

【請求項14】

前記レート整合回路（303）は、前記環状バッファの最後の複数の列から1以上の前記列を削除する、

請求項10記載の装置。

【請求項15】

Nの床関数を床関数[N]と称し、  
コードブロックセグメンテーションルールによって決定された転送ブロックのためのセグメント番号をCと称し、  
ハイブリッド自動再送要求処理あたりの全ソフトバッファサイズを、N<sub>TR</sub>と称すると

前記レート整合回路（303）は、床関数[N<sub>TR</sub>/C]に基づき、セグメントあたりのバッファサイズを決定する、

請求項10記載の装置。

【請求項16】

前記短縮環状バッファの8つの列の先頭は、リダンダンシバージョンの開始位置として明示される、

請求項10記載の装置。

【請求項17】

前記短縮環状バッファの4つの列の先頭は、リダンダンシバージョンの開始位置として明示される、

請求項10記載の装置。

【請求項18】

オフセットされた前記列の番号を、と称し、  
前記レート整合回路（303）は、前記番目の列の先頭から第1リダンダンシバージョンを開始する、

請求項10記載の装置。

【請求項19】

前記レート整合回路（303）は、前記短縮環状バッファの先頭に関連するオフセットの位置から開始する前記第1リダンダンシバージョンを明示することによって、前記系統的ビット（S）をパンクチャする、請求項18記載の装置。

【請求項20】

転送ブロックの環状バッファにリダンダンシバージョンを割当てる割当方法であって、前記割当方法は、

前記転送ブロックを多重符号ブロックセグメントにセグメント化するセグメント化ステップと；

エンコーダが、前記転送ブロックに関連するセグメントを符号化することによって、系統的ビットストリーム（ $S_0 \sim S_{K-1}$ ）と、2つのパリティビットストリーム（ $b_0 \sim b_{K-1}, c_0 \sim c_{K-1}$ ）とを生成するストリーム生成ステップと；

前記系統的ビットストリーム（ $S_0 \sim S_{K-1}$ ）と、前記パリティビットストリーム（ $b_0 \sim b_{K-1}, c_0 \sim c_{K-1}$ ）とのそれぞれにダミービットを挿入することによって、系統的ビット（ $S$ ）と、パリティビット（ $b$ ）の第1ブロック（ $P_0$ ）と、パリティビット（ $c$ ）の第2ブロック（ $P_1$ ）とを生成するビット生成ステップであって、前記系統的ビット（ $S$ ）、前記第1ブロック（ $P_0$ ）、および前記第2ブロック（ $P_1$ ）はそれぞれ、前記ダミービットを有することと；

前記系統的ビット（ $S$ ）、前記第1ブロック（ $P_0$ ）、および前記第2ブロック（ $P_1$ ）を個別にブロックインターリープするインターリープステップと；

前記第1ブロック（ $P_0$ ）と前記第2ブロック（ $P_1$ ）をインターレースすることによって、インターレースしたパリティビット（ $P_0, P_1$ ）を生成するインターレースステップと；

インターリープした前記系統的ビット（ $S$ ）を、インターレースした前記パリティビット（ $P_0, P_1$ ）の先頭に加えることによって、前記環状バッファを生成する環状バッファ生成ステップと；

床関数 [ $N_{IR} / C$ ] に基づき、短縮された前記環状バッファである短縮環状バッファのセグメントあたりのバッファサイズを決定するサイズ決定ステップであって、床関数 [ $N$ ] は、 $N$  の床関数を表し、 $C$  は、コードブロックセグメンテーションルールによって決定された転送ブロックのためのセグメント番号であり、 $N_{IR}$  は、ハイブリッド自動再送要求処理あたりの全ソフトバッファサイズであることと；

リダンダンシバージョンと所望ビット数を受信する受信ステップと；

前記リダンダンシバージョンのビット位置から開始する前記所望ビット数を、前記短縮環状バッファから出力する出力ステップと  
を備えることを特徴とする、割当方法。

#### 【請求項 2 1】

前記出力ステップは、前記環状バッファの終点よりも早いポイントにおいて、前記環状バッファの最初に戻るステップを有する、

請求項 2 0 記載の方法。

#### 【請求項 2 2】

前記リダンダンシバージョンは、4つの前記リダンダンシバージョンの全てが前記短縮環状バッファ内で利用可能となるように明示される、

請求項 2 0 記載の方法。

#### 【請求項 2 3】

転送ブロックの環状バッファにリダンダンシバージョンを割当てる割当方法であって、前記割当方法は、

前記転送ブロックを多重符号ブロックセグメントにセグメント化するセグメント化ステップと；

エンコーダが、前記転送ブロックに関連するセグメントを符号化することによって、系統的ビットストリーム（ $S_0 \sim S_{K-1}$ ）と、2つのパリティビットストリーム（ $b_0 \sim b_{K-1}, c_0 \sim c_{K-1}$ ）とを生成するストリーム生成ステップと；

前記系統的ビットストリーム（ $S_0 \sim S_{K-1}$ ）と、2つの前記パリティビットストリーム（ $b_0 \sim b_{K-1}, c_0 \sim c_{K-1}$ ）とをレート整合することによって、環状バッファを生成する環状バッファ生成ステップと；

床関数 [ $N_{IR} / C$ ] に基づき、セグメントあたりのバッファサイズを決定するサイズ決定ステップであって、床関数 [ $N$ ] は、 $N$  の床関数を表し、 $C$  は、コードブロックセグメンテーションルールによって決定された転送ブロックのためのセグメント番号であり、

N\_I\_R は、ハイブリッド自動再送要求処理あたりの全ソフトバッファサイズであることと；

前記バッファサイズに基づき、前記環状バッファを短縮することによって短縮環状バッファを生成する短縮環状バッファ生成ステップと；

前記リダンダンシバージョンと所望ビット数を受信する受信ステップと；

前記リダンダンシバージョンのビット位置から開始する前記所望ビット数を、前記短縮環状バッファから出力する出力ステップと  
を備えることを特徴とする、割当方法。

**【請求項 2 4】**

前記出力ステップは、前記環状バッファの終点よりも早いポイントにおいて、前記環状バッファの最初に戻るステップを有する、

請求項 2 3 記載の方法。

**【請求項 2 5】**

前記リダンダンシバージョンは、4つの前記リダンダンシバージョンの全てが前記短縮環状バッファ内で利用可能となるように明示される、

請求項 2 3 記載の方法。