

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 1 区分

【発行日】平成30年5月10日 (2018.5.10)

【公開番号】特開2016-206126(P2016-206126A)

【公開日】平成28年12月8日 (2016.12.8)

【年通号数】公開・登録公報2016-067

【出願番号】特願2015-91211(P2015-91211)

【国際特許分類】

G 0 1 K 7/00 (2006.01)

G 0 1 K 7/01 (2006.01)

G 0 1 C 19/5614 (2012.01)

H 0 1 L 41/113 (2006.01)

H 0 1 L 41/09 (2006.01)

H 0 1 L 41/04 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 3 M 1/08 (2006.01)

【 F I 】

G 0 1 K 7/00 3 2 1 G

G 0 1 K 7/01 C

G 0 1 C 19/56 1 1 4

H 0 1 L 41/113

H 0 1 L 41/09

H 0 1 L 41/04

H 0 1 L 27/04 P

H 0 1 L 27/04 R

H 0 1 L 27/04 T

H 0 3 M 1/08 A

【手続補正書】

【提出日】平成30年3月22日 (2018.3.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 1 0 1

【補正方法】変更

【補正の内容】

【 0 1 0 1 】

また、ポリ抵抗を構成する場合の断面図を図 9 (A) に示す。図 9 (A) に示したように、ゲート酸化膜以外の領域（例えば図 9 (A) に示した領域）にポリシリコン層を形成すればよい。ポリ抵抗の構成例の平面図が図 9 (B) である。ウェル抵抗と同様に、抵抗値は幅 W と長さ L に依存するため、図 9 (B) に示したように、幅の狭いポリシリコン層を、多重に折り返して構成することで、狭い面積でも効率的に所望の抵抗値のポリ抵抗を形成することができる。図 9 (B) では、ポリ抵抗の一端がタップ T P P 1、他端が T P P 2 となる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 1 8 4

【補正方法】変更

【補正の内容】

【 0 1 8 4 】

$$VPTAT = IPTATR1 \cdot \cdot \cdot \cdot (16)$$

この場合、A / D 変換回路 1 6 0 での A / D 変換は、下式 (1 7) により行われる。ビット数は差動の場合と同様に 1 0 ビットとしているが、シングルでの動作ではフルスケールレンジが差動の場合の半分 (差動がシングルの倍) となるため、上式 (7) に対応する例では V D D となる。

【 手 続 補 正 3 】

【 補 正 対 象 書 類 名 】 図 面

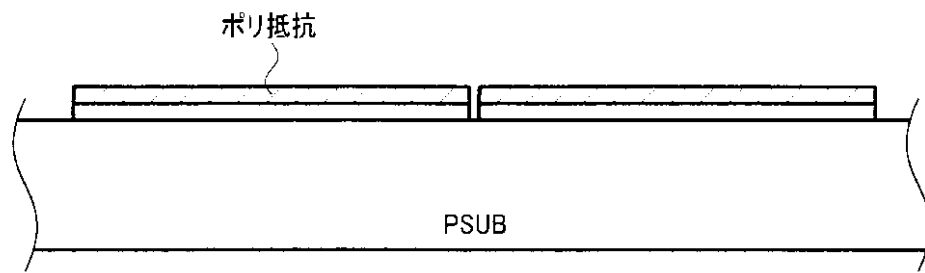
【 補 正 対 象 項 目 名 】 図 9

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【図 9】

(A)



(B)

