



(12) 发明专利

(10) 授权公告号 CN 101095057 B

(45) 授权公告日 2010.06.23

(21) 申请号 200580045719.6

(22) 申请日 2005.12.15

(30) 优先权数据

11/028,940 2005.01.03 US

(85) PCT申请进入国家阶段日

2007.07.02

(86) PCT申请的申请数据

PCT/US2005/045582 2005.12.15

(87) PCT申请的公布数据

W02006/073736 EN 2006.07.13

(73) 专利权人 佛姆法克特股份有限公司

地址 美国加利福尼亚州

(72) 发明人 R·J·汉森 J·M·隆恩

(74) 专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 脱颖

(51) Int. Cl.

G01R 31/02 (2006.01)

(56) 对比文件

US 5818249 A, 1998.10.06, 全文.

US 5642054 A, 1997.06.24, 全文.

US 5623214 A, 1997.04.22, 全文.

CN 2444311 Y, 2001.08.22, 全文.

CN 1512186 A, 2004.07.14, 全文.

审查员 刘云丽

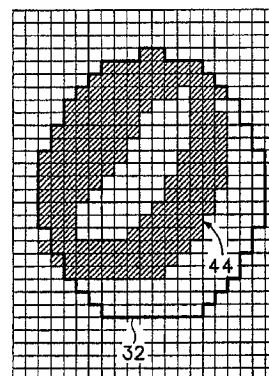
权利要求书 1 页 说明书 8 页 附图 21 页

(54) 发明名称

探针头阵列

(57) 摘要

用于测试半导体晶片上所形成的器件的探针头 (12) 包括多个探针 DUT (被测器件) 阵列 (16)。各被测器件包括一些焊点, 促使这些焊点与相对应的探针 DUT 阵列 (16) 中的探针 (18、20) 压接起来。探针阵列图形具有像凹入、凸出、岛和开口等不连续性, 当探针 (18、20) 接触焊点时这些图形至少与一个器件相对。



1. 一种对半导体晶片上形成的器件进行测试的接触器,所述接触器包括用于与所述器件上形成的焊点相接触的探针阵列,所述探针阵列包括围绕着所述探针阵列中的开口而设置的多个相邻的探针 DUT 阵列,当所述探针阵列接触所述焊点时,所述开口位于至少一个器件之上,其中,所述多个相邻的探针 DUT 阵列被放置为接触由多个器件中的多个邻近器件形成的闭合回路上的所述焊点,

所述开口对应于所述闭合回路内放置的所述至少一个器件;

所述多个相邻的探针 DUT 阵列被设置为接触所述闭合回路上的所述多个器件,而不接触所述闭合回路内放置的所述至少一个器件。

2. 如权利要求 1 所述的接触器,其特征在于,所述探针阵列包括至少一个处于所述多个探针 DUT 阵列中的附加开口,当所述探针阵列接触所述焊点时所述附加开口对着至少一个器件。

3. 如权利要求 1 所述的接触器,其特征在于,所述多个相邻的探针 DUT 阵列形成环形的图形。

4. 如权利要求 1 所述的接触器,其特征在于,所述多个探针 DUT 阵列中的所述开口以 4 个所述探针 DUT 阵列为界。

5. 一种对半导体晶片上形成的器件进行测试的装置,所述装置包括:

多个探针 DUT 阵列,所述多个探针 DUT 阵列排列的图形包括至少一个处于所述图形的边界之内的开口,在所述开口内没有任何所述探针 DUT 阵列;

所述探针 DUT 阵列的图形对应于多个器件的图形;

闭合回路,所述闭合回路在探针 DUT 阵列与所述多个器件接触时由所述多个器件中的多个邻近器件围绕所述开口而形成;

所述开口对应于放置在由所述多个邻近器件形成的闭合回路内的至少一个器件;

所述探针 DUT 阵列被设置为接触由所述多个邻近器件形成的闭合回路上的所述多个器件,而不接触由所述多个邻近器件形成的闭合回路内放置的所述至少一个器件。

6. 如权利要求 5 所述的装置,其特征在于,所述探针 DUT 阵列的图形包括至少一个处于所述图形的边界之内的附加开口,在所述附加开口内没有任何所述探针 DUT 阵列。

7. 如权利要求 5 所述的装置,其特征在于,所述图形是环形的。

8. 如权利要求 5 所述的装置,其特征在于,所述开口以 4 个所述探针 DUT 阵列为边界。

探针头阵列

发明领域

[0001] 本发明涉及用于测试半导体晶片上的器件的探针头阵列。

[0002] 相关领域的描述

[0003] 像微处理器、DRAM 和闪存等半导体器件都以公知的方式在半导体晶片上进行制造。根据晶片的尺寸以及其上所形成的各器件的尺寸,在单个晶片上可能只有几个或上千个器件。这些器件通常彼此完全一样,每个器件在其表面上都包括多个导电焊点,用于提供电源和作为器件的其它连接(比如输入信号、输出信号、控制信号等)。

[0004] 测试晶片上的器件是需要的,以便于能确定哪些器件具有完全的功能并因此适合封装和销售以及哪些器件是不能工作的或只具有部分功能而因此不适合封装。为此,在器件仍在晶片上时,晶片测试机就将电源和输入信号施加到这些器件上并监控在预定的测试例程期间的输出。

[0005] 因为各被测器件(DUT)基本上彼此完全一样,所以有多个完全一样的探针 DUT 阵列。各探针 DUT 阵列包括许多探针,这些探针与相对应的 DUT 上的各个焊点产生个别的压力连接。

[0006] 这些探针 DUT 阵列构成安装在一个探针头或多个探针头上的单个探针阵列,这些探针头是晶片探针卡的一部分。晶片探针卡通常包括多个通道,每个通道对应于探针头上的一个 DUT 阵列。结果,多个 DUT 阵列同时接触晶片上的多个 DUT。

[0007] 很明显,可同时测试的 DUT 越多,整个晶片的测试便可以越快。但是可连接到 DUT 阵列的测试机通道的个数是有限制的。尽管一些测试机包含许多通道(例如,128 个通道),但是被测晶片上可能有几百个 DUT。结果,测试过程包括:促使探针 DUT 阵列与第一相对应 DUT 组上的焊点压力接触(即第一次“触地(touchdown)”),执行测试,将探针从 DUT 上提起,使探针相对于晶片进行移动,使探针与另一组 DUT 上的焊点接触(即第二次“触地”),并且测试另一个 DUT。重复该过程,直到晶片上所有的 DUT 均被测试完。

[0008] 因测试期间相关的测试装备的成本,使上述测试过程对时间高度敏感。换句话说,如果测试可以加快速度,则完成的半导体器件的生产成本也可以减小。结果,人们期望使每个晶片的探针阵列触地次数最少,使每个 DUT 的多探针触地次数最少,并且使各次触地之间的步进距离最小。晶片上的触地总次数是随下列因素而变:探针头上有多少个 DUT 阵列(常常转而等价于测试装备具有多少个通道);晶片上有多少个 DUT;以及晶片 DUT 和 DUT 阵列的相对配置。因为各测试例程要花时间运行,所以使触地总次数下降便减小了晶片的测试时间。触地次数通常在低端 1 或 2 到高端大约 9 之间变化。

[0009] 当探针 DUT 阵列与特定的 DUT 多次接触时,就会出现多次 DUT 触地。当探针 DUT 阵列与晶片进行第二次接触并且产生后续触地时,在已测试过的 DUT 和探针 DUT 阵列之间就可能出现一些重叠。人们希望将各 DUT 的触地次数限制到尽可能小,最好只有 1 次。这是因为当促使探针去接触焊点时,焊点便易刮伤。重复刮伤可能将焊点损坏到无法对 DUT 进行恰当封装的程度。很明显,人们不希望测试过程损坏具有完全功能的 DUT。另外,测试效率也会随触地次数减小而增大。

[0010] 最后,还期望使步进距离最小化,该步进距离是指在各次触地之间探针阵列和晶片之间相对横向移动的量。这样做能进一步减少完全测试晶片上所有 DUT 所需的时间。下文参照附图将更详细地描述各个晶片的触地次数、多次触地和步进距离。

[0011] 探针头若能降低各个晶片的触地次数、降低各个 DUT 的触地次数并减小步进距离,则将是很有利的。

[0012] 附图简述

[0013] 图 1 是其上安装了探针头的探针卡的透视图。

[0014] 图 2 是图 1 所示探针头上的探针 DUT 阵列的局部显著放大图。

[0015] 图 3 示意性图示说明了探针头上的探针 DUT 阵列的现有技术配置。

[0016] 图 4 示出了在具有多个 DUT 的晶片上第一次触地期间图 3 的探针 DUT 阵列,各 DUT 均由粗线内的正方形示意性地表示,粗线表示晶片上 DUT 的边界。

[0017] 图 5 是与图 4 相似的图,示出了在第二次触地期间的探针 DUT 阵列。

[0018] 图 6 是图 4 和 5 所示 DUT 配置的放大版本,示出了每个 DUT 的触地次数。

[0019] 图 7 示意性图示说明了探针头上的探针 DUT 阵列的另一种现有技术配置。

[0020] 图 8 示出了在具有多个 DUT 的晶片上第一次触地期间图 7 的探针 DUT 阵列,各 DUT 均由粗线内的正方形示意性地表示,粗线表示晶片上 DUT 的边界。

[0021] 图 9 是与图 8 相似的图,示出了在第二次触地期间的探针 DUT 阵列。

[0022] 图 10 是示出了测试晶片上所有 DUT 所需的触地总次数的示意图。

[0023] 图 11 是图 8 和 9 所示 DUT 配置的放大版本,示出了每个 DUT 的触地次数。

[0024] 图 12 示意性图示说明了探针头上的探针 DUT 阵列的另一种现有技术配置。

[0025] 图 13 示出了在具有多个 DUT 的晶片上第一次触地期间图 12 的探针 DUT 阵列,各 DUT 均由粗线内的正方形示意性地表示,粗线表示晶片上 DUT 的边界。

[0026] 图 14 是与图 13 相似的图,示出了在第二次触地期间的探针 DUT 阵列。

[0027] 图 15 是示出了测试晶片上所有 DUT 所需的触地总次数的示意图。

[0028] 图 16 是图 13 和 14 所示 DUT 配置的放大版本,示出了每个 DUT 的触地次数。

[0029] 图 17 示意性图示说明了探针头上的探针 DUT 阵列的另一种现有技术配置。

[0030] 图 18 示出了在具有多个 DUT 的晶片上第一次触地期间图 17 的探针 DUT 阵列,各 DUT 均由粗线内的正方形示意性地表示,粗线表示晶片上 DUT 的边界。

[0031] 图 19 是与图 18 相似的图,示出了在第二次触地期间的探针 DUT 阵列。

[0032] 图 20 是与图 18 和 19 相似的图,示出了在第三次触地期间的探针 DUT 阵列。

[0033] 图 21 是与图 18-20 相似的图,示出了在第四次触地期间的探针 DUT 阵列。

[0034] 图 22 是示出了测试晶片上所有 DUT 所需的触地总次数的示意图。

[0035] 图 23 是图 18-21 所示 DUT 配置的放大版本,示出了每个 DUT 的触地次数。

[0036] 图 24 示意性图示说明了根据本发明所构建的探针头上的探针 DUT 阵列。

[0037] 图 25 示出了在具有多个 DUT 的晶片上第一次触地期间图 24 的探针 DUT 阵列,各 DUT 均由粗线内的正方形示意性地表示,粗线表示晶片上 DUT 的边界。

[0038] 图 26 是示出了测试晶片上所有 DUT 所需的触地总次数的示意图。

[0039] 图 27 是图 25 所示 DUT 配置的放大版本,示出了每个 DUT 的触地次数。

[0040] 图 28 示意性图示说明了根据本发明第二实施方式所构建的探针头上的探针 DUT

阵列。

[0041] 图 29 示出了在具有多个 DUT 的晶片上第一次触地期间图 28 的探针 DUT 阵列,各 DUT 均由粗线内的正方形示意性地表示,粗线表示晶片上 DUT 的边界。

[0042] 图 30 是与图 29 相似的图,示出了在第二次触地期间的探针 DUT 阵列。

[0043] 图 31 是图 29 和 30 所示 DUT 配置的放大版本,示出了每个 DUT 的触地次数。

[0044] 图 32 示意性图示说明了根据本发明第三实施方式所构建的探针头上的探针 DUT 阵列。

[0045] 图 33 示出了在具有多个 DUT 的晶片上第一次触地期间图 32 的探针 DUT 阵列,各 DUT 均由粗线内的正方形示意性地表示,粗线表示晶片上 DUT 的边界。

[0046] 图 34 是与图 33 相似的图,示出了在第二次触地期间的探针 DUT 阵列。

[0047] 图 35 是与图 33 和 34 相似的图,示出了在第三次触地期间的探针 DUT 阵列。

[0048] 图 36 是图 33-35 所示 DUT 配置的放大版本,示出了每个 DUT 的触地次数。

[0049] 图 37 示意性图示说明了根据本发明第四实施方式所构建的探针头上的探针 DUT 阵列。

[0050] 图 38 示出了在具有多个 DUT 的晶片上第一次触地期间图 37 的探针 DUT 阵列,各 DUT 均由粗线内的正方形示意性地表示,粗线表示晶片上 DUT 的边界。

[0051] 图 39 是与图 38 相似的图,示出了在第二次触地期间的探针 DUT 阵列。

[0052] 图 40 是与图 38 和 39 相似的图,示出了在第三次触地期间的探针 DUT 阵列。

[0053] 图 41 是图 38-40 所示 DUT 配置的放大版本,示出了每个 DUT 的触地次数。

[0054] 图 42 示意性图示说明了根据本发明第五实施方式所构建的探针头上的探针 DUT 阵列。

[0055] 图 43 示出了在具有多个 DUT 的晶片上第一次触地期间图 42 的探针 DUT 阵列,各 DUT 均由粗线内的正方形示意性地表示,粗线表示晶片上 DUT 的边界。

[0056] 图 44 是与图 43 相似的图,示出了在第二次触地期间的探针 DUT 阵列。

[0057] 图 45 是图 43 和 44 所示 DUT 配置的放大版本,示出了每个 DUT 的触地次数。

[0058] 较佳实施方式的详细描述

[0059] 现在看图 1 和 2,图 1 中的 10 表示包括探针头 12 的探针卡。探针卡 10 可以用于承载现有技术探针头或根据本发明所构建的探针头。该探针头包括由多个探针 DUT 阵列(比如探针 DUT 阵列 16)构成的探针阵列 14,探针阵列 14 中所形成的正方形示意性表示探针 DUT 阵列 16。

[0060] 每个探针 DUT 阵列(比如探针 DUT 阵列 16)包括探针图形,比如图 2 中的探针 18、20。图 2 中的探针只构成探针 DUT 阵列 16 中的一部分探针。各个 DUT 阵列(比如 DUT 阵列 16)可以包括 60 到 80 或更多个像图 2 所示的那种探针。因为被测晶片通常包括彼此完全一样的 DUT(包括各 DUT 上的焊点配置),所以构成探针阵列 14 的探针 DUT 阵列也是彼此完全一样。各探针包括尖端,比如探针 18 上的尖端 22 和探针 20 上的尖端 24。如下文所描述的那样,在晶片测试期间,探针阵列 14 中的探针对着晶片放置,并且探针头和晶片一起移动直到探针尖端(比如尖端 22、24)接触晶片上的 DUT 上的相应焊点。这些探针最好像美国专利 5,974,662 所描述的那样来制造,该专利引用在此作为参考。

[0061] 探针阵列 14 安装在空间转换器(space transformer)26 上。空间转换器包括多层

陶瓷基板,该基板包括接地平面和电源平面,该供电平面连接到各探针 DUT 阵列中合适的探针以便在测试期间将电加到各个 DUT 上。阵列中的探针通过空间转换器中不同的层而连接到圆形印刷电路板 28 上的触点(不可见)。如本领域已知的,这种连接可以通过设置在空间转换器 26 和电路板 28 之间的内插器来实现。这样的连接可能有多达几千个。印刷电路板 28 上的触点可用于将各探针 DUT 阵列(比如探针 DUT 阵列 16)连接到用于构成测试机(未示出)上的通道的那些触点。各晶片上的 DUT 配置可以随许多不同的因素而变化,例如不同的制造商、不同的产品、不同的测试机、不同的晶片尺寸等。结果,探针头必须根据这些因素所产生的晶片 DUT 图形来进行设计。在美国已公布的申请 2004/0130312 中可以找到有关晶片探测器测试设置的更详细的描述。

[0062] 现在看图 3-5,现有技术探针阵列配置 30 由阴影线表示。探针阵列 30 形成于空间转换器(图 3 中未示出)上,其形成方式与图 1 中探针阵列 14 形成于空间转换器 26 相同。探针阵列 30 所形成的形状内所包含的各个正方形对应于不同的探针 DUT 阵列(比如探针 DUT 阵列 31),所有探针 DUT 阵列一起构成了探针阵列 30。在探针阵列 30 中总共有 205 个探针 DUT 阵列。在图 4 和 5 中,在半导体晶片上的 DUT 排列方式是由包含 DUT 图形 32 的粗线之内的正方形来示意性地表示的,DUT 图形 32 中的各个正方形对应于晶片上所形成的不同的 DUT。用于包含 DUT 图形 32 的晶片边界的圆形形状在附图中没有示出。如图 4 所示,许多探针 DUT 阵列与晶片上相对应的 DUT 对准。但是也有许多 DUT 没有与相对应的 DUT 阵列对准。另外,一些探针 DUT 阵列(比如探针 DUT 阵列 34 和若干个探针 DUT 阵列 36)超出 DUT 图形 32,因此没有对着 DUT。在探针阵列 30 上总共有 205 个探针 DUT 阵列,而在晶片上的 DUT 图形 32 中总共有 290 个 DUT。

[0063] 为了操作具有图 3 所示配置的现有技术探针头,探针头和晶片首先像图 4 所示那样彼此相对定位,使得 DUT 阵列上的探针对着图形 32 中的 DUT 上相对应的焊点。晶片和探针朝着对方移动,直到探针与 DUT 上的焊点接触。各 DUT 是由合适的探针的来提供电源的,并且在与 DUT 阵列相对的图形 32 中各 DUT 上同时运行预定的测试程序。将各种输入信号提供给 DUT,并且 DUT 输出得到监控以确认该 DUT 按设计工作。在运行测试程序并确定那些 DUT 具有完全功能的以及那些 DUT 是无法使用的之后,探针头和晶片彼此分开,并且探针头步进,即相对于晶片横向移动到图 5 的位置。随后,探针阵列 30 和晶片再次移动并彼此接触,使得该阵列中的探针尖端与 DUT 上相对应的焊点压接。再次提供电源并且运行相同的测试程序,由此测试阵列上剩余的 DUT。通过比较图 4 和 5 可以看到,晶片中心部分的许多 DUT 在两次触地期间都与探针接触了。在本示例中,没有构建大探针头阵列使得无法在单次触地中接触晶片上所有 DUT 的原因包括:测试机通道数不够,空间转换器 26(如图 1 所示)的制造过程中的尺寸限制,以及普及具有探针 18、20 的空间转换器 26(如图 2 所示)时存在的产量问题。在特定的情况下,无法接触到图 4 所示晶片的最下面三行,因为目前可用的空间转换器 26 不够大。

[0064] 图 6 图示说明量化了与探针 DUT 阵列进行过单次接触或触地的 DUT 的数目以及进行过两次触地的 DUT 的数目。DUT 图形 32 中的正方形所代表的每个 DUT 包括数字 1 或 2。作为图 4 和 5 所示探针阵列 30 的应用结果,标为 1 的 DUT 只经历一次触地,而标为 2 的 DUT 则经历两次触地。

[0065] 图 6 中行 38、40、42 中的数字分别表示具有 0 次、1 次和 2 次触地的 DUT。

[0066] 首先,因为不希望留下未测试的 DUT,所以没有 DUT 具有零次触地。可以看到,例如,在左起第五列中,两次触地行中是 7,而单次触地行中是 11。在数字 7 上方的那一列中,两次触地的 DUT 的个数之和就是数字 7。相似的是,同一列中单次触地的 DUT 的个数之和就是 11。其它列的数字也是相似地获得的。结果,行 42 中所有的触地之和等于 107,即晶片上有 107 个 DUT 经历两次触地。相似的是,行 40 中的数字之和等于 183,即 183 个 DUT 经历单次触地。107 和 183 之和等于 290,这正是晶片上 DUT 的总数。

[0067] 简言之,205 个探针 DUT 阵列测试晶片上所有的 DUT,被测的 290 个 DUT 中有 107 个经历两次触地。

[0068] 现在参照图 7-10,另一种现有技术探针阵列配置 11 由阴影线表示。像图 3-5 中那样,在图 7-10 中使用相同的示意性表示。换句话说,探针阵列 11 形成于空间转换器(图 7-10 中未示出)上,并且图 8 和 9 中的探针阵列 11 所形成的形状之内所包含的各个正方形对应于不同的探针 DUT 阵列,所有的探针 DUT 阵列一起构成了探针 DUT 阵列 11。

[0069] 相似的是,在图 8 和 9 中 DUT 在半导体晶片上的排列方式由包含 DUT 图形的粗线之内的正方形来示意性地表示,粗线之内的各个正方形对应于晶片上所形成的不同的 DUT。从图 8 和 9 中可以看出,许多探针 DUT 阵列与晶片上相对应的 DUT 对准。但是也有许多 DUT 没有与相对应的 DUT 阵列对准。另外,一些探针 DUT 阵列超出探针 DUT 图形,由此没有与 DUT 对着。

[0070] 为了操作具有图 7 所示配置的现有技术探针头,探针头和晶片首先像图 8 所示那样彼此相对定位,使得 DUT 阵列上的探针对着相对应的 DUT 焊点。晶片和探针朝着对方移动,直到探针接触焊点。测试像上文所描述的那样继续,并且当完成时,探针头和晶片彼此分开,以及探针头步进到图 9 的位置。接着,探针阵列 11 和晶片再次移动到彼此接触以便进行另一轮测试。

[0071] 图 8 和 9 中所示的探针阵列 11 的触地由图 10 中的矩形 13 表示,其中数字 1、2 分别表示图 8 和 9 的触地。图 10 是完成晶片上所有 DUT 测试所需的各次附加触地的示意图。例如,在触地 1、2 之后(这测试了矩形 13 中所有的 DUT),探针头步进到图 10 中矩形 15 之内所示的位置 3。探针头再次接触 DUT 以便进行测试。之后,探针阵列和晶片彼此分开,探针头向下步进一行 DUT(这与图 8 和 9 之间的一行步进相似)从而完成矩形 15 之内所有的 DUT 的测试。

[0072] 探针阵列 11 再次步进到标号为 5、6 的矩形,进行第五次和第六次触地,并且对该矩形内所有的 DUT 完成测试。如图 10 的多个矩形所示,进行其它步进和测试,直到所有 DUT 都测试好。如图 10 所示,这需要总共 14 次触地。

[0073] 图 11 图示说明了图 8 和 9 所示晶片上 DUT 图形的放大版本,其中标有各 DUT 经历的触地次数。可以看到,当探针阵列 11 按所描述的步进图形使用时,其有利的特征是各 DUT 在测试期间仅经历单次触地。另一方面,测试晶片上所有 DUT 所需的触地总次数是 14。这就导致测试使用 DUT 是时间相对较长。

[0074] 现在参照图 12-15,通过使用与图 7-10 中相同的示意性表示图示说明了另一种现有技术探针阵列 17。图 7-10 可以被视为一种跳跃行方法,而图 12-15 包括一种相似但利用跳跃列的方法。例如,图 13 示出了晶片 DUT 上的第一次触地,而图 14 则示出了第二次触地。图 13 到图 14 的步进包括一行 DUT 的横向移动。图 15 中的矩形 19 示出了步进 1、2。

从图 15 中可以看出,探针阵列的其它步进(即先到触地 3,接着横向移动一列到触地 4,接下来到触地 5,再横向移动等)导致对晶片上所有的 DUT 进行测试。如图 15 所示,该方法需要总共 16 次触地。

[0075] 现在参照图 16,晶片上的 DUT 图形的放大版本示出了各 DUT 上的触地次数。就像在跳跃行探针阵列中那样,各 DUT 只经历单次触地。但是测试晶片上所有 494 个 DUT 所需的总触地次数是 16 次。同样,这就导致测试所有 DUT 的时间相对较长。

[0076] 现在参照图 17-22,所示的是另一种现有技术探针阵列 21 以及测试方法。像先前关于现有技术的描述那样,图 17-22 使用了相同的示意性表示。此处图示说明的可以被视为棋盘方法。从图 18-21 中可以看出,探针阵列 21 在图 18 所示的第一位置触地。之后,它步进到右边,使得探针阵列 11 中的各 DUT 阵列处于第一次触地中所测试的那个 DUT 相邻的 DUT 之上。接着,从第二次触地到第三次触地,即从图 19 到图 20,探针阵列 21 向下步进一个 DUT 和一个 DUT 阵列。最终,在图 21 中,探针阵列向左步进一列。

[0077] 参照图 22,矩形 23 图示说明了图 18-21 中全部四种触地。完成所有四种触地并在每次触地之后进行测试,结果,矩形 23 内所有的 DUT 都经历过测试。

[0078] 接着,探针阵列 21 步进到相邻的矩形以便进行第五次、第六次、第七次和第八次触地,这都与图 18-20 所描述的触地相似并且导致该矩形内所有的 DUT 都经历了测试。测试继续到图 22 中下面的两个矩形,总共经历 16 次测试,最终晶片上所有的 DUT 都经历了测试。在图 23 中,像前两个实施方式那样,所有的 DUT 都经历了测试并且只经历单次触地,但是,同样,触地次数即 16 次还是较大,这就导致晶片的测试周期较长。

[0079] 现在参照图 24-26,其中图示说明了根据本发明所构建的探针阵列 25。探针阵列 25 包括 64 个用于触摸晶片的 DUT 阵列,该 DUT 阵列具有与上述跳跃行、跳跃列和棋盘现有技术探针所示情况相同配置的同数目 DUT。图 26 中每个菱形或钻石形图形(比如图形 27)都表示探针阵列 25 的不同触地。从图 26 中可以看到,测试晶片上各个 DUT 需要总共 9 次触地,分别由相对应编号的图形(比如图形 27)来表示。如图 27 所示,各 DUT 只经历单次触地。但是触地的总次数只有 9 次,这比上文的跳跃行、跳跃列或棋盘现有技术探针阵列都要少。对于图 27 所图示说明的晶片,由 8×8 DUT 阵列(总共 64 个 DUT 阵列)所构成的正方形阵列(未示出)需要 12 次触地以测试图 27 所示晶片上所有的 DUT,并且 4×16 DUT 阵列(总共也是 64)构成的矩形阵列(未示出)需要 11 次触地以完成测试。

[0080] 现在参照图 28,探针阵列 44 包括多个探针 DUT 阵列,并且是根据本发明而构建的。像上文描述的探针阵列那样,探针阵列 44 形成于图 1 所示的空间转换器上。探针阵列 44 被应用于其 DUT 图形与图 4-6 相同的晶片上的 DUT,即相同数目的 DUT 按相同配置(即 DUT 图形 32)定位。然而,探针阵列 44 的配置是不同的,这明显是开口 46 的结果。

[0081] 就像现有技术探针头的情况那样,晶片上的 DUT 图形 32 中的 DUT 在两次触地中便全部被测试过了,第一次是图 29 所示的那样,第二次是图 30 所示的那样。从图 29 和 30 中可以看到,在这两次触地中,有两个 DUT 阵列位于图形 32 的外面。当 DUT 阵列处于边界以外时,它没有对着 DUT 因此没有被使用。就像从图 4 和 5 中可以看到的那样,第一次触地中共有四个 DUT 位于边界以外,第二次触地中共有三个 DUT 位于边界以外。如图 29,30 所示,当探针阵列 44 与晶片上的 DUT 接触时,与探针阵列 44 相接触的 DUT 形成了与探针阵列 44 图形相同的图形。并且,当探针阵列 44 与 DUT 接触时,在 DUT 图像 32 内,围绕探针阵列 44

的开口 46 晶片上的多个邻近 DUT 围绕开口形成闭合回路。

[0082] 另外,从图 31 中可以看出,与现有技术图 6 所示的相比,经历两次触地的 DUT 少了很多。这是在使用更少的 DUT 阵列的情况下实现,即探针阵列 44 中只有 161 个 DUT 阵列,相比之下探针阵列 30 中则有 205 个 DUT 阵列。结果,使用测试机通道越少,则在每次触地时所使用的 DUT 阵列也就越少,并且经历两次触地的 DUT 也越少。这些改进提高了效率并减小了因多次触地而导致损坏的可能性。

[0083] 现在参照图 32-35,根据本发明所构建的另一种探针阵列 48,并且它也与 DUT 图形 32 一起使用。但是因为探针头 48 只具有 133 个 DUT 阵列(相比之下探针阵列 44 具有 161 个 DUT 阵列),所以需要三次触地。图 33、34 和 35 按顺序图示说明了三次触地,从而示出了 DUT 阵列和半导体晶片上的 DUT 的各自位置。从图 36 中可以看出,在所有 290 个 DUT 被测试的情况下,仅有 4 个 DUT 经历三次触地,75 个经历两次触地,211 个经历单次触地。尽管探针阵列 48 导致每个晶片有更多次触地并且形成四次触地,但是在测试机通道数目限于比 161 小时,这可能仍然是最佳解决方案。

[0084] 现在参照图 37-40,根据本发明所构建的探针阵列 50。该探针阵列被设计成用于其 DUT 数目和配置皆与上述 DUT 图形不相同的晶片。DUT 图形 52 包括总共 169 个 DUT,而探针阵列 50 包括总共 85 个 DUT 阵列。图 38-40 中所图示说明的三次晶片触地被用于测试 DUT 图形 52 中的每个 DUT。如图 41 上述,尽管使用了三次触地,但是没有 DUT 经历三次触地,并且只有 31 个 DUT 经历了两次触地,同时 138 个 DUT 只经历了单次触地。

[0085] 在图 42-44 中,另一种探针阵列 54(也是根据本发明所构建的)被用于测试与图 38-41 所示相同的 DUT 图形 52。然而,此处,在探针阵列 54 中总共有 95 个 DUT。与探针阵列 50 所使用的图 38.40 所示的三次触地相比,如图 43 和 44 所示,附加数目的 DUT 阵列准许在晶片上只用两次触地就测试了 DUT 图形 52 中全部的 DUT。在图 45 中,可以看到,DUT 图形 52 中只有 6 个 DUT 经历了两次触地,而其余 DUT 只经历单次触地。尽管对于相同 DUT 配置而言这些结果优于用探针阵列 50 所获得的结果,但是回想到探针阵列 50 只包括 85 个 DUT 阵列,因此如果像测试机通道数有限等限制使得无法使用像探针阵列 54(它包括 95 个 DUT 阵列)这样的探阵列,则探针阵列 50 可能是最佳的解决方案。

[0086] 总之,上文所揭示的探针图形使每个晶片的触地次数更少,使每个 DUT 的触地次数更少,减少了所需测试机通道数,并且减小了各次触地之间的步进距离,由此减小了成本和处理时间并提高了所测半导体芯片的质量。在本发明的一个方面中,本发明的图形可以被视为一种或多种不连续(比如开口、凹凸和岛)的组合。例如,图 28 示出了开口 46 和凹入 56,图 32 示出了凸出 58,图 42 示出了岛 60。注意到,图 28 所示图形 44 顶部的两个 DUT 阵列 62 不被视为凸出,因为它们只填满卵形图形 44 的顶部弓形部分。凸出和凹入的意思是局部不连续或与图形边界的一般形状有偏差。

[0087] 其它有利的图形(未示出)可以包括多个岛,每个岛具有许多 DUT 阵列,在整个探针头图形中没有主要的或连贯的边界,一个或多个到具有其各自的开口、凹入和 / 或凸出。

[0088] 在本发明的另一个方面中,对称图形(比如平行四边形)或其它对称图形可以包括成行的 DUT 阵列,这些行不与半导体晶片上任何水平或垂直的 DUT 行平行。

[0089] 重要的是,要意识到所示图形可以由多个探针头来构建,美国专利 5,806,181 对此有描述,该专利全文引用在此作为参考。还有一种情况,探针卡或晶片接触器构造的其它

方法包括使用钨针、曲折杆或像触点那样的“眼镜蛇”、MEMs 结构、薄膜探针或其它合适的结构,都可以按相似的图形来排列,同时具有相似的好处。这些图形并不限于用在对硅晶片上的电子芯片进行测试的探针头,而是还可以应用于具有触点阵列以便因任何目的(比如“老化试验”或测试)而与器件进行可重复接触的任何接触器。

[0090] 上文以较佳实施方式描述并示出了本发明的原理,显而易见的是本发明可以在不背离这种原理的情况下在排列方式和细节方面进行修改。我们要求所有的修改和变化都落入所附权利要求书的精神和范围之内。

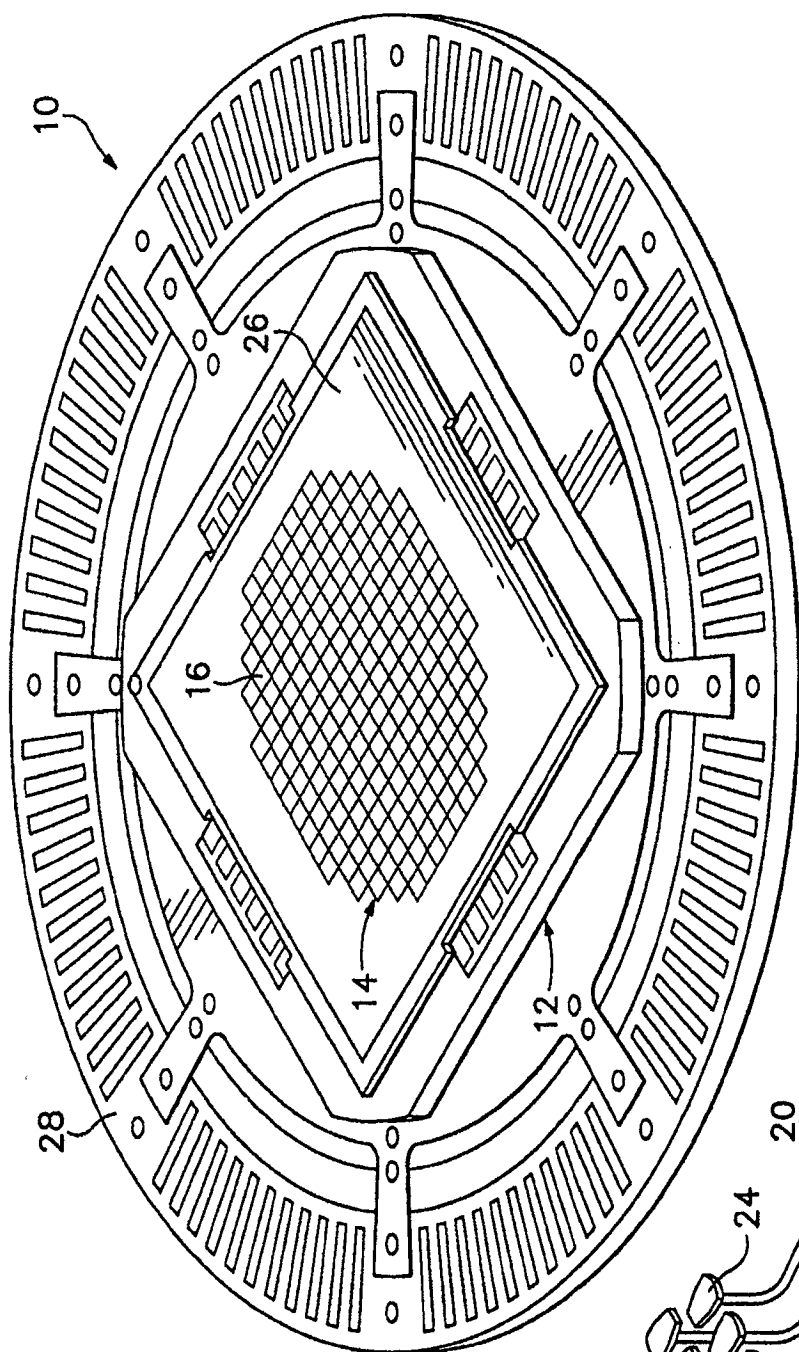


图 1

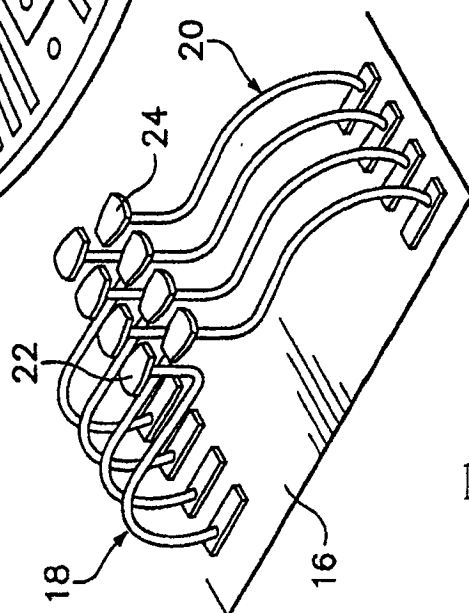


图 2

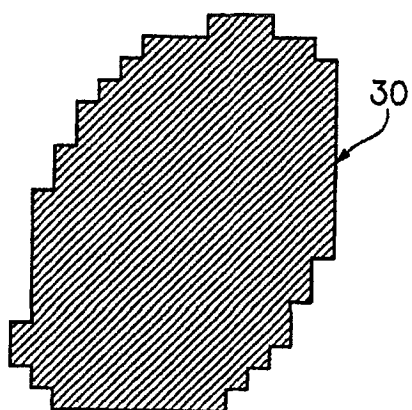


图 3 现有技术

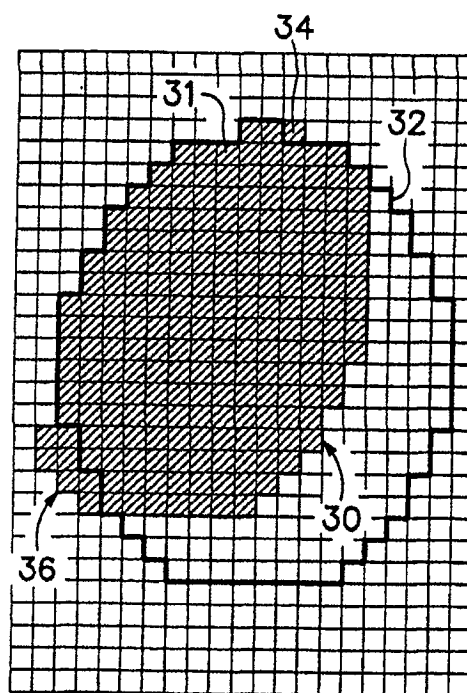


图 4 现有技术

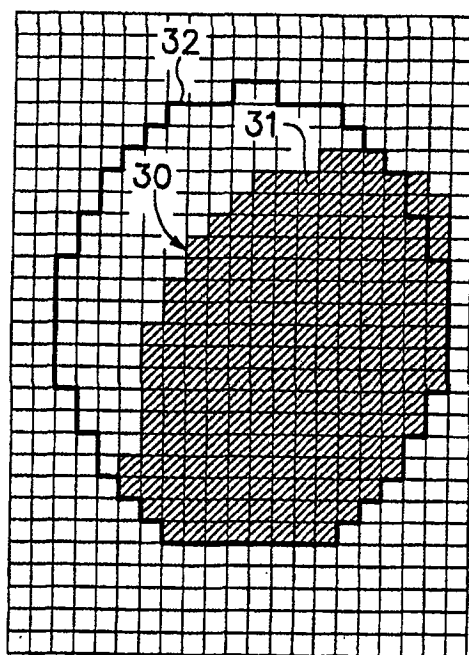


图 5 现有技术

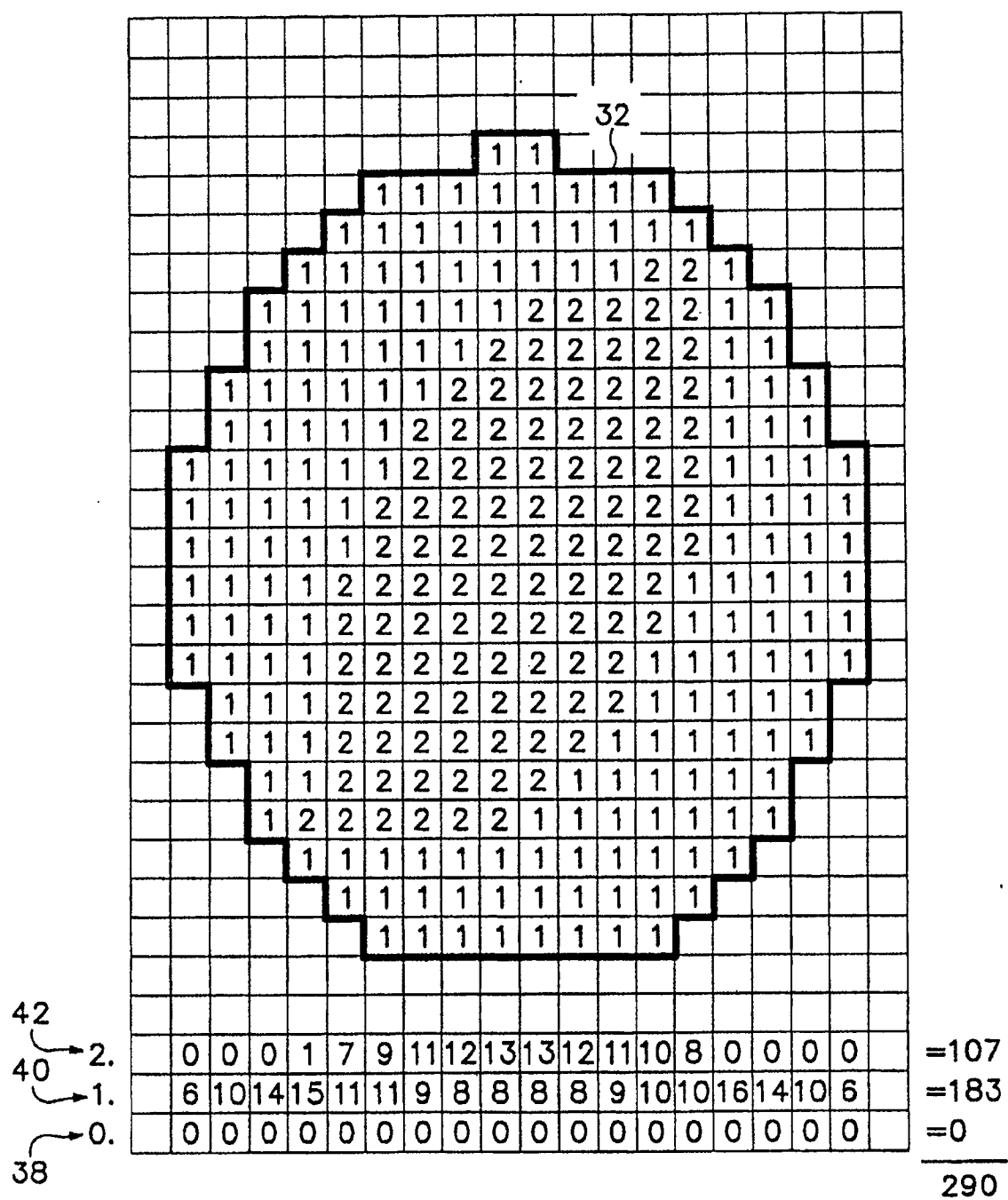


图6 现有技术

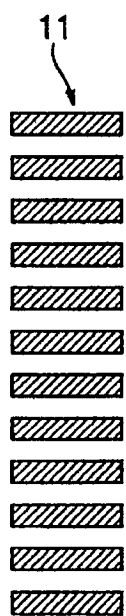


图 7 现有技术

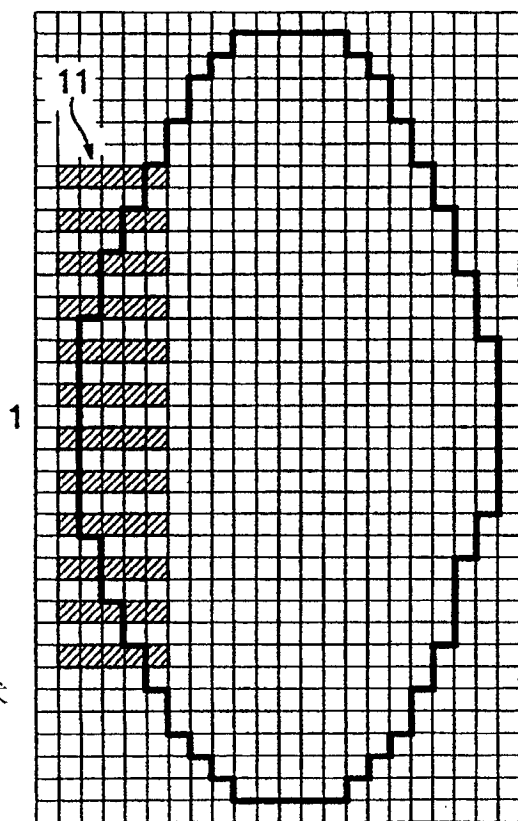


图 8 现有技术

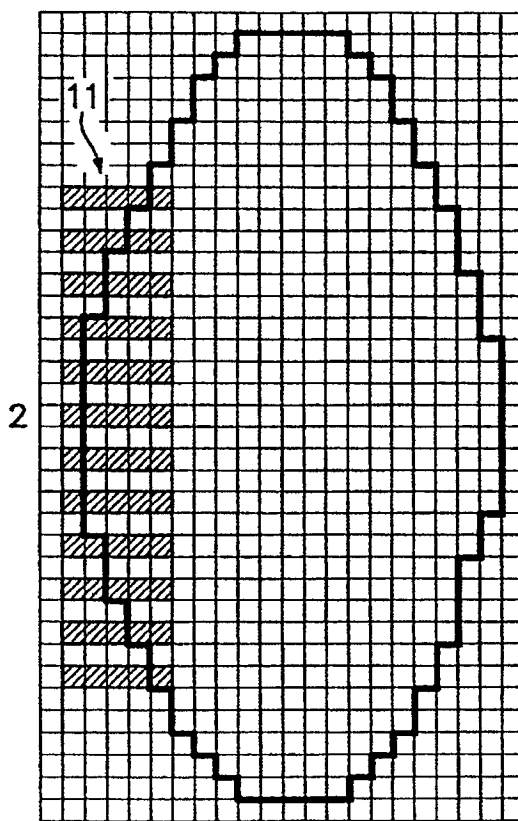


图 9 现有技术

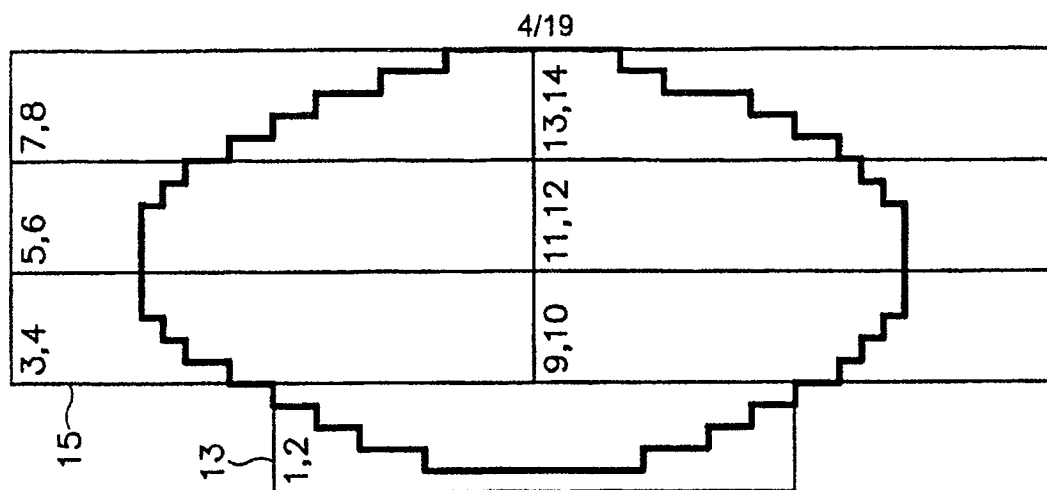


图 10 现有技术

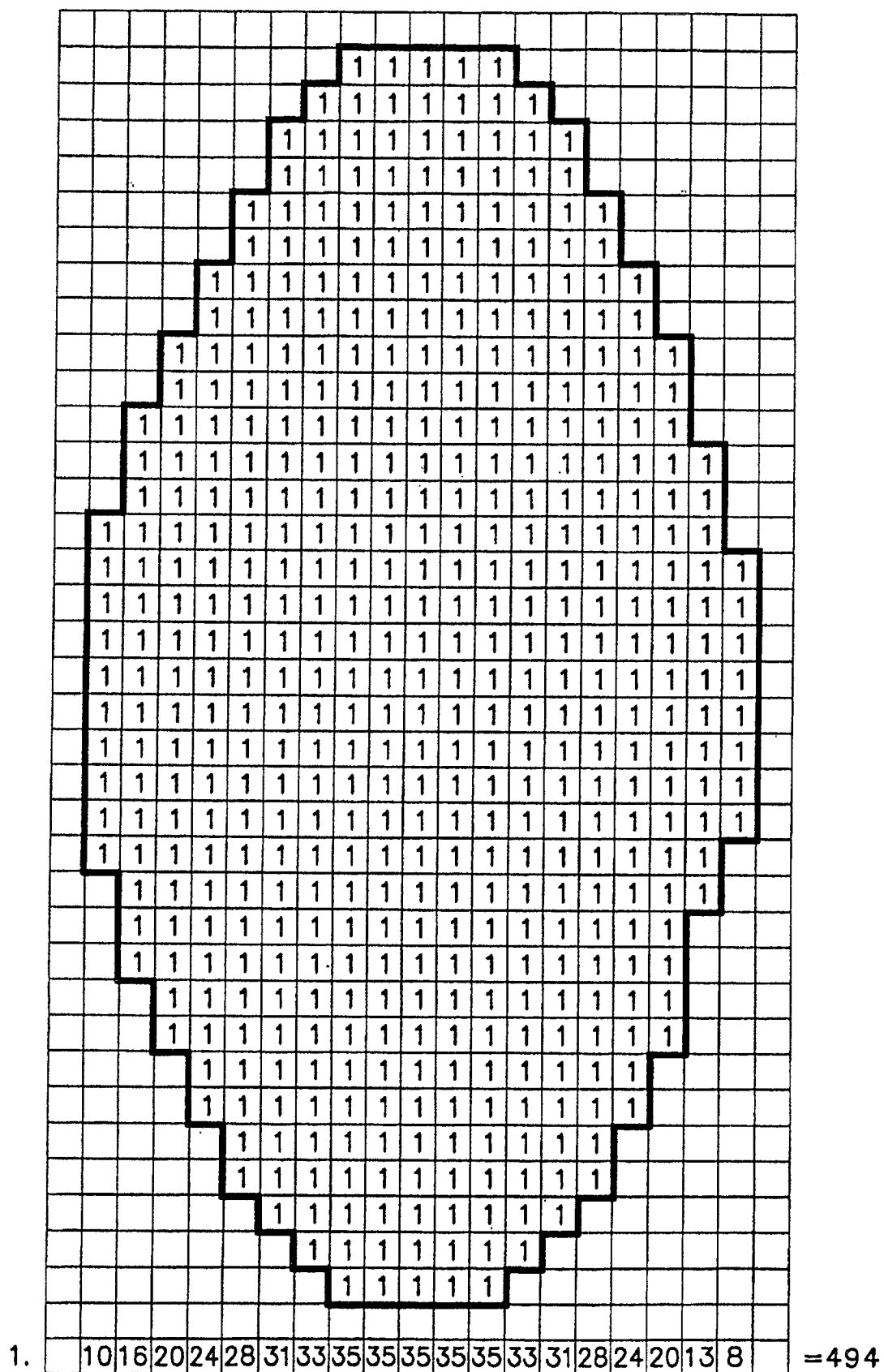


图 11 现有技术

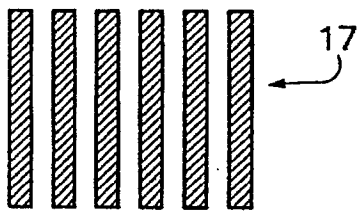


图 12 现有技术

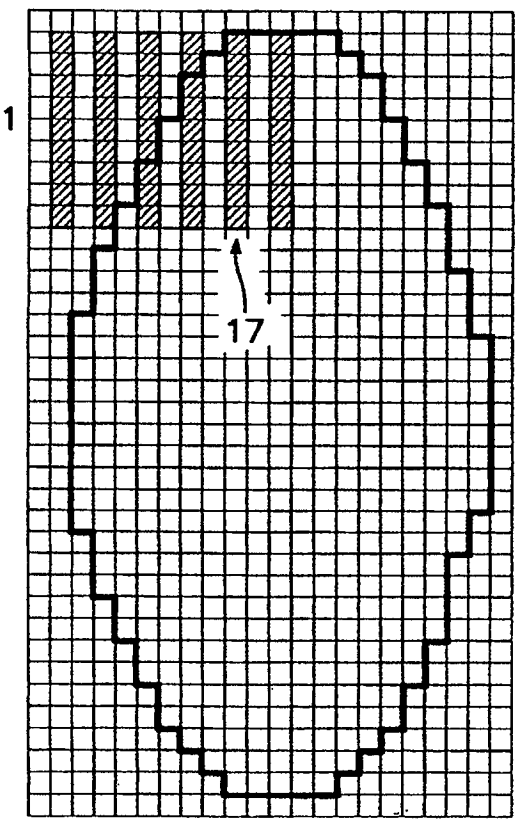


图 13 现有技术

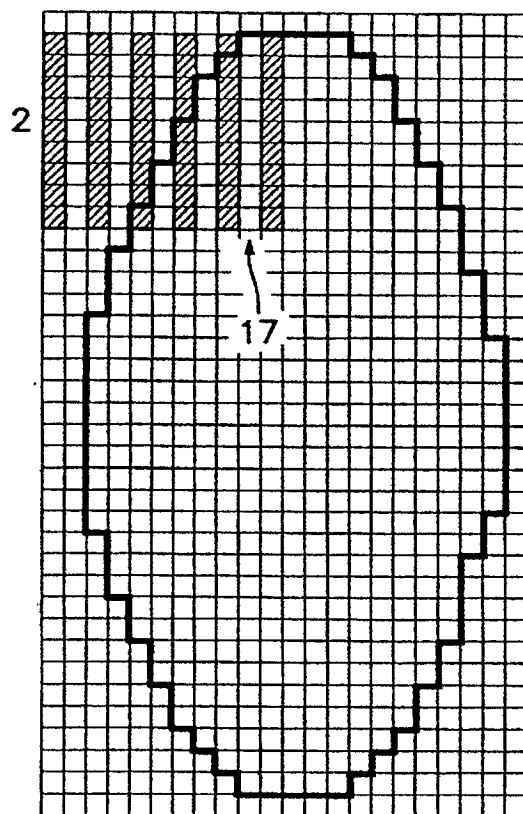


图 14 现有技术

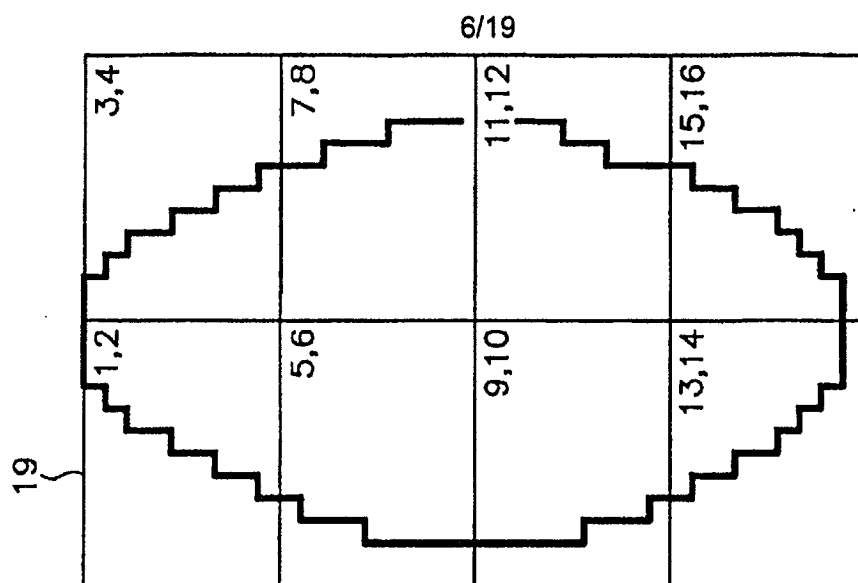


图 15 现有技术

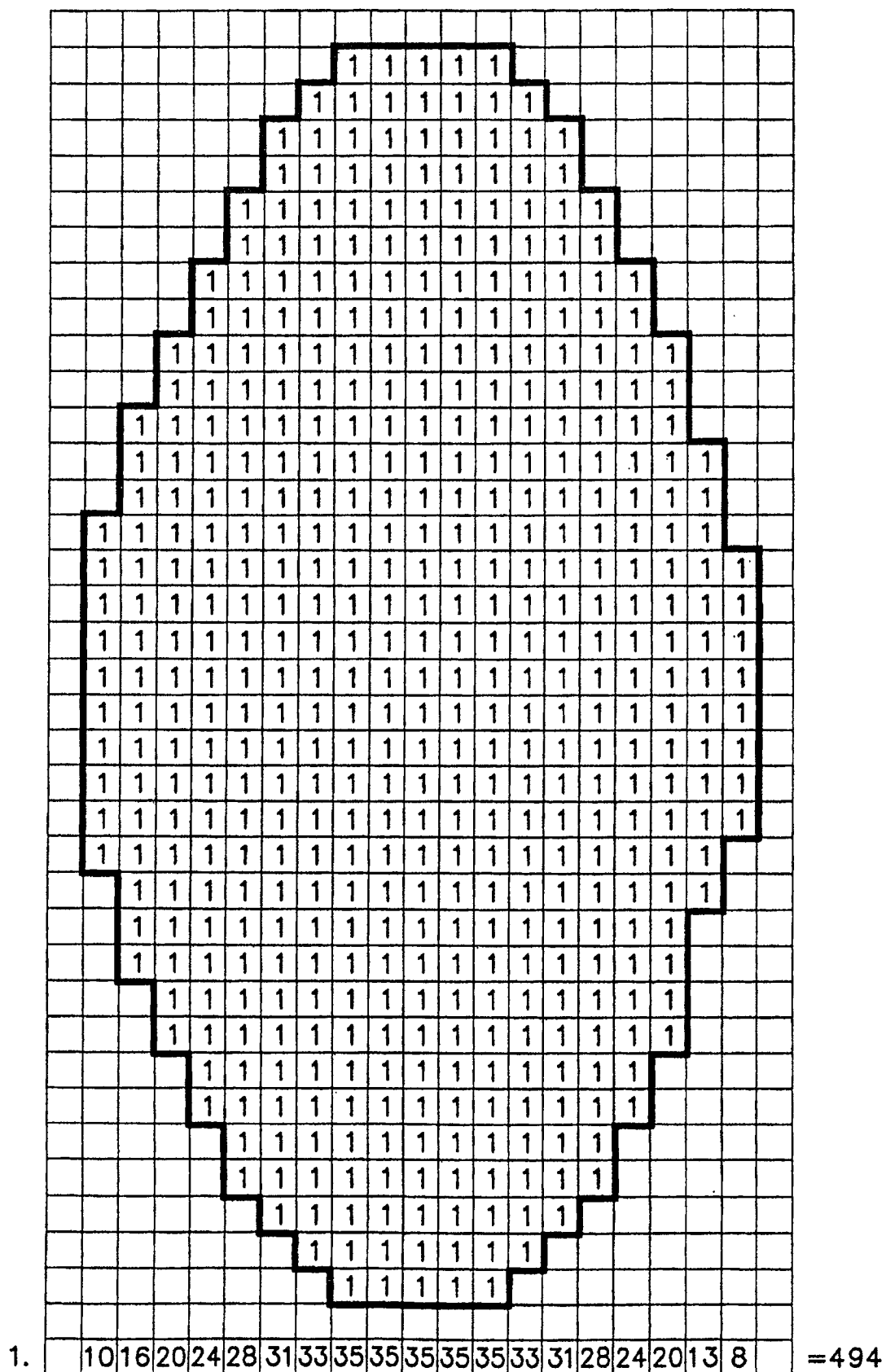
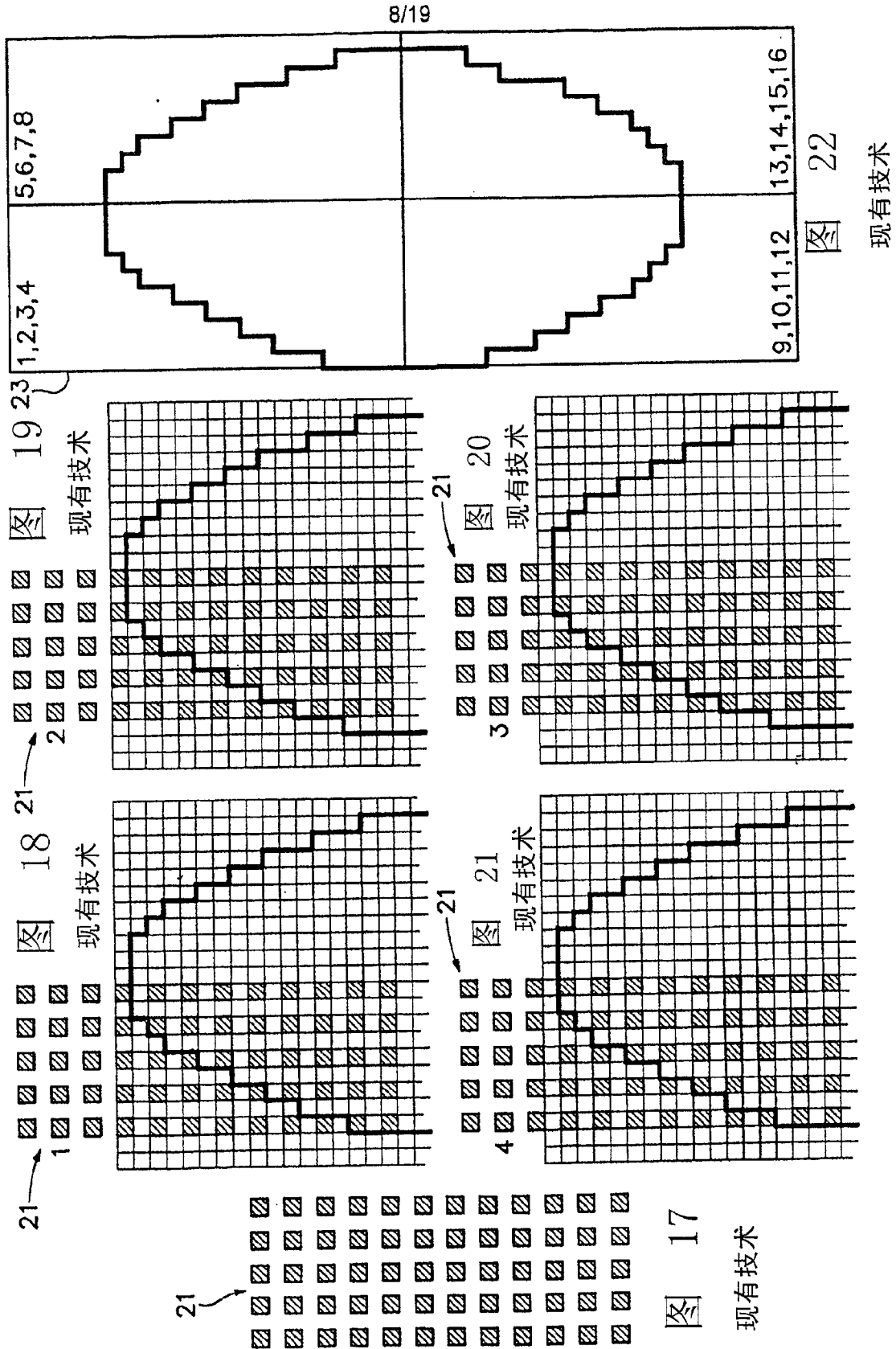


图 16 现有技术



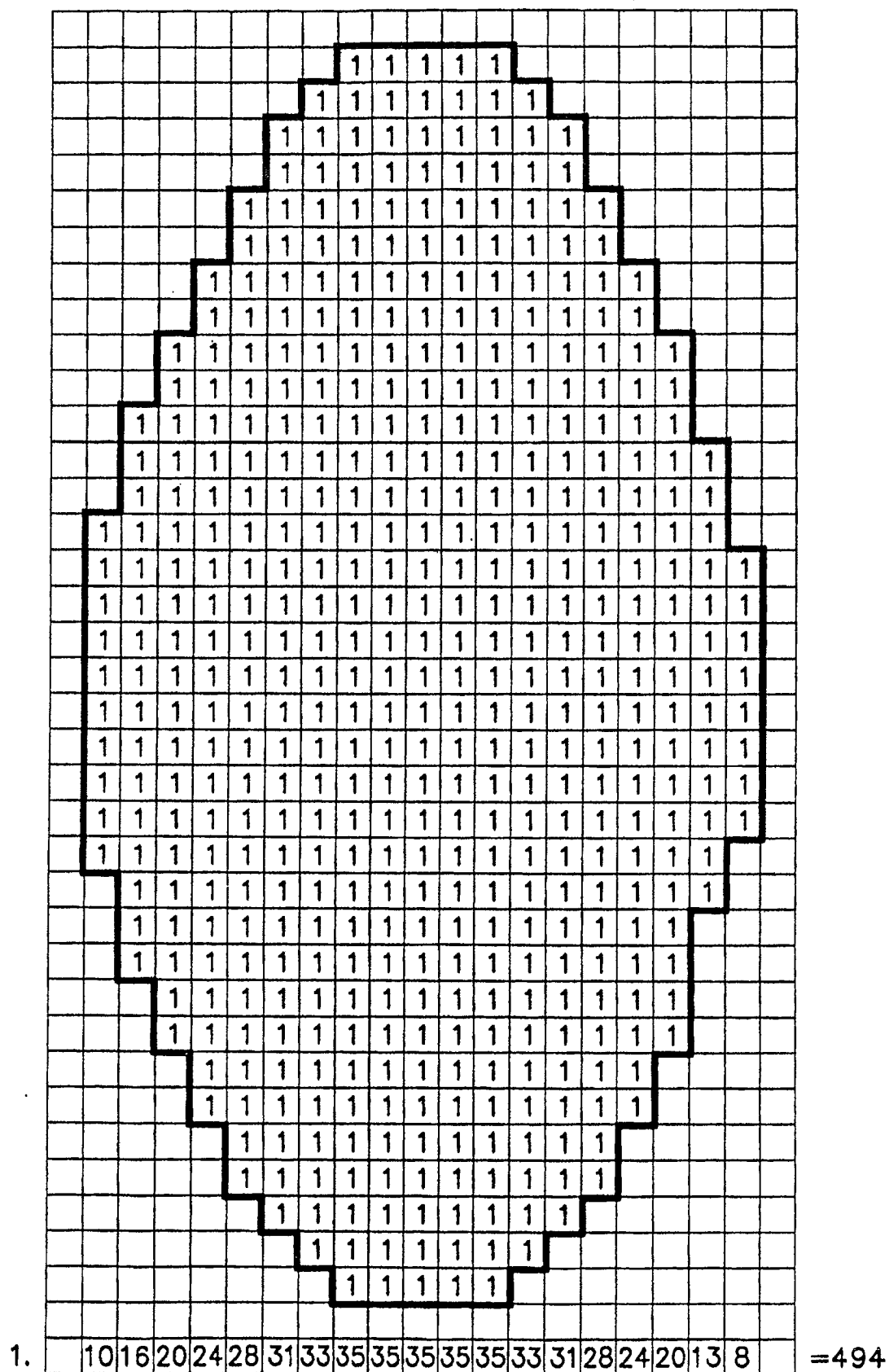


图 23 现有技术

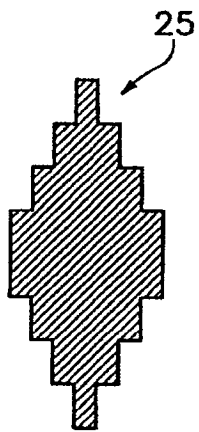


图 24

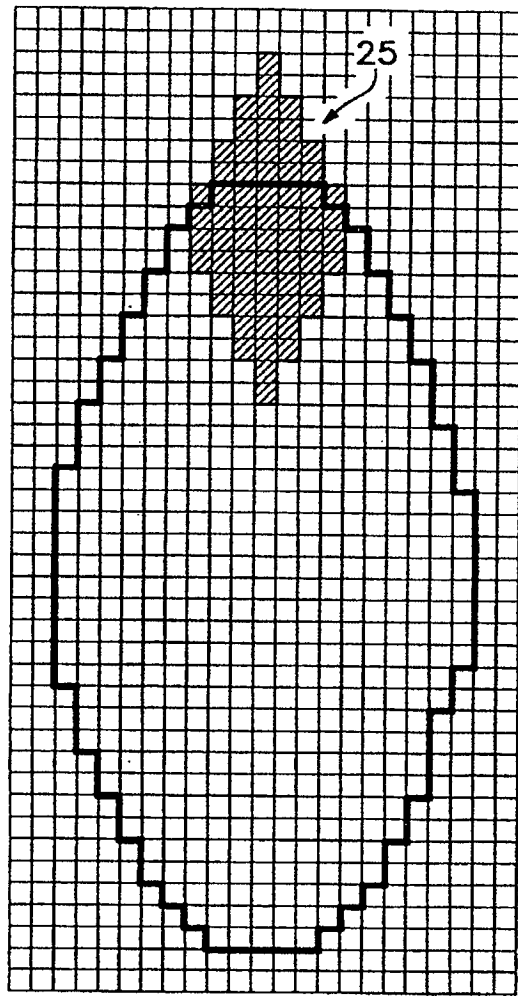


图 25

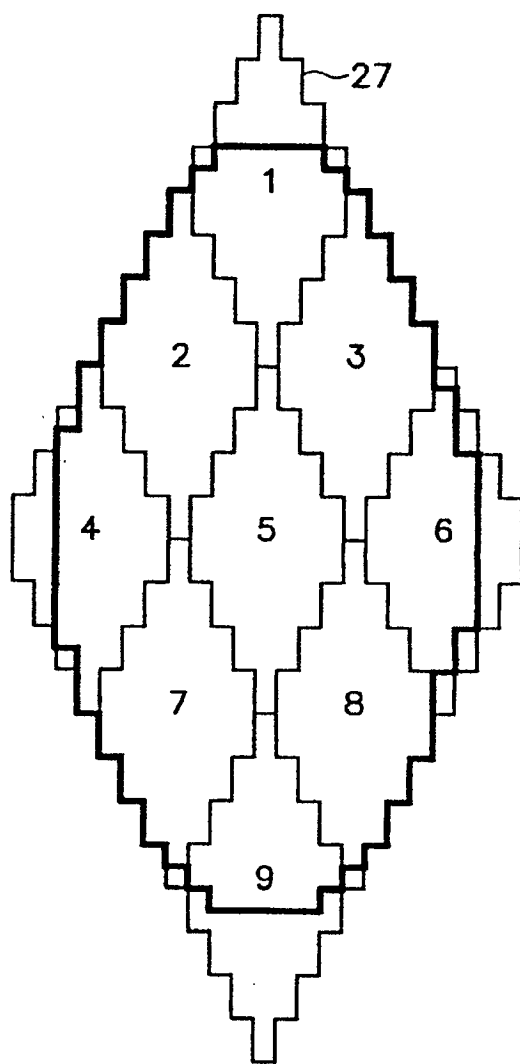


图 26

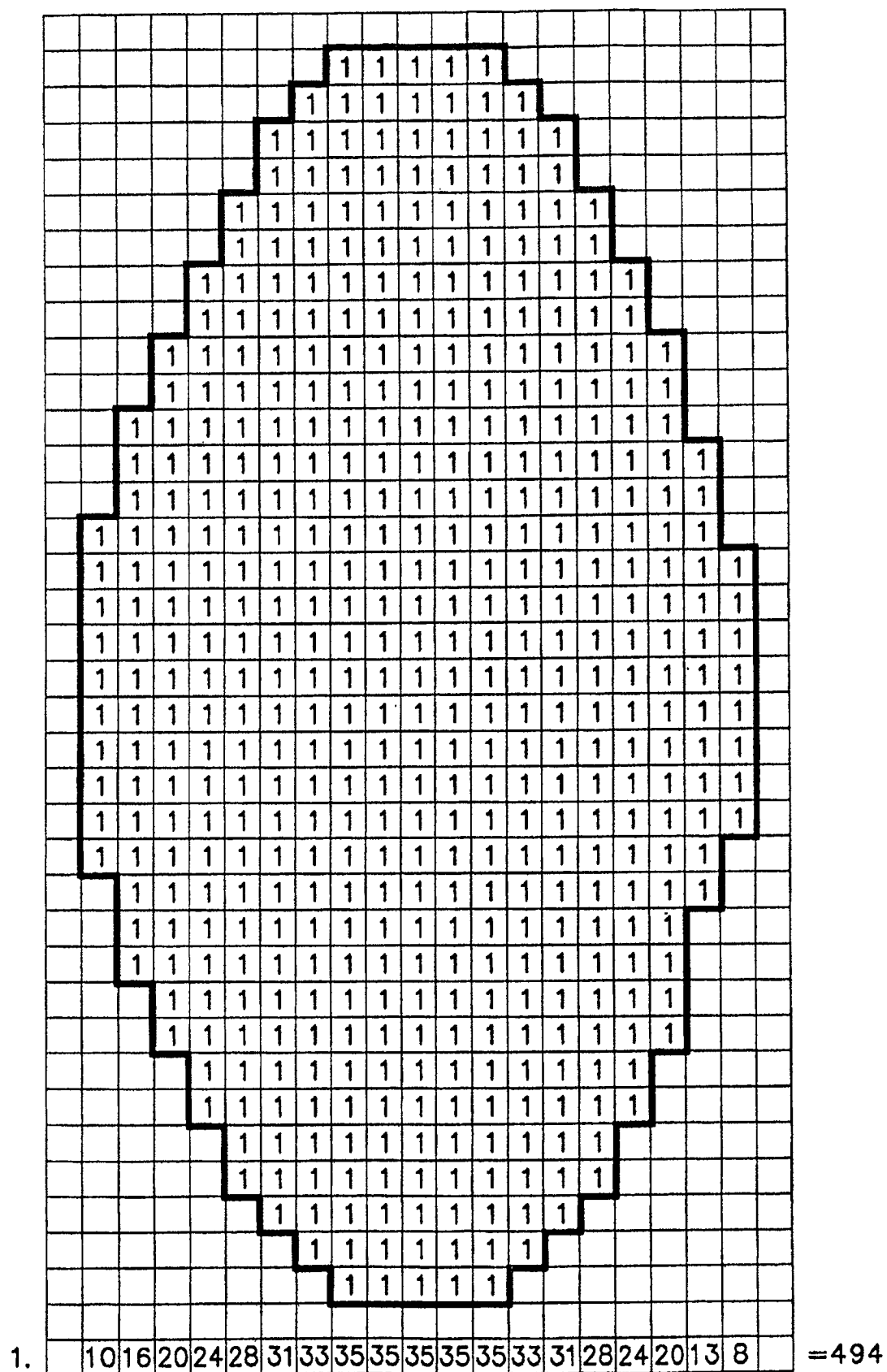


图 27

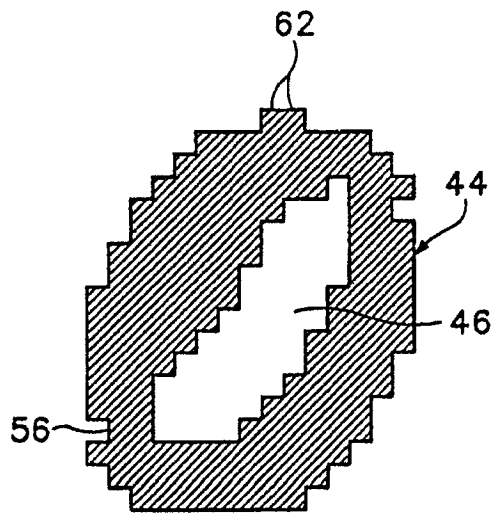


图 28

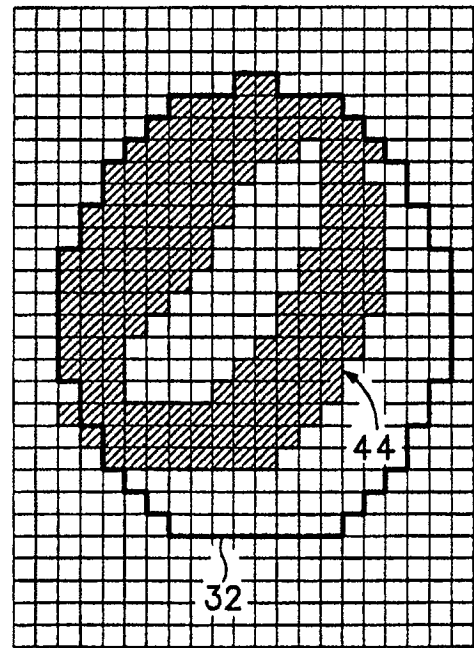


图 29

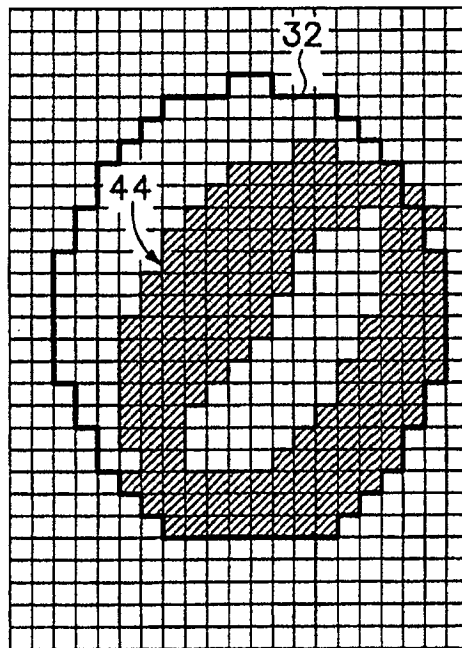


图 30

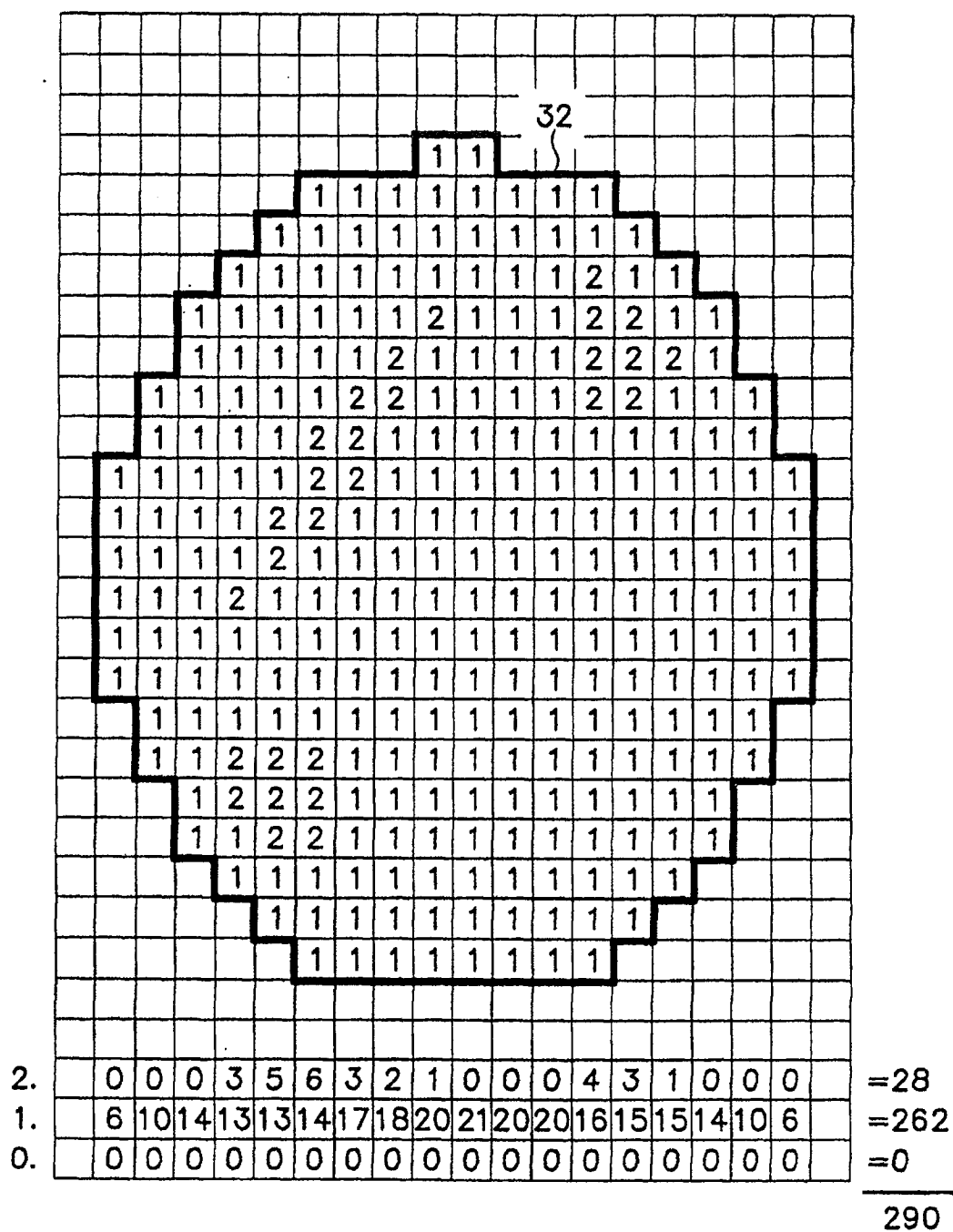


图 31

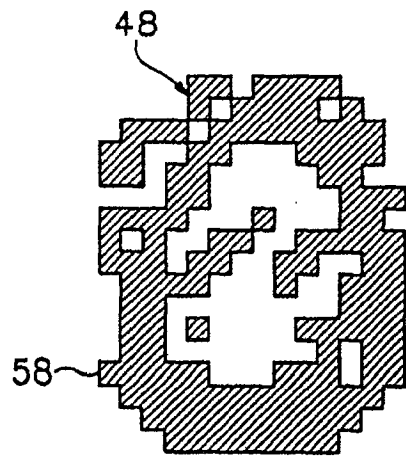


图 32

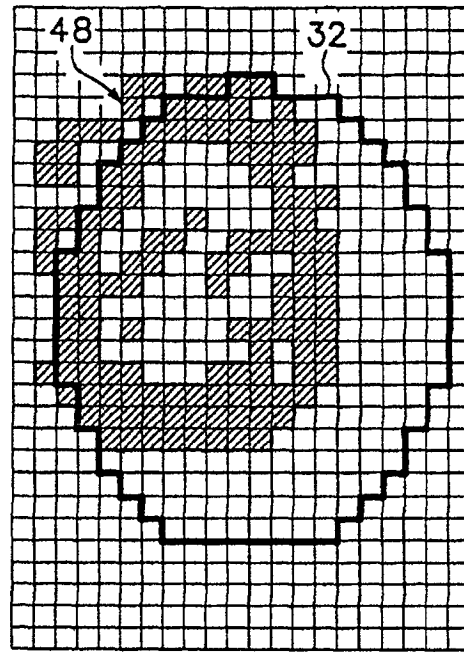


图 33

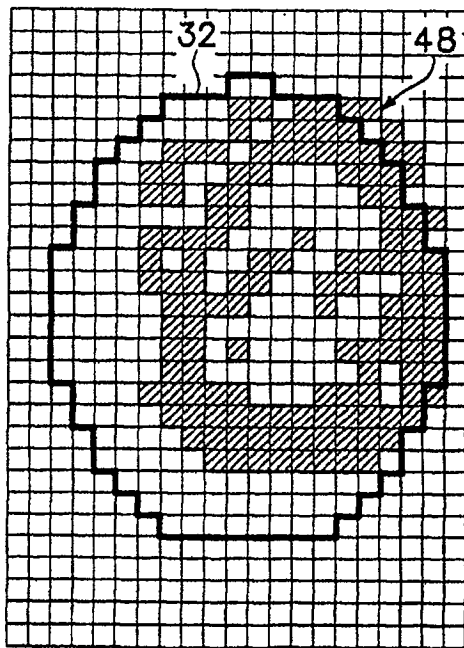


图 34

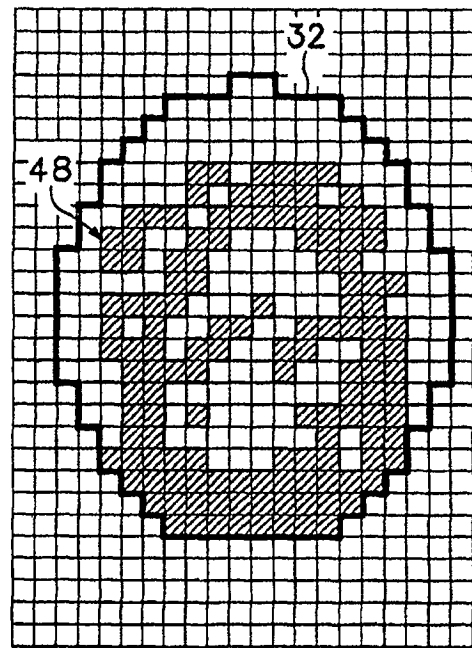


图 35

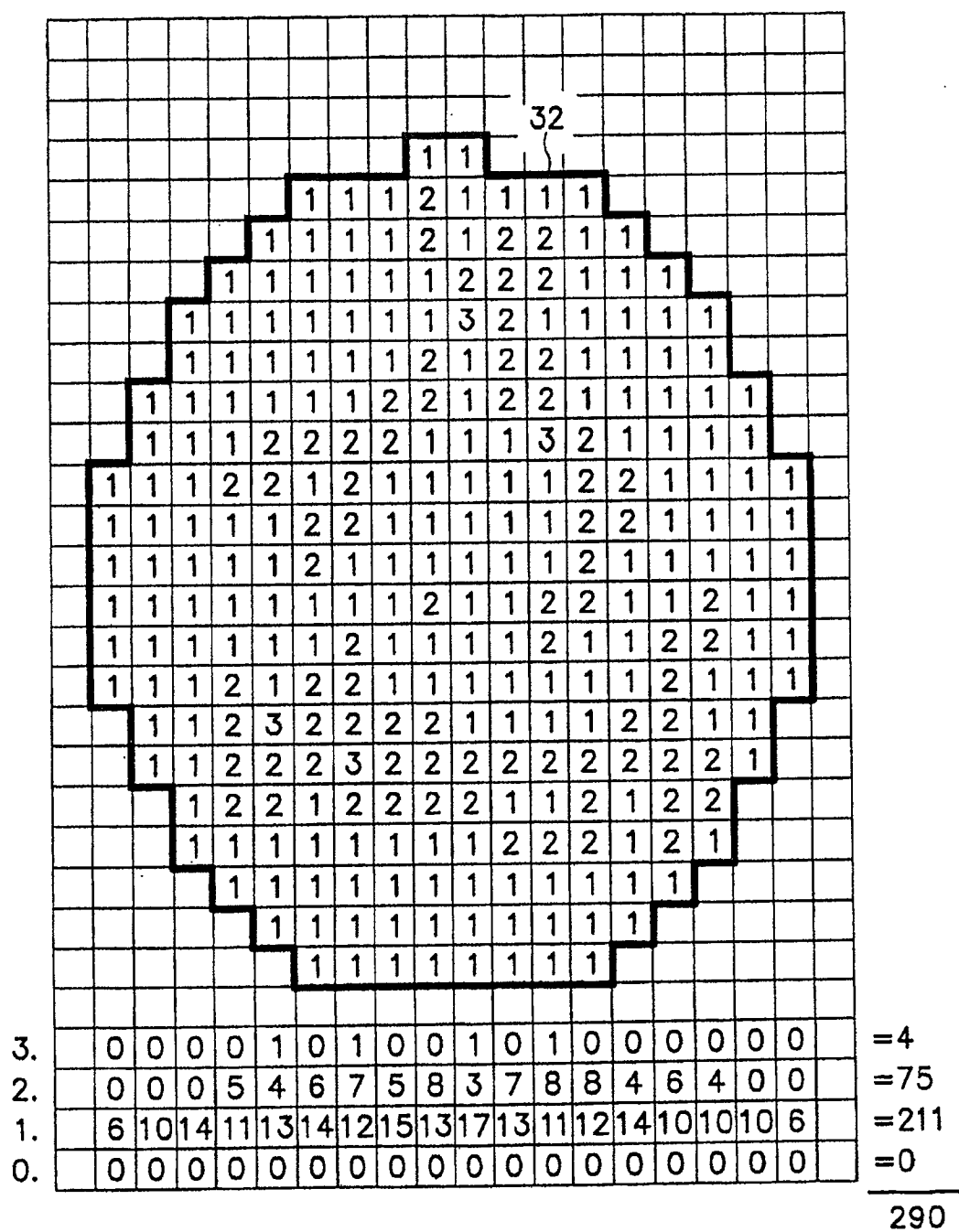


图 36

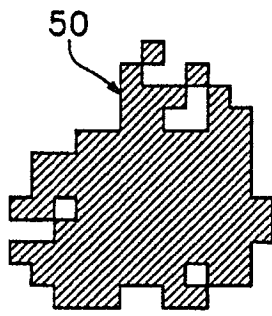


图 37

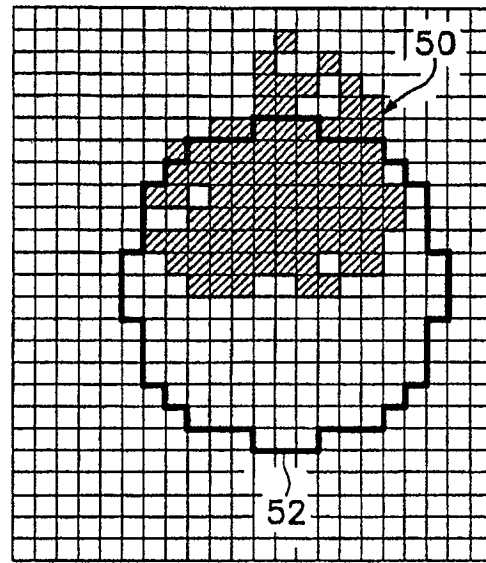


图 38

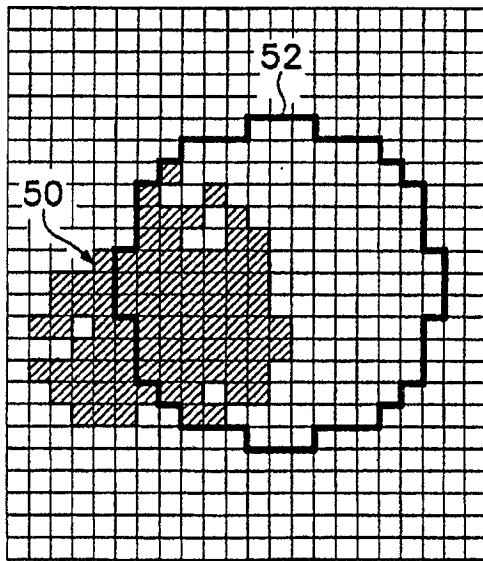


图 39

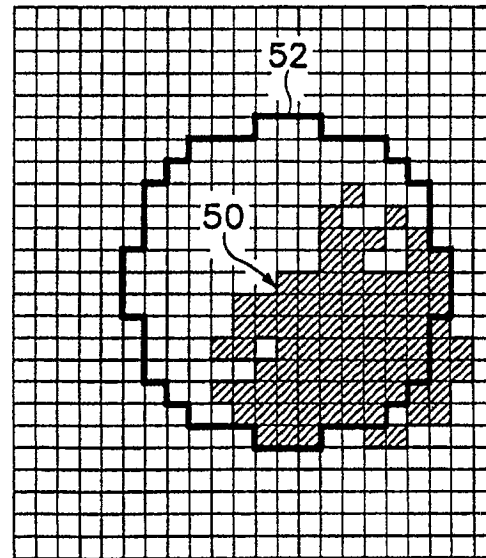


图 40

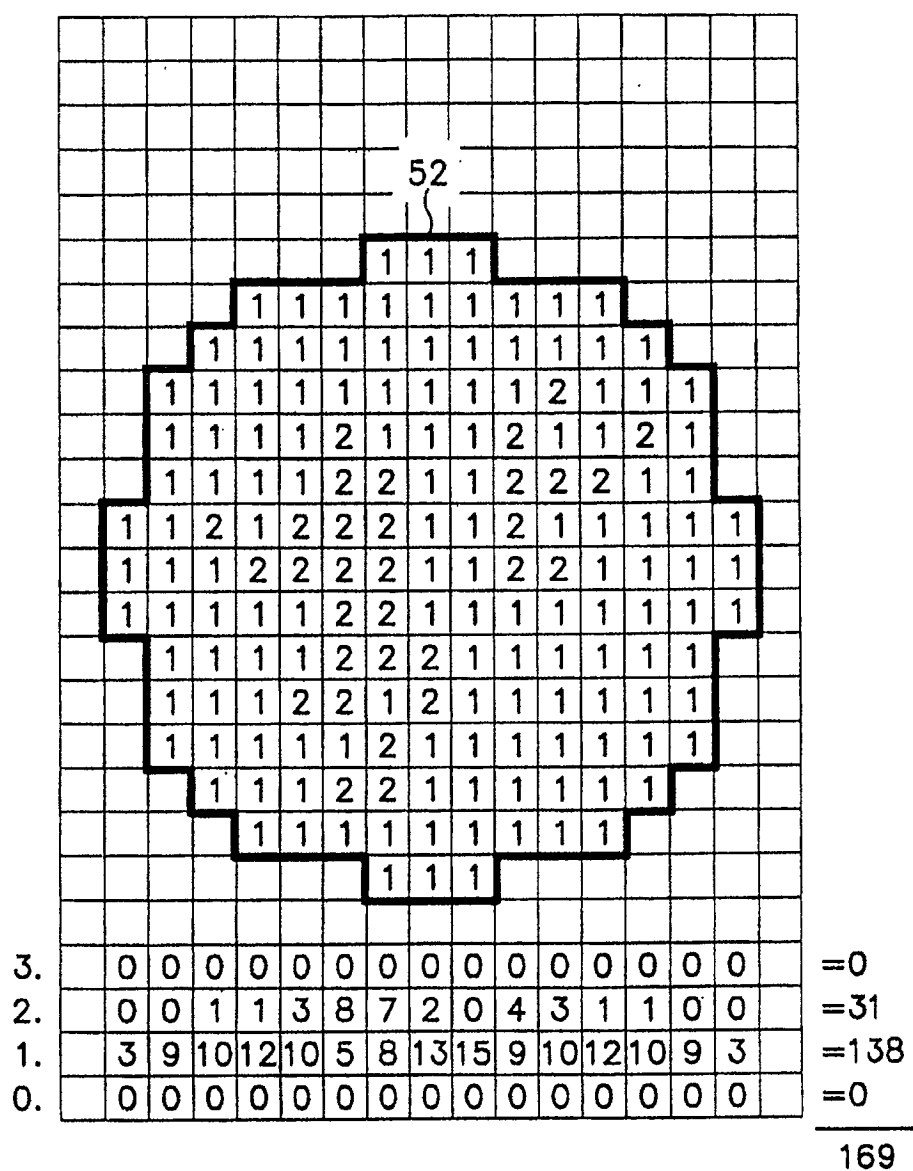


图 41

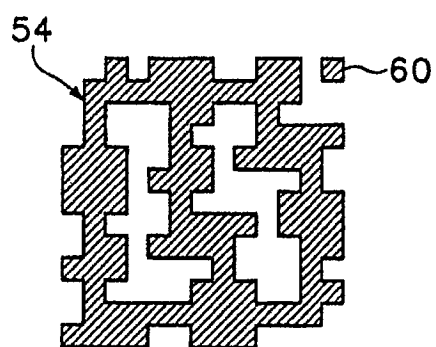


图 42

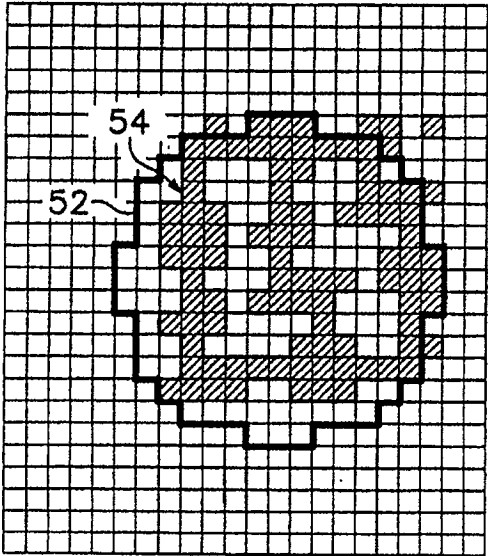


图 43

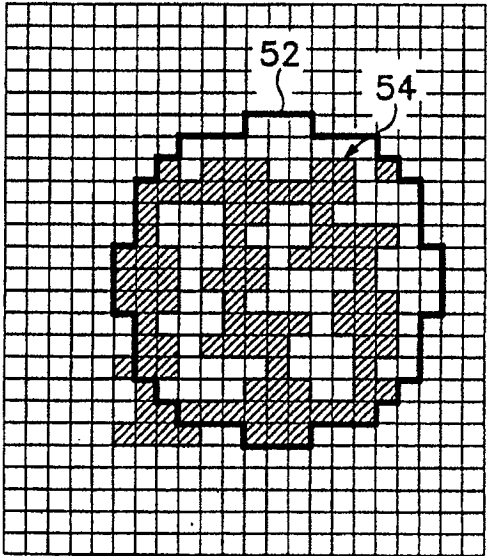


图 44

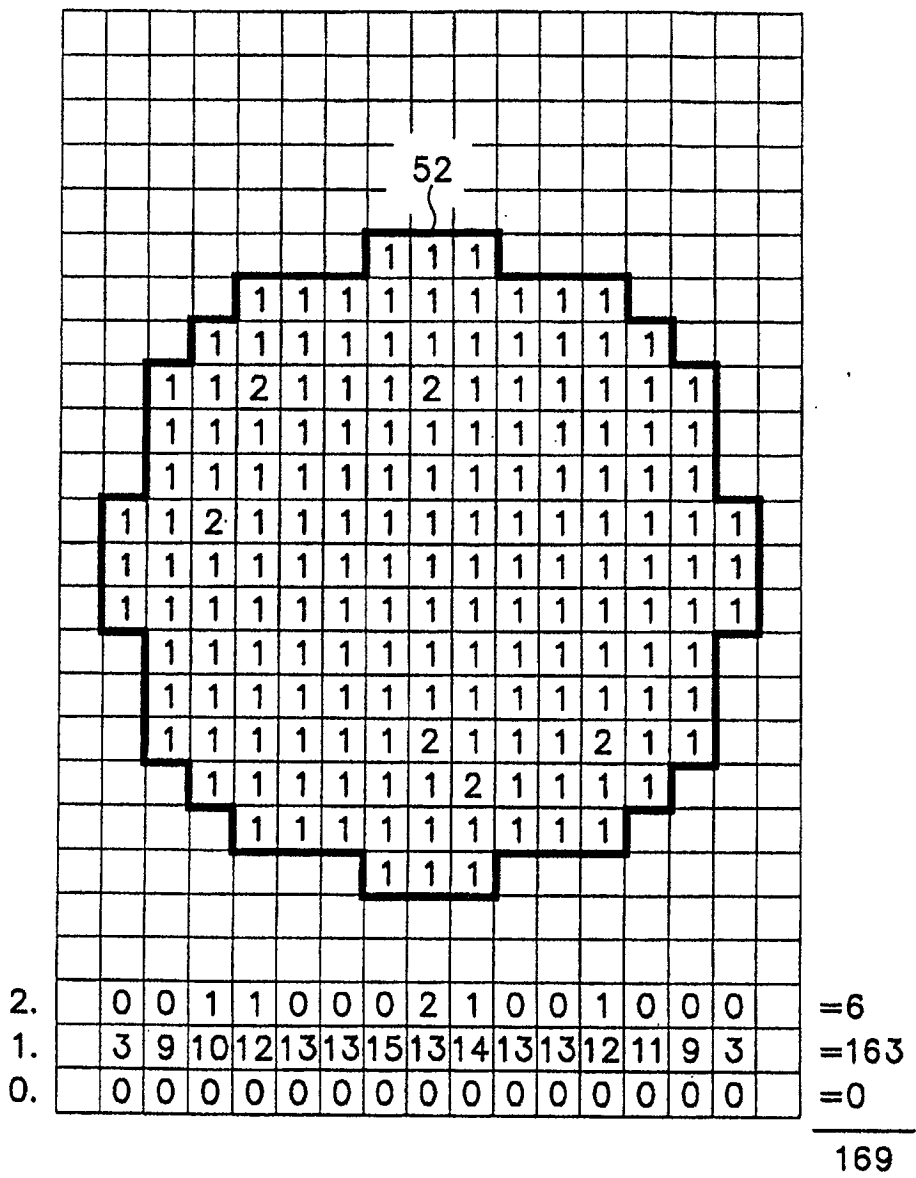


图 45