



(12)发明专利

(10)授权公告号 CN 104838502 B

(45)授权公告日 2018.05.11

(21)申请号 201380065184.3

(22)申请日 2013.11.18

(65)同一申请的已公布的文献号
申请公布号 CN 104838502 A

(43)申请公布日 2015.08.12

(30)优先权数据
13/712188 2012.12.12 US

(85)PCT国际申请进入国家阶段日
2015.06.12

(86)PCT国际申请的申请数据
PCT/US2013/070522 2013.11.18

(87)PCT国际申请的公布数据
W02014/092936 EN 2014.06.19

(73)专利权人 通用电气公司

地址 美国纽约州

(72)发明人 S.D.亚瑟 K.S.马托查 R.劳
P.A.罗西 A.V.博罗尼科夫

(74)专利代理机构 中国专利代理(香港)有限公
司 72001

代理人 叶晓勇 姜甜

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 29/423(2006.01)

H01L 21/336(2006.01)

H01L 29/16(2006.01)

审查员 梁庆然

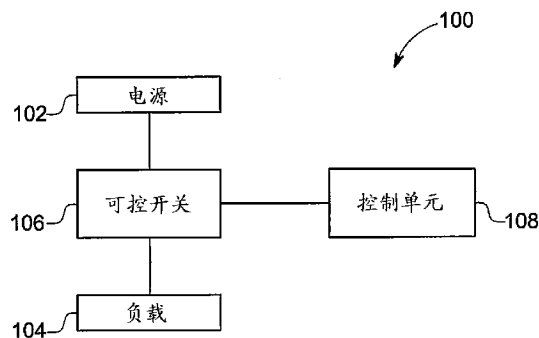
权利要求书3页 说明书9页 附图28页

(54)发明名称

绝缘栅场效应晶体管装置及其制作方法

(57)摘要

绝缘栅场效应晶体管(IGFET)装置包括半导体主体和栅极氧化物。半导体主体包括采用第一类型的掺杂剂所掺杂的第一阱区以及采用带相反电荷的第二类型的掺杂剂所掺杂并且位于第一阱区中的第二阱区。栅极氧化物包括具有不同厚度尺寸的外段和内段。外段设置在半导体主体的第一阱区和第二阱区之上。内段设置在半导体主体的结型栅场效应晶体管区之上。半导体主体配置成形成当栅极信号施加到设置于栅极氧化物上的栅极触点时经过第二阱区和结型栅场效应晶体管区来形成传导沟道。



1. 一种绝缘栅场效应晶体管 (IGFET) 装置, 包括:

半导体主体, 与源极触点和漏极触点传导地耦合, 所述半导体主体包括第一阱区, 其包括所述半导体主体的设置在所述半导体主体的第一侧并且掺杂有第一类型的掺杂剂的第一体积, 所述半导体主体包括第二阱区, 其包括所述半导体主体的设置在所述半导体主体的所述第一侧并且掺杂有带相反电荷的第二类型的掺杂剂的第二体积, 所述第二阱区设置在所述第一阱区中; 以及

栅极氧化物, 与所述半导体主体并且与栅极触点耦合, 所述栅极氧化物包括具有不同厚度尺寸的外段和内段, 所述外段设置在所述半导体主体的所述第一阱区和所述第二阱区之上, 所述内段设置在所述半导体主体的结型栅场效应晶体管区之上, 其中所述半导体主体配置成当栅极信号施加到所述栅极触点时形成经过所述第二阱区和所述结型栅场效应晶体管区从所述源极触点到所述漏极触点的传导沟道;

其中所述栅极氧化物的内段具有在75度与105度之间、在30与50度之间或者在10度与30度之间的锥度外边缘角。

2. 如权利要求1所述的IGFET装置, 其中, 所述栅极氧化物的所述外段具有比所述栅极氧化物的所述内段小的厚度尺寸, 所述内段没有延伸到所述第一阱区之上而限制在所述结型栅场效应晶体管上方的区域。

3. 如权利要求1所述的IGFET装置, 其中, 所述半导体主体包括通过所述半导体主体的所述结型栅场效应晶体管区相互分隔的多个所述第一阱区。

4. 如权利要求3所述的IGFET装置, 其中, 所述栅极氧化物的所述内段在所述半导体主体的所述结型栅场效应晶体管区之上从多个所述第一阱区中的第一个第一阱区延伸到多个所述第一阱区中的第二个第一阱区。

5. 如权利要求1所述的IGFET, 其中, 所述栅极氧化物的所述内段具有至少为0.25微米厚的厚度尺寸。

6. 如权利要求1所述的IGFET, 其中, 所述栅极氧化物的所述内段具有至少为0.55微米厚的厚度尺寸。

7. 如权利要求1所述的IGFET, 其中, 所述栅极氧化物的所述内段具有至少为0.55微米厚的厚度尺寸以及在30与50度之间的锥度外边缘角。

8. 如权利要求7所述的IGFET装置, 其中, 所述锥度外边缘角为45度。

9. 一种绝缘栅场效应晶体管装置的制作方法, 包括:

在半导体主体的第一体积中采用第一类型的掺杂剂对所述半导体主体进行掺杂, 以形成第一阱区;

在所述半导体主体的第二体积中采用带相反电荷的第二类型的掺杂剂对所述半导体主体进行掺杂, 以形成第二阱区, 所述第二阱区设置在所述第一阱区中;

在所述半导体主体上提供栅极氧化物, 所述栅极氧化物包括具有不同厚度尺寸的外段和内段, 所述外段设置在所述半导体主体的所述第一阱区和所述第二阱区之上, 所述内段设置在所述半导体主体的结型栅场效应晶体管区之上;

将源极触点与所述半导体主体的所述第一阱区或者所述第二阱区中的至少一个传导地耦合, 将漏极触点与所述半导体主体传导地耦合, 以及将栅极触点与所述栅极氧化物传导地耦合, 其中所述半导体主体配置成当栅极信号施加到所述栅极触点时形成经过所述第

二阱区和所述结型栅场效应晶体管区从所述源极触点到所述漏极触点的传导沟道；

其中所述栅极氧化物的内段具有在75度与105度之间、在30与50度之间或者在10度与30度之间的锥度外边缘角。

10. 如权利要求9所述的方法，其中，提供所述栅极氧化物包括形成所述栅极氧化物，使得所述外段具有比所述内段小的厚度尺寸，并且使得所述内段没有延伸到所述第一阱区之上而限制在所述结型栅场效应晶体管上方的区域。

11. 如权利要求9所述的方法，其中，提供所述栅极氧化物包括形成作为连续氧化物主体的所述外段和所述内段。

12. 如权利要求9所述的方法，其中，对所述半导体主体的所述第一体积进行掺杂包括进行掺杂以形成通过所述半导体主体的所述结型栅场效应晶体管区相互分隔的多个所述第一阱区。

13. 如权利要求12所述的方法，其中，所述栅极氧化物的所述内段定位成在所述半导体主体的所述结型栅场效应晶体管区之上从多个所述第一阱区中的第一个第一阱区延伸到多个所述第一阱区中的第二个第一阱区。

14. 如权利要求9所述的方法，其中，所述栅极氧化物的所述内段具有至少为0.55微米厚的厚度尺寸。

15. 如权利要求9所述的方法，其中，所述栅极氧化物的所述内段具有至少为0.55微米厚的厚度尺寸以及在30与50度之间的锥度外边缘角。

16. 如权利要求15所述的方法，其中，所述锥度外边缘角为45度。

17. 一种绝缘栅场效应晶体管 (IGFET) 装置，包括：

半导体主体，具有采用第一类型的掺杂剂所掺杂的第一阱区和采用带相反电荷的第二类型的掺杂剂所掺杂的第二阱区，所述第二阱区设置在所述第一阱区中，所述第一阱区通过所述半导体主体的结型栅场效应晶体管区相互分隔，所述半导体主体配置成与漏极触点传导地耦合，以及主第一阱区或者所述第二阱区中的至少一个配置成与源极触点传导地耦合；以及

栅极氧化物，设置在半导体主体之上，并且配置成与栅极触点传导地耦合，所述栅极氧化物具有设置在所述半导体主体的所述结型栅场效应晶体管区之上的内段以及至少部分设置在所述第一阱区之上的外段，其中所述栅极氧化物的所述内段具有与所述外段的第二厚度尺寸不同的第一厚度尺寸；

其中所述栅极氧化物的内段具有在75度与105度之间、在30与50度之间或者在10度与30度之间的锥度外边缘角。

18. 如权利要求17所述的IGFET装置，其中，所述栅极氧化物的所述内段的所述第一厚度尺寸大于所述栅极氧化物的所述外段的所述第二厚度尺寸，其中，所述内段没有延伸到所述第一阱区之上而限制在所述结型栅场效应晶体管上方的区域。

19. 如权利要求17所述的IGFET装置，其中，所述栅极氧化物的所述内段和所述外段形成连续氧化物主体。

20. 如权利要求17所述的IGFET，其中，所述栅极氧化物的所述内段的所述第一厚度尺寸具有至少为0.25微米厚的厚度尺寸。

21. 如权利要求17所述的IGFET，其中，所述栅极氧化物的所述内段具有至少为0.55微

米厚的厚度尺寸。

22. 如权利要求17所述的IGFET, 其中, 所述栅极氧化物的所述内段具有至少为0.55微米厚的厚度尺寸以及在30与50度之间的锥度外边缘角。

23. 如权利要求22所述的IGFET装置, 其中, 所述锥度外边缘角为45度。

绝缘栅场效应晶体管装置及其制作方法

背景技术

[0001] 金属氧化物半导体场效应晶体管(MOSFET)装置用来切换电路在导通与非导通状态之间的电流的流动。MOSFET装置包括半导体中的掺杂源区和漏区,其中栅极氧化物设置在半导体之上的源区与漏区之间。源区设置在较大掺杂阱区中,其中源区采用与阱区带相反电荷的掺杂剂来掺杂。栅极触点设置在栅极氧化物之上,并且通过栅极氧化物与半导体分隔。将电子信号施加到栅极触点,以创建经过半导体从源区到漏区的传导通路。在从栅极触点去除信号时,传导通路不再存在,并且半导体阻止电流流经半导体。

[0002] MOSFET装置的半导体可与接通电阻特性(其表示MOSFET装置从非导通状态切换到导通状态的电阻)关联。这个接通电阻特性能够降低,以便降低MOSFET装置的功率耗散损耗。但是,可通过减小FET沟道,将源极连接到漏极(其能够引起穿通击穿),来实现降低接通电阻特性。另外,穿通可引起MOSFET装置的输出电导的增加以及对MOSFET装置的工作电压的上限的降低。

[0003] 为了降低穿通发生的电位,半导体中的阱区的掺杂剂浓度可增加。但是,掺杂剂浓度的这种增加能够引起施加到栅极触点以将MOSFET装置从非导通状态切换到导通状态的信号所需的电压的增加。在非导通状态期间,栅极将偏置成低于沟道导通所需的阈值,并且通常处于与源极相同的电位或者低于其电位(例如N沟道FET的负栅极偏置值)。当装置处于其完全阻挡状态时,阻挡结的高度掺杂侧上的耗尽电荷创建电场,其穿透阻挡结到界面的分隔,并且将端接于栅电极上。半导体与栅极氧化物之间的介电常数的比率将与表面垂直的电场强度分量[例如 $E_{ox} = (\epsilon_{SiC} / \epsilon_{ox}) * E_{sic}$]放大相对电容率的比率。对于SiC和氧化硅界面的情况,正常场在氧化物中增强到2.5倍。随着栅极氧化物中生成的电场增加,MOSFET装置的可靠性和/或有用寿命能够因栅极氧化物材料中的击穿而降低。因此,期望降低栅极氧化物中的场强度,其覆盖阻挡结之间的空间,与传导沟道中的适当FET操作相当。

发明内容

[0004] 在一个实施例中,提供一种绝缘栅场效应晶体管(IGFET)装置,其包括半导体主体和栅极氧化物。半导体主体与源极触点和漏极触点传导地耦合。半导体主体包括第一阱区,其包括半导体主体的设置在半导体主体的第一侧并且掺杂有第一类型的掺杂剂的第一体积。半导体主体还包括第二阱区,其包括半导体主体的设置在半导体主体的第一侧并且掺杂有带相反电荷的第二类型的掺杂剂的第二体积。第二阱区设置在第一阱区中。栅极氧化物与半导体主体并且与栅极触点耦合。栅极氧化物包括具有不同厚度尺寸的外段和内段。外段设置在半导体主体的第一阱区和第二阱区之上。内段设置在半导体主体的结型栅场效应晶体管区之上。半导体主体配置成当栅极信号施加到栅极触点时形成经过第二阱区和结型栅场效应晶体管区从源极触点到漏极触点的传导沟道。

[0005] 在另一个实施例中,提供一种方法,其包括在半导体主体的第一体积中采用第一类型的掺杂剂对半导体主体进行掺杂以形成第一阱区,并且在半导体主体的第二体积中采用带相反电荷的第二类型的掺杂剂对半导体主体进行掺杂以形成第二阱区。第二阱区设置

在第一阱区中。该方法还包括提供半导体主体上的栅极氧化物。栅极氧化物包括厚度等于或大于内段的外段。外段设置在半导体主体的第一阱区和第二阱区之上。内段设置在半导体主体的结型栅场效应晶体管区之上。该方法还包括将源极触点与半导体主体的第一阱区或者第二阱区中的至少一个传导地耦合,将漏极触点与半导体主体传导地耦合,并且将栅极触点与栅极氧化物传导地耦合。半导体主体配置成当栅极信号施加到栅极触点时形成经过第二阱区和结型栅场效应晶体管区从源极触点到漏极触点的传导沟道。

[0006] 在另一个实施例中,提供另一种IGFET装置,其包括半导体主体和栅极氧化物。半导体主体具有掺杂有第一类型的掺杂剂的第一阱区以及掺杂有带负电荷的第二类型的掺杂剂的第二阱区。第二阱区设置在第一阱区中。第一阱区通过半导体主体的结型栅场效应晶体管区相互分隔。半导体主体配置成与漏极触点传导地耦合,以及第一阱区或者第二阱区中的至少一个配置成与源极触点传导地耦合。栅极氧化物设置在半导体主体之上,并且配置成与栅极触点传导地耦合。栅极氧化物具有设置在半导体主体的结型栅场效应晶体管区之上的内段以及至少部分设置在第一阱区之上的外段。栅极氧化物的内段具有第一厚度尺寸,其等于或大于外段。

附图说明

[0007] 通过阅读以下参照附图的非限制性实施例的描述,将会更好地了解发明主题,附图包括:

[0008] 图1是开关系统的一个实施例的框图;

[0009] 图2是图1所示绝缘栅场效应晶体管(IGFET)装置的一个实施例的截面图;

[0010] 图3是按照一个示例的IGFET装置的截面图;

[0011] 图4示出图3所示IGFET装置中的电场与位置之间的关系;

[0012] 图5示出按照另一个示例的IGFET装置的截面图;

[0013] 图6示出图5所示IGFET装置中的电场与位置之间的关系;

[0014] 图7示出按照另一个示例的IGFET装置的截面图;

[0015] 图8示出图7所示IGFET装置中的电场与位置之间的关系;

[0016] 图9示出按照另一个示例的IGFET装置的截面图;

[0017] 图10示出图9所示IGFET装置中的电场与位置之间的关系;

[0018] 图11是用于提供IGFET装置的方法的一个实施例的流程图;

[0019] 图12A示出按照一个实施例、具有JFET区之上的 $0.05\ \mu\text{m}$ 的氧化物厚度的IGFET装置的截面图;

[0020] 图12B示出沿图12A所示装置的SiC-SiO₂界面的电场;

[0021] 图13A示出按照一个实施例、具有JFET区之上的 $0.1\ \mu\text{m}$ 的氧化物厚度的IGFET装置的截面图;

[0022] 图13B示出沿图13A所示装置的SiC-SiO₂界面的电场;

[0023] 图14A示出按照一个实施例、具有JFET区之上的 $0.15\ \mu\text{m}$ 的氧化物厚度的IGFET装置的截面图;

[0024] 图14B示出沿图14A所示装置的SiC-SiO₂界面的电场;

[0025] 图15A示出按照一个实施例、具有JFET区之上的 $0.25\ \mu\text{m}$ 的氧化物厚度的IGFET装

置的截面图；

[0026] 图15B示出沿图15A所示装置的SiC-SiO₂界面的电场；

[0027] 图16A示出按照一个实施例、具有JFET区之上的0.55 μm的氧化物厚度的IGFET装置的截面图；

[0028] 图16B示出沿图16A所示装置的SiC-SiO₂界面的电场；

[0029] 图17A示出按照一个实施例、具有JFET区之上的0.55 μm的氧化物厚度和90度的氧化物锥角的IGFET装置的截面图；

[0030] 图17B示出沿图17A所示装置的SiC-SiO₂界面的电场；

[0031] 图18A示出按照一个实施例、具有JFET区之上的0.55 μm的氧化物厚度和45度的氧化物锥角的IGFET装置的截面图；

[0032] 图18B示出沿图18A所示装置的SiC-SiO₂界面的电场；

[0033] 图19A示出按照一个实施例、具有JFET区之上的0.55 μm的氧化物厚度和大约17度的氧化物锥角的IGFET装置的截面图；

[0034] 图19B示出沿图19A所示装置的SiC-SiO₂界面的电场；

[0035] 图20A示出按照一个实施例、具有JFET区之上的0.2 μm的氧化物厚度和大约45度的氧化物锥角的IGFET装置的截面图；以及

[0036] 图20B示出沿图20A所示装置的SiC-SiO₂界面的电场。

具体实施方式

[0037] 下面将详细参照发明主题的示例实施例，其示例在附图中示出。在可能的情况下，附图中通篇使用的相同参考标号表示相同或相似部件。本文所述的至少一个实施例提供一种功率绝缘栅场效应晶体管 (IGFET) 装置、例如金属氧化物半导体场效应晶体管 (MOSFET)，其可用作开关或者在开关中用来控制较高电流到一个或多个负载的流动。虽然本文的描述提供可用来形成IGFET装置的材料示例，但是备选地，可使用一个或多个其他材料。

[0038] 图1是开关系统100的一个实施例的框图。开关系统100可用来控制电流从电源102（例如电力网、风力涡轮机、光伏装置、电池等）到电力负载104（例如电机或其他装置，其当电流被接收时执行工作或者储存电流供以后使用）的流动。开关系统100包括至少一个IGFET装置106（图1中的“可控开关”），其与电源102和负载104传导地耦合。IGFET装置106与控制单元108在通信上耦合（例如通过一个或多个有线和/或无线连接耦合）。控制单元108能够包括处理器、控制器或者其他基于逻辑的装置，其自动地或者手动控制成在接通、导通或关断闭合状态之间进行切换。IGFET装置106处于接通状态，以允许来自电源102的电流经过IGFET装置106传导到负载104。IGFET装置106处于关断状态，以阻止电流经过IGFET装置106从电源102到负载104的流动。

[0039] 图2是IGFET装置106的一个实施例的截面图。IGFET装置106包括半导体主体200，其与传导源极端子202和传导漏极端子204耦合。源极端子202可与电源102（图1所示）传导地耦合，并且漏极端子204可与负载104（图1所示）传导地耦合。在所示实施例中，传导漏极触点206沿半导体主体200的底侧208设置，其中漏极端子204与触点206传导地耦合。源极端子202可与传导源极触点210（其设置在半导体主体200的顶侧212）传导地耦合，其中源极端子202与源极触点210传导地耦合。源极触点210可由一个或多个传导材料（例如金属、金属

合金、多晶硅等)或者包括一个或多个传导材料。

[0040] 半导体主体200可包括掺杂半导体材料(例如碳化硅(SiC),其掺杂有n型掺杂剂(例如氮或磷))或者由其形成。半导体主体200可经过较高掺杂,使得半导体主体200是n-材料。备选地,半导体主体200可以更重掺杂,和/或可采用p型掺杂剂(例如铝或硼)来掺杂。在另一个实施例中,半导体主体200由另一种类型的半导体材料来形成。

[0041] 在所示实施例中,半导体主体200沿半导体主体200的底侧208具有掺杂层214。掺杂层214可掺杂有与半导体主体200相同类型的掺杂剂(例如n型掺杂剂),和/或可比半导体主体200更重地掺杂(例如n+材料)。

[0042] 半导体主体200包括掺杂的第一阱区216,其表示半导体主体200中掺杂有与半导体主体200不同类型(例如带相反电荷)的掺杂剂的体积。例如,第一阱区216可掺杂有p型掺杂剂。如图2所示,第一阱区216可设置在半导体主体200中,使得第一阱区216包括不到整个半导体主体200,并且半导体主体216比第一阱区216显著大(例如在体积上)。

[0043] 在一个实施例中,第一阱区216相对于半导体主体200经过重掺杂(例如,第一阱区216可以是p+掺杂体积)。第一阱区216相互横向间隔开,并且通过半导体主体200的分隔区218相互分隔。分隔区218可称作结型栅场效应晶体管(JFET)区。分隔区218能够具有宽度尺寸254,其在半导体主体200中从第一阱区216之一横向延伸到图2所示的另一第一阱区216。

[0044] 半导体主体200包括掺杂的第二阱区220,其表示半导体主体200中掺杂有与第一阱区216不同类型(例如带相反电荷)的掺杂剂的体积。例如,第二阱区220可掺杂有n型掺杂剂。在一个实施例中,第二阱区220比半导体主体200更重地掺杂(例如,第二阱区220可以是n+掺杂体积)。

[0045] 如图2所示,第二阱区220可设置在半导体主体200的第一阱区216中,使得第二阱区220包括不到整个第一阱区216,并且封入第一阱区216中。第二阱区220可在半导体主体200中延伸深度尺寸222,其比第一阱区216从半导体主体200的顶侧212延伸到半导体主体200中的深度尺寸224小。第二阱区220可在半导体主体200中横向延伸宽度尺寸226,其比第一阱区216在半导体主体200中横向延伸的宽度尺寸228小。

[0046] 栅极电介质234设置在半导体主体200的顶侧212上。栅极电介质234包括非传导材料(例如二氧化硅或者不传传导流的另外某个材料)或者由其形成。栅极电介质234横向延伸于半导体主体200的顶侧212的相对端236、238之间。在所示实施例中,相对端236、238直接设置在第一和第二阱区216、220上方,使得栅极氧化物234是延伸于分隔区218的连续主体。

[0047] 栅极电介质234按照厚度尺寸240、242安排,以形成不同段244、246、248。栅极氧化物234可以是连续主体,使得氧化物段244、246、248相互接合而不是相互分隔。外段244、248设置在内氧化物段246的相对侧上。第一外氧化物段244从第一端236延伸到内氧化物段246,以及第二外氧化物段248从第二端238延伸到内氧化物段246。备选地,可提供具有一个或多个其他厚度尺寸的一个或多个其他氧化物段。

[0048] 在所示实施例中,内氧化物段246设置在分隔区218(JFET)上方。例如,内氧化物段246可以没有延伸到第一阱区216之上,而是可限制到分隔区218上方的区域。外氧化物段244、248可设置在第一阱区216以及第二阱区220的部分上方。在一个实施例中,内氧化物段246的厚度尺寸242比外氧化物段244、248的厚度尺寸240大。例如,外氧化物段244、248的厚

度尺寸240可以是0.05微米或以下,以及内氧化物段246的厚度尺寸242可大于0.05微米。在一个实施例中,厚度尺寸242可以是0.1微米或以上。在另一个实施例中,厚度尺寸242可以是0.25微米或以上。备选地,厚度尺寸242可以是0.55微米或以上。内氧化物段246的厚度尺寸242能够基于外氧化物段244、248的厚度尺寸240。例如,厚度尺寸242可以是厚度尺寸240的整数倍,例如2、5、11或其他整数倍。备选地,厚度尺寸242可以是厚度尺寸240的非整数倍。

[0049] 传导栅极触点250设置在栅极氧化物234上方。栅极触点250可由一个或多个传导材料(例如金属、金属合金、多晶硅等)或者包括一个或多个传导材料。栅极触点250通过栅极氧化物234与半导体主体200分隔。栅极氧化物234防止栅极触点250与半导体主体200接合。在所示实施例中,栅极触点250连续地延伸于整个栅极氧化物234。备选地,栅极触点250可以仅延伸于栅极氧化物234的一部分。栅极触点250与传导栅极端子252传导地耦合。栅极端子252可与控制单元108(图1所示)传导地耦合,使得控制单元108能够控制电栅极信号施加到栅极端子252的时间,如以下所述。

[0050] 在操作中,源极端子202能够与电源102(图1所示)传导地耦合,并且漏极端子204能够与负载104(图1所示)传导地耦合。当没有栅极信号施加到栅极端子252或者具有比IGFET装置106的导通电压(阈值电压)要低的电压施加到栅极端子252时,IGFET装置106处于阻挡或者非传导状态。当处于阻挡或者非传导状态时,没有显著电流流经源极端子202和漏极端子204。控制单元108(图1所示)能够控制成向栅极端子252施加具有满足或超过IGFET装置106的阈值电压的栅极信号。当施加这种栅极信号时,半导体主体200中的负电荷载流子(例如电子)的较高浓度被吸引到FET沟道区、即沿半导体表面的216的部分。负电荷载流子可从第二阱区220来吸引。

[0051] 负电荷载流子的较高浓度形成沟道区中沿第一阱区216与第二阱区220之间的半导体主体200的表面的逆转层。逆转层在第一阱表面216与栅极电介质234之间的界面处或附近提供半导体主体200中的传导沟道。如果栅极信号具有充分高的电压,则所形成的传导沟道将允许施加到源极端子202的电流流经源极触点210和半导体主体200(例如经过传导沟道),以及经过漏极触点250流动到漏极端子204。当例如通过将栅极信号的电压降低到低于IGFET装置106的阈值电压去除栅极信号时,不再形成传导沟道,并且电流可能无法经过半导体主体200流动到漏极端子204。栅极信号的施加能够用来按照这种方式控制电流从电源102(图1所示)到负载104(图1所示)的流动。

[0052] 在一个实施例中,掺杂表面区域230的单独存在可能不增加SiC和SiO₂界面处的峰值电场。能够消除掺杂表面区域230,并且相反条件的JFET区中的净浓度可以是重要的,因为在栅极氧化物下(例如在氧化物半导体界面处)的峰值电场处于JFET区的中间。

[0053] 图3是按照一个示例的IGFET装置300的截面图。与图2所示的IGFET装置106相似,IGFET装置300包括半导体主体302、第一阱区304、第二阱区306、栅极氧化物310和传导栅极触点250。只有IGFET装置300的一部分在图3中示出。例如,IGFET装置300还可包括另一个第一阱区304和/或第二阱区306,并且可包括与层214(图2所示)相似的掺杂层、与漏极206(图2所示)相似的漏极以及与源极触点210(图2所示)相似的触点。

[0054] 在所示示例中,IGFET装置300中的栅极氧化物310具有0.05微米的恒定厚度尺寸322。例如,栅极氧化物310可能没有与图2所示的IGFET装置106相似的较厚内段和较薄外

段。

[0055] 继续参照图3,图4示出图3所示IGFET装置300中的电场与位置之间的关系400、402,其中该装置工作在阻挡(关断)状态。沿着水平轴314(其表示离IGFET装置300的左侧的横向距离)和垂直轴404(其表示单位为每厘米100000伏特(例如 $(V/cm^3) \times 10^6$)的电场的幅值)来示出关系400、402。示出表示离IGFET装置300的左侧的距离的水平轴314以及表示离半导体主体302的顶侧318的距离的垂直轴316。

[0056] 关系400表示半导体主体302中在水平轴314的不同横向距离的电场的幅值。关系402表示栅极氧化物310中在水平轴314的不同横向距离的电场的幅值。如图4所示,栅极氧化物310中的电场比半导体主体302中从IGFET装置300的左侧一直到第一阱区304与半导体主体302的其余部分的横向距离(例如在大约3.05微米处)小。在比这个界面大的横向距离处,栅极氧化物310中的电场更大。在模型中,结果示出栅极氧化物402中的电场接近 $4020000 V/cm^3$ 的值(例如在5.08微米或以上的横向距离处)。

[0057] 图5、图7和图9示出按照附加示例的IGFET装置500、700、900的截面图。与图2所示的IGFET装置106相似,IGFET装置500、700、900包括半导体主体502、702和902、第一阱区504、704和904、第二阱区506、706和906、栅极氧化物510、710和910以及传导触点512、712和912。只有IGFET装置500、700、900的部分在图5、图7和图9中示出。例如,IGFET装置500、700、900还可包括附加第一阱区504、704、904和/或第二阱区506、706、906,并且可包括与层214(图2所示)相似的掺杂层、与阴极206(图2所示)相似的阴极以及与源极触点210(图2所示)相似的触点。

[0058] 栅极氧化物510、710、910具有与图2所示栅极氧化物234相似的形状。例如,栅极氧化物510、710、910具有比栅极氧化物510、710、910的其他段(例如外段)要厚的内段514、714、914。在所示实施例中,栅极氧化物510、710、910在内段514、714、914中具有分别为0.1微米、0.25微米和0.55微米的厚度尺寸516、716、916。备选地,可使用其他厚度尺寸516、716、916。

[0059] 在图5、图7和图9中示出表示离IGFET装置500、700、900的左侧的距离的水平轴314以及表示离半导体主体502、702、900的顶侧的距离的垂直轴316。

[0060] 继续参照图5、图7和图9,图6、图8和图10分别示出图5、图7和图9所示的IGFET装置500、700、900中的电场与位置之间的关系。例如,图6示出IGFET装置500的关系600、602,图8示出IGFET装置700的关系800、802,以及图10示出IGFET装置900的关系1000、1002。

[0061] 沿着水平轴314(其表示离对应IGFET装置的左侧的横向距离)和垂直轴404(其表示单位为每厘米100000伏特(例如 $(V/cm^3) \times 10^6$)的电场的幅值)来示出图6、图8和图10所示的关系。

[0062] 关系600、800、1000表示半导体主体502、702、902中在水平轴314的不同横向距离的电场的幅值。关系602、802、1002表示栅极氧化物510、710、910中在水平轴314的不同横向距离的电场的幅值。如图4、图6、图8和图10所示,栅极氧化物310、510、710、910中的电场随栅极氧化物的内段的增加厚度尺寸而降低。栅极氧化物310中的电场接近 $4020000 V/cm^3$ 的值,栅极氧化物510中的电场接近 $4000000 V/cm^3$ 的值,栅极氧化物710中的电场接近 $3040000 V/cm^3$ 的值,以及栅极氧化物910中的电场接近刚好超过 $2250000 V/cm^3$ 的值。

[0063] 如上所述,与栅极氧化物310、510、710、910的内段关联的厚度尺寸322、516、716、

916分别是0.05微米、0.1微米、0.25微米和0.55微米。栅极氧化物中的电场的其他降低可采用内段的其他厚度尺寸来实现。例如,栅极氧化物的内段的厚度尺寸可增加到0.4微米,使得栅极氧化物中的电场接近 3750000 V/cm^3 的值。因此,在一个实施例中,当第一阱区中的掺杂剂浓度增加和/或掺杂表面区域相对于常规IGFET装置设置在IGFET装置中时,如上所述,增加IGFET装置中的栅极氧化物的内段的厚度尺寸能够引起栅极氧化物中的降低电场。又如如上所述,降低栅极氧化物中的电场能够增加IGFET装置的有用寿命或使用期限。

[0064] 图12至图16示出JFET区域之上越来越厚的氧化物对6.5 kV的氧化物电场的影响。图12A、图13A、图14A、图15A和图16A示出具有JFET区之上的不同氧化物厚度($t_{\text{JFET ox}}$)的IGFET装置的不同实施例的截面图。图12B、图13B、图14B、图15B和图16B示出沿对应图12A、图13A、图14A、图15A和图16A所示装置的SiC-SiO₂界面的电场。图12A中的JFET区之上的氧化物厚度在图13A中是0.05 μm 、0.1 μm 、在图14A中是0.15 μm 、在图15A中是0.25 μm 以及在图16A中是0.55 μm 。较厚的氧化物降低中心电场,但是以较薄氧化物部分与较厚氧化物部分之间的过渡边缘处的电场为代价。

[0065] 图17至图20示出氧化物锥角和氧化物厚度的影响,同时将电场保持为低于4.0 MV/cm。图17A、图18A、图19A和图20A示出具有不同氧化物锥角的IGFET装置的不同实施例的截面图。JFET区之上的氧化物厚度($t_{\text{JFET ox}}$)在图17A、图18A和图19A中是0.55 μm ,以及在图20A中是0.2 μm 。氧化物锥角在图17A中大约为90度,在图18A和图20A中大约为45度,以及在图19A中大约为17度。在另一个实施例中,氧化物锥角可以在75与105度之间、在30与50度之间或者在10与30度之间。

[0066] 图17B、图18B、图19B和图20B示出沿对应图17A、图18A、图19A和图20A所示装置的SiC-SiO₂界面的电场。在一个实施例中,图18A和图18B示出氧化物的厚度和锥角的进一步优化,其中6度锥度提供一个实施例中的改进解决方案。

[0067] SiO₂中的电场能够通过将JFET区上方的氧化物的厚度增加到如图12至16所示一直到0.5 μm 有效地降低,同时通过没有传导沟道之上的栅极氧化物的任何较厚部分(p阱区)不损害装置的通态电阻。应当注意,尽管电场在JFET区的中心降低到低于3MV/cm,但是其值能够因场聚集(field crowding)而在厚氧化物区的角附近一直增加到6MV/cm。这会超过电场小于或等于4MV/cm的可靠性要求。氧化物厚度的附加优化指示SiO₂的0.15 μm 在JFET区的中心以及在厚氧化物区的角附近提供相同电场值($\sim 3.8\text{MV/cm}$)。

[0068] 在厚氧化物区的角附近的电场的附加抑制能够通过使氧化物倾斜(例如通过提供斜面结构)来得到。如图19A和图19B所示,具有大约17度的角的斜面0.5 μm 氧化物允许角电场从6 MV/cm降低到4.5 MV/cm。氧化物厚度和斜角的进一步优化在图18A和图18B中示出,其中表明斜角能够降低峰值JFET电场,其在非斜面示例的薄-厚氧化物过渡边缘处发生。图14所示的实施例具有小于4.0 MV/cm的电场。

[0069] 图11是用于提供IGFET装置的方法1100的一个实施例的流程图。方法1100可用来创建本文所述IGFET装置的一个或多个,例如图1、图5、图7和图9所示的IGFET装置106、500、700和/或900。虽然本文中参照图2所示的IGFET装置106的组件,但是本论述同样适用于本文所示和所述的其他IGFET装置500、700、900的相似或相同组件。

[0070] 在1102,提供半导体主体。例如,能够提供半导体材料、例如SiC层。备选地,可使用另一种类型的材料。层可以是在衬底上沉积或外延生长的层,或者可作为半导体晶圆来提

供。在一个实施例中,例如采用n型掺杂剂对半导体主体进行掺杂。半导体主体可经过较高掺杂,使得半导体主体是n掺杂主体。备选地,可使用p型掺杂剂。

[0071] 在一个实施例中,半导体主体可包括在半导体主体一侧(其处将接合传导漏极)处或附近的掺杂层。例如,通常在重掺杂衬底214上外延生长主体层200时,形成层214。

[0072] 在1104,第一阱区在半导体主体中形成。例如,第一阱区216可通过对半导体主体200的对应体积进行掺杂来形成。在一个实施例中,通过采用可去除掩模(例如使用光刻)覆盖半导体主体200的体积,并且将掺杂剂扩散和/或离子植入第一阱区216中,来形成第一阱区216。然后从半导体主体200去除可去除掩模。第一阱区216可使用与半导体主体200中的掺杂剂带相反电荷的掺杂剂来形成。例如,在半导体主体200掺杂有n型掺杂剂的情况下,第一阱区216可使用p型掺杂剂来形成。备选地,在半导体主体200掺杂有p型掺杂剂的情况下,第一阱区216可使用n型掺杂剂来形成。

[0073] 在一个实施例中,第一阱区216可比半导体主体200明显更重地掺杂。当第一阱区216具有比半导体主体200中的掺杂剂浓度大至少一个数量级(例如10倍)的掺杂剂浓度时,第一阱区216可以更重地掺杂。备选地,当第一阱区216具有比半导体主体200中的掺杂剂浓度大至少两个数量级(例如100倍)的掺杂剂浓度时,第一阱区216可以更重地掺杂。在另一个实施例中,当第一阱区216具有比半导体主体200中的掺杂剂浓度大至少三个数量级(例如1000倍)的掺杂剂浓度时,第一阱区216可以更重地掺杂。但是,可使用掺杂剂浓度的差的其他不同数量级。

[0074] 在1106,第二阱区在半导体主体中形成。例如,第二阱区220可通过掺杂第一阱区216内部的半导体主体200的对应体积来形成。能够通过采用可去除掩模(例如使用光刻)覆盖半导体主体200的体积,并且将掺杂剂扩散和/或离子植入第二阱区220中,来形成第二阱区220。然后从半导体主体200去除可去除掩模。第二阱区220可使用与第一半导体区216中的掺杂剂带相反电荷的掺杂剂来形成。例如,在第一阱区216掺杂有p型掺杂剂的情况下,第二阱区220可使用n型掺杂剂来形成。备选地,在第一阱区216掺杂有n型掺杂剂的情况下,第二阱区220可使用p型掺杂剂来形成。

[0075] 在1110,将栅极电介质生长或沉积(或者两者)到半导体主体上。例如,可通过覆盖半导体主体200中栅极氧化物234将不存在的部分(例如使用光刻),并且在半导体主体200的外露部分上生长介电层(例如二氧化硅层),来沉积栅极氧化物234。为了提供栅极氧化物234的较厚内部部分246,可去除掩模可沉积到半导体主体200上,并且在半导体主体200中由掩模暴露的区域上生长较薄部分244、248和内部部分246的第一部分。然后,可去除掩模,并且可提供另一个可去除掩模,其覆盖栅极氧化物234的外部部分244、248,同时暴露内部部分246。然后能够生长栅极氧化物234的内部部分246的其余厚度,并且能够去除掩模。

[0076] 在1112,传导触点沉积到半导体主体上。例如,可提供栅极触点250、源极触点210和漏极触点206。可通过将一个或多个金属、金属合金、多晶硅材料等溅射或沉积到半导体主体200的底侧208,来提供漏极触点206。可通过在半导体主体200上形成可去除掩模(例如使用光刻),并且将一个或多个金属、金属合金、多晶硅材料等溅射或沉积到半导体主体200的顶侧212,来形成源极触点210和/或栅极触点250。然后可以去除可去除掩模。

[0077] 一旦IGFET装置106的制造完成,源极触点210可与电流的源极传导地耦合,漏极触点204可与电力负载传导地耦合,以及栅极触点250能够与控制单元(其控制栅极信号施加

到栅极触点250的时间,如上所述)传导地耦合。

[0078] 要理解,预计以上描述是说明性而不是限制性的。例如,上述实施例(和/或其方面)可相互结合使用。另外,可进行多种修改以使具体情况或材料适合发明主题的理论,而没有背离其范围。虽然本文所述材料的尺寸和类型预计定义发明主题的参数,但是它们完全不是限制性的,而只是示范实施例。通过阅读以上描述,本领域的技术人员将会非常清楚其他许多实施例。因此,本文所述主题的范围应当参照所附权利要求书以及权利要求书涵盖的完整等效范围共同确定。在所附权利要求书中,术语“包括”和“其中”用作相应术语“包含”和“其中”的普通语言等效体。此外,在以下权利要求书中,术语“第一”、“第二”和“第三”等只用作标记,而不是意在对其对象施加数字要求。此外,以下权利要求书的限制并不是按照部件加功能格式编写的,并且不是意在基于35 U.S.C. §112第六节来解释,除非这类权利要求限制明确使用词语“用于…的部件”加上没有其他结构的功能的陈述。

[0079] 本书面描述使用示例来公开包括最佳模式的发明主题的若干实施例,并且还使本领域的技术人员能够实施本文所公开的实施例,包括制作和使用任何装置或系统,以及执行任何结合方法。本主题的专利范围由权利要求书来定义,并且可包括本领域的技术人员想到的其他示例。如果这类其他示例具有与权利要求书的文字语言完全相同的结构元件,或者如果它们包括具有与权利要求书的文字语言的非实质差异的等效结构元件,则它们意在落入权利要求书的范围之内。

[0080] 如本文所使用的、以单数形式所述并且具有数量词“一”或“一个”的元件或步骤应当被理解为并不排除多个所述元件或步骤的情况,除非明确说明了这种排除情况。此外,发明主题的“一个实施例”的提法并不是要被理解为排除也结合了所述特征的附加实施例的存在。此外,除非相反的明确说明,否则,“包括”或“具有”带特定性质的元件或者多个元件的实施例可包括没有那种性质的附加的这类元件。

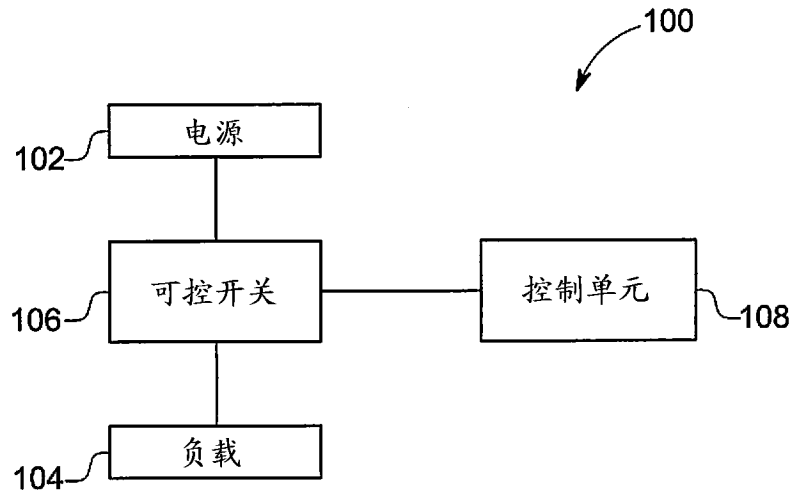


图 1

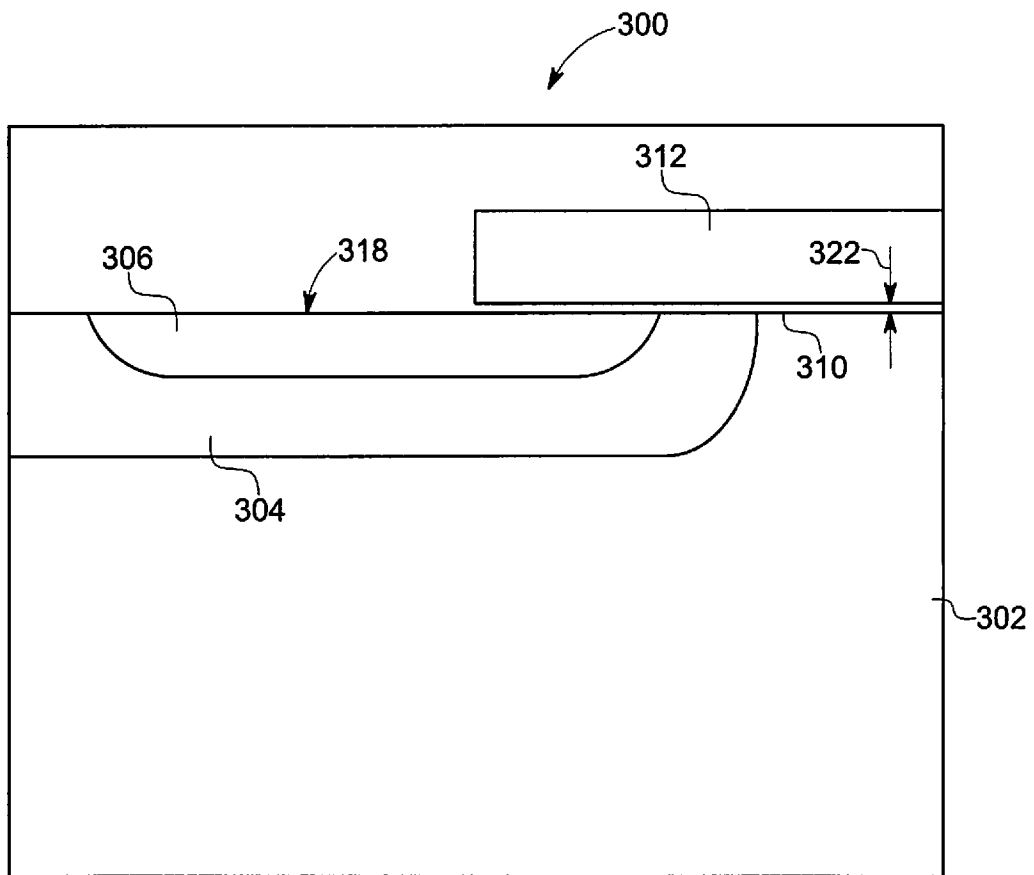


图 3

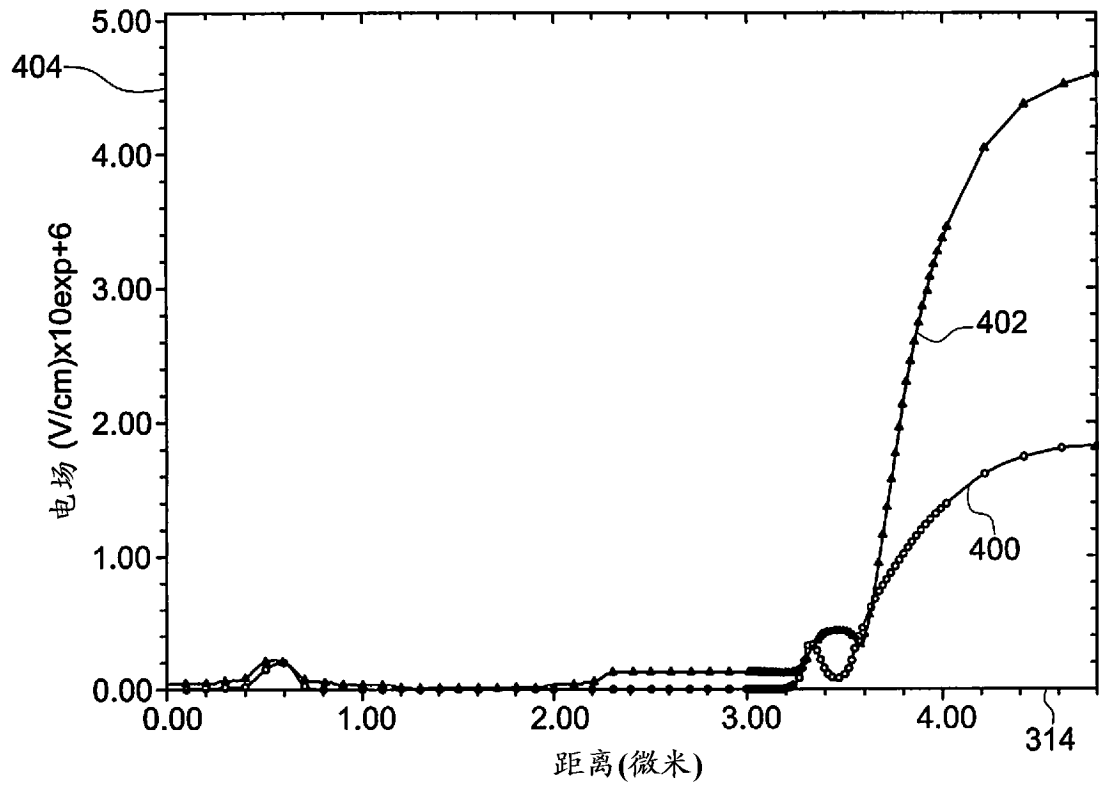


图 4

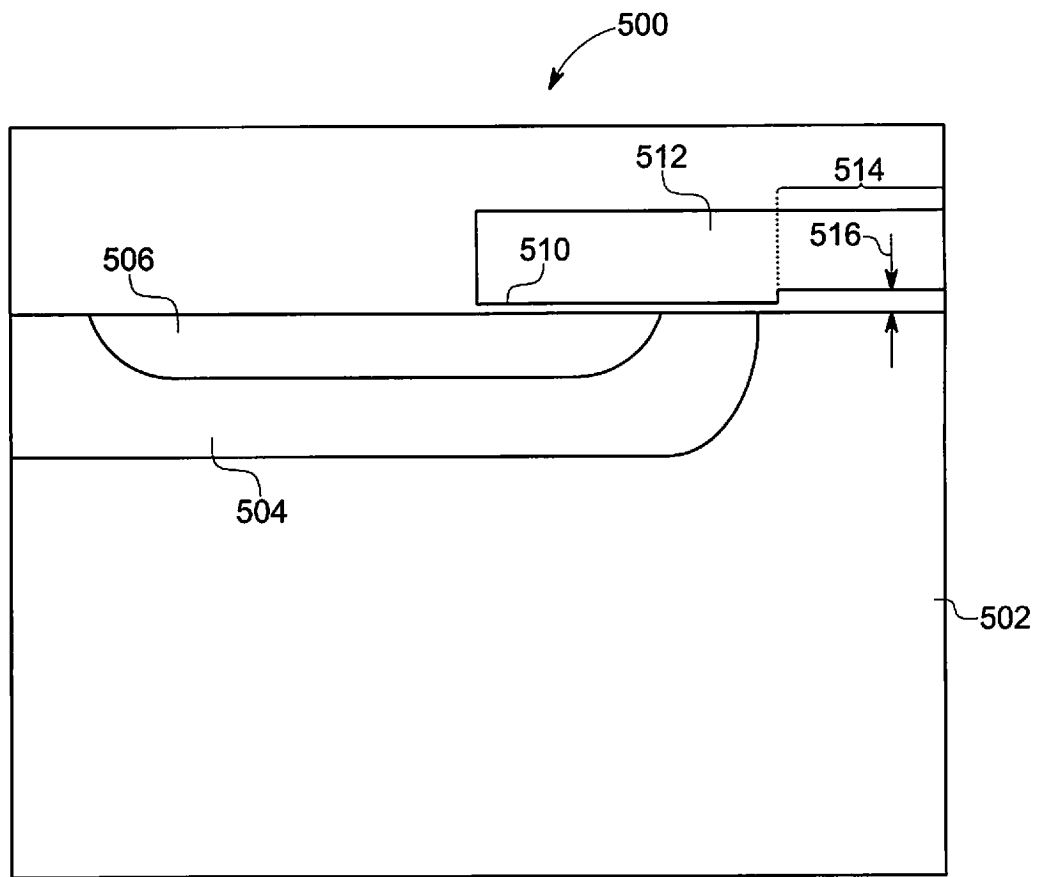


图 5

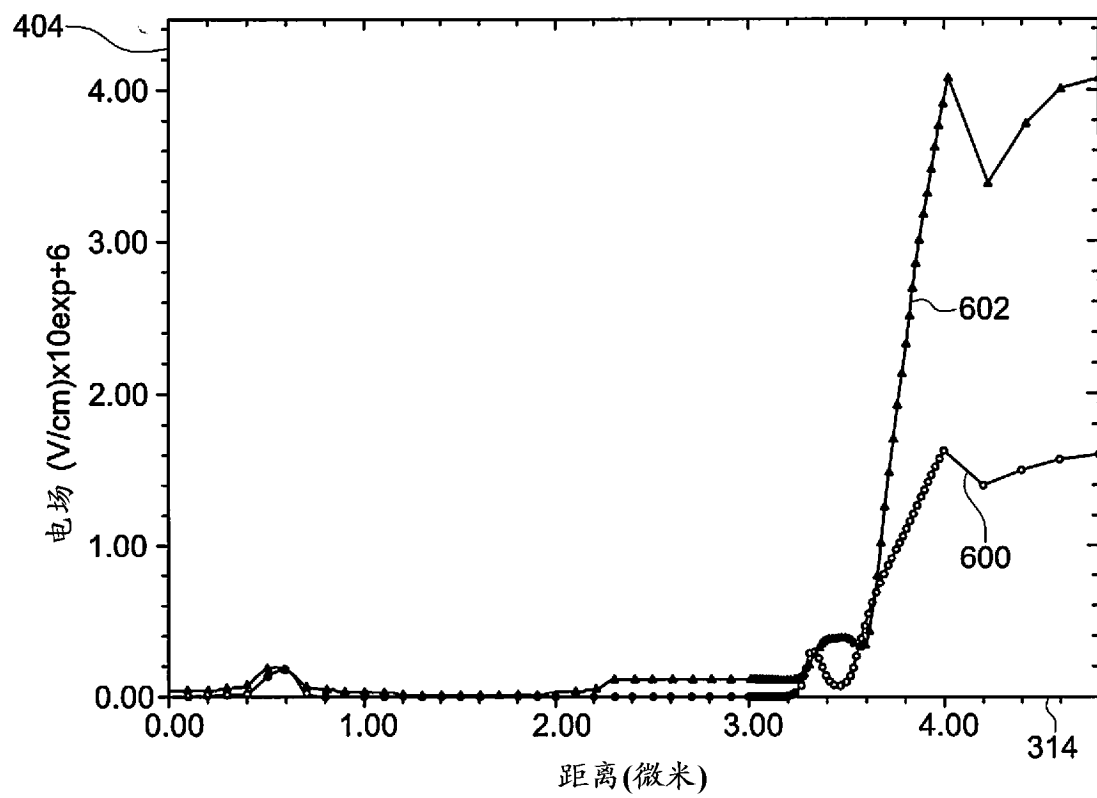


图 6

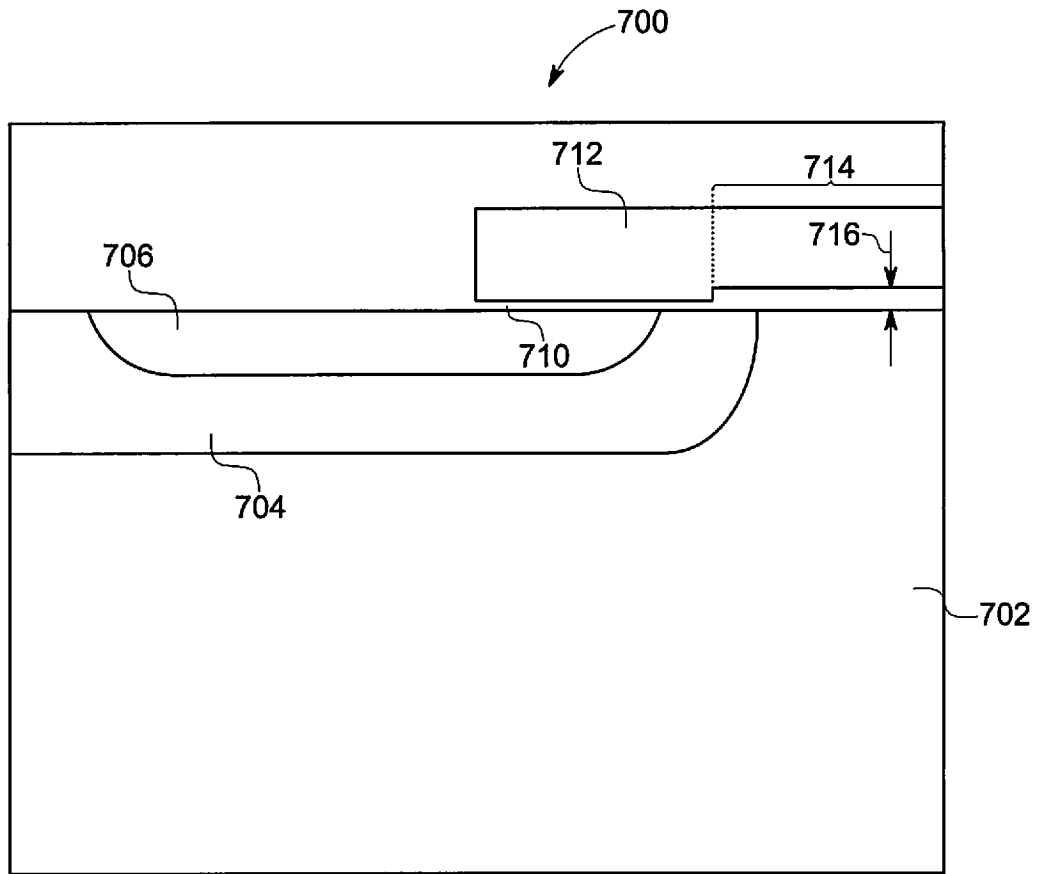


图 7

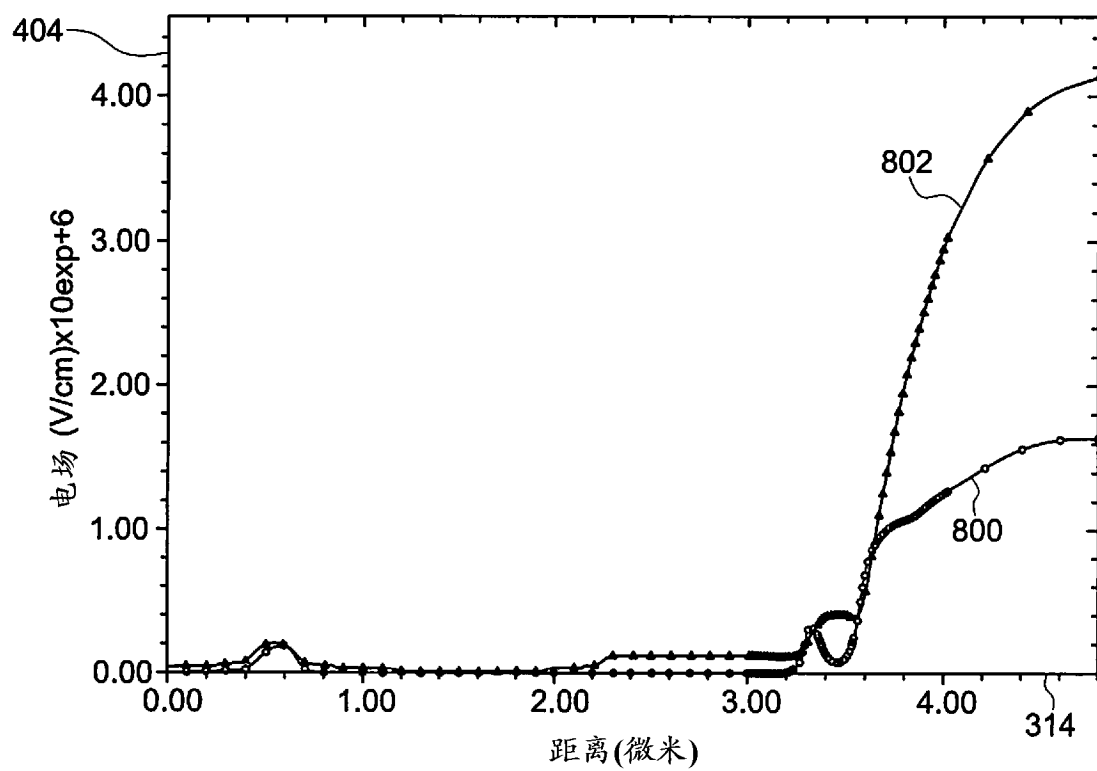


图 8

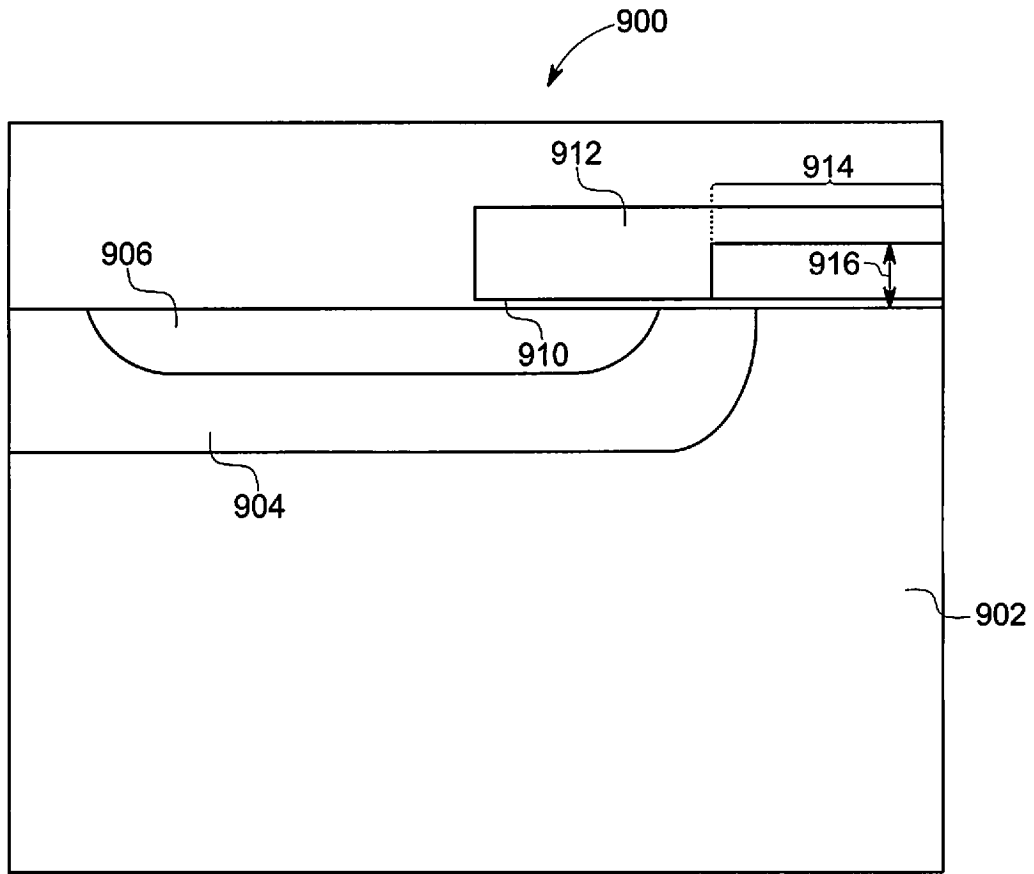


图 9

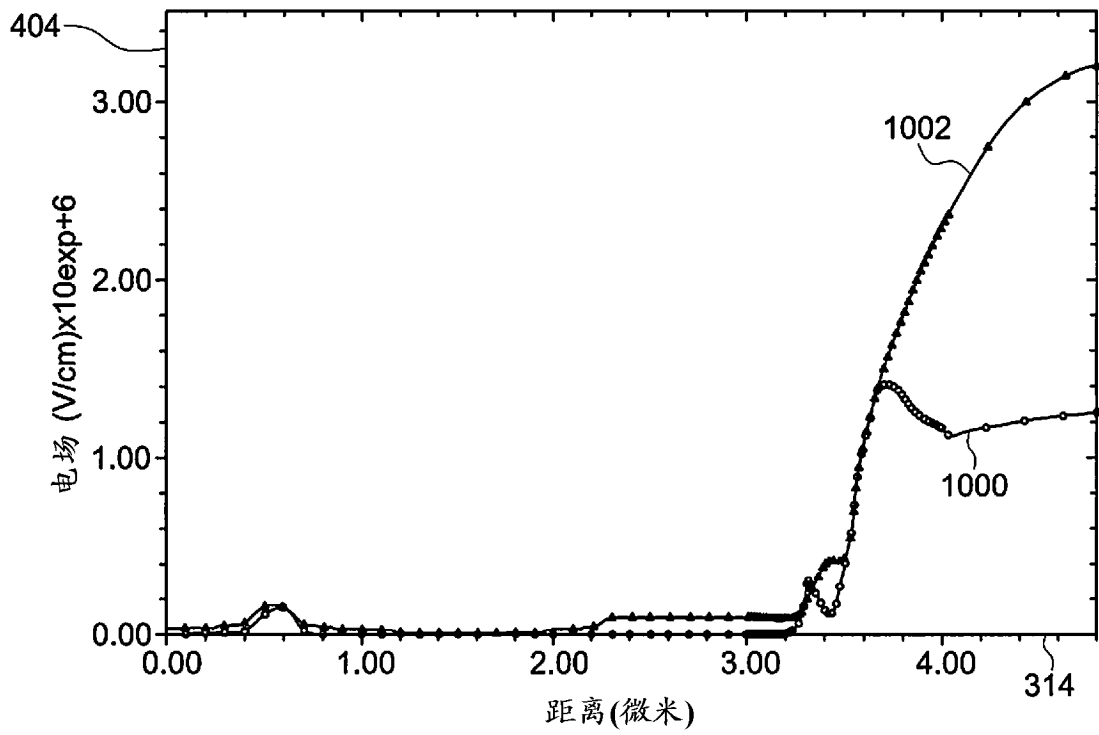


图 10

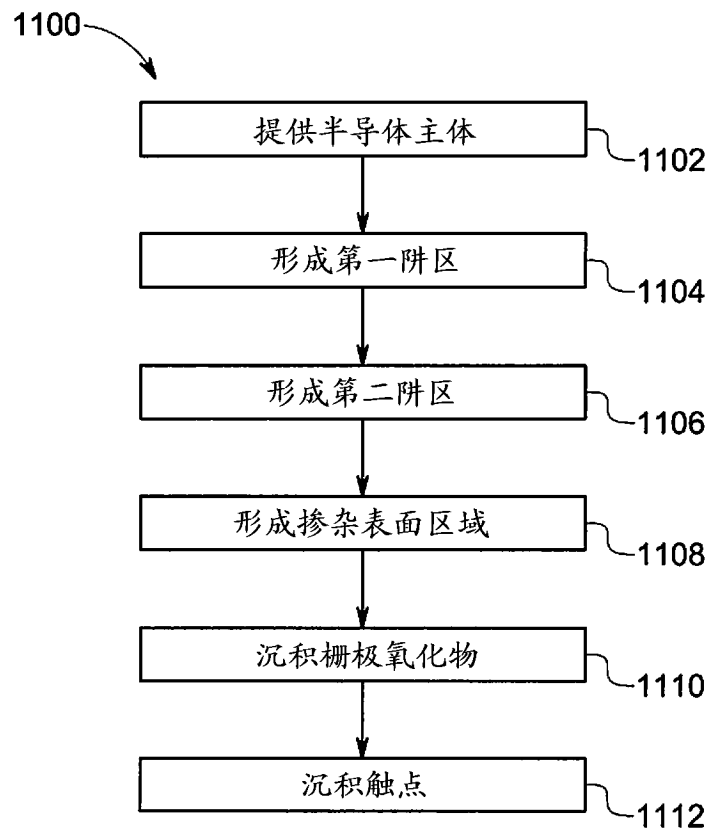


图 11

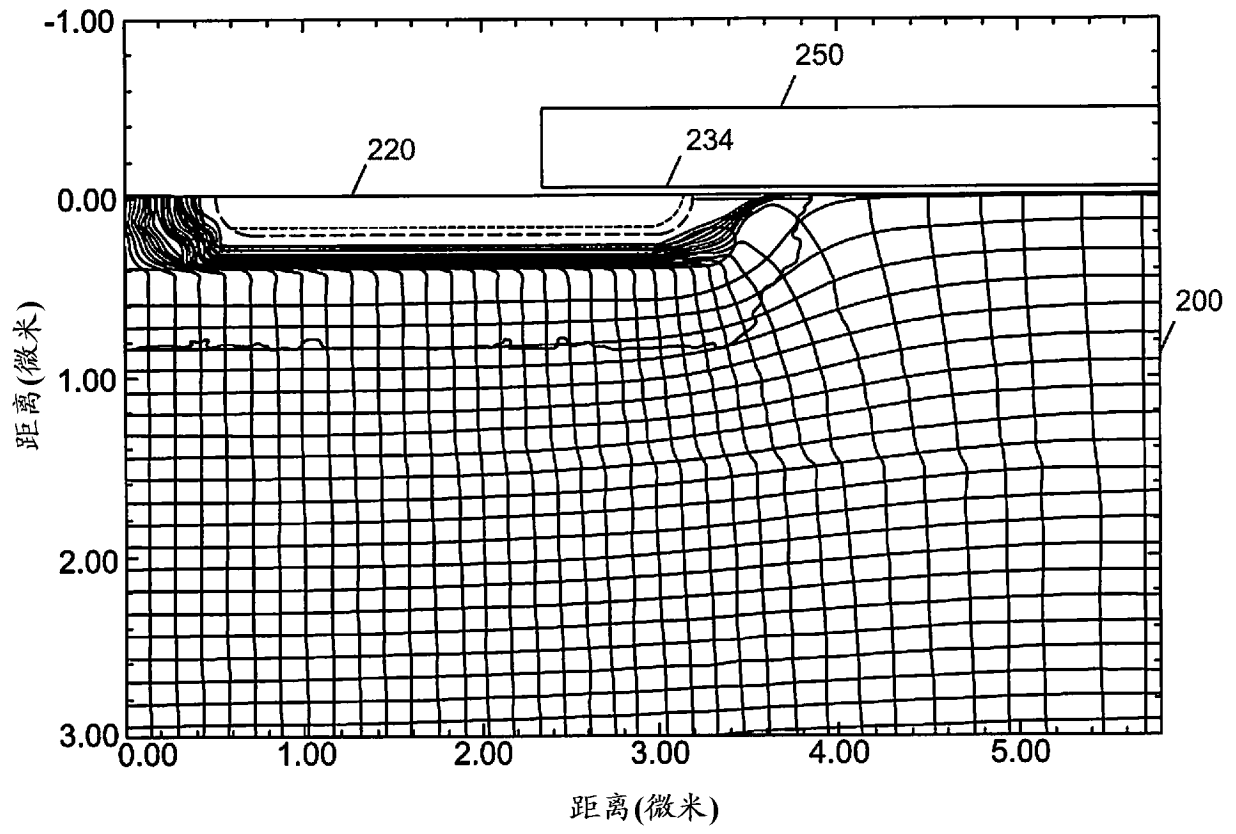


图 12A

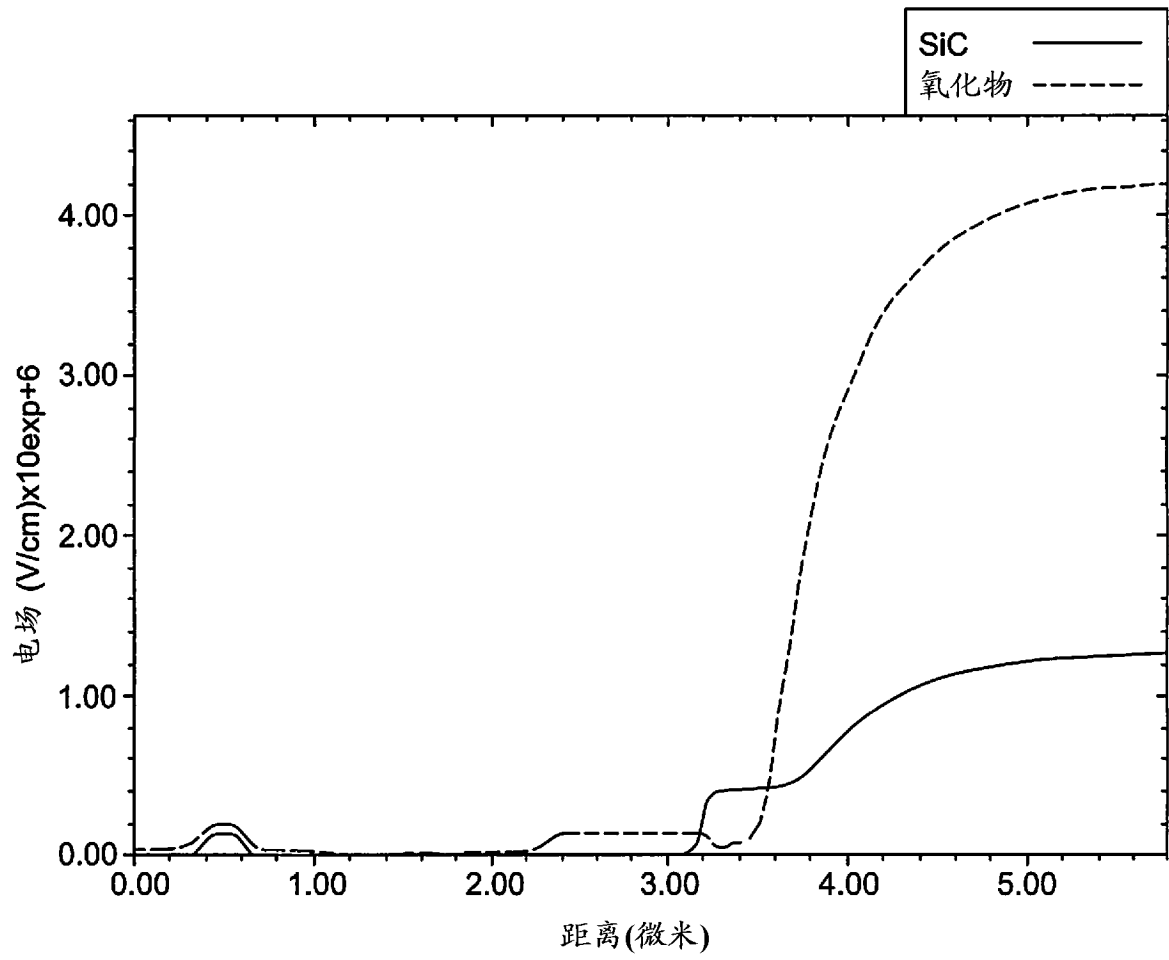


图 12B

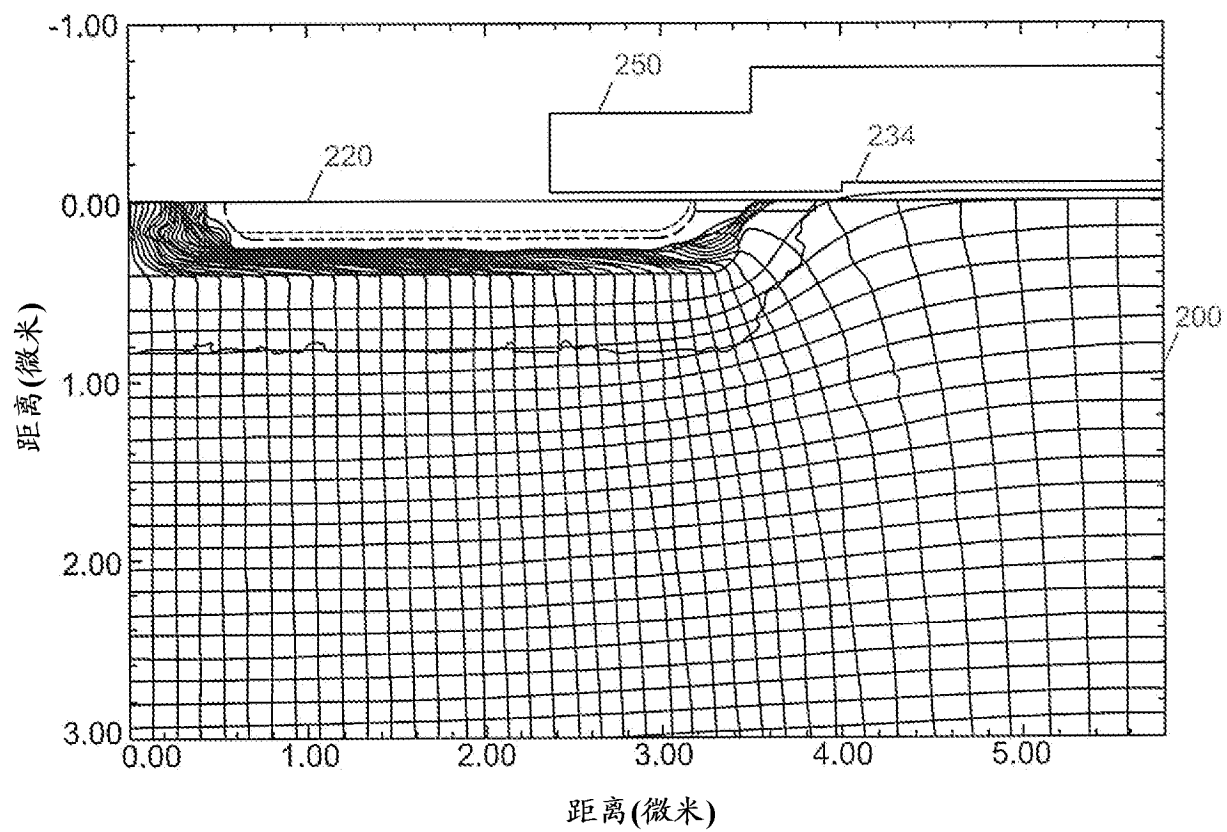


图 13A

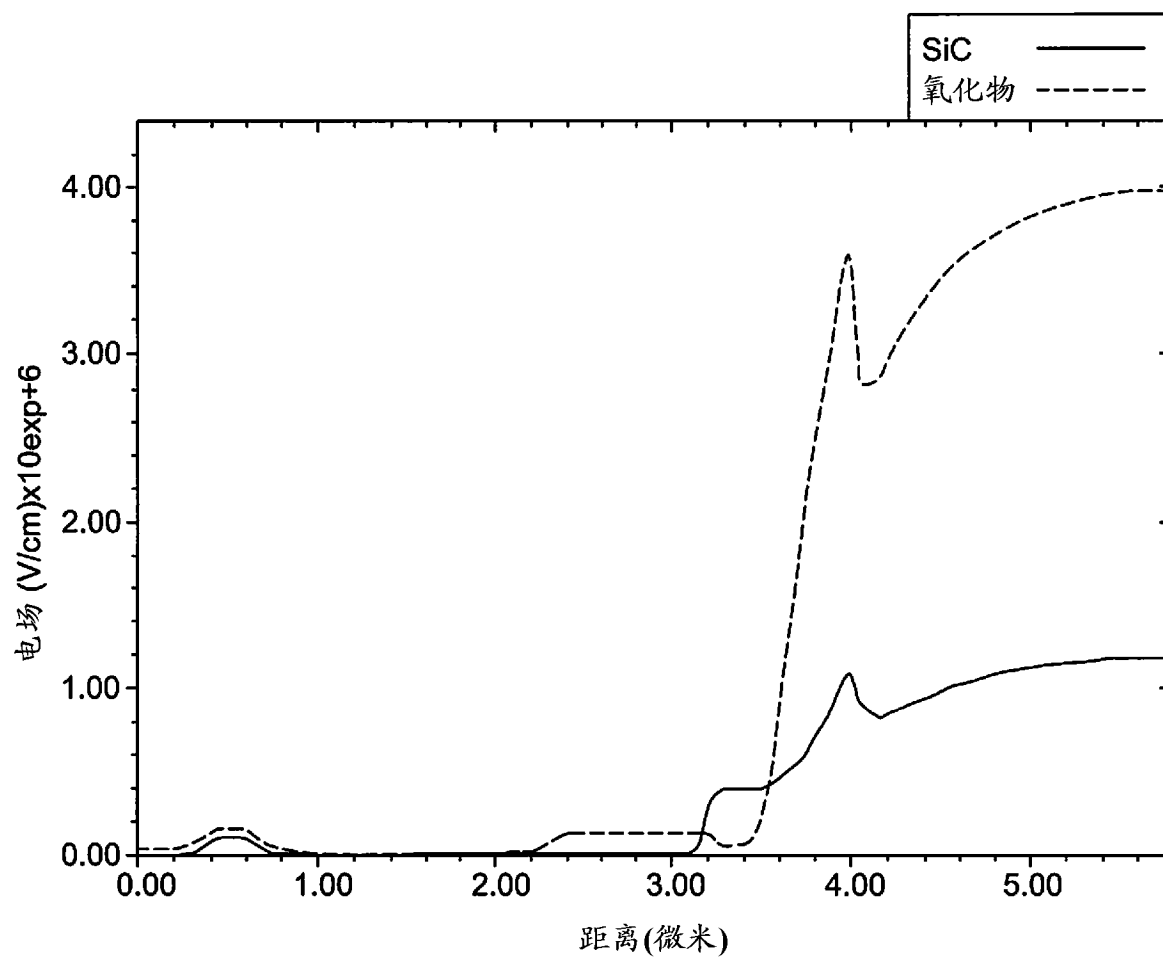


图 13B

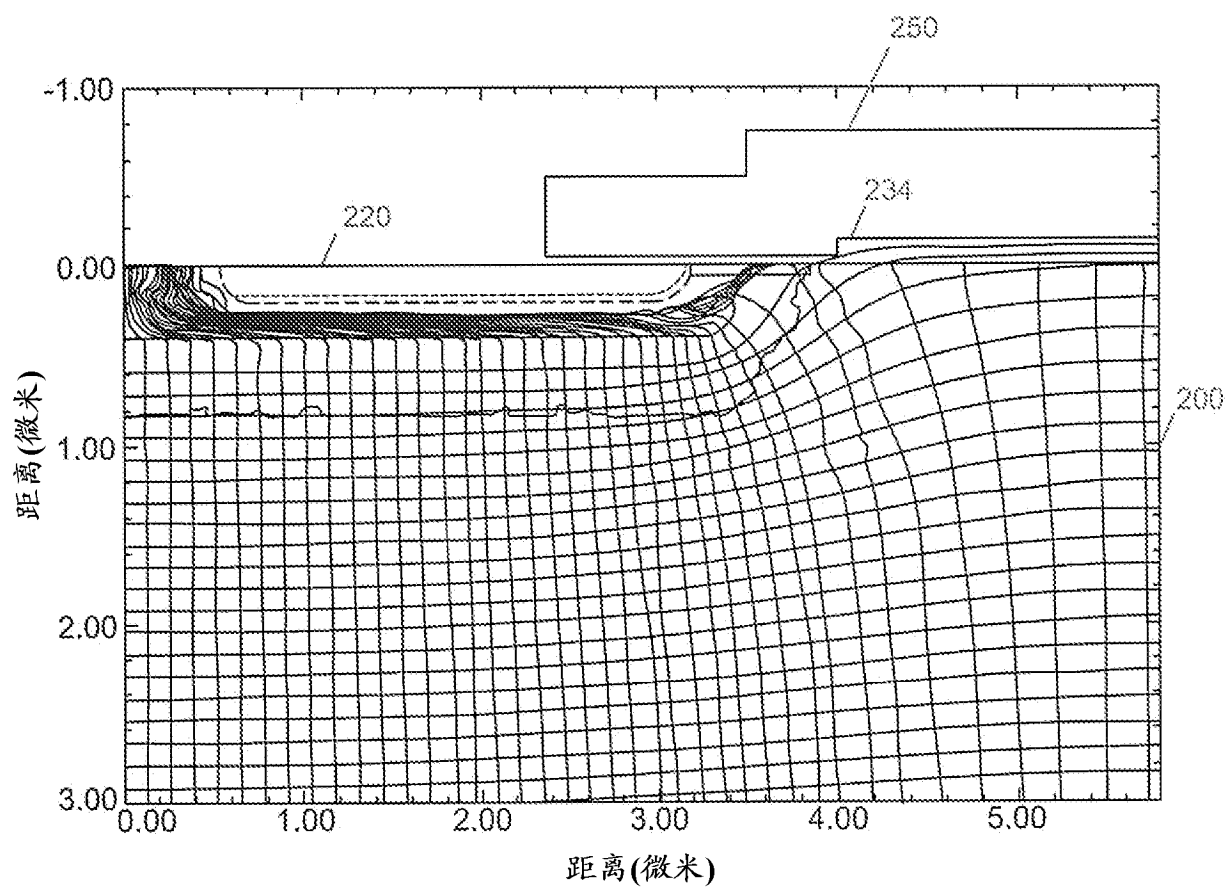


图 14A

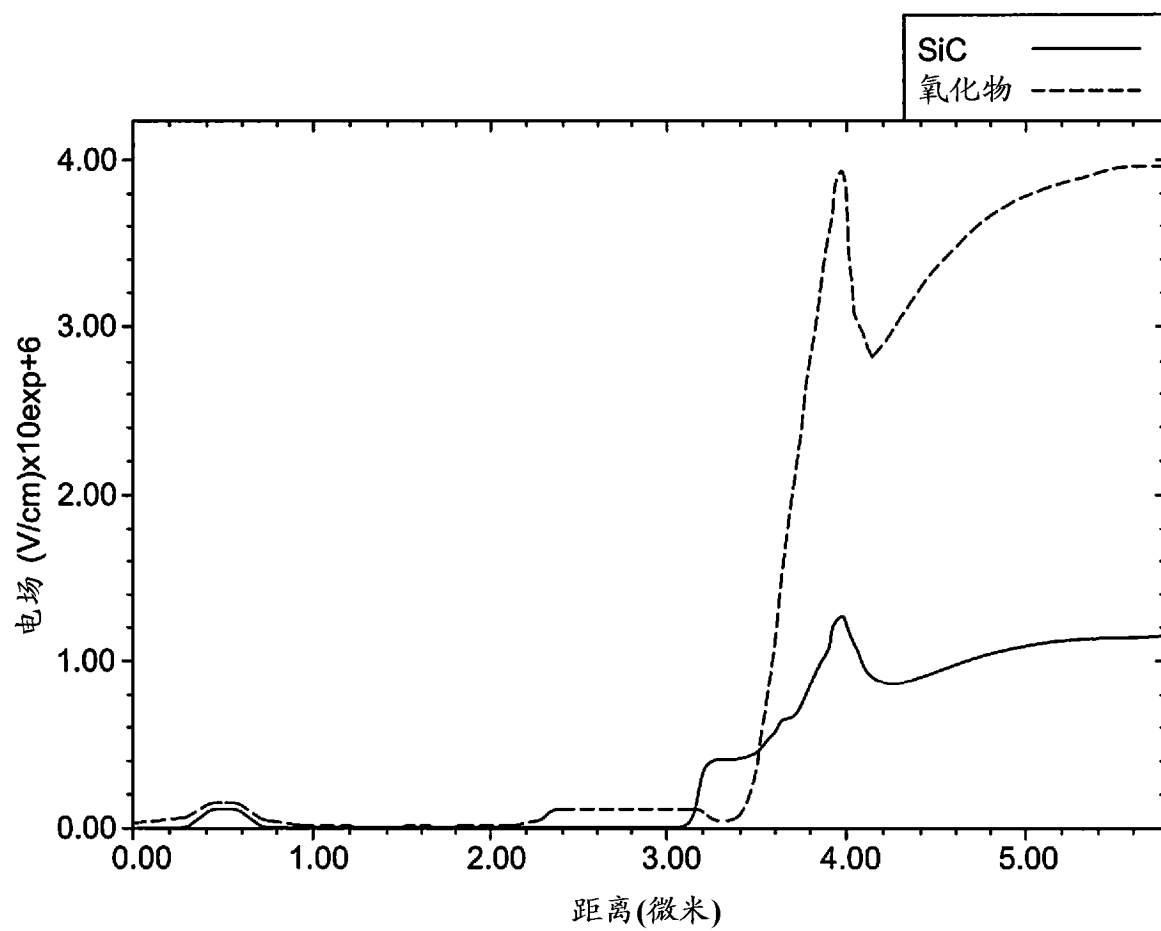


图 14B

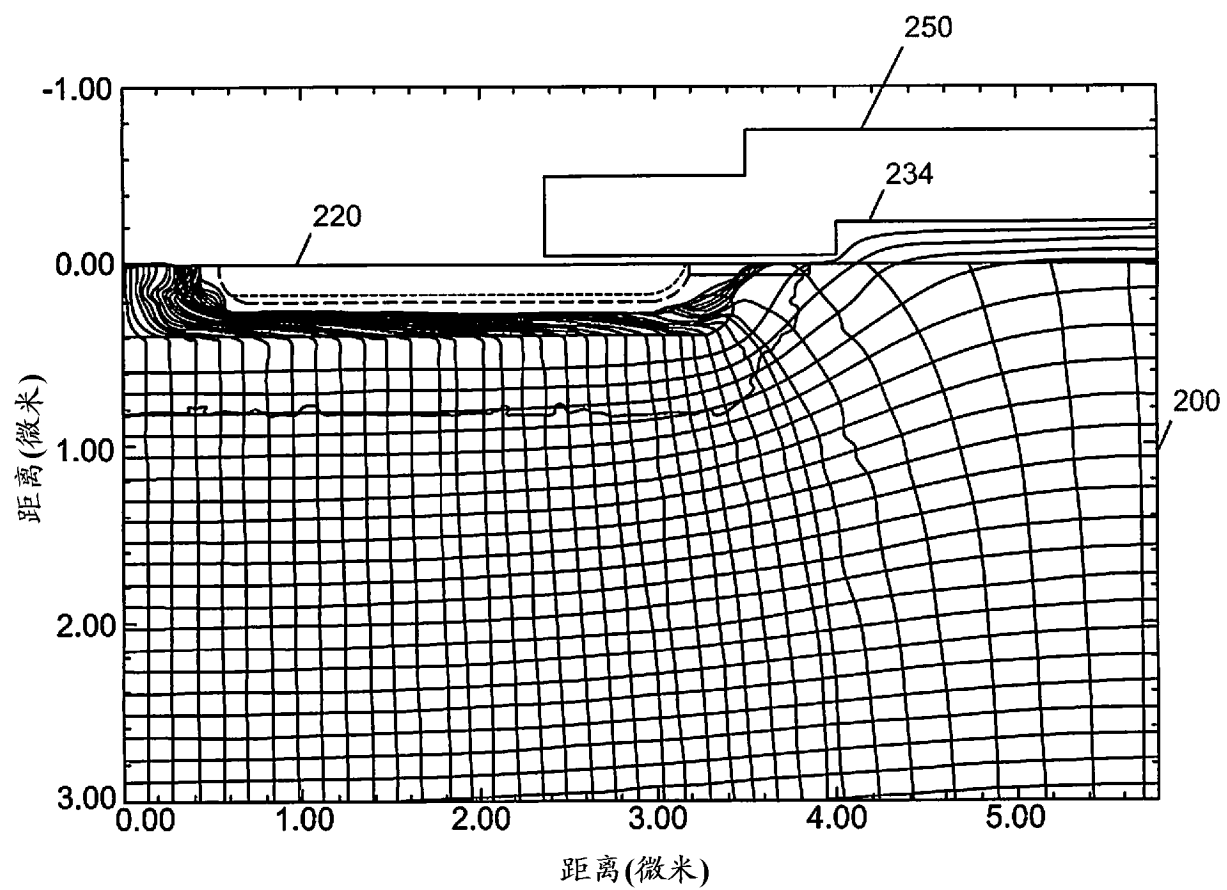


图 15A

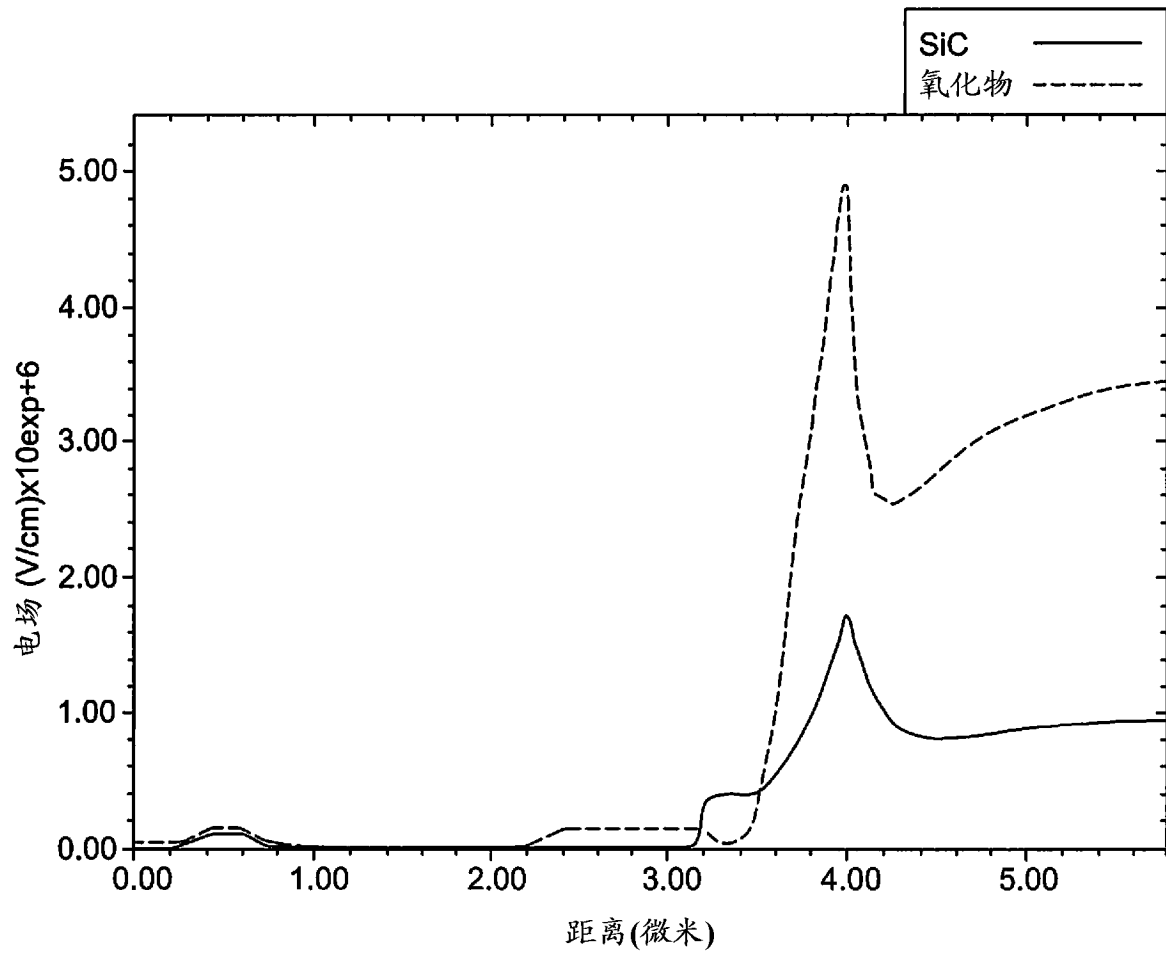


图 15B

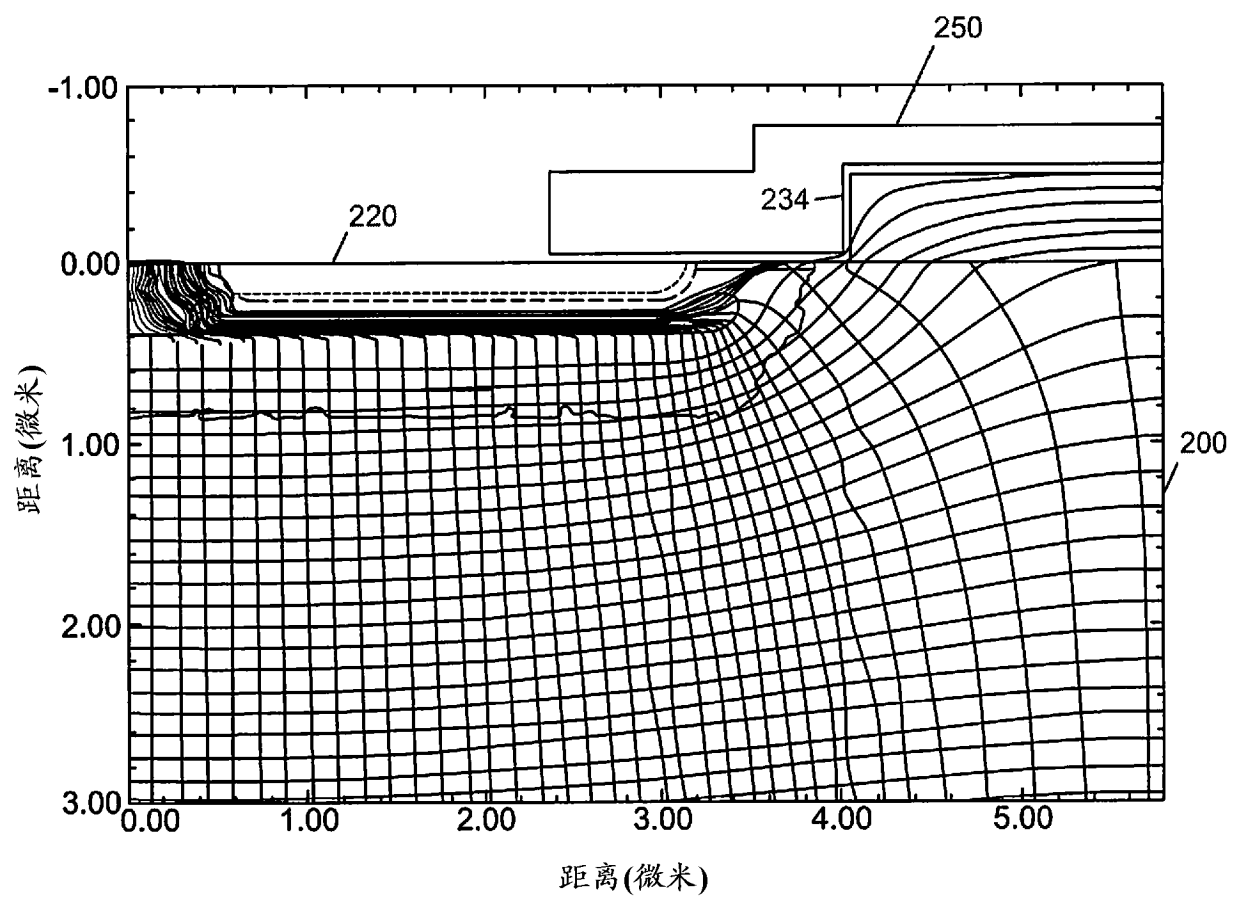


图 16A

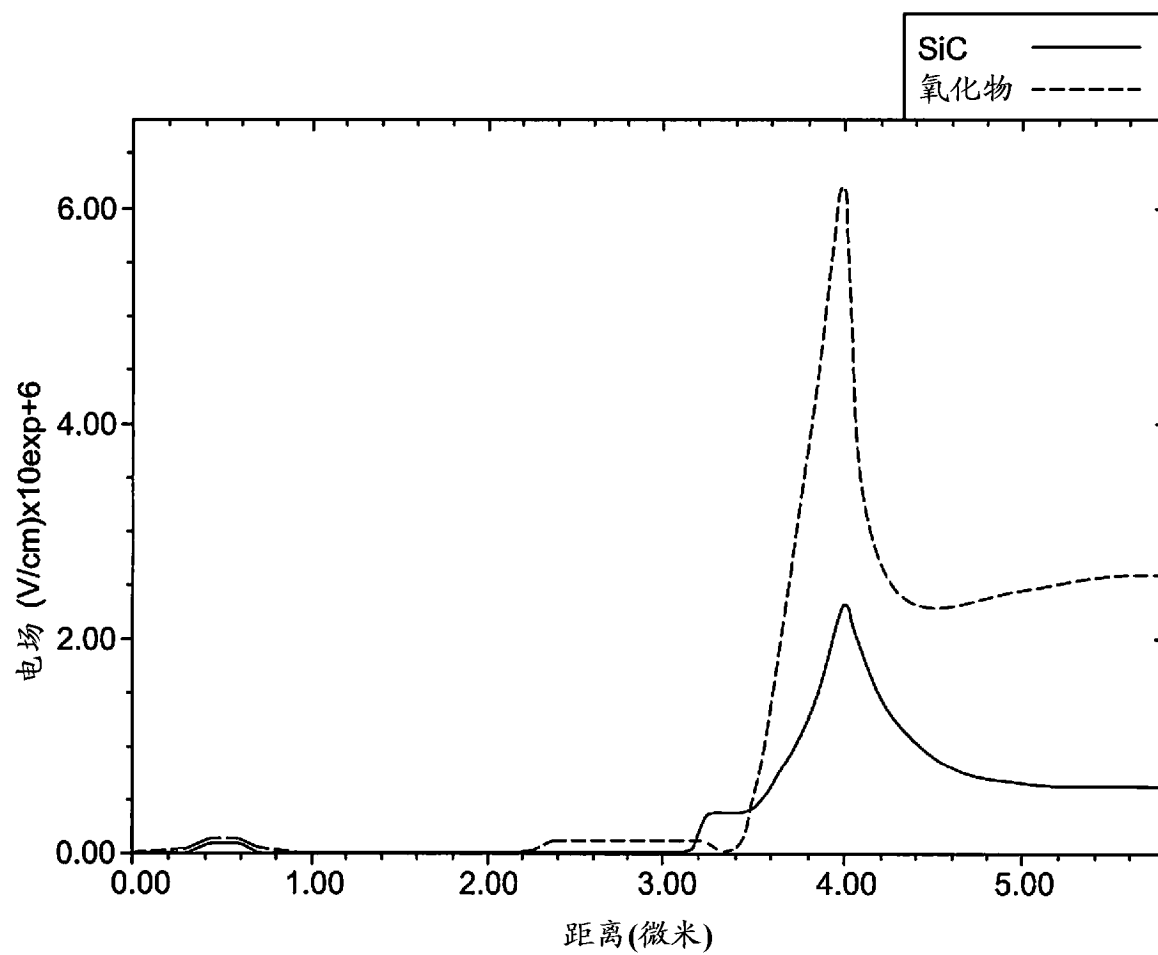


图 16B

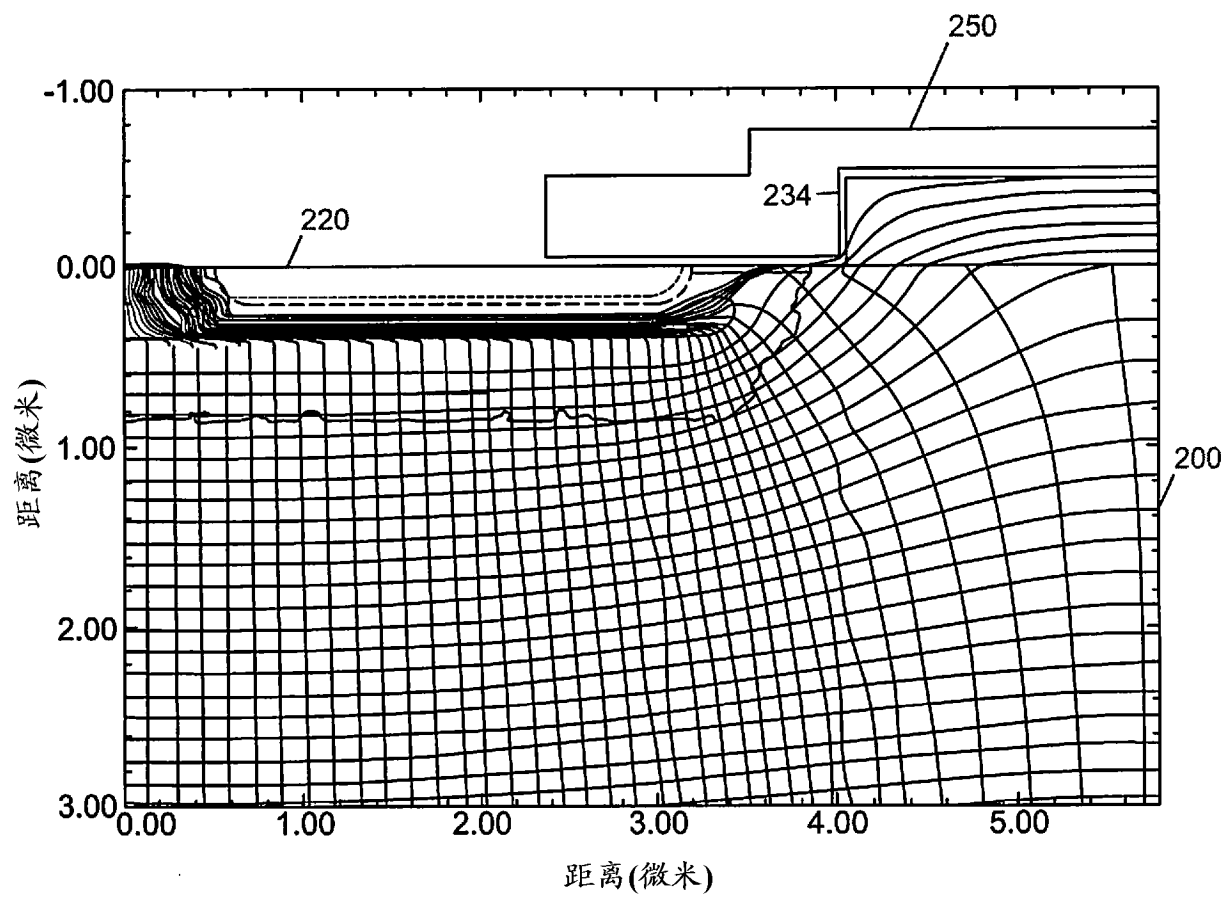


图 17A

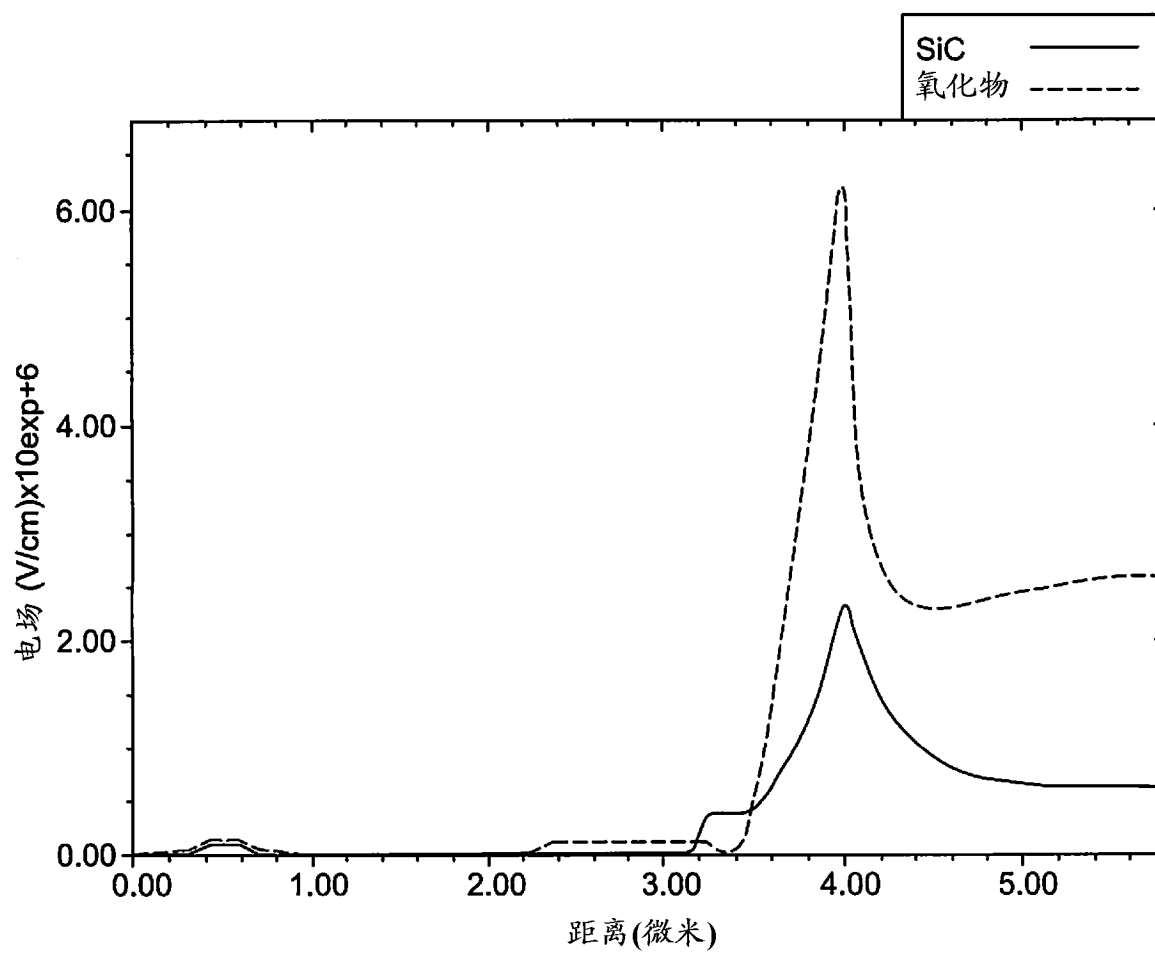


图 17B

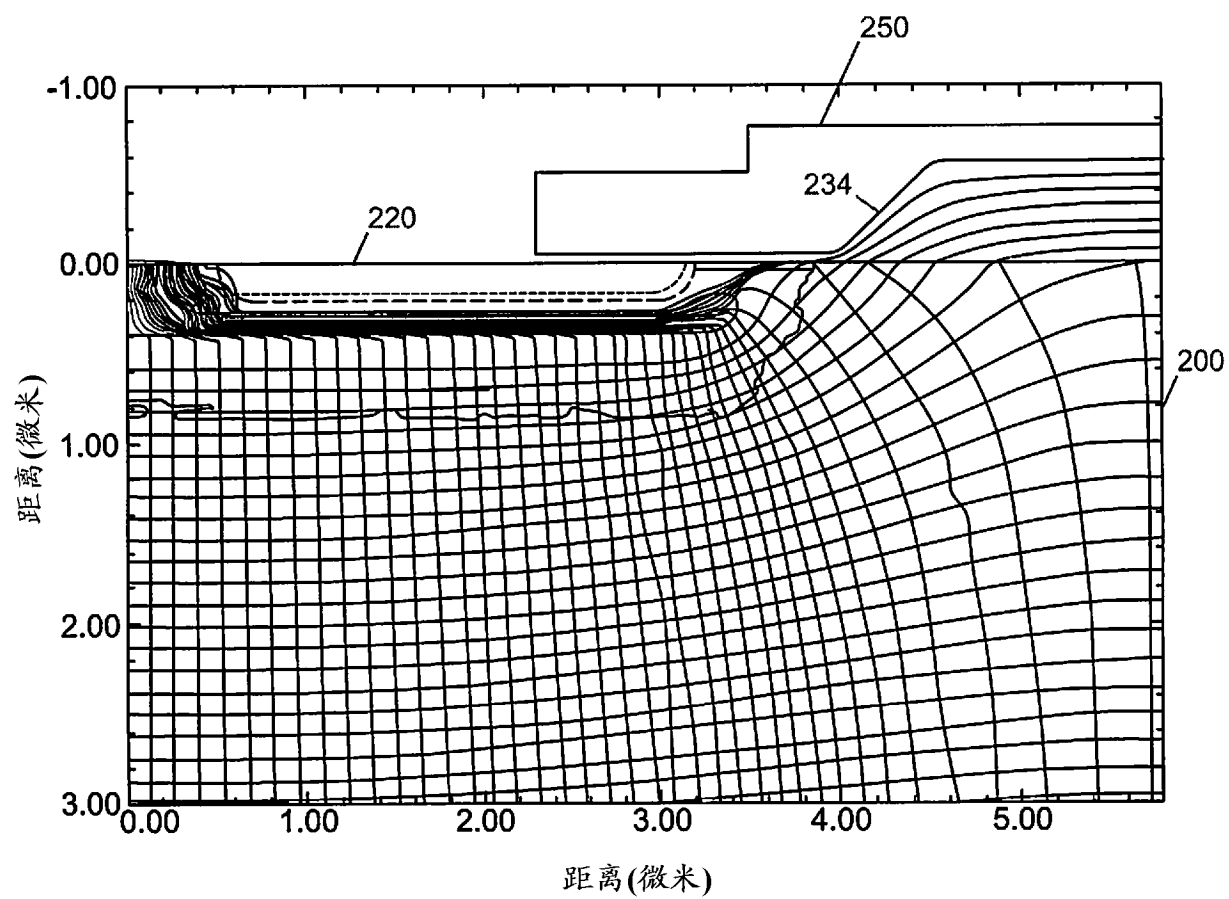


图 18A

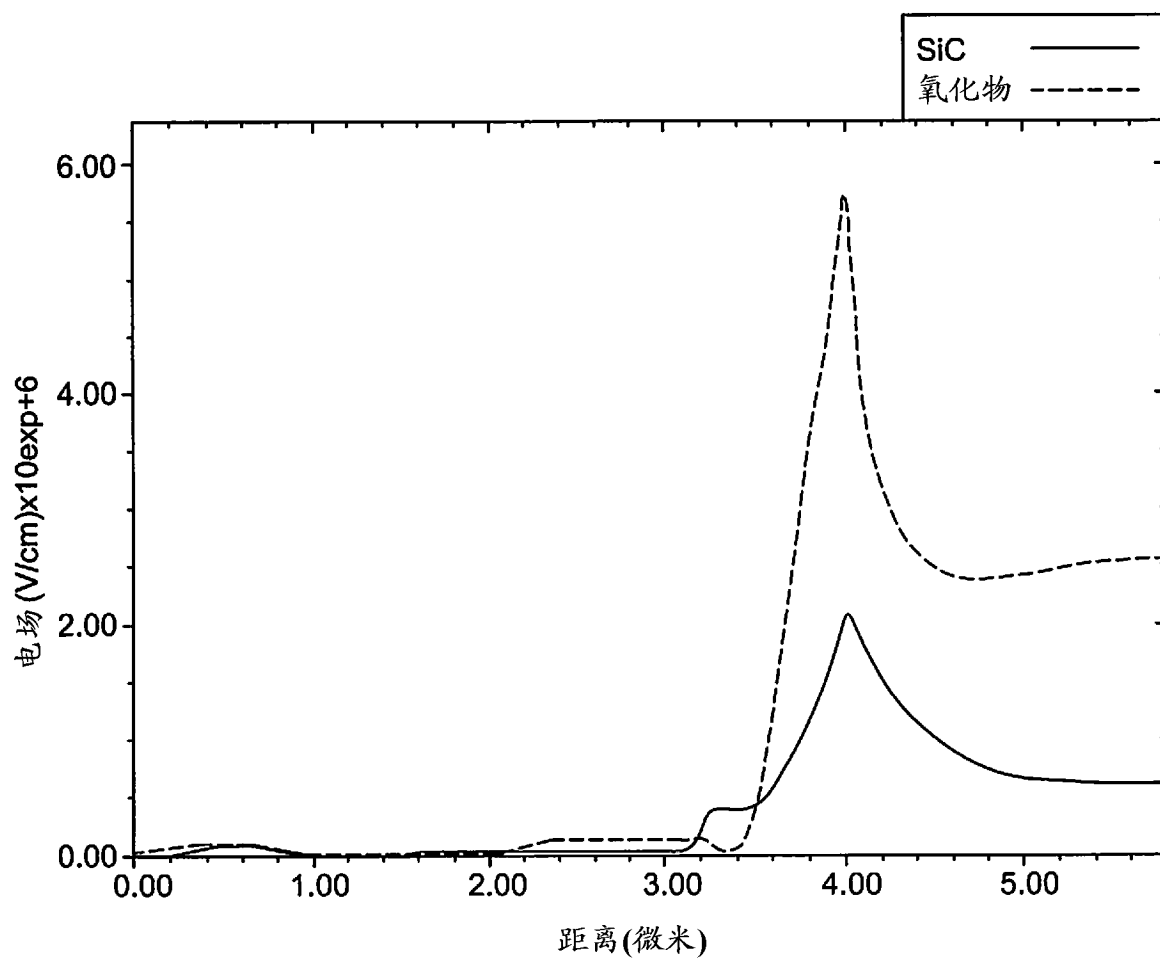


图 18B

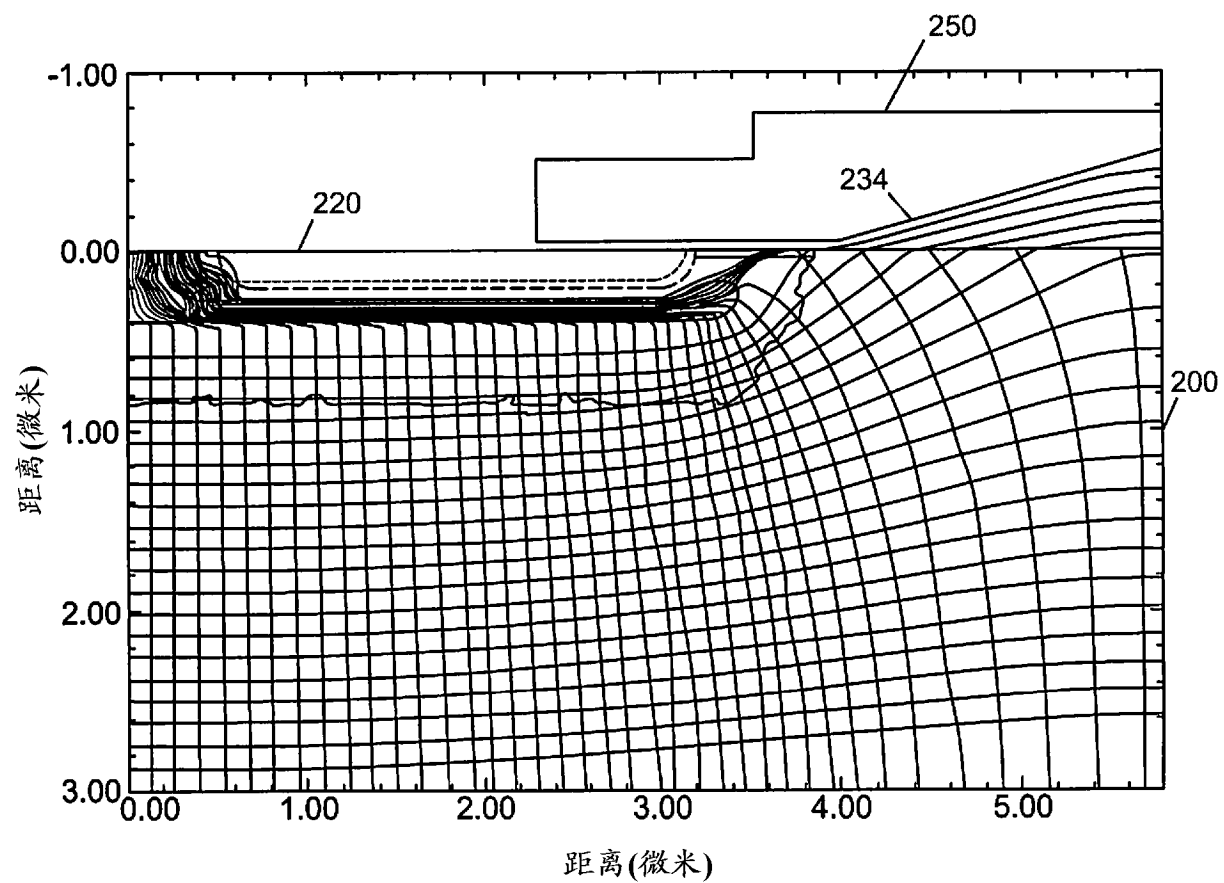


图 19A

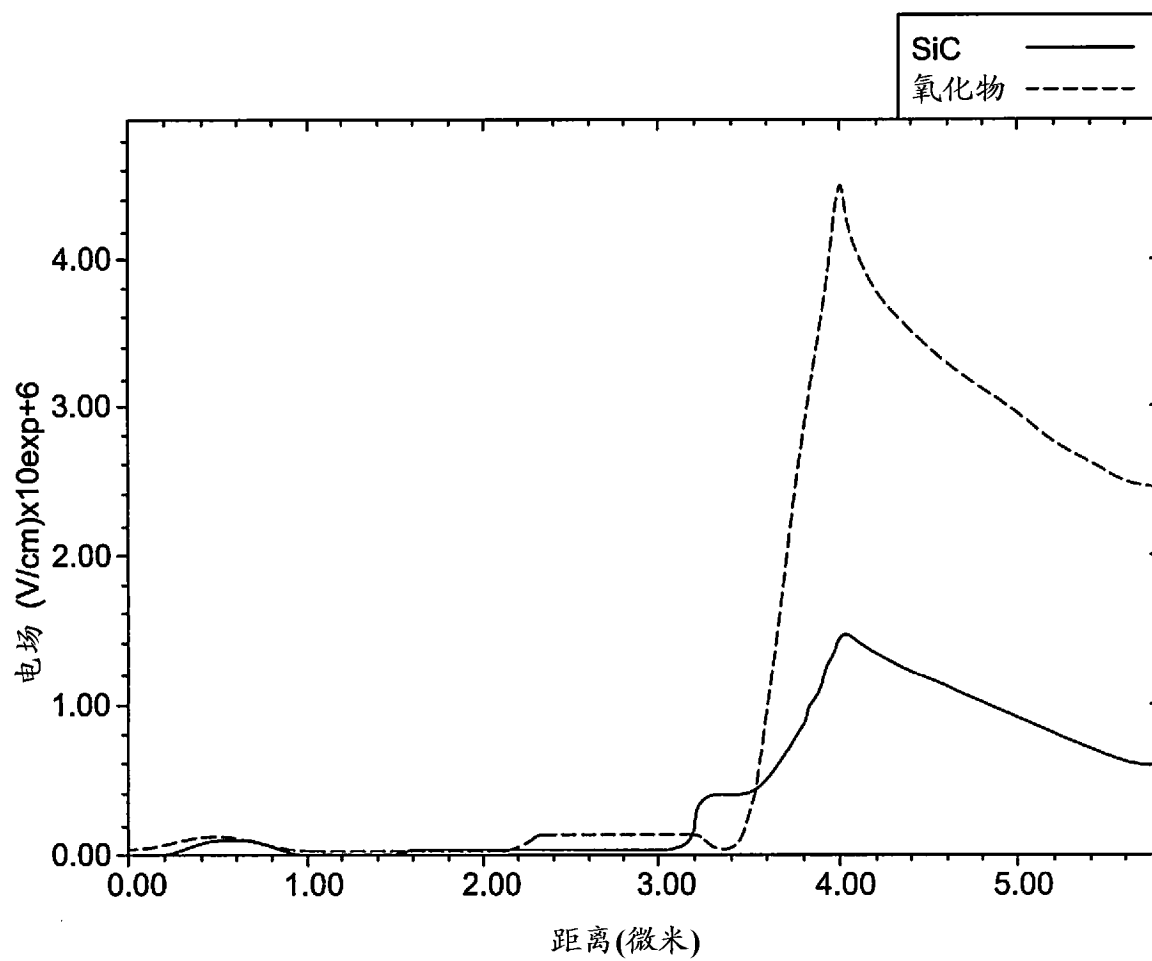


图 19B

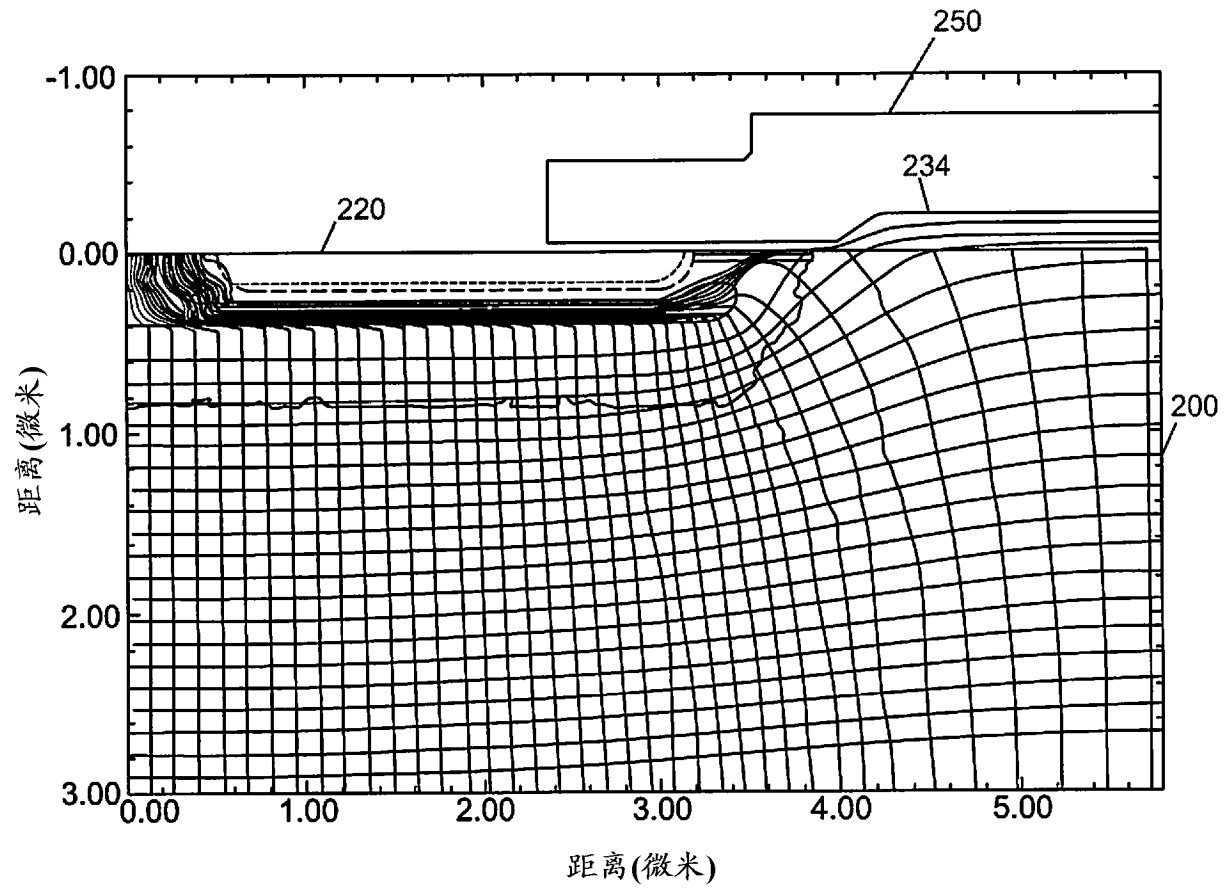


图 20A

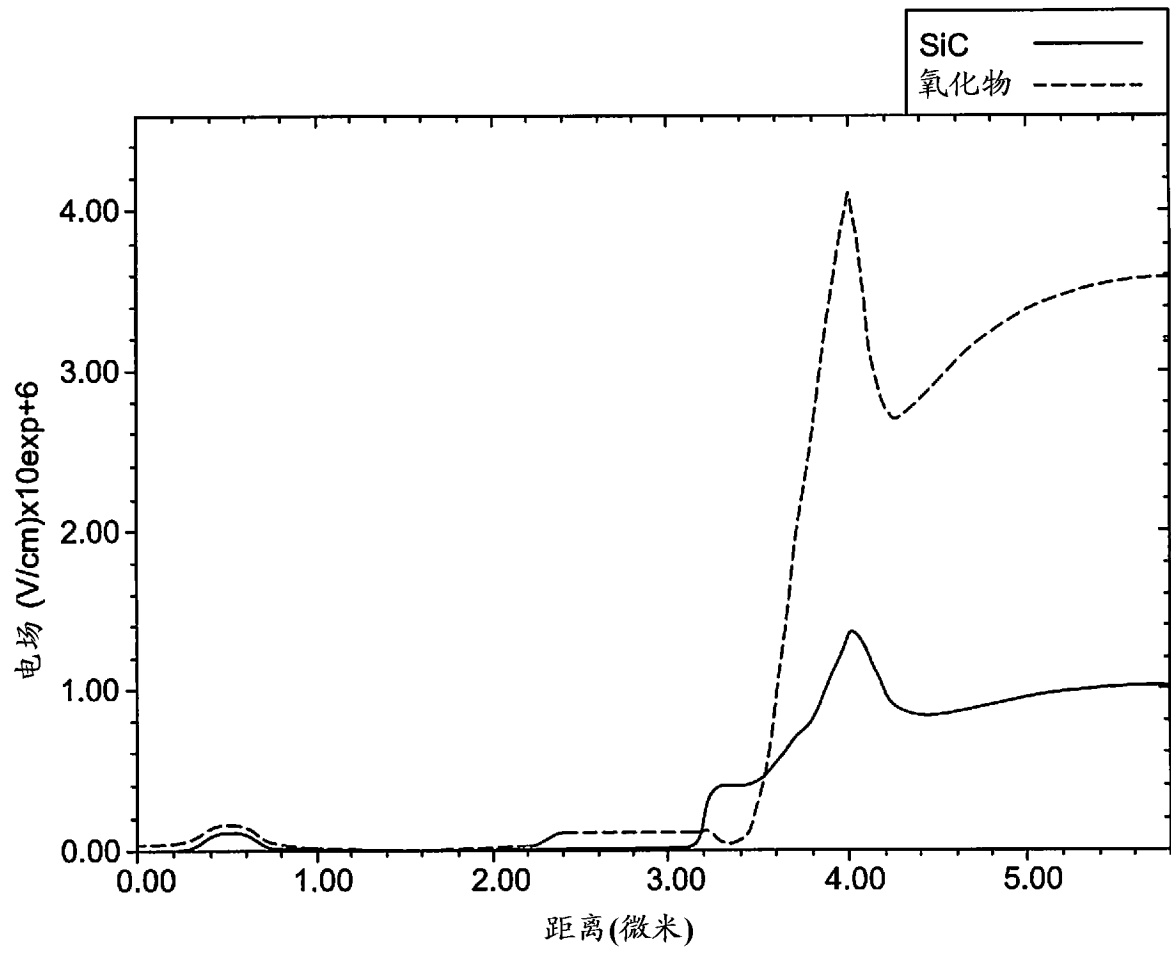


图 20B