

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G09G 3/20

G09G 3/36

G02F 1/133



[12] 发明专利申请公开说明书

[21] 申请号 200510056196.7

[43] 公开日 2005 年 10 月 5 日

[11] 公开号 CN 1677458A

[22] 申请日 2005.3.31

[21] 申请号 200510056196.7

[30] 优先权

[32] 2004.3.31 [33] JP [31] 2004-102294

[71] 申请人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 福尾元男

[74] 专利代理机构 中原信达知识产权代理有限责任
公司

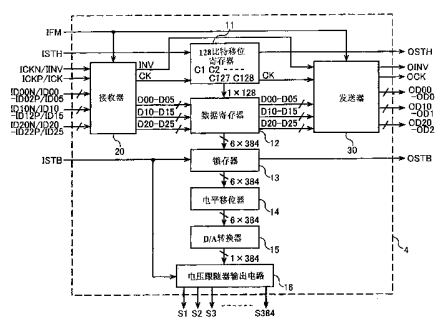
代理人 穆德骏 陆 弋

权利要求书 3 页 说明书 16 页 附图 12 页

[54] 发明名称 数据传输方法和电子设备

[57] 摘要

本发明提供一种液晶显示设备，该设备能够在显示数据、时钟信号等等的芯片间传输过程中减少 EMI、电流消耗等等并且提供合适的时序裕量。在使用多个数据驱动器而进行的显示数据、时钟数据等等的芯片间传输的过程中，某一数据驱动器用作数据驱动器。当在第一级中使用所述数据驱动器时，通过将 IFM 端固定在“H”电平而使得一内部接收器用作为 RSDS 接收器。所述接收到的 RSDS 信号构成已经被所述接收器划分为两个的 CMOS 信号，并且通过发送器输出所述接收到的 RSDS 信号。在此，通过发送器产生并且输出数据反相信号。当在第二或随后级中使用所述数据驱动器时，通过将 IFM 端固定在“L”电平而使得所述内部接收器用作为 CMOS 接收器。所述接收到的 CMOS 信号通过所述接收器和发送器使用数据反相信号以进行反相控制之后而被输出。



1. 一种用于从第一半导体集成电路向多个级联的第二半导体集成电路顺序传输数据的数据传输方法，

5 其中借助于差动信号在第一半导体集成电路和初始级第二半导体集成电路之间传输数据，并且借助于 CMOS 信号在每一第二半导体集成电路之间传输所述数据。

2. 根据权利要求 1 的数据传输方法，其中，在第二半导体集成电路中，根据接口模式选择信号而能够接受性地选择差动信号或 CMOS 信号以作为所述数据。

3. 根据权利要求 2 的数据传输方法，其中，在初始级第二半导体集成电路中，选择差动信号并且将所接收到的差动信号转换为 CMOS 信号以用于每一比特并传输到第二级第二半导体集成电路；以及

15 在所述第二级第二半导体集成电路中，选择 CMOS 信号并且将所接收到的 CMOS 信号按原样顺序发送到第三级和随后级第二半导体集成电路。

4. 根据权利要求 3 的数据传输方法，其中从所述差动信号转换而来的 CMOS 信号相对于所述差动信号而被划分为至少两个。

5. 根据权利要求 3 的数据传输方法，其中，在初始级第二半导体集成电路中，检测从所述差动信号转换的 CMOS 信号的每一比特的先前的和随后的反相，对应于所述反相的比特的数量来产生数据反相信号，并且从差动信号转换的 CMOS 信号根据所述数据反相信号而进行一次反相并且与所述数据反相信号一起传输到第二级第二半导体集成电路；以及

25 在所述第二级和随后级第二半导体集成电路中，所述接收到的 CMOS 信号根据所述数据反相信号而进行二次反相。

6. 根据权利要求 1 的数据传输方法，其中所述差动信号是 RSDS 信号、min-LVDS 信号或 CMADS 信号之一。

5 7. 一种电子设备，包括：

第一半导体集成电路；以及

多个级联的第二半导体集成电路，用于从第一半导体集成电路中接收数据并且顺序传输所述数据；

10 其中借助于差动信号而在第一半导体集成电路和初始级第二半导体集成电路之间传输所述数据，并且借助于 CMOS 信号而在每一第二半导体集成电路之间传输所述数据。

8. 根据权利要求 7 的电子设备，其中所述第二半导体集成电路包括：

15 接收器，根据接口模式选择信号可接受性地选择差动信号或 CMOS 信号以作为所述数据。

9. 根据权利要求 8 的电子设备，其中所述接收器包括：

20 差动信号接收器，当选择所述差动信号时，该差动信号接收器接收包含成一对的至少两比特的数据的差动信号，并且在同一线路上输出所述至少两比特的数据以作为时分多路复用的 CMOS 信号；以及

旁路电路，当选择 CMOS 信号时，该旁路电路允许所接收到的 CMOS 信号旁路所述差动信号接收器。

25 10. 根据权利要求 9 的电子设备，其中所述接收器包括：

划分电路，关于所述差动信号而将来自于差动信号接收器的 CMOS 信号划分为至少两个，并且将其输出为单个一比特的并行 CMOS 信号。

30 11. 根据权利要求 10 的电子设备，其中所述第二半导体集成电

路包括：

数据反相信号产生电路，为所述并行 CMOS 信号的每一比特而检测先前的和随后的反相并且产生相应于反相的比特的数量的数据反相信号；

5 数据一次反相电路，根据所述数据反相信号而对所述并行 CMOS 信号进行一次反相；以及

 数据二次反相电路，根据所述数据反相信号而对进行过一次反相的所述 CMOS 信号进行二次反相。

10 12. 根据权利要求 7 的电子设备，其中所述差动信号是 RSDS 信号、min-LVDS 信号或 CMADS 信号之一。

 13. 根据权利要求 7 的电子设备，其中所述电子设备用作显示设备，所述第一半导体集成电路是控制电路并且第二半导体集成电路是数据侧驱动器电路。

15

 14. 根据权利要求 13 的电子设备，其中所述电子设备用作液晶显示设备。

数据传输方法和电子设备

5 技术领域

本发明涉及一种数据传输方法和电子设备，具体而言，涉及一种将数据顺序地传输到多个级联的半导体集成电路的数据传输方法和电子设备。

10 背景技术

利用有利于以特别高的精度来控制图像、并且把握主流的有效矩阵型彩色液晶显示设备，液晶显示设备以其具有薄形、轻质量、和低功率的有点被用作为多种设备诸如个人计算机中的点矩阵型显示设备。

15

液晶显示设备的液晶显示模块包括：液晶面板（LCD 面板），由半导体集成电路器件（以下称为“IC”）组成的控制电路（下文中称为“控制器”），扫描侧驱动电路（以下称为“扫描驱动器”）以及数据侧驱动电路（以下称为“数据驱动器”）。扫描驱动器和数据驱动器由 IC 构成。在许多情况中，提供有多个数据驱动器，例如，在液晶面板分辨率为 XGA（1024×768 像素：一个像素由 R（红）、G（绿）以及 B（蓝）三个点组成）的情况中以及在 262144 彩色显示（R,G 以及 B 每个都具有 64 灰度级）的情况中，设置有 8 个数据驱动器，其中指定单个数据驱动器显示 128 个像素。在此，必需操作数据驱动器外部的线路以便将显示数据、时序信号等等从控制器传输到每一数据驱动器。因此，需要用于布图的区域。所以，为了使得布图尽可能的小，（例如，参见日本专利 3416045）使用一种级联系统以作为将显示数据、时钟信号等等从控制器传输到每一数据驱动器的系统，在该级联系统中，进行从控制器仅到初始级数据驱动器的传输和按照现有技术中的启动信号传输方法顺序地经由 IC 以到达第二级数据驱动

20

25
30

器以及随后级数据驱动器的传输（以下称为芯片间传输系统）。

另一方面，在液晶显示模块内的 IC 之间进行信号传输的情况下，根据现有技术使用一种 CMOS 接口，该 CMOS 接口构成用于传输幅度在电源电压（“H”电平）和地（“L”电平）之间变化的双值电压信号的装置。随着液晶面板的图像的细节和尺寸的增加，液晶面板的像素数量也增加，并且也使得市场从 XGA 扩展到 SXGA(1280×1024 像素)以及扩展到 UXGA (1600×1200 像素)。因此，在 XGA 情况中，相应于液晶面板的时钟频率目前为大约 60MHz，但是对于 SXGA 及其上来说，其是一种较高的时钟频率。尽管需要在液晶显示模块内的控制器和数据驱动器之间高速传输时钟信号、显示数据等等，但是在传统的 CMOS 接口的情况中存在以下问题：当必须采用并行传输系统以防止 EMI（电磁干扰）噪声时，线路的数量增加。

因此，为了解决 XGA 等上述问题，使用小幅度差动信号传输系统的接口。作为一种典型实例，使用 RSDS(Reduced Swing Differential Signaling: 国家半导体的注册商标)系统（以下称为‘RSDS 接口’）的接口（参见日本专利 3285332）。

此外，在上述芯片间传输显示数据、时钟信号等等的过程中使用 RSDS 接口的情况中，虽然减少了控制器与初始级数据驱动器之间的 EMI 噪声，但是必须将显示数据和时钟信号以相同的频率传输到第二数据驱动器和随后的数据驱动器。然而，与决定控制器和初始级数据驱动器之间的线路阻抗（主要是电阻）的玻璃基底上的线路长度相比，由于数据驱动器之间的玻璃基底上的线路长度较长，数据驱动器之间的线路电阻大于控制器与初始级数据驱动器之间的线路电阻，因此，通过第二级和随后级的数据驱动器在时钟信号的边沿处捕捉显示数据时，减少了设置/保持裕量，也就是说存在不能精确地捕捉显示数据的风险。此外，在数据驱动器之间传输显示数据的过程中使用 RSDS 接口的情况下，存在以下问题：必须流过固定的电流以便传输 RSDS 信

号，并且电流消耗很大。

发明内容

5 根据本发明的一方面，提供一种将数据从第一半导体集成电路顺序传输到多个级联的第二半导体集成电路的数据传输方法，其中借助于差动信号，在第一半导体集成电路和初始级第二半导体集成电路之间传输数据，并且借助于 CMOS 信号，在每一第二半导体集成电路之间传输数据。

10 根据本发明的另一方面，提供一种电子设备，包括第一半导体集成电路，以及接收第一半导体集成电路的数据并且顺序传输所述数据的多个级联第二半导体集成电路，其中借助于差动信号，在第一半导体集成电路和初始级第二半导体集成电路之间传输所述数据，并且借助于 CMOS 信号，在每一所述第二半导体集成电路之间传输所述数据。
15

作为上述装置的结果，借助于具有长周期和大幅度（驱动能力）的 CMOS 信号而执行第一半导体集成电路与初始级第二半导体集成电路之间的传输，而借助于差动信号而在具有大线路阻抗的第二半导体集成电路之间执行的数据传输，当通过每一半导体集成电路捕捉到数据时，能够充分地获得设置/保持裕量。
20

本发明能够减少在数据和时钟信号的芯片间传输的过程中的 EMI、电流消耗等等并且为捕捉数据而提供合适的时序边沿。
25

附图说明

根据结合附图而进行的以下描述，本发明的上述的和其他目的、优点以及特征将变得更加清楚，其中：

30 图 1 示出了本发明第一实施例的液晶显示模块的整体构造的框图；

图 2 示出了图 1 中液晶显示模块所使用的数据驱动器 4 的整体构造的框图；

图 3 示出了图 2 所示的数据驱动器 4 中所使用的接收器 20 的电路图；

5 图 4A 和 4B 示出了图 3 所示接收器 20 中所使用的旁路电路 22 的电路图；

图 5 示出了图 3 所示接收器 20 的 IFM = “H” 时的操作状态；

图 6 示出了图 3 所示接收器 20 的 IFM = “L” 时的操作状态；

图 7 示出了图 2 所示数据驱动器 4 中使用的发送器 30 的电路图；

10 图 8 示出了图 7 所示发送器 30 的 IFM = “H” 时的操作状态；

图 9 示出了图 7 所示发送器 30 的 IFM = “L” 时的操作状态；

图 10 说明了在图 1 所示的控制器 2 与数据驱动器 4 之间的各种信号传输；

15 图 11A-11I 示出了在图 10 所示数据驱动器之间进行时钟信号、显示数据等等的芯片间传输的时序图；

图 12 示出了本发明第二实施例的液晶显示模块的整体构造的框图；以及

图 13 示出了本发明第三实施例的液晶显示模块的整体构造的框图。

20

具体实施方式

为了说明的目的，在涉及以下描述中所使用的显示数据、时序信号等等的代码的地方，下面定义 CMOS 信号和 RSDS 信号。

25 (1) 显示数据 DATA: CMOS 信号、RSDS 信号等等之间没有区别

(2) 显示数据 DA: CMOS 信号

(3) 显示数据 D00-D05, D10-D15, D20-D25: CMOS 信号

(4) 显示数据 DN/DP: RSDS 信号

30 (5) 显示数据 D00N/D00P-D02N/D02P, D10N/D10P-

D12N/D12P,D20N/D20P-D22N/D22P:RSDS 信号

(6) 时钟信号 CLK: CMOS 信号、RSDS 信号等等之间没有区别

(7) 时钟信号 CK: CMOS 信号

5 (8) 时钟信号 CKN/CKP: RSDS 信号

(9) 启动信号 STH, 锁存信号 STB, 数据反相信号 INV: CMOS 信号

10 现在在此将参考说明性的实施例来描述本发明。本领域的技术人员将能意识到: 使用本发明的教导能够实现许多可选的实施例, 并且本发明并非限于用于说明性目的而说明的实施例。

15 以下参考附图将描述本发明的第一实施例。如图 1 所示, 液晶显示设备的液晶显示模块包括: 液晶面板 1, 控制器 2, 扫描驱动器 3 以及数据驱动器 4。虽然没有详细地示出, 但是液晶显示面板 1 包括以下结构, 即通过彼此相对放置两个基底然后在所述两个基底之间密封液晶而形成的结构, 所述两个基底是, 其上安排有透明像素电极和薄膜晶体管 (TFT) 的半导体基底和在其整个表面上形成一个透明电极的相对基底。所述液晶面板 1 通过以下措施来显示图像, 即向每一
20 像素电极施加预定电压并且根据各个像素电极与相对基底电极之间的电位差来控制具有开关功能的 TFT 以改变液晶的透射或反射。用于发送 TFT 的开关控制信号 (扫描信号) 的扫描线以及用于发送被施加到各个像素电极的灰度级电压的数据线被安排在半导体基底上。以下通过实例来描述液晶显示面板 1 的分辨率为 SXGA (1280×1024 像素:
25 一个像素由 R,G 和 B3 个点构成) 的 262144-彩色显示 (R,G,B 每个由 64 灰度级构成) 的情况。

30 与垂直方向上的 1024 个像素相对应, 排列液晶面板 1 的 1024 个扫描线。此外, 由于一个像素由 R,G 和 B3 个点组成, 排列 1280×3=3840 个数据线以与水平方向上的 1280 个像素相对应。为 1024 个栅极线而

设置 4 个扫描驱动器 3 以致于一个扫描驱动器被分配 256 个栅极线。为 3840 个数据线而设置 10 个数据驱动器 (41, 42, ..., 410) 以致于一个数据驱动器被分配 384 个数据线。

5 例如, 经由 LVDS (低电压差动信号) 接口而将显示数据和时序信号等等从控制器 2 传输到 PC (个人计算机) 5。时钟信号从控制器 2 并行传输到各个扫描驱动器 3 并且垂直同步启动信号 STV 被传输到初始级扫描驱动器 3, 然后顺序地传输到第二和随后级联的扫描驱动器 3。经由 CMOS 接口而将构成 CMOS 信号的水平同步启动信号 STH
10 和锁存信号 STB 从控制器 2 传输到初始级数据驱动器 41, 并且经由 RSDS 接口而将构成 RSDS 信号的显示数据 DN/DP 和时钟信号 CKN/CKP 传输到初始级数据驱动器 41。经由 CMOS 接口而将构成 CMOS 信号的显示数据 DA、时钟信号 CK、启动信号 STH、锁存信号 STB 以及数据反相信号 INV 通过初始级数据驱动器 41 顺序地传输
15 到级联的第二和随后级数据驱动器 42、43、..., 410。初始级数据驱动器 41 基于先前和随后的显示数据 DA 而产生数据反相信号 INV。

扫描驱动器 3 顺序地将脉冲形扫描信号发送到液晶面板 1 的每一扫描线。与被施加脉冲的扫描线相关的 TFT 处于全部接通状态, 因此,
20 每一数据驱动器 4 将灰度级电压提供到液晶面板 1 的数据线, 并且所述灰度级电压经由处于接通状态的 TFT 而被施加到像素电极。此外, 当与没有被施加脉冲的扫描线相关联的 TFT 改变到断开状态时, 像素电极和反相基底电极之间的电位差保持不变直到将随后的灰度级电压施加到像素电极。此外, 通过将脉冲顺序地施加到所有的扫描线, 预
25 定的灰度级电压被施加到所有的像素电极, 并且通过在帧周期内重写灰度级电压而能够显示图像。

与 384 条数据线相对应, 数据驱动器 4 对于每一 R,G 和 B 具有 6 比特的显示数据, 用于显示输入到数据驱动器 4 的每一 R,G 和 B 的 64
30 个灰度级, 并且数据驱动器 4 构成为 384 个输出, 相应于显示数据的

逻辑的 64 个灰度级的一个灰度级电压被输出。。如图 2 所示，对于特定的电路结构，除了移位寄存器 11 之外，数据驱动器 4 包括数据寄存器 12，锁存器 13，电平移位器 14，数模转换电路（以下称为‘D/A 转换器’）15 以及电压跟随器输出电路 16，接收器 20 和发送器 30，

5 所述电压跟随器输出电路、接收器和发送器构成用于芯片间数据传输的接口电路，所述移位寄存器 11 构成一种用于执行有关数字显示数据 DA 的串/并转换并且用于执行到相应于显示数据 DA 的逻辑的模拟灰度级电压的转换的电路。数据驱动器 4 包括用于运行每一上述电路的电源电路，但是在此未示出和描述。

10

将描述作为数据驱动器 4 的输入端的图 2 所示的每一端。IFM 端是用于选择 CMOS 或 RSDS 接口模式的端口。“H”电平或“L”电平固定电位作为接口模式选择信号而被提供到 IFM 端并且该电位输入到接收器 20 和发送器 30。ISTH 端是用于启动信号 STH 的输入端，并且启动信号 STH 输入到移位寄存器 11。ISTB 端是一种用于锁存信号 STB 的输入端，并且所述锁存信号 STB 输入到锁存器 13 和电压跟随器输出电路 16。当 IFM 端 = “H”电平时，ICKP/ICK 端和 ICKN/IINV 端是用于时钟信号 CKN/CKP 的输入端，并且当 IFM 端 = “L”电平时，ICKP/ICK 端是用于时钟信号 CK 的输入端，并且 ICKN/IINV 端是数据反相信号 INV 的输入端。时钟信号 CKN/CKP 和 CK 以及数据反相信号 INV 都输入到接收器 20。ID00N/ID00-ID02P/ID05 端、ID10N/ID10-ID12P/ID15 端以及 ID20N/ID20-ID22P/ID25 端是与 6 灰度级显示比特×R,G,B3 点（一个像素）=18 比特的位宽度相对应的显示数据 DATA 的输入端，并且当 IFM 端 = “H”电平，所述这些端是构成 RSDS 信号的显示数据 D00N/D00P-D02N/D02P、D10N/D10P-D12N/D12P、D20N/D20P-D22N/D22P（以下称为 DN/DP）的输入端，当 IFM 端 = “L”电平时，上述这些端是构成 CMOS 信号的显示数据 D00-D05、D10-D15 和 D20-D25（以下称为‘DA’）的输入端。以上的每一显示数据 DATA 都输入到接收器 20。

30

现在将描述作为数据驱动器 4 的输出端的图 2 所示的每一端。
OSTH 端是启动信号 STH 的输出端，并且所述启动信号 STH 由移位
寄存器 11 输出。OSTB 端是锁存信号 STB 的输出端并且该锁存信号 STB
由锁存器 13 输出。OCLK 端是时钟信号 CK 的输出端并且所述时钟信
号 CK 由发送器 30 输出。OINV 端是数据反相信号 INV 的输出端并且
所述数据反相信号 INV 由发送器 30 输出。OD00—OD05 端、OD10—
OD15 端以及 OD20—OD25 端是显示数据 DA 的输出端并且各个显示
数据 DA 都由发送器 30 输出。

以下将简要描述移位寄存器 11、数据寄存器 12、锁存器 13、电
平移位器 14、D/A 转换器 15 以及电压跟随器输出电路 16。移位寄存
器 11 由与 384 个数据线相对应的 128 比特（其中一比特被分配三个
数据线 R,G,B）构成，并且对于在液晶面板 1 的多个扫描线之间扫描
一条扫描线的每一单个水平周期来说，在时钟信号 CK 的上升沿和下
降沿处的时刻读取“H”电平的启动信号 STH，并且顺序产生数据捕
捉控制信号 C1、C2、…、C128 并将这些数据捕捉控制信号提供到数
据寄存器 12。与 384 条数据线相对应并且在每一单个水平周期，所述
数据寄存器 12 捕捉与一条扫描线相对应的显示数据 DA，其中借助于
移位寄存器 11 的控制信号 C1、C2、…、C128 的下降沿时刻处 128
比特×（6 比特×3 点（R,G,B））的 18 位宽度来提供所述显示数据
DA。在每一单个水平周期期间，锁存器 13 在锁存信号 STB 的上升沿
时刻，锁存数据寄存器 12 所捕捉到的显示数据 DA 并且将所述显示数
据全部一起提供到电平移位器 14。电平移位器 14 通过升高电压电平
而将来自于锁存器 13 的显示数据 DA 提供到 D/A 转换器 15。根据来
自于电平移位器 14 的显示数据 DA，D/A 转换器 15 将与 64 灰度级当
中的显示数据 DA 的逻辑相对应的一个灰度级电压提供到电压跟随器
输出电路 16，以用于对应于 384 个数据线的每一 6 比特显示数据 DA。
电压跟随器输出电路 16 通过升高驱动能力，在锁存信号 STB 的下降
沿的时刻，输出来自于 D/A 转换器 15 的灰度级电压以作为输出 S1-
S384。

接下来将详细地描述构成用于芯片间传输的接口电路的接收器 20 和发送器 30。接收器 20 接收时钟信号 CLK 和显示数据 DATA 等等，这些信号构成 RSDS 信号 CK 或者 CMOS 信号，并且输出时钟信号和显示数据 DA 等等至内部移位寄存器 11 和数据寄存器 12 等等，所述
5 这些信号构成 CMOS 信号。如图 3 所示，接收器 20 包括：RSDS 接收器 21，时钟信号 CKN/CKP 和显示数据 DN/DP 输入于此；旁路电路 22，对时钟信号 CK、数据反相信号 INV 以及显示数据 DA 进行旁路；划分电路 23；划分电路 24；由 EXOR 电路构成的数据反相电路 25；
10 用于从划分电路 23 选择时钟信号 CK 以及从旁路电路 22 中选择时钟信号 CK 的选择器 26；以及用于从划分电路 24 中选择显示数据 DA 并从数据反相电路 25 中选择显示数据 DA 的选择器 27。当 IFM 端 = “H” 电平时，每一 RSDS 接收器 21 进入操作状态，其中内部旁路信号是 on 并且能够接收时钟信号 CKN/CKP 和显示数据 DN/DP，并且
15 当 IFM 端 = “L” 电平时，由于内部旁路信号关断，每一 RSDS 接收器 21 进入非操作状态，从而减少了电流消耗。例如，通过图 4 所示的两个 OR 电路来构成每一旁路电路 22，并且当 IFM 端 = “L” 电平时，时钟信号 CK、数据反相信号 INV 以及显示数据 DA 被旁路，并且当 IFM 端 = “H” 电平时，禁止旁路 CMOS 信号。

20

划分电路 23 将 RSDS 接收器 21 输出的时钟信号 CK 划分成两个并且经由一条线输出被划分的信号。每一划分电路 24 对每一 RSDS 接收器 21 输出的显示数据 D00-D01、D02-D03、…、D24-D25 进行划分并且将对应于两比特的数据容纳入单比特数据 D00、D01、…、D24、
25 D25 中并且借助于两条线路输出这些数据。当 IFM 端 = “L” 电平时，数据反相电路 25 根据来自于旁路电路 22 的数据反相信号 INV 而对来自旁路电路 22 的显示数据 DA 执行反相控制。数据反相电路 25 起到执行以下方法的数据二次反相电路的作用，即根据数据反相信号 INV，借助于传输源数据一次反相电路而对显示数据的逻辑执行一次反相，
30 以减小所有传输线路的反相频率，并且执行二次反相以便借助于传输

目的地数据二次反相电路将所述逻辑恢复原始逻辑。当 IFM 端 = “H” 电平时，选择器 26 选择并输出来自划分电路 23 的时钟信号 CK，并且当 IFM 端 = “L” 电平时，选择器 26 选择并来自输出旁路电路 22 的时钟信号 CK。当 IFM 端 = “H” 电平时，选择器 27 选择并输出来自划分电路 24 的显示数据 D00-D01、D02-D03、…、D24-D25，并且当 IFM 端 = “L” 电平时，选择器 27 选择并输出来自数据反相电路 25 的显示数据 D00-D01、D02-D03、…、D24-D25。

现在将描述 IFM 端 = “H” 电平时接收器 20 的操作。每一 RSDS 接收器 21 处于操作状态并且旁路电路 22 禁止旁路 CMOS 信号。选择器 26 选择划分电路 23 的输出并且选择器 27 选择划分电路 24 的输出。由于这些操作，如图 5 所示那样，所述接收器 20 运行为 RSDS 接收器。因此，在此，当时钟信号 CKN/CKP 和显示数据 DN/DP 输入到接收器 20 时，每一 RSDS 接收器 21 接收所述时钟信号 CKN/CKP 和显示数据 DN/DP，因此接收器 20 输出来自分配器 23 的时钟信号 CK 并且输出来自分配器 24 的显示数据 DA。

接下来将描述 IFM 端 = “L” 电平时接收器 20 的操作。每一 RSDS 接收器 21 处于非操作状态并且相应的旁路电路 22 旁路时钟信号 CK、数据反相信号 INV 以及显示数据 DA。选择器 26 选择旁路电路 22 的时钟信号输出并且选择器 27 选择数据反相电路 25 的输出。由于这些操作，如图 6 所示那样，所述接收器 20 运行为 CMOS 接收器。因此，在此，当时钟信号 CK 和显示数据 DA 输入到接收器 20 时，每一旁路电路 22 旁路这些 CMOS 信号并且接收器 20 输出来自相应旁路电路 22 的时钟信号 CK，以及通过接收器 20 输出来自数据反相电路 25 的显示数据 DA。

发送器 30 包括数据反相信号产生电路 31，选择器 32 以及数据反相电路 33。发送器 30 接收来自内部移位寄存器 11、数据寄存器 12 等等的信号并且将时钟信号 CK、显示数据 DA 等传输到随后级数

据驱动器 4。

数据反相信号产生电路 31 包括数据反相检测电路 34、第一确定电路 35、以及第二确定电路 36。数据反相信号产生电路 31 包括三个数据反相检测电路 34 以对应于每一 R、G、B 的 6 比特显示数据 DA。为了检测每一所述 6 比特的先前的和随后的变化，每一数据反相检测电路 34 包括对应于每一比特的两级级联触发器和 EXOR 电路，所述 EXOR 电路输出每级输出的异或并且为一个之前或之后不存在改变的比特而输出“L”电平，以及为之前或之后存在改变的比特而输出“H”电平。数据反相信号产生电路 31 包括三个第一确定电路 35 以对应于每一数据反相检测电路 34，并且当 IFM 端 = “H”电平时，假定为操作状态，在所述操作状态中确定是可能的，并且当 IFM 端 = “L”电平时，假定为非操作状态，从而减少了消耗。每一第一确定电路 35 检测 6 比特当中已经变化的比特的数量，并且例如当存在 4 个或更多比特时，输出“H”电平。第二确定电路 36 检测所述三个第一确定电路 35 当中输出为“H”电平的数量，并且当存在两个或更多输出时，输出“H”。第二确定电路 36 的输出是数据反相信号 INV。

当 IFM 端 = “H”电平时，选择器 32 从数据反相信号产生电路 31 中选择并输出数据反相信号 INV，并且当 IFM 端 = “L”电平时，该选择器 32 从接收器 20 中选择并输出数据反相信号 INV。数据反相电路 33 根据来自于选择器 32 的数据反相信号 INV 而对来自于数据反相信号产生电路 31 的显示数据进行反相控制。数据反相电路 33 运行行为执行以下方法的数据一次反相电路，即根据数据反相信号 INV 而借助于传输源数据一次反相电路以对显示数据的逻辑执行一次反相，从而减小了所有传输线路的反相频率，并且借助于传输目的地数据二次反相电路执行二次反相以便将所述逻辑恢复到原始逻辑。

现在将描述 IFM 端 = “H”电平时发送器 30 的操作。每一第一确定电路 35 处于操作状态并且选择器 32 从数据反相信号产生电路 31

中选择并输出数据反相信号 INV。由于这些操作，如图 8 所示那样，当显示数据 DA 输入到数据反相信号产生电路 31 时，通过数据反相检测电路 34 检测每一比特中先前和随后的变化，并且基于上述结果，借助于第一确定电路 35 和第二确定电路 36 来检测变化的比特的数量，从而通过数据反相信号产生电路 31 将第二确定电路 36 的输出输出到 OINV 端和数据反相电路 33，以作为数据反相信号 INV。此外，数据反相电路 33 根据数据反相信号 INV 而将经由数据反相信号产生电路 31 输入的显示数据 DA 反相，然后输出到相应的输出端 OD00-OD05、OD10-OD15 和 OD20-OD25。

10

接下来将描述 IFM 端 = “L” 电平时发送器 30 的操作。每一第一确定电路 35 处于非操作状态并且选择器 32 从接收器 20 中选择并输出数据反相信号 INV。由于这些操作，如图 9 所示那样，来自于接收器 20 的数据反相信号 INV 输出到 OINV 端和数据反相电路 33。此外，数据反相电路 33 根据数据反相信号 INV 而将经由数据反相信号产生电路 31 输入到数据反相电路 33 的显示数据 DA 反相，然后输出到相应的输出端 OD00-OD05、OD10-OD15 和 OD20-OD25。

15

关于图 1 所示的控制器 2 和数据驱动器 4 之间以及液晶显示模块的每一数据驱动器 4 之间的不同信号的传输，将参考图 10 来描述控制器 2、数据驱动器 4 以及从控制器 2 到数据驱动器 4 之间的不同信号线路。借助于 CMOS 信号将启动信号 STH 和锁存信号 STB 从所述控制器 2 传输到数据驱动器 41 并且随后被所述数据驱动器 41 顺序传输到每一级联的数据驱动器 42、43、…、410。

25

现在将描述时钟信号 CLK、显示数据 DATA 以及数据反相信号 INV 的传输。数据驱动器 41 的 IFM 端的电位电平被设置为 “H” 电平并且数据驱动器 42、43、…、410 的 IFM 端的电位电平被设置为 “L” 电平。结果，数据驱动器 41 的每一 RSDS 接收器 21 进入操作状态，并且如图 5 所示，数据驱动器 41 的接收器 20 运行 RSDS 接收器并

30

且通过控制器 2 的 RSDS 发送器（未示出）和数据驱动器 41 的接收器 20 构成 RSDS 接口。所以，来自于控制器 2 的时钟信号 CKN/CKP 和显示数据 DN/DP 经由 RSDS 接口电路而被传输到数据驱动器 41。数据驱动器 41 的发送器 30 输出时钟信号 CK 和显示数据 DA 并且运行

5

数据驱动器 42 的每一接收器 21 处于非操作状态并且被旁路，如图 6 所示，数据驱动器 42 的接收器 20 运行 CMOS 接收器并且通过数据驱动器 41 的发送器 30 和数据驱动器 42 的接收器 20 来构成 CMOS 接口。所以，来自于数据驱动器 41 的时钟信号 CK 和显示数据 DA 经由 CMOS 接口而被传输到数据驱动器 42。数据驱动器 42 的发送器 30 输出时钟信号 CK 和显示数据 DA 并且运行 CMOS 发送器。第三和随后级数据驱动器 43、…、410 以与数据驱动器 42 相同的方式运行，并且时钟信号 CK 和显示数据 DA 经由 CMOS 接口而被顺序地传输到数据驱动器 43、…、410。此外，第二和随后数据驱动器 42、43、…、410 的每一接收器 21 处于非操作状态，并且因此，能够减少这些接收器的电流消耗。

10

15

接下来将参考附图 11 来描述直到用于数据驱动器 43 的显示数据 DATA 输入到数据驱动器 41 并被传输到数据驱动器 43 的时序操作。

20

以图 11A 所示的时序将时钟信号 CKN/CKP 输入到数据驱动器 41 以作为例如 75MHz RSDS 信号，并且在与时钟信号 CKN/CKP 同步的图 11C 中所示的时序而输入显示数据 DN/DP。与图 11A 所示的 259th 时钟信号 CKN/CKP 相对应，输入用于图 11C 所示数据驱动器 43 的输出 S1-S3 的显示数据 DN/DP，并且与 260th 时钟信号 CKN/CKP 相对应，同样输入用于数据驱动器 43 的输出 S4-S6 的显示数据 DN/DP。此外，在所示之前的时序将启动信号 STH1 输入到数据驱动器 41，并且在图 11B 中 ISTH 信号输出“L”电平。

25

30

时钟信号 CKN/CKP 被数据驱动器 41 中的接收器 20 所划分以提供 37.5MHz 的时钟信号 CK1 (未示出) 并且所述时钟信号 CKN/CKP 在数据驱动器 41 内传输, 以及时钟信号 CK2 以图 11D 所示的时钟信号 CKN/CKP 的延迟 $t=t_{p1}$ (例如 $t_{p1}=15\text{ns}$) 而输入到数据驱动器 42。

5 显示数据 DN/DP 被数据驱动器 41 中的接收器 20 所划分以提供 37.5MHz 的显示数据 DA (未示出), 并且所述显示数据 DN/DP 在数据驱动器 41 内进行传输, 以及如图 11F 所示, 所述显示数据 DN/DP 以时钟信号 CK2 (例如 t_{PLH2} , $t_{PHL2}=-3-+1\text{ns}$) 的延迟 $t=t_{PLH2}(t_{PHL2})$ 而输入到数据驱动器 42。与图 11D 所示的第 2-1 个时钟信号 CK2 相对应而输入用于图 11F 所示数据驱动器 43 的输出 S1-S3、S4-S6 的显示数据 DA, 并且类似的, 与第 2-2 个时钟信号 CK2 相对应而输入用于数据驱动器 43 的输出 S7-S9、S10-S12 显示数据 DA。此外, 启动信号 STH1 在数据驱动器 41 内进行传输并在所示之前的时序而输入到数据驱动器 42 以作为启动信号 STH2。在图 11E 中, ISTH 端处于“L”

10 15 电平。

时钟信号 CK2 在数据驱动器 42 内进行传输并且在图 11G 所示时钟信号 CK2 的延迟 $t=t_{p2}$ (例如 $t_{p2}=15\text{ns}$) 而被输入到数据驱动器 43 以作为时钟信号 CK3。启动信号 STH2 在数据驱动器 42 内进行传输并且在第 3-1 个时钟信号 CK3 下降沿延迟 $t=t_{PLH1}$ (例如 $t_{PLH1}=-3-+1\text{ns}$) 的上升沿处以及在第 3-2 个时钟信号 CK3 下降沿延迟 $t=t_{PHL1}$ (例如 $t_{PHL1}=-3-+1\text{ns}$) 的上升沿处输入以作为启动信号 STH3。显示数据 DA 在数据驱动器 42 内进行传输并且如图 11I 所示, 从时钟信号 CK3 延迟 $t=t_{PLH2}$ ($t=t_{PLH2}$) 而输入到数据驱动器 43。与图 11G 所示的第 3-3 个时钟信号 CK3 相对应而输入用于图 11G 所示数据驱动器 43 的输出 S1-S3 和 S4-S6 的显示数据 DA, 并且类似的, 与第 3-4 个时钟信号 CK3 相对应而输入用于数据驱动器 43 的输出 S7-S9 和 S10-S12 的显示数据 DA。

20 25

30 以下将参考图 12 来描述本发明的第二实施例。此外, 相同的参

考数字将被指定给与图 1 中相同的部分并且在此将不再描述。与图 1 液晶显示设备的不同在于：第二实施例包括控制器 102 和数据驱动器 104 以代替控制器 2 和数据驱动器 4，并且控制器 102 通过使用 min-LVDS (TEXAS INSTRUMENTS 的注册商标) 系统接口而不是 RSDS 接口以作为小幅度差动信号系统的接口，将包括 min-LVDS 信号的显示数据 DN/DP 和时钟信号 CKN/CKP 传输到初始级数据驱动器 1041。所述驱动器 104 能够使用与图 2 所示的数据驱动器 4 相同的电路配置，但除了以下事实：使用 min-LVDS 接收器以代替接收器 20 的 RSDS 接收器 21，并且在此忽略对数据驱动器 104 的电路构造的说明和描述。

10

接下来将参考图 13 来描述本发明的第三实施例。此外，在此将忽略描述与图 1 中被指定相同的符号和其描述。与图 1 的液晶显示设备的区别在于：第三实施例包括控制器 202 和数据驱动器 204，而不是控制器 2 和数据驱动器 4，并且控制器 102 通过使用 CMADS (Current Mode Advanced Differential Signaling: Nippon Electric (Corp) 的注册商标) 系统接口而不是 RSDS 接口以作为小幅度差动信号系统的接口，将包括 CMADS 信号的显示数据 DN/DP 和时钟信号 CKN/CKP 传输到初始级数据驱动器 2041。所述驱动器 204 能够使用与图 2 所示的数据驱动器 4 相同的电路配置，但除了以下事实：使用 CMADS 接收器以代替接收器 20 的 RSDS 接收器 21，并且在此忽略对数据驱动器 204 的电路构造的说明和描述。

15

如以上第一至第三实施例的描述，控制器通过使用 RSDS 信号、min-LVDS 信号以及 CMADS 信号之一以作为小幅度差动信号而进行显示数据和时序信号等等传输到初始级数据驱动器的芯片间传输是相同的，并且借助于与控制器和初始级数据驱动器之间线路电阻相比具有较大的线路电阻的数据驱动器之间的小幅度差动信号，通过使用具有长周期和大幅度 (驱动能力) CMOS 信号而进行显示数据和时钟信号等等的芯片间传输，因此当通过第二和随后数据驱动器在时钟信号的边沿捕捉到显示数据的时候，能够充分地获得设置/保持裕量。此外，

25

30

5 由于在数据驱动器之间传输显示数据的过程中，使用 CMOS 信号接口而不使用小幅度差动信号接口，因此不需要流动用于传输小幅度差动信号的固定电流。另外，当借助于 CMOS 信号将显示数据传输到第二和随后级数据驱动器时，至少通过初始级数据驱动器使用初始级数据驱动器所产生的数据反相信号以对显示数据进行一次反相，并且至少通过第二和随后级数据驱动器对所述显示数据进行二次反相。因此，能够消除数据传输期间由于先前和随后数据的反相而导致的 EMI 噪声和电流消耗等等。

10 此外，RSDS 接收器、min-LVDS 接收器和 CMADS 接收器作为实例而被描述为上述实施例的数据驱动器中所使用的接收器。然而，本发明并非限于所述这些接收器。只要同样能够将小幅度差动信号转换为 CMOS 信号的接收器也是能够应用的。此外，虽然作为实例而描述液晶显示设备，但是本发明并非限于液晶显示设备并且在芯片间传输时钟信号、显示数据等等的其他显示设备中也是能够使用的。此外，
15 本发明并非限于显示设备并且在使用数据传输方法的另外的电子设备中也是能够使用的，其中在所述数据传输方法中，第一半导体集成电路的数据顺序地输出到多个级联的第二半导体集成电路设备。

20 很明显，本发明并非限于上述实施例并且在不脱离发明的范围和
精神的情况下可以进行修改和变化。

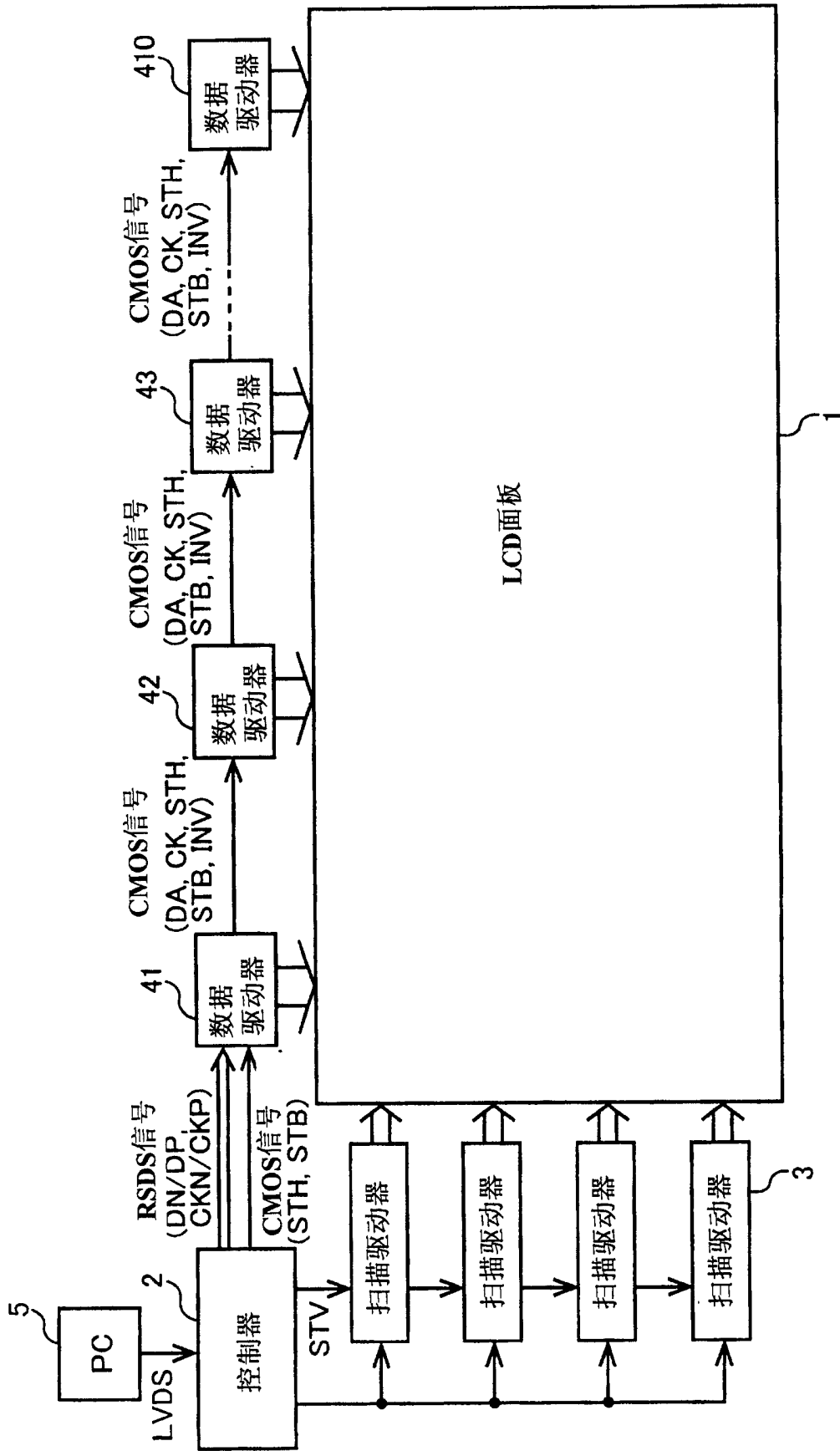
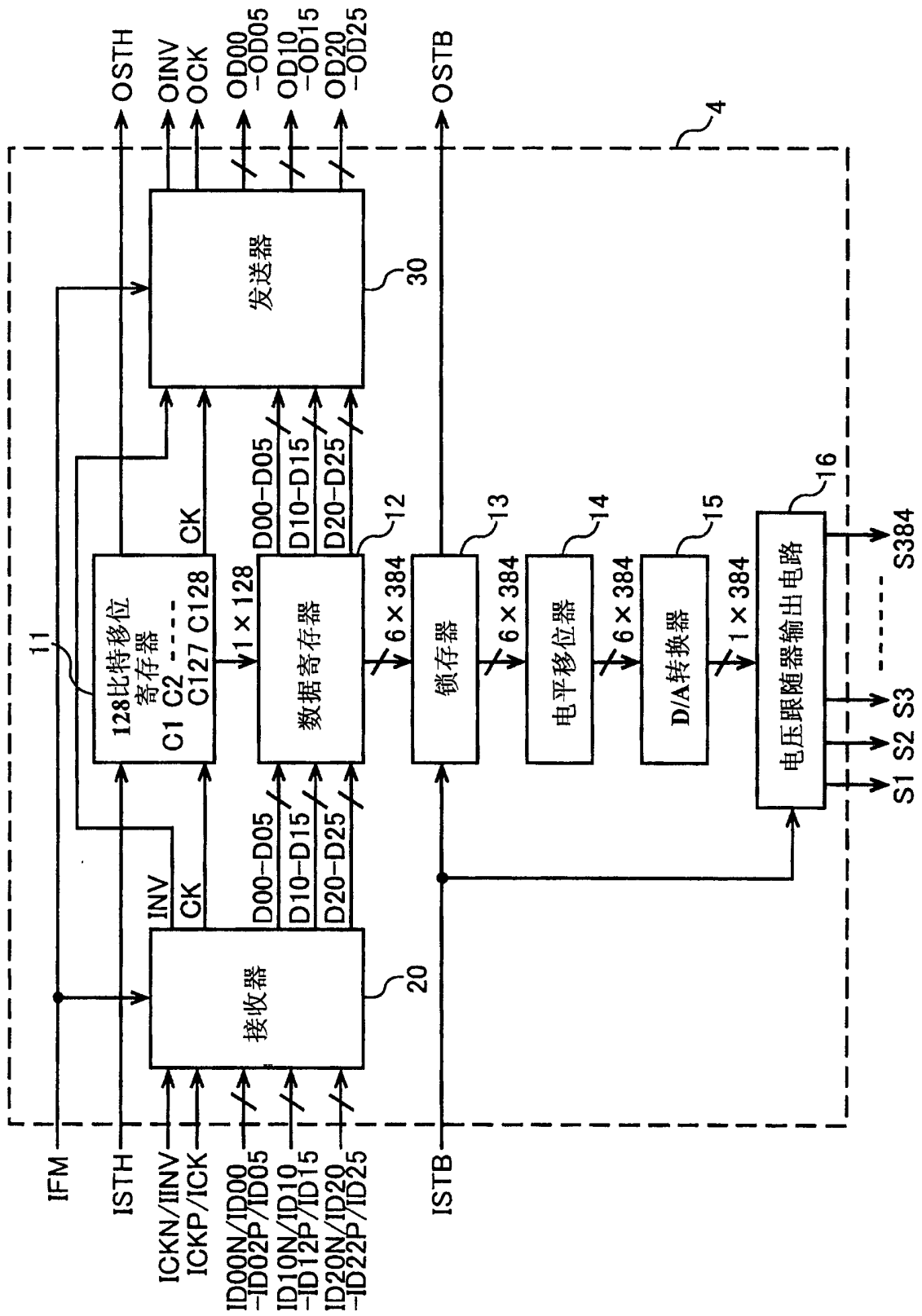
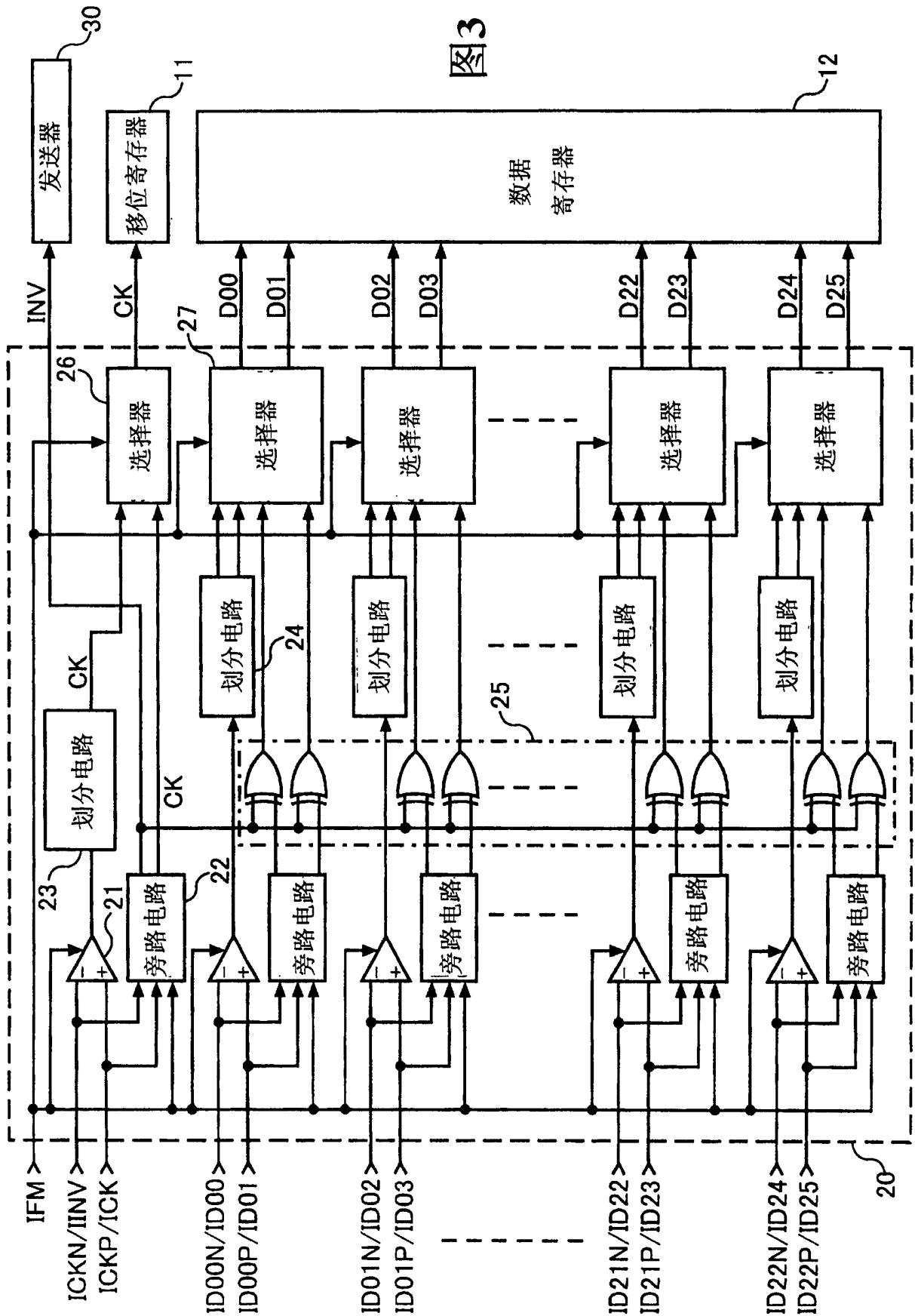


图1

图2





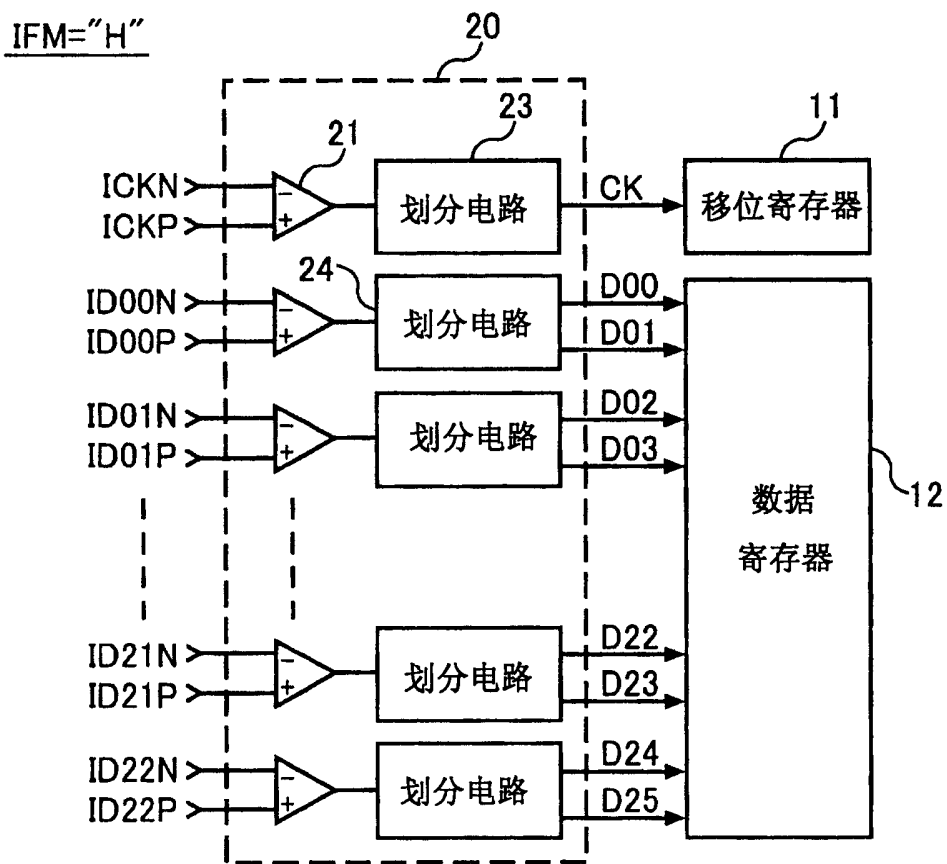
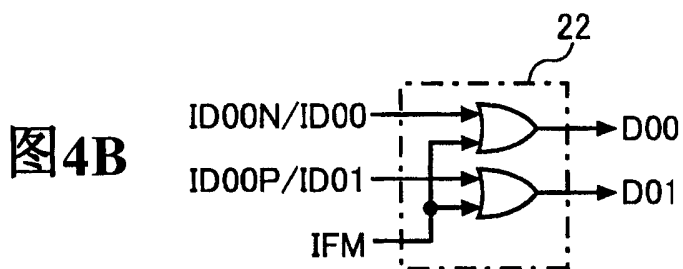
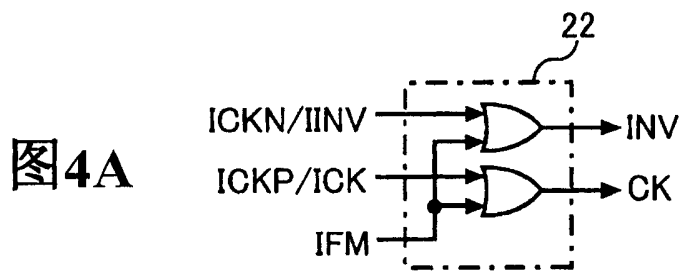


图5

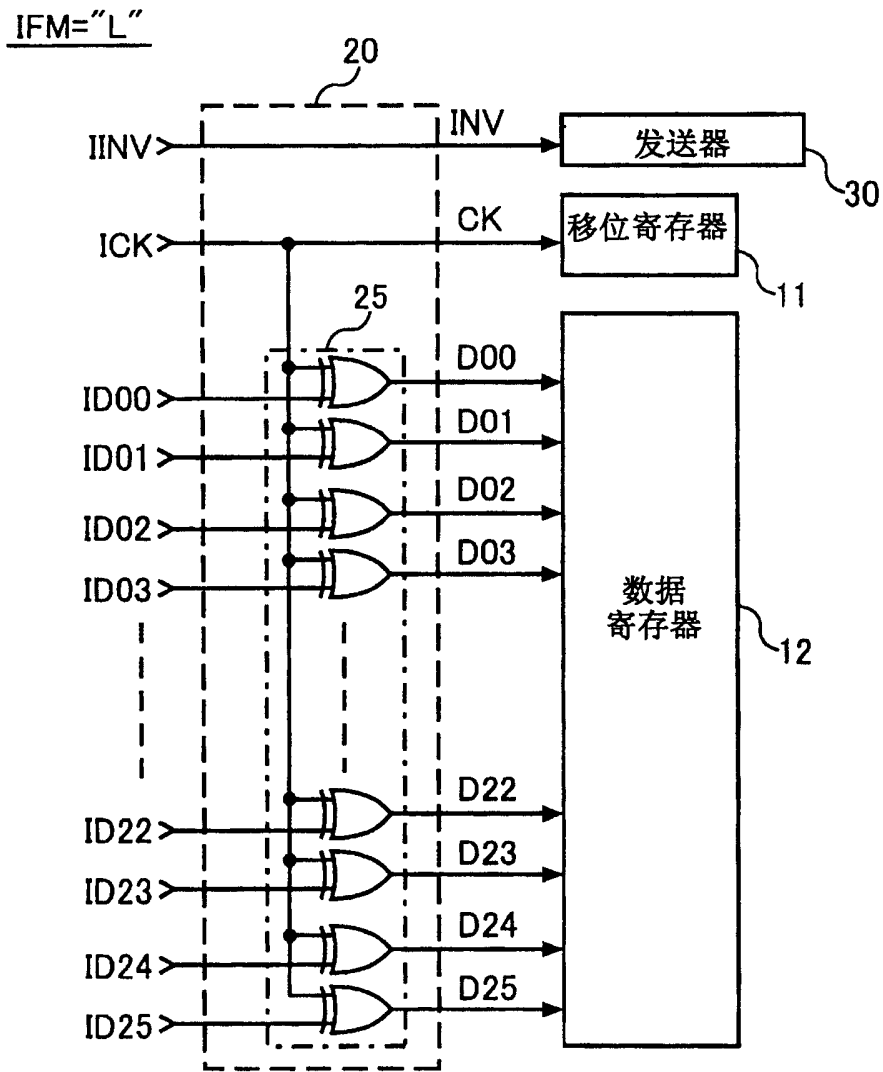


图6

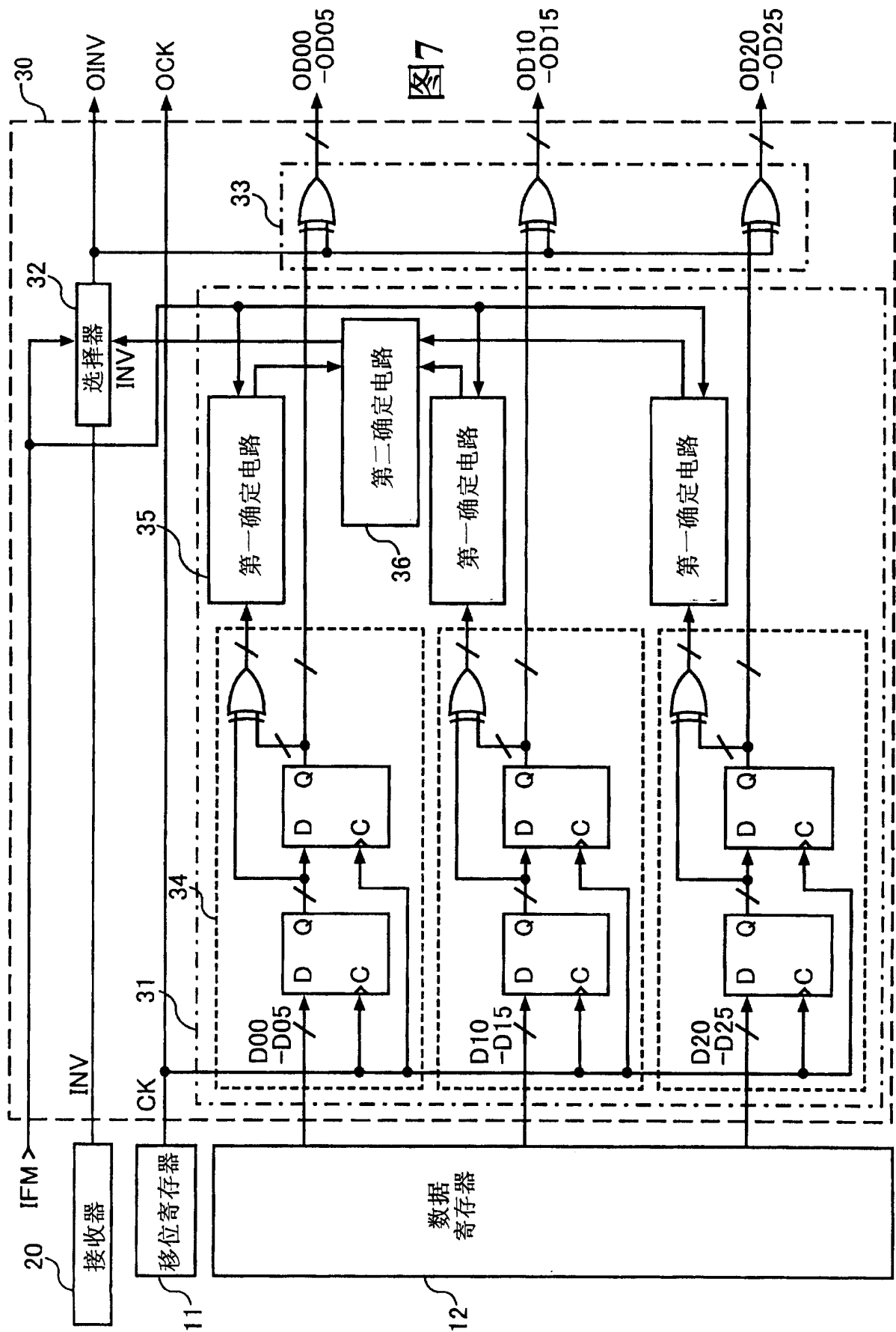
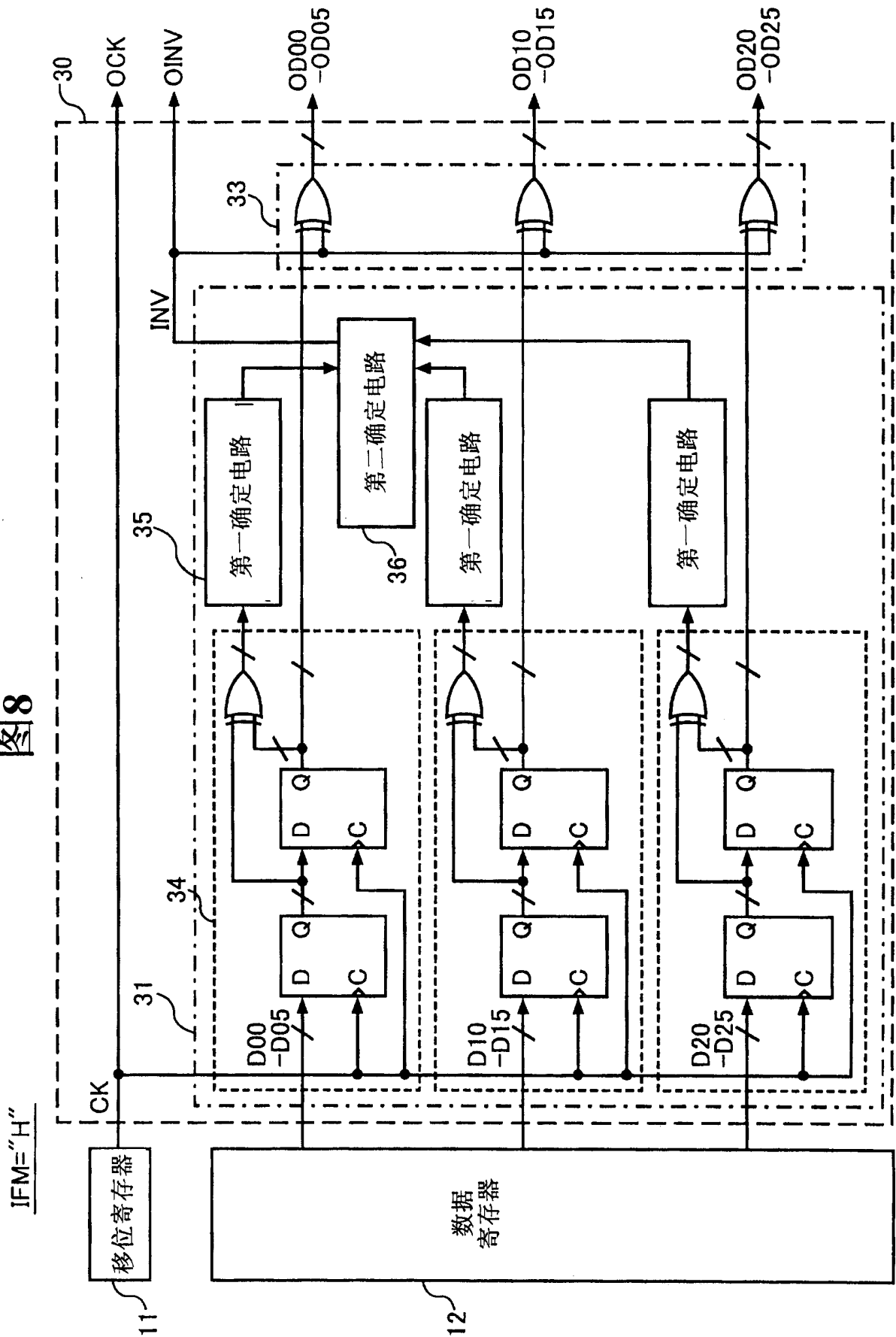


图8



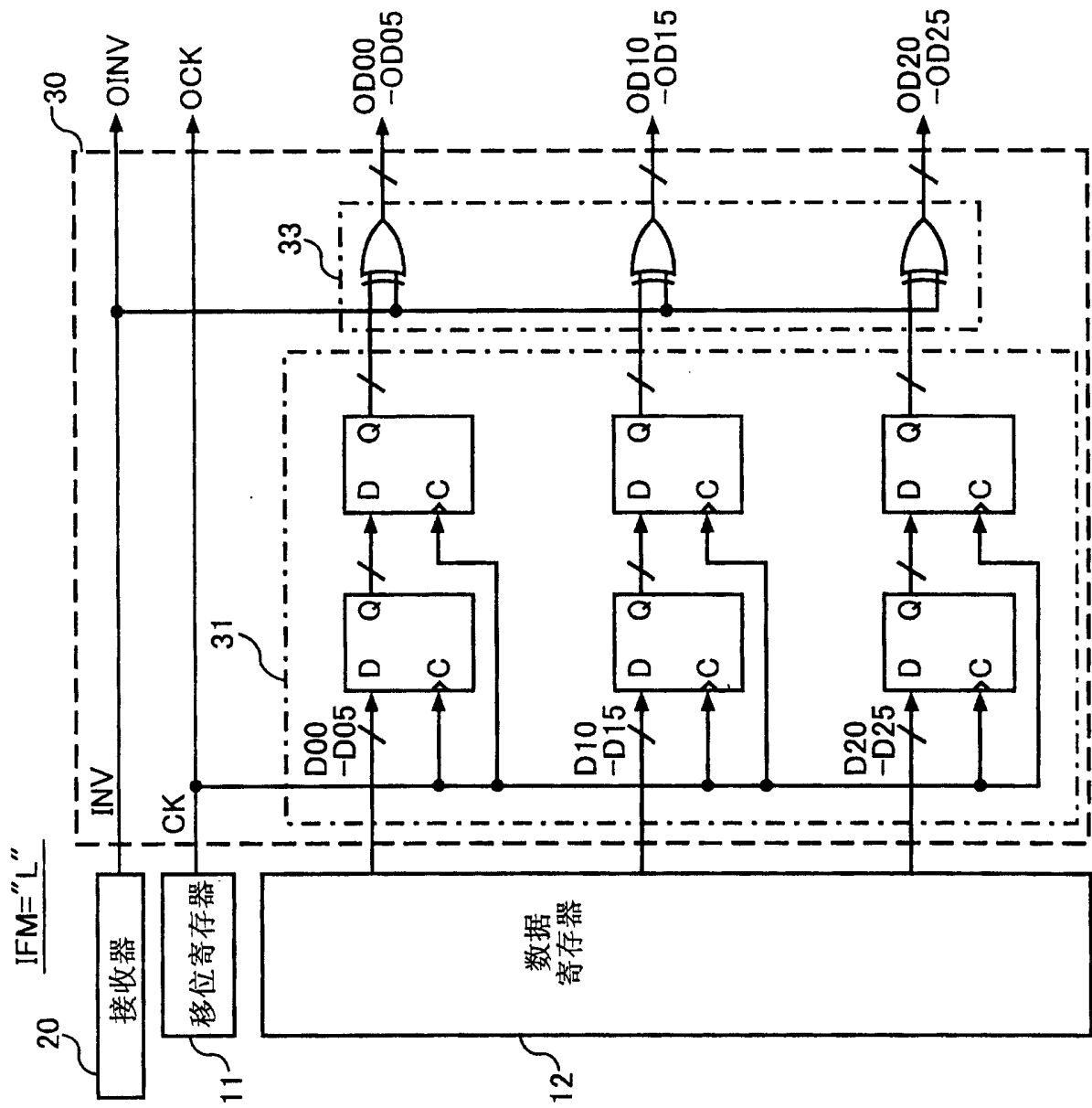


图9

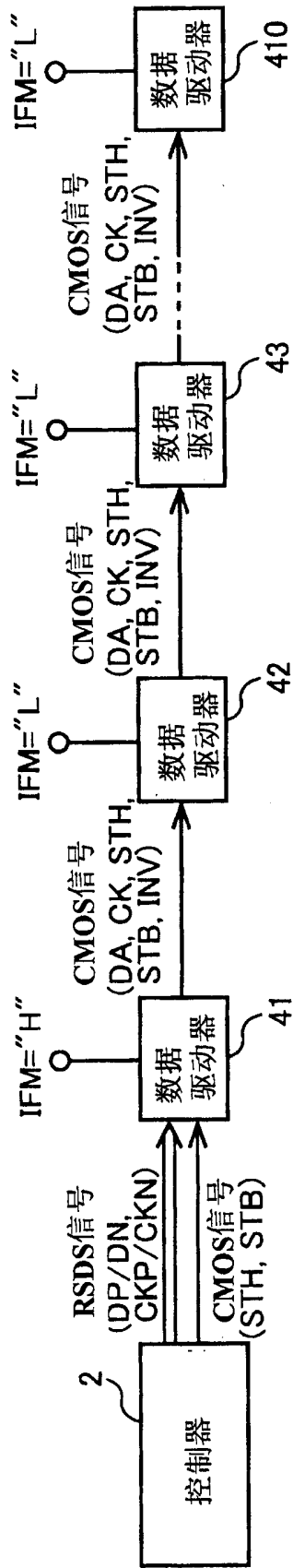
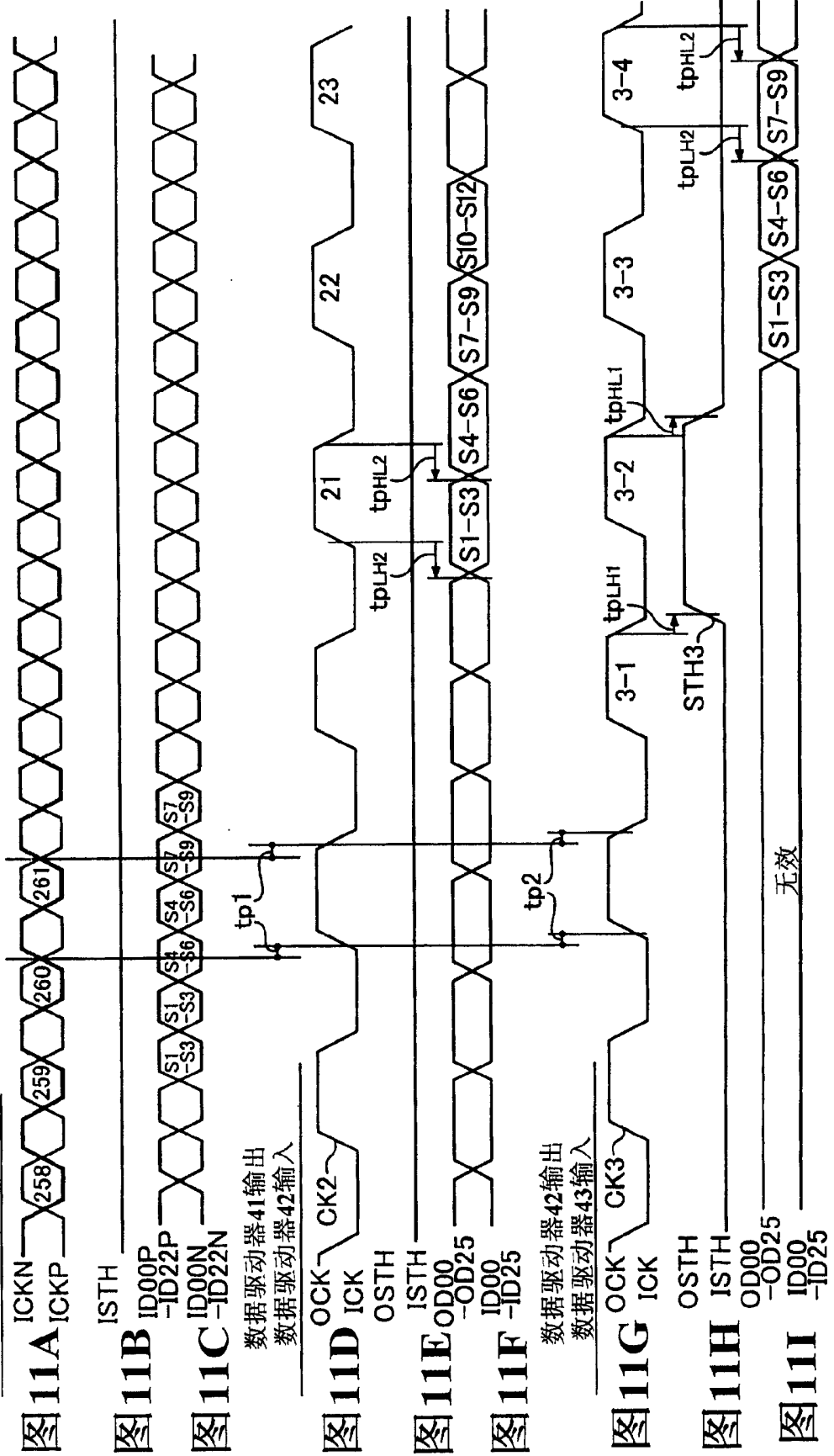


图10

数据驱动器41输入



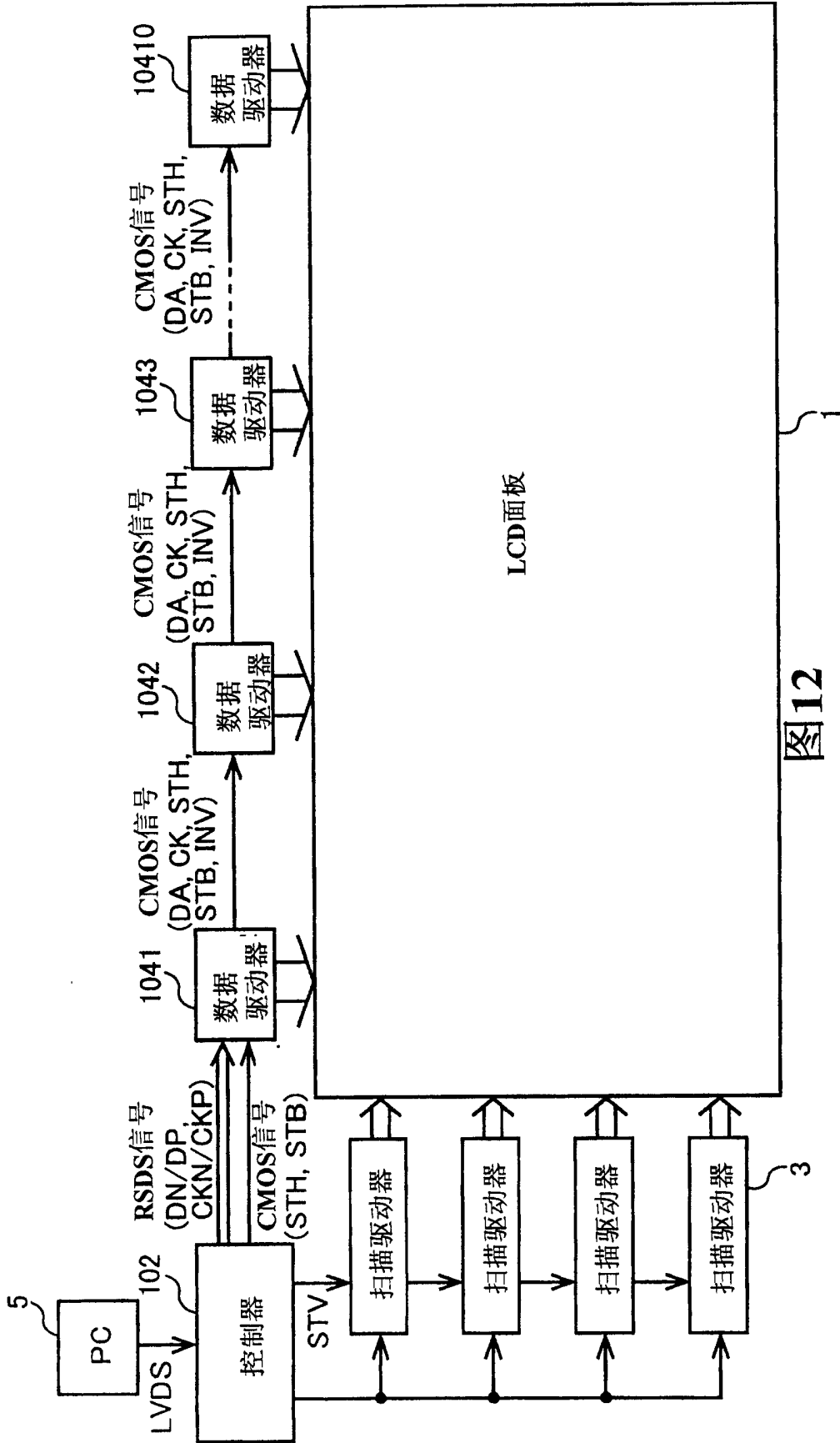


图12

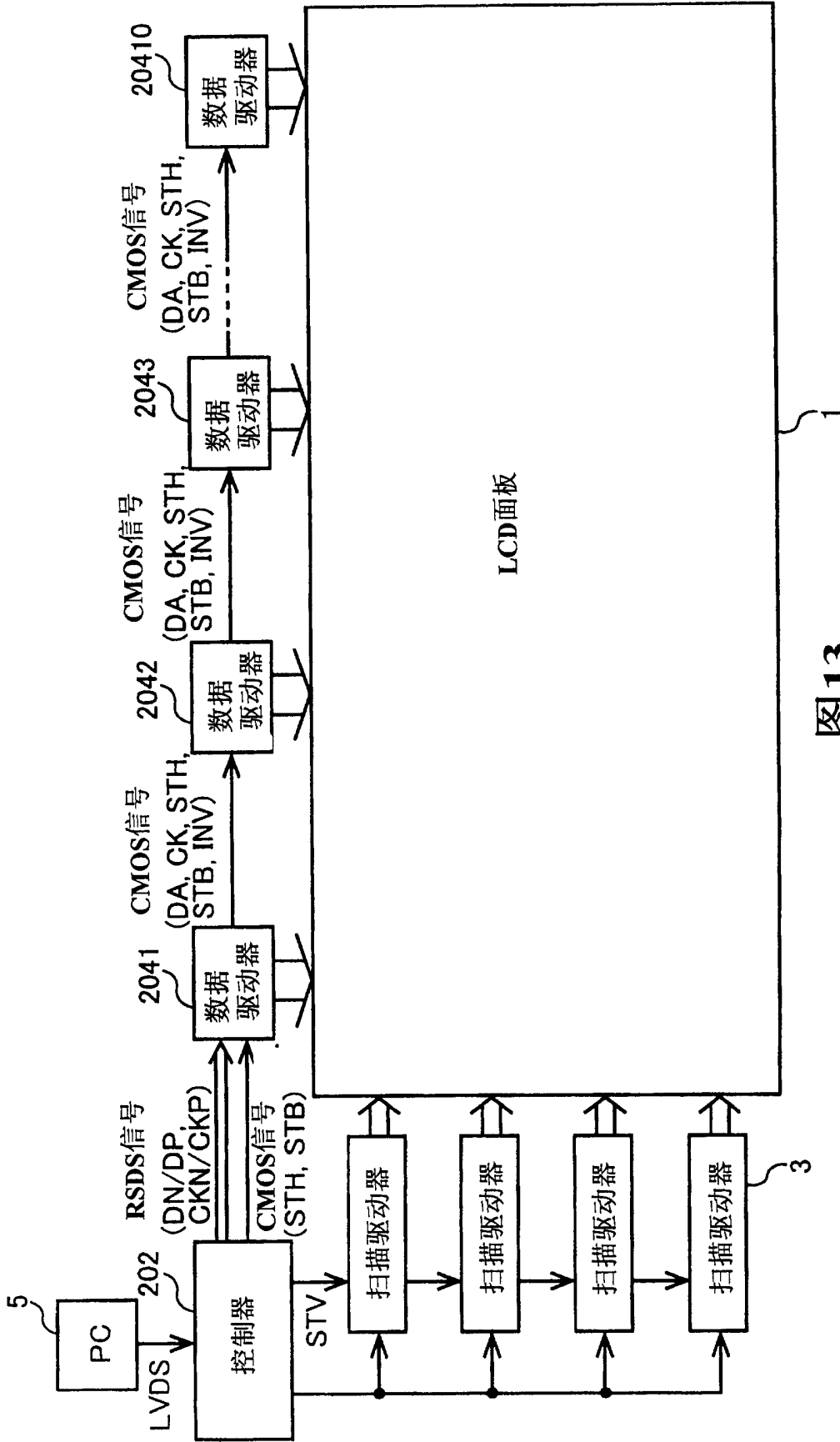


图13