



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월30일
 (11) 등록번호 10-1813366
 (24) 등록일자 2017년12월21일

(51) 국제특허분류(Int. Cl.)
 H01G 4/232 (2006.01)

(52) CPC특허분류
 H01G 4/232 (2013.01)
 H01G 4/012 (2013.01)

(21) 출원번호 10-2016-0040074

(22) 출원일자 2016년04월01일

심사청구일자 2016년04월01일

(65) 공개번호 10-2017-0112680

(43) 공개일자 2017년10월12일

(56) 선행기술조사문헌

KR101141369 B1*

KR1020130084853 A*

KR1020140121728 A*

JP2011003612 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매영로 150 (매탄동)

(72) 발명자

이진우

경기도 수원시 영통구 매영로 150 (매탄동)

최재열

경기도 수원시 영통구 매영로 150 (매탄동)

이중호

경기도 수원시 영통구 매영로 150 (매탄동)

(74) 대리인

특허법인씨엔에스

전체 청구항 수 : 총 7 항

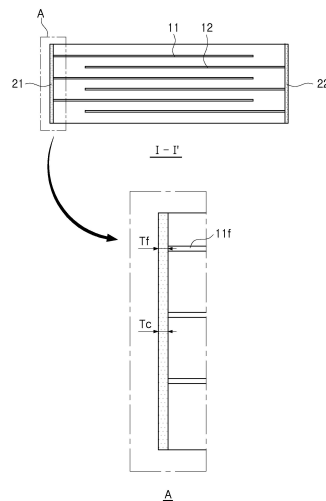
심사관 : 전한철

(54) 발명의 명칭 적층 전자부품 및 그 제조방법

(57) 요약

본 발명은 서로 상이한 극성을 가지는 제1 및 제2 내부전극이 교차로 적층되는 적층 구조와 유전물을 포함하는 바디, 및 상기 바디의 외부면 중 서로 마주하는 제1 면과 제2 면 상에 각각 배치되고, 상기 제1 및 제2 내부전극과 전기적으로 연결되는 제1 및 제2 외부전극을 포함하고, 상기 제1 내부전극 중 최외층에 배치되는 제1 최외층 내부전극이 위치하는 지점에서의 제1 외부전극의 두께는 상기 제1 외부전극의 중앙 지점에서의 두께에 대하여 0.8 배 이상 1.2 배 이하인 적층 전자부품 및 그 제조방법에 관한 것이다.

대표도 - 도2



(52) CPC특허분류

H01G 4/12 (2013.01)

H01G 4/2325 (2013.01)

H01G 4/30 (2013.01)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

다수의 유전체 시트를 준비하는 단계;

다수의 유전체 시트 상에 제1 내부전극과 제2 내부전극을 배치하는 단계;

제1 내부전극이 배치된 유전체 시트와 제2 내부전극이 배치된 유전체 시트를 번갈아 적층하여 적층바를 형성하는 단계;

바디의 외부면 중 제1 및 제2 내부전극이 동시에 노출되는 바디의 외부면 상에 제1 및 제2 사이드부를 배치하는 단계;

상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극을 배치하는 단계; 및

상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극을 배치하는 단계; 를 포함하고,

상기 제1 및 제2 외부전극은 전사 또는 인쇄 공법에 의하여 배치되며,

상기 제1 내부전극 중 최외층에 배치되는 제1 최외층 내부전극이 위치하는 지점에서의 제1 외부전극의 두께는 상기 제1 외부전극의 중앙 지점에서의 두께에 대하여 0.8 배 이상 1.2 배 이하가 되도록 하고,

상기 제1 외부전극을 형성하는 단계는 필름 또는 실리콘 고무 상에 상기 제1 내부전극 만이 노출되는 바디의 일면의 전체 면적과 동일하거나 큰 면적을 가지며, 서로 이격되는, 복수의 외부전극 페이스트를 일정 간격으로 배치한 후, 상기 외부전극 페이스트가 복수의 바디의 각각의 상기 일면 상에 일괄적으로 전사되도록 하는 것을 포함하는,

적층 전자부품의 제조방법.

청구항 10

제9항에 있어서,

제1 및 제2 사이드부는 제1 및 제2 내부전극이 동시에 노출되는 바디의 외부면 상에 비전도성 수지(resin)를 전사하거나 인쇄하여 형성하는,

적층 전자부품의 제조방법.

청구항 11

제9항에 있어서,

상기 바디의 외부면 상에 제1 및 제2 사이드부를 배치한 후, 상기 바디의 외부면 중 제1 내부전극만 노출되는 바디의 일면이 위쪽을 향하고, 제2 내부전극만 노출되는 바디의 타면이 아래쪽을 향하도록 정렬하는,

적층 전자부품의 제조방법.

청구항 12

삭제

청구항 13

제9항에 있어서,

상기 제1 및 제2 외부전극은 Cu페이스트 또는 Cu 에폭시를 포함하는,

적층 전자부품의 제조방법.

청구항 14

제9항에 있어서,

상기 제1 및 제2 외부전극은 단일층으로 형성하는,

적층 전자부품의 제조방법.

청구항 15

제9항에 있어서,

제1 외부전극은 제1 내부전극이 전체적으로 배치되는 바디의 일면으로부터 인접하는 다른 외부면의 적어도 일부 영역으로 연장되고,

제2 외부전극은 제2 내부전극이 전체적으로 배치되는 바디의 일면으로부터 인접하는 다른 외부면의 적어도 일부 영역으로 연장되는,

적층 전자부품의 제조방법.

청구항 16

제9항에 있어서,

상기 제1 사이드부의 두께에 대한 제1 외부전극 중앙 지점에서의 두께의 비는 0.5 이상 3.0 이하이고, 상기 제2 사이드부의 두께에 대한 제2 외부전극 중앙 지점에서의 두께의 비는 0.5 이상 3.0 이하가 되도록 하는,

적층 전자부품의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 적층 전자부품 및 그 제조방법에 관한 것이며, 보다 구체적으로 적층 세라믹 커패시터와 그 제조방법에 관한 것이다.

배경 기술

[0003] 적층 세라믹 커패시터는 유전 물질을 포함하는 복수 개의 시트가 적층되어 적층 구조를 형성하며, 상기 적층 구조의 외부에 서로 다른 극성을 갖는 외부전극이 형성되고, 상기 적층 구조의 내부에 교대로 적층된 내부전극이 상기 각각의 외부전극에 연결될 수 있다.

[0005] 적층 세라믹 커패시터에 대한 제조 공정 중에서 성형된 유전체 시트 위에 전도성 페이스트를 스크린, 그라비아 또는 기타 방식으로 인쇄하여 전극층을 형성하고 내부전극 층이 인쇄된 시트를 적층하여 적층바를 형성한 후, 소정의 크기를 가지는 개별칩으로 절단하고, 그 개별칩의 외부면 상에 외부전극을 배치한다.

[0007] 통상적으로 외부전극은 디핑(dipping) 방식으로 형성되는데, 이 경우, 외부전극 페이스트의 유동성 및 점성으로 인하여 균일하게 도포되지 않아 두께 불균일이 발생한다. 이러한 외부전극의 두께 불균일은 두께가 도포된 외부전극의 중심부에서 블리스터(blisters) 등이 발생시키고, 도금 불량 및 형상 불량을 야기시키며, 상대적으로 얇게 도포되는 외부전극의 코너부로 인하여 신뢰성 저하를 초래한다.

[0009] 하기의 특허문헌 1 은 외부전극 형성 공정을 구체적으로 개시하고 있지 않고, 외부전극 두께의 불균일로 인한 문제를 인식조차 하지 않고 있다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) 한국 특허공개공보 제2007-0037414호

발명의 내용

해결하려는 과제

[0012] 본 발명은 외부전극의 두께 균일성을 개선하고, 동일 사이즈 기준으로 용량을 개선한 적층 전자부품 및 그 제조방법을 제공하고자 한다.

과제의 해결 수단

[0014] 본 발명의 일 예에 따르면, 서로 상이한 극성을 가지는 제1 및 제2 내부전극이 교차로 적층되는 적층 구조와 유전물을 포함하는 바디와, 상기 바디의 외부면 중 서로 마주하는 제1 면과 제2 면 상에 각각 배치되고, 상기 제1 및 제2 내부전극과 전기적으로 연결되는 제1 및 제2 외부전극을 포함하고, 상기 제1 내부전극 중 최외층에 배치되는 제1 최외층 내부전극이 위치하는 지점에서의 제1 외부전극의 두께는 상기 제1 외부전극의 중앙 지점에서의 두께에 대하여 0.8배 초과 1.2배 이하인 적층 전자부품을 제공한다.

[0016] 본 발명의 다른 일 예에 따르면, 다수의 유전체 시트를 준비하는 단계, 다수의 유전체 시트 상에 제1 내부전극과 제2 내부전극을 배치하는 단계, 제1 내부전극이 배치된 유전체 시트와 제2 내부전극이 배치된 유전체 시트를 번갈아 적층하여 적층바를 형성하는 단계, 상기 바디의 외부면 중 제1 및 제2 내부전극이 동시에 노출되는 바디의 외부면 상에 제1 및 제2 사이드부를 배치하는 단계, 상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극

을 배치하는 단계, 상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극을 배치하는 단계를 포함하는 적층 전자부품의 제조방법을 제공한다. 이 경우, 제1 및 제2 외부전극은 전사 또는 인쇄 공법에 의하여 배치된다. 상기 제1 내부전극 중 최외층에 배치되는 제1 최외층 내부전극이 위치하는 지점에서의 제1 외부전극의 두께는 상기 제1 외부전극의 중앙 지점에서의 두께에 대하여 0.8배 초과 1.2배 이하가 되도록 제어된다.

발명의 효과

- [0018] 본 발명의 적층 전자부품 및 그 제조방법은 외부전극의 중앙부와 단부 간의 두께 차를 저감시켜 외부전극의 두께 균일도를 개선한다.
- [0020] 본 발명의 적층 전자부품 및 그 제조방법은 외부전극의 단부의 두께를 충분히 확보하여 외부전극의 단부로부터 습기 및 이물이 침투되어 신뢰성이 저하되는 것을 방지한다.
- [0022] 본 발명의 적층 전자부품 및 그 제조방법은 서로 상이한 극성을 가지는 내부전극이 중첩되는 면적을 증가시켜 동일 사이즈 기준으로 전자부품의 용량을 증가시킨다.
- [0024] 본 발명의 적층 전자부품 및 그 제조방법은 전자부품을 적층바로부터 소정의 크기로 절단할 때 발생하는 불량률을 방지한다.

도면의 간단한 설명

- [0026] 도1 은 본 발명의 일 예에 따른 적층 전자부품의 개략적인 사시도이다.
 도2 는 도1 의 I-I'을 절단한 단면도이다.
 도3 은 도2 의 일 변형예에 따른 단면도이다.
 도4 는 도1 의 II-II' 을 절단한 단면도이다.
 도5 내지 도9 는 본 발명의 다른 일 예에 따른 적층 전자부품 제조방법의 개략적인 공정도를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시형태는 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0028] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다.
- [0029] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0031] 이하에서는 본 발명의 일 예에 따른 적층 전자부품 및 그 제조방법을 설명하되, 반드시 이에 제한되는 것은 아니다.
- [0033] 적층 전자 부품
- [0035] 도1 은 본 발명의 일 예에 따른 적층 전자부품의 개략적인 사시도이고, 도2 는 도1 의 I-I'선을 절단한 단면도이다.
- [0037] 도1 및 도2 를 참조하면, 본 발명의 적층 전자부품(100)은 바디(1)와 바디의 외부면에 배치하는 제1 및 제2 외부전극(21,22)을 포함한다.
- [0039] 또한, 바디의 서로 마주하는 양면 상에는 제1 및 제2 사이드부(31,32)가 배치된다.
- [0041] 바디(1)는 제1 및 제2 내부전극(11,12)이 교대로 적층되는 적층 구조와 유전 물질을 포함한다.
- [0043] 바디(1)는 두께(T) 방향으로 서로 마주하는 상면 및 하면, 길이(L) 방향으로 서로 마주하는 제1 면 및 제2 면,

폭(W) 방향으로 서로 마주하는 제3 면 및 제4 면을 포함하여, 실질적으로 육면체 형상을 가질 수 있으나, 이에 한정되는 것은 아니다.

[0045] 외부전극은 길이 방향으로 서로 마주하는 바디의 제1 면과 제2 면에 각각 배치되는 제1 및 제2 외부전극(21, 22)을 포함한다. 이 경우, 제1 및 제2 외부전극(21, 22)의 내부면은 각각 바디의 제1 면 및 제2 면과 실질적으로 동일한 형상 및 면적을 가질 수 있으나, 이에 한정되는 것은 아니다.

[0047] 도2 에서 제1 외부전극과 인접한 영역을 확대하여 도시한 "A"를 참고하면, 제1 내부전극(11) 중 최외층에 배치되는 제1 최외층 내부전극(11f)이 위치하는 지점에서의 제1 외부전극의 두께(Tf)는 제1 외부전극의 중앙 지점에서의 두께(Tc)의 0.8배 초과 1.2배 이하이다.

[0049] 통상적으로, 외부전극은 디핑(dipping) 방식으로 형성하는데, 구체적으로 일정 두께로 외부전극 페이스트를 깔고 내부전극을 내포하는 칩의 한쪽 면을 찍은 후, 바닥에 다시 찍어서 상기 외부전극 페이스트를 약간 떨어낸다. 이 후, 건조시키고 핀(pin) 등으로 칩을 반대편으로 밀고 다시 한번 동일한 방법으로 외부전극 페이스트를 도포한다. 이러한 방식에 따를 경우, 외부전극의 중앙부의 두께는 칩의 모서리부에 인접하는 외부전극의 단부의 두께에 비하여 상대적으로 두껍게 형성되며, 그 결과, 상대적으로 얇은 외부전극의 단부로 습기 및 이물질이 침투되어서 신뢰성이 저하된다.

[0051] 하지만, 본 발명의 일 예에 따른 적층 전자부품에서는, 제1 내부전극(11) 중 최외층에 배치되는 제1 최외층 내부전극(11f)이 위치하는 지점에서의 제1 외부전극의 두께(Tf)가 제1 외부전극의 중앙 지점에서의 두께(Tc)의 0.8배 초과 1.2배 이하가 되도록 제어될 수 있다.

[0053] 하기의 [표 1]에서 보여지듯이, 제1 내부전극 중 최외층에 배치되는 제1 최외층 내부전극이 위치하는 지점에서의 제1 외부전극의 두께(Tf)는 제1 외부전극의 중앙 지점에서의 두께(Tc)의 0.8배 초과 1.2배 이하가 될 때, 내습 신뢰성이 개선된다.

[0054] 여기서, 내습 신뢰성은 모바일 폰 마더 보드용 칩 부품의 통상적인 조건인 85℃, 상대습도 85% 에서 적층 전자부품이 내장된 기관을 약 2시간 방치한 후 실험을 수행하여 조사하였다.

[0056] 하기의 [표 1] 에서 불량이 없는 경우를 "◎"라고 표시하고, 불량이 0.1%이하인 경우를 "○"라고 표시하고, 불량률이 0.1% 초과 1% 이하인 경우를 "△"라고 표시하고, 불량률이 1% 초과인 경우를 "X"라고 표시한다.

표 1

Tf/Tc	내습 신뢰성의 판정
1.1초과 1.2이하	◎
1.0초과 1.1이하	◎
0.9초과 1.0이하	◎
0.8초과 0.9이하	◎
0.7초과 0.8이하	○
0.6초과 0.7이하	△
0.5초과 0.6이하	△
0.5이하	X

[0060] 상기 [표 1] 에 기재하지는 않았으나, 제1 내부전극 중 최외층에 배치되는 제1 최외층 내부전극이 위치하는 지점에서의 제1 외부전극의 두께(Tf)가 제1 외부전극의 중앙 지점에서의 두께(Tc)의 1.2 배를 초과하는 경우에는, 제1 외부전극의 중앙부에 비하여 제1 최외층 내부전극이 위치하는 지점에서의 제1 외부전극이 불필요하게 과도한 성장을 한 것이고, 제1 외부전극의 두께 균일성이 저하된 것이다.

[0062] 반면, 제1 내부전극 중 최외층에 배치되는 제1 최외층 내부전극이 위치하는 지점에서의 제1 외부전극의 두께(Tf)가 제1 외부전극의 중앙 지점에서의 두께(Tc)의 0.8배 이하인 경우, 제1 최외층 내부전극이 위치하는 지점에서의 제1 외부전극의 두께가 지나치게 얇아서 내습 신뢰성이 악화된다.

[0064] 결론적으로, 제1 내부전극 중 최외층에 배치되는 제1 최외층 내부전극이 위치하는 지점에서의 제1 외부전극의 두께(Tf)는 제1 외부전극의 중앙 지점에서의 두께(Tc)의 0.8배 초과 1.2배 이하가 될 때, 불량률이 없이 내습 신뢰성이 현저히 개선된다.

[0066] 다음, 도3 은 도2 의 일 변형예에 따른 적층 전자부품의 단면도이다.

- [0068] 도3 을 참조하면, 제1 외부전극(21)은 길이 방향으로 서로 마주하는 바디의제1 면 상에 배치되고, 추가적으로 바디의 제1 면에 인접하는 바디의 외부면 중 적어도 일부 영역으로 연장될 수 있다. 예를 들어, 제1 외부전극(21)은 바디의 제1 면으로부터 연장되어서, 바디의 두께(T) 방향으로 서로 마주하는 상면 및 하면, 바디의 폭(w) 방향으로 서로 마주하는 제3 면 및 제4 면의 일부 영역까지 배치된다.
- [0070] 마찬가지로, 제2 외부전극(22)은 길이 방향으로 서로 마주하는 바디의 제2 면 상에 배치되고, 추가적으로 바디의 제2 면에 인접하는 바디의 외부면 중 적어도 일부 영역으로 연장될 수 있다. 예를 들어, 제2 외부전극(22)은 바디의 제2 면으로부터 연장되어서, 바디의 두께(T) 방향으로 서로 마주하는 상면 및 하면, 바디의 폭(W) 방향으로 서로 마주하는 제3 면 및 제4 면의 일부 영역까지 배치된다.
- [0072] 이 경우, 도3 에서 보여지듯이, 바디의 제1 면의 일 단부로부터 제1 외부전극의 표면까지 이르는 최소 거리(Tmin)는 바디의 제1 면과 바디의 상면에 의해 형성되는 모서리부의 일 지점으로부터 제1 외부전극의 코너부까지의 거리일 수 있으나, 이에 한정되는 것은 아니다.
- [0074] 한편, 제1 외부전극이 배치된 바디의 제1 면의 일 단부로부터 제1 외부전극의 표면까지 이르는 최소 거리(Tmin)는 제1 외부전극의 중앙 지점에서의 두께(Tc)에 대하여 0.4배 초과 1.0배 이하인 것이 바람직하다.
- [0076] 제1 외부전극이 배치되는 바디의 제1 면의 일 단부는, 바디의 제1 면, 및 그에 인접하는 바디의 타면에 의해 형성되는 모서리부 상의 임의의 지점을 의미하는데, 예를 들어, 도3 을 참조하면, 바디의 제1 면의 일 단부는 바디의 제1 면과 바디의 상면에 의해 형성되는 모서리부 중 끝 단부이다.

표 2

Tmin/Tc	내습 신뢰성의 판정
0.9초과 1.0이하	◎
0.8초과 0.9이하	◎
0.7초과 1.0이하	◎
0.6초과 0.9이하	◎
0.5초과 0.8이하	◎
0.4초과 0.7이하	◎
0.3초과 0.6이하	○
0.2초과 0.3이하	○
0.1초과 0.2이하	△
0.1이하	X

- [0080] 상기의 [표 2] 에서 보여지듯이, 제1 외부전극이 배치된 바디의 제1 면의 일 단부로부터 제1 외부전극의 표면까지 이르는 최소 거리(Tmin)가 제1 외부전극의 중앙 지점에서의 두께(Tc)에 대하여 0.4배 이하일 때, 0.1% 이하의 정도로 적지만 불량이 발생하여 내습 신뢰성이 저하된다. 반면, 상기 [표 2] 에 기재하지는 않았으나, 제1 외부전극이 배치된 바디의 제1 면의 일 단부로부터 제1 외부전극의 표면까지 이르는 최소 거리(Tmin)가 제1 외부전극의 중앙 지점에서의 두께(Tc)에 대하여 1.0 배 초과일 때에도 제1 외부전극의 두께 균일성이 저하된 것이어서 바람직하지 않다.
- [0082] 한편, 상술한 제1 외부전극의 두께와 관련한 기술 내용은 제2 외부전극의 두께와 관련한 기술 내용에도 그대로 적용될 수 있으며, 그 구체적인 설명은 완전히 중복되므로 생략한다.
- [0084] 다음, 도4 는 도1 의 II-II' 선을 절단한 단면도이다.
- [0086] 도4 를 참조하면, 제1 내부전극(11)은 제1 외부전극이 배치되는 바디의 제1 면으로 노출되는 것과 동시에, 바디의 폭(W) 방향으로 서로 마주하는 바디의 제3 면과 제4 면으로도 노출된다.
- [0087] 마찬가지로, 제2 내부전극(12)은 제2 외부전극이 배치되는 바디의 제2 면으로 노출되는 것과 동시에, 바디의 폭(W) 방향으로 서로 마주하는 바디의 제3 면과 제4 면으로도 노출된다.
- [0089] 통상적으로 바디의 상면 및 하면은 전자부품을 외부 충격으로부터 보호하기 위한 상부 커버층 및 하부 커버층을 이루어 유전체 시트로 마무리되어 제1 및 제2 내부전극이 노출되지 않는다. 또한, 제1 및 제2 외부전극이 배치되는 바디의 양 면은 제1 내부전극 및 제2 내부전극만이 각각 노출된다. 또한, 제1 및 제2 외부전극이 배치되지 않는 바디의 나머지 면들 상에도 전자부품의 보호를 위해 마진 영역이 형성되며 제1 및 제2 내부전극은 노출되

지 않는다.

- [0091] 하지만, 본 발명의 일 예에 따르면, 제1 내부전극은 바디의 길이 방향으로 마주하는 제1 면 및 제2 면 중 제1 외부전극이 배치되는 제1 면으로 노출되고, 추가적으로 바디의 폭 방향으로 마주하는 제3 면과 제4 면으로도 노출된다. 또한, 제2 내부전극은 바디의 길이 방향으로 마주하는 제1 면 및 제2 면 중 제2 외부전극이 배치되는 제2 면으로 노출되고, 추가적으로 바디의 폭 방향으로 마주하는 제3 면과 제4 면으로도 노출된다. 그 결과, 동일한 사이즈를 기준으로 바디의 액티브 영역(제1 및 제2 내부전극이 서로 중첩되어 용량을 형성하는 영역)의 면적이 증가하고, 상대적으로 바디의 마진(margin) 영역(바디 내 액티브 영역을 제외한 영역)의 면적이 줄어들어서, 적층 전자부품의 용량이 개선된다.
- [0093] 도4 를 참조하면, 제1 및 제2 내부전극(11,12)이 모두 노출되는 바디의 제3 면 및 제4 면 상에는 제1 및 제2 사이드부(31,32)가 배치된다.
- [0095] 제1 및 제2 사이드부는 제1 및 제2 내부전극 간의 중첩 면적을 최대화하기 위하여 바디의 폭(W) 방향의 양 단부에 배치되는 마진 영역을 제거하는 대신 배치되는 것이다. 제1 및 제2 내부전극이 바디의 폭(W) 방향으로 서로 마주하는 제3 면 및 제4 면으로 모두 노출되기 때문에, 외부로부터 습기 및 이물질 침투로부터 제1 및 제2 내부전극을 보호할 필요가 있기 때문이다.
- [0097] 제1 및 제2 사이드부(31,32)는 비전도성 수지(resin)을 포함하며, 예를 들어, 비전도성 에폭시(epoxy) 일 수 있으나, 이에 한정되는 것은 아니다.
- [0099] 제1 및 제2 사이드부(31,32)의 두께는 전자부품의 사이즈에 따라 적절히 설정될 수 있으며, 예를 들어, 2 μ m 이상 20 μ m 이하일 수 있으나, 이에 한정되는 것은 아니다. 제1 및 제2 사이드부의 두께가 2 μ m 미만이면 외부 충격에 대한 기계적 강도가 저하될 우려가 있고, 30 μ m 이상이면 상대적으로 내부전극의 중첩 면적이 감소하여 적층 전자부품의 고용량을 확보하기 어려울 수 있다.
- [0101] 제1 및 제2 사이드부(31,32)의 두께는 전체 영역에 걸쳐서 실질적으로 균일하다. 여기서, 제1 및 제2 사이드부의 두께가 실질적으로 균일하다는 것은 바디의 제3 면 및 제4 면으로 노출되는 제1 및 제2 내부전극의 일 단부로부터 제1 및 제2 사이드부의 외부면까지의 거리가 모두 동일한 것을 의미한다.
- [0103] 제1 사이드부의 두께(Ts)에 대한 제1 외부전극 중앙 지점에서의 두께(Tc)의 비는 0.5 초과 3.0 이하인 것이 바람직하다.

표 3

Tc/Ts	내습 신뢰성의 판정
3.5 초과	○
3.0초과 3.5이하	○
2.5초과 3.0이하	◎
2.0초과 0.9이하	◎
1.5초과 0.8이하	◎
1.0초과 0.7이하	◎
0.5초과 0.6이하	◎
0.1초과 0.5이하	○
0.1이하	△

- [0107] 상기 [표 3]에서 보여지듯이, 제1 사이드부의 두께(Ts)에 대한 제1 외부전극 중앙 지점에서의 두께(Tc)의 비가 0.5 초과 3.0 이하인 경우에, 내습 신뢰성의 평가에서 불량이 전혀 발생하지 않고, 신뢰도가 크게 개선된다.
- [0109] 한편, 상술한 제1 외부전극과 제1 사이드부의 두께와 관련한 기술 내용은 제2 외부전극과 제2 사이드부의 두께와 관련한 기술 내용에도 그대로 적용될 수 있으며, 그 구체적인 설명은 완전히 중복되므로 생략한다.
- [0111] 한편, 통상적인 외부전극의 형성 방식을 그대로 적용할 경우, 제1 및 제2 외부전극의 두께, 제1 및 제2 사이드부의 두께, 및 이들의 관계가 상술한 것과 같이 제어되는데 한계가 있다. 예를 들어, 제1 및 제2 외부전극을 딥핑(dipping) 방식에 의한 경우, 제1 및 제2 외부전극의 중심부가 상대적으로 두껍게 형성된다.
- [0113] 또한, 제1 및 제2 사이드부를 바디와 구별하여 별도로 배치하는 것이 아니라, 제1 및 제2 내부전극이 바디의 폭 방향의 양 단부로부터 일정 간격 이격되는 지점까지만 형성되도록 바디의 마진 영역을 형성하는 경우에는, 제1

및 제2 내부전극을 포함하는 바디의 소결 공정을 과정 중 열 응축 정도의 차이 등의 영향으로 인해 바디의 마진 영역의 두께, 즉, 바디 내 제1 및 제2 내부전극의 단부로부터 바디의 외부면까지의 거리가 균일해지도록 제어하는 것이 어렵다.

- [0115] 따라서, 이하에서는 본 발명의 일 예에 따른 적층 전자부품이 제공되기 위한 일 제조 방법을 설명한다.
- [0117] 다만, 본 발명의 일 예에 따른 적층 전자부품이 상술한 특성을 가지는 것이면 충분하며, 상기 적층 전자부품이 아래 설명되는 일 제조 방법에 한정되는 것은 아니다.
- [0119] 적층 전자부품의 제조방법
- [0120] 도5 내지 도9 는 본 발명의 다른 일 예에 따른 적층 전자부품의 제조방법의 개략적인 공정도이다.
- [0122] 먼저, 도5 는 서로 상이한 극성을 가지는 제1 및 제2 내부전극이 교차로 적층되는 적층 구조와 유전물을 포함하는 바디가 준비되는 것을 나타낸다 (S1).
- [0124] 구체적으로, 도5(a)는 준비된 바디의 사시도이고, 도 5(b)는 도5(a)의 a방향, b방향, 및 c방향에서 바라보는 각각의 단면도이다.
- [0126] 상기 바디는 두께 방향으로 서로 마주하는 상면 및 하면, 길이 방향으로 서로 마주하는 제1 면 및 제2 면, 폭 방향으로 서로 마주하는 제3 면 및 제4 면을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0128] 상기 바디의 외부면 중 바디의 상면 및 하면으로는 제1 및 제2 내부전극이 모두 노출되지 않는다.
- [0130] 반면, 상기 바디의 외부면 중 길이 방향으로 서로 마주하는 제1 면 및 제2 면 상에는 각각 제1 내부전극 및 제2 내부전극이 노출되고, 폭 방향으로 서로 마주하는 제3 면 및 제4 면으로는 제1 및 제2 내부전극이 번갈아 노출된다.
- [0132] 상기 바디 내 함유되는 유전물은 제1 및 제2 세라믹 그린 시트가 소결되어 형성될 수 있는데, 상기 제1 및 제2 세라믹 그린 시트는 높은 유전율을 가지는 파우더와 바인더, 및 용제를 포함하는 슬러리를 포함할 수 있다.
- [0134] 상기 높은 유전율을 가지는 파우더는 티탄산바륨계 재료, 납 복합 페로브스카이트계 재료 또는 티탄산스트론튬계 재료 등을 사용할 수 있으며, 이에 한정되는 것은 아니나, 바람직하게는 티탄산바륨 파우더가 사용될 수 있다.
- [0136] 상기 바인더는 상기 파우더의 분산성과 점성을 확보하기 위한 것으로서 바인더의 양을 조절하여 슬러리의 점도를 조절할 수 있다. 상기 바인더는 유기 바인더 수지가 사용될 수 있으며, 이에 제한되는 것은 아니나, 에틸 셀룰로오스와 폴리 비닐 부티랄 등과 같은 수지가 사용될 수 있다.
- [0138] 또한, 상기 제1 및 제2 내부전극은 전기 전도성이 우수한 도전성 금속으로 형성될 수 있으며, 이에 제한되는 것은 아니나, Ag, Ni, Cu, Pd 및 이들의 합금으로 구성된 군 중에서 선택된 하나 이상을 포함할 수 있다.
- [0140] 제1 및 제2 내부전극을 각각 포함하는 상기 제1 및 제2 세라믹 그린 시트를 교대로 적층한 적층바(bar)를 소정의 칩 사이즈로 절단하여 바디를 준비한다.
- [0142] 다음, 도6 을 참조하면, 상기 바디의 외부면 상에 제1 및 제2 사이드부를 배치한다(S2). 제1 및 제2 사이드부는 바디의 외부면 중 제1 및 제2 내부전극이 동시에 노출되는 바디의 제3 면 및 제4 면 상에 각각 배치된다.
- [0144] 제1 및 제2 사이드부는 비전도성 수지(resin)를 전사하거나 인쇄하여 배치될 수 있다. 예를 들어, 비전도성 수지를 포함하는 필름(film)을 바디의 외부면 중 제3 면과 제4 면 상에 전사한다. 이 경우, 제1 및 제2 사이드부의 두께는 바디의 제3 면과 제4 면의 전체에 걸쳐서 실질적으로 균일할 수 있다. 제1 및 제2 사이드부의 두께는 칩 사이즈 등을 고려하여 적절히 선택할 수 있으며, 예를 들어, 0.02 μ m 내지 0.3 μ m 일 수 있으나, 이에 한정되는 것은 아니다. 제1 및 제2 사이드부의 두께가 지나치게 얇은 경우, 바디에 접촉되는 특성이 저하될 수 있고, 지나치게 두꺼운 경우는 동일한 사이즈를 기준으로 할 때 상대적으로 제1 및 제2 내부전극이 중첩된 바디의 사이즈가 줄어들어 정전 용량이 저하될 우려가 있다.
- [0146] 상기 비전도성 수지(resin)는 예를 들어 비전도성 에폭시(epoxy)일 수 있다.
- [0148] 다음, 도7 을 참조하면, 바디의 외부면 중 제3 면 및 제4 면 상에 제1 및 제2 사이드부를 배치한 후, 상기 바디의 외부면 중 제1 내부전극만 노출되는 바디의 일면, 즉 바디의 길이 방향으로 서로 마주하는 제1 면 및 제2 면 중 제1 면이 위쪽을 향하고, 제2 내부전극만 노출되는 바디의 타면, 즉, 제2 면이 아래쪽을 향하도록 정렬하는

단계를 포함한다(S3).

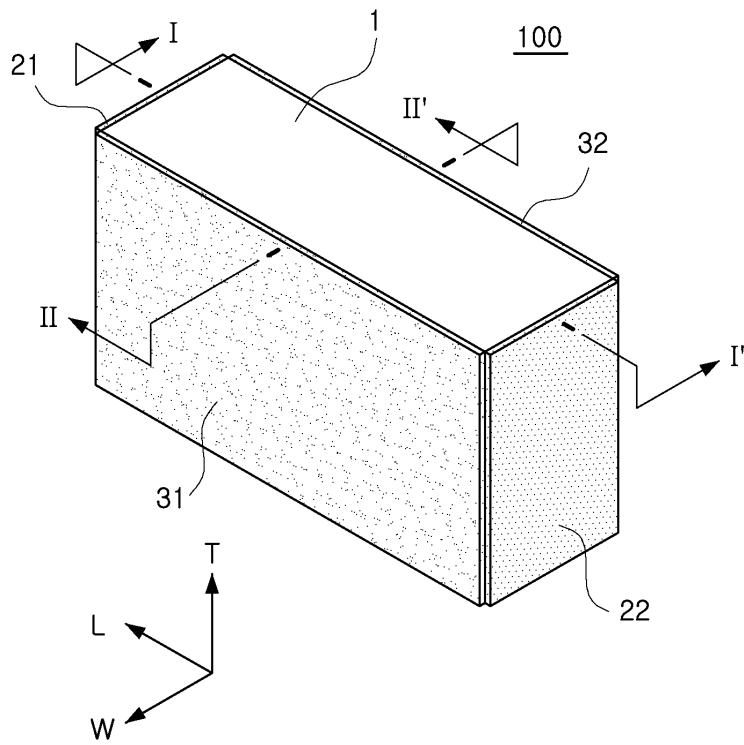
- [0150] 연이어, 도8 을 참조하면, 제1 내부전극만 노출되는 바디의 상기 일면(바디의 제1 면) 상에 제1 외부전극을 전사하는 단계를 포함한다 (S4). 상기 S3 단계에서 각각의 바디의 제1 면이 모두 위쪽을 향하도록 배열하였으므로, 상기 S4 단계에서 다수 개의 바디의 제1 면 상에 제1 외부전극을 일괄적으로 배치할 수 있다.
- [0151]
- [0152] 제1 내부전극 만이 노출되는 상기 바디의 제1 면 상에 제1 외부전극을 형성하는 단계는, 필름(film) 또는 실리콘 고무(Si rubber) 상에 바디의 제1 면의 전체와 동일하거나 바디의 제1 면의 전체보다 큰 면적을 가지는 복수 개의 제1 외부전극 페이스트를 이격되도록 배치한 후, 상기 제1 외부전극 페이스트가 복수 개의 바디의 각각의 일면 상에 일괄적으로 전사되도록 할 수 있다. 이 경우, 복수 개의 제1 외부전극 페이스트의 각각의 면적이 바디의 제1 면의 전체보다 큰 경우, 제1 외부전극은 제1 내부전극이 전체적으로 배치되는 바디의 제1 면으로부터 인접하는 다른 외부면의 적어도 일부 영역으로 연장되도록 배치될 수 있다. 예를 들어, 제1 외부전극이 바디의 제1 면의 전체를 덮은 후, 남은 제1 외부전극 페이스트는 바디의 제1 면과 인접하는 다른 외부면 상에 배치되도록 밴딩(bending)처리를 할 수 있다.
- [0154] 상기 제1 외부전극 페이스트는 Cu페이스트 또는 Cu-에폭시를 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0156] 상기 제1 외부전극은 Cu 단일층일 수 있거나, 복수층일 수 있다. 예를 들어, 제1 외부전극이 복수층인 경우, 제1 층은 Cu페이스트, 제2 층은 Ni페이스트, 및 제3 층은 Sn페이스트를 포함하여 순차적으로 배치될 수 있으나, 이에 한정되는 것은 아니다.
- [0158] 다음, 도9 를 참조하면, 제2 내부전극만 노출되는 바디의 상기 타면(바디의 제2 면) 상에 제2 외부전극을 전사하는 단계를 포함한다 (S5). 바디의 제1 면 상에 제1 외부전극이 배치된 칩을 뒤집어서 바디의 제2 면이 위쪽을 향하도록 정렬한 후, 필름(film) 또는 실리콘(Si rubber) 상에 바디의 제2 면의 전체 면적과 동일하거나 큰 면적을 가지는 복수 개의 제2 외부전극 페이스트를 이격되도록 배치한 후, 상기 제2 외부전극 페이스트가 복수 개의 바디의 각각의 제2 면 상에 일괄적으로 전사되도록 하는 것이다.
- [0160] 한편, 상술한 제1 외부전극과 관련한 기술 내용은 제2 외부전극과 관련한 기술 내용에도 그대로 적용될 수 있으며, 그 구체적인 설명은 완전히 중복되므로 생략한다.
- [0162] 상기의 설명을 제외하고 상술 한 본 발명의 일 예에 따른 적층 전자 부품의 특징과 중복되는 설명은 여기서 생략하도록 한다.
- [0164] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.
- [0165] 한편, 본 개시에서 사용된 "일 예"라는 표현은 서로 동일한 실시 예를 의미하지 않으며, 각각 서로 다른 고유한 특징을 강조하여 설명하기 위해서 제공된 것이다. 그러나, 상기 제시된 일 예들은 다른 일례의 특징과 결합되어 구현되는 것을 배제하지 않는다. 예를 들어, 특정한 일례에서 설명된 사항이 다른 일례에서 설명되어 있지 않더라도, 다른 일례에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 일례에 관련된 설명으로 이해될 수 있다.
- [0167] 한편, 본 개시에서 사용된 용어는 단지 일례를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 이때, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

부호의 설명

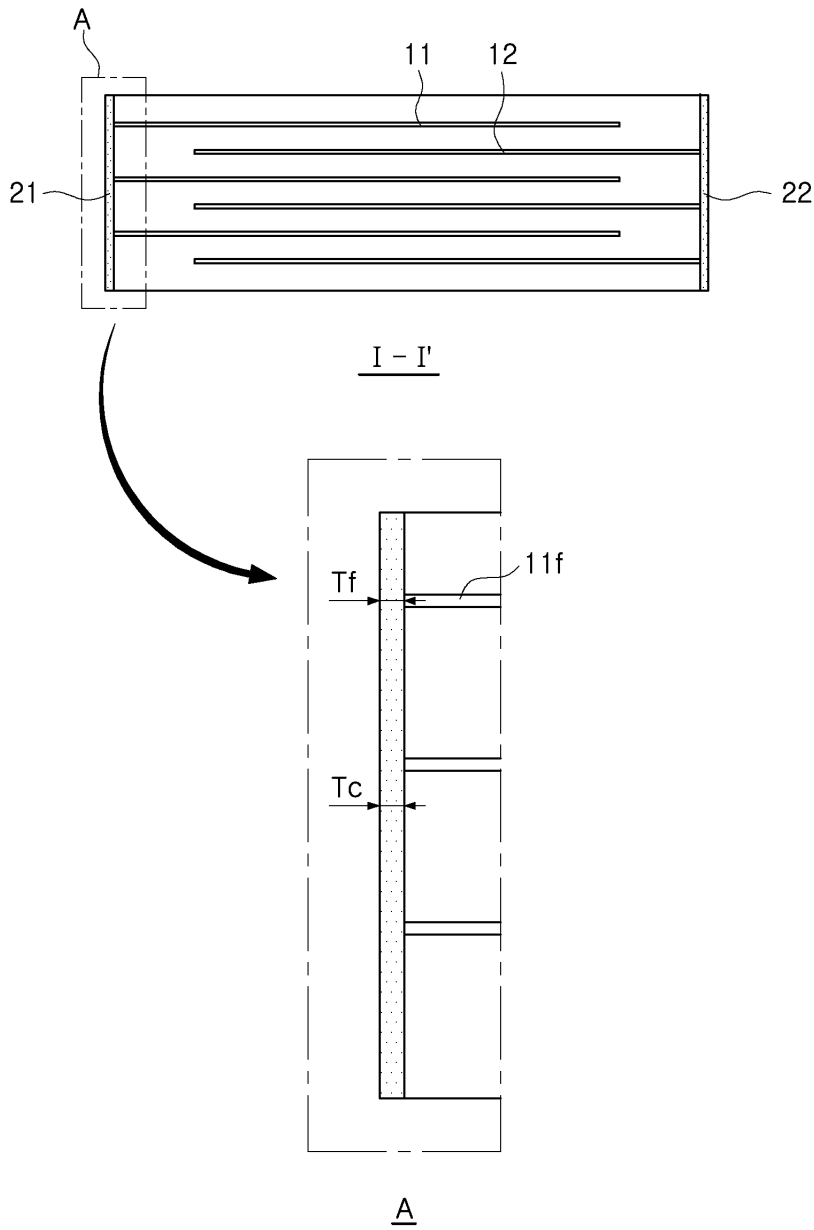
- [0169] 100: 적층 전자부품
- 1: 바디
- 11, 12: 제1 및 제2 내부전극
- 21, 22: 제1 및 제2 외부전극
- 31, 32: 제1 및 제2 사이드부

도면

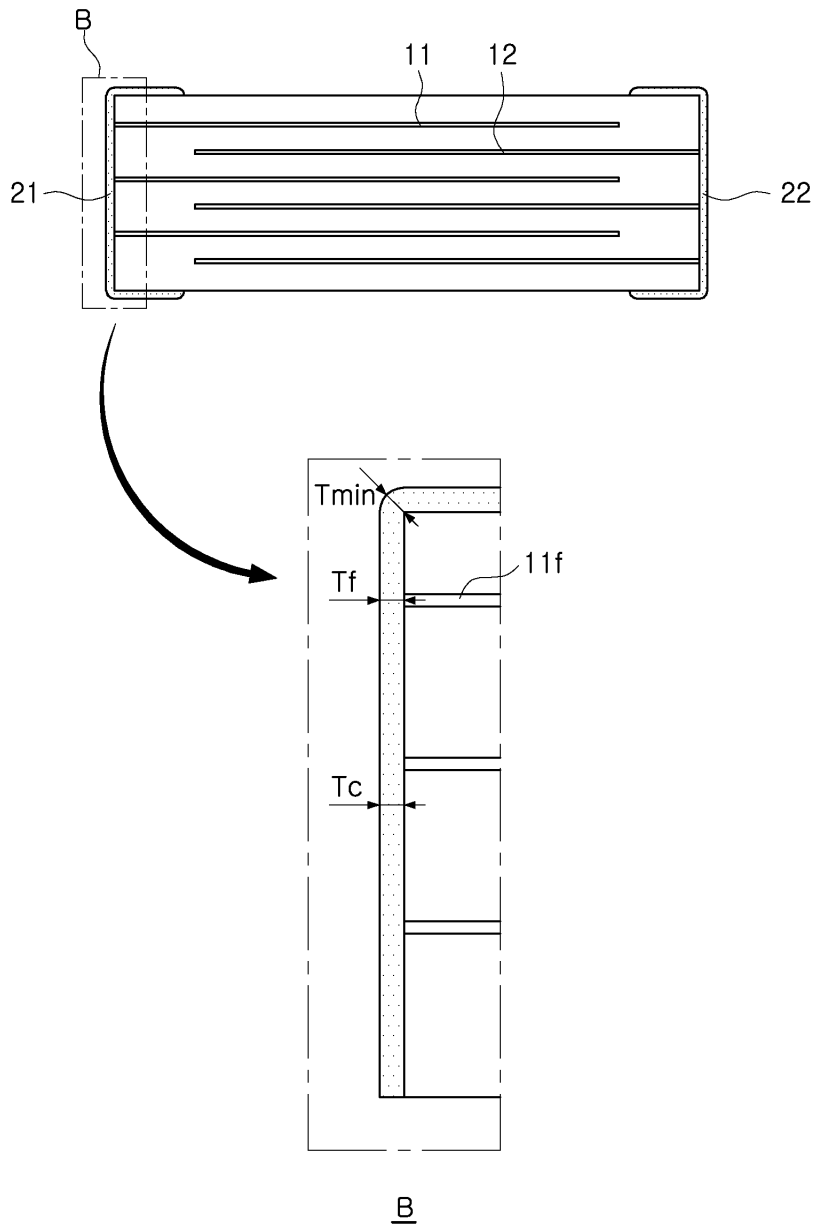
도면1



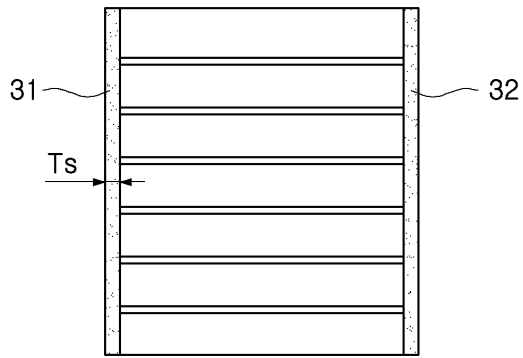
도면2



도면3

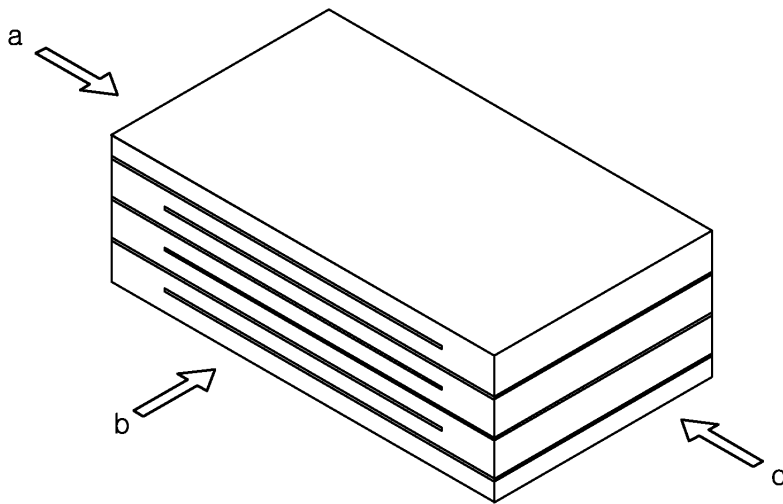


도면4

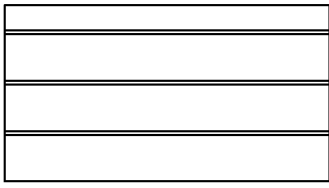


II - II'

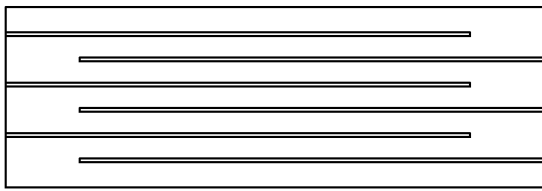
도면5a



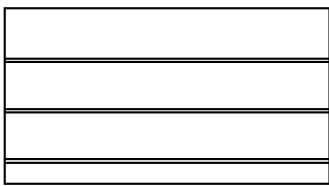
도면5b



a

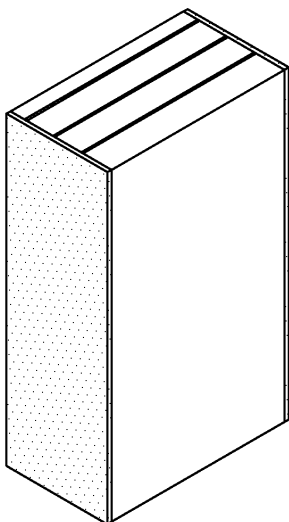


b

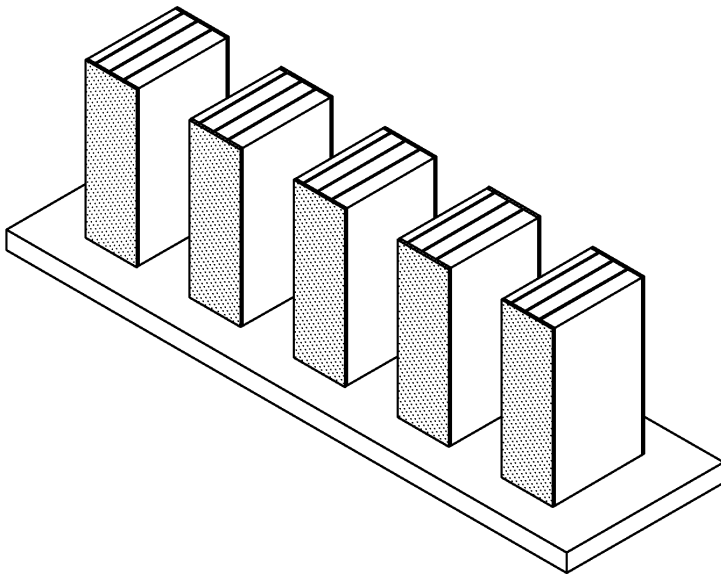


c

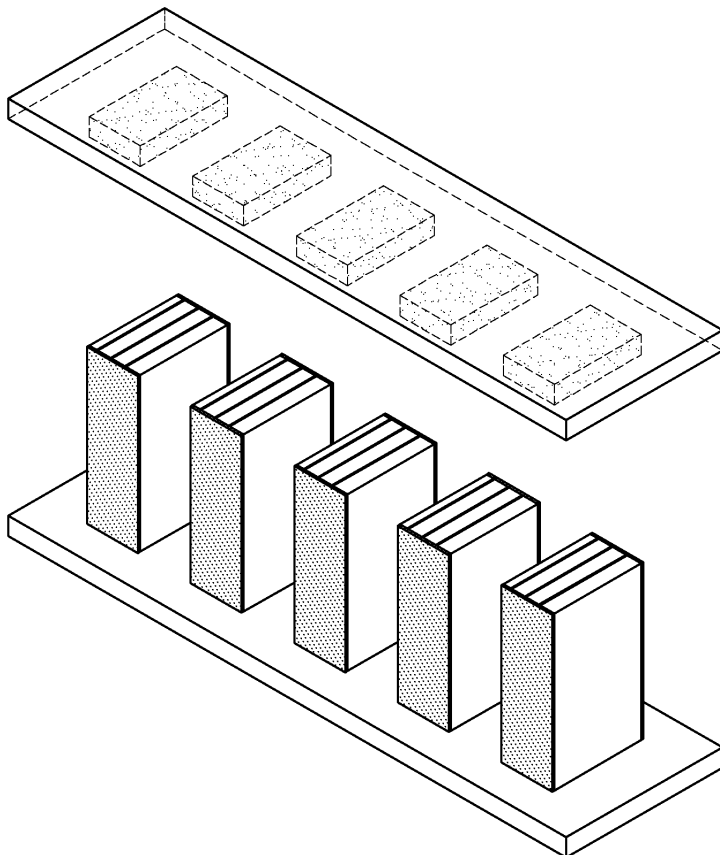
도면6



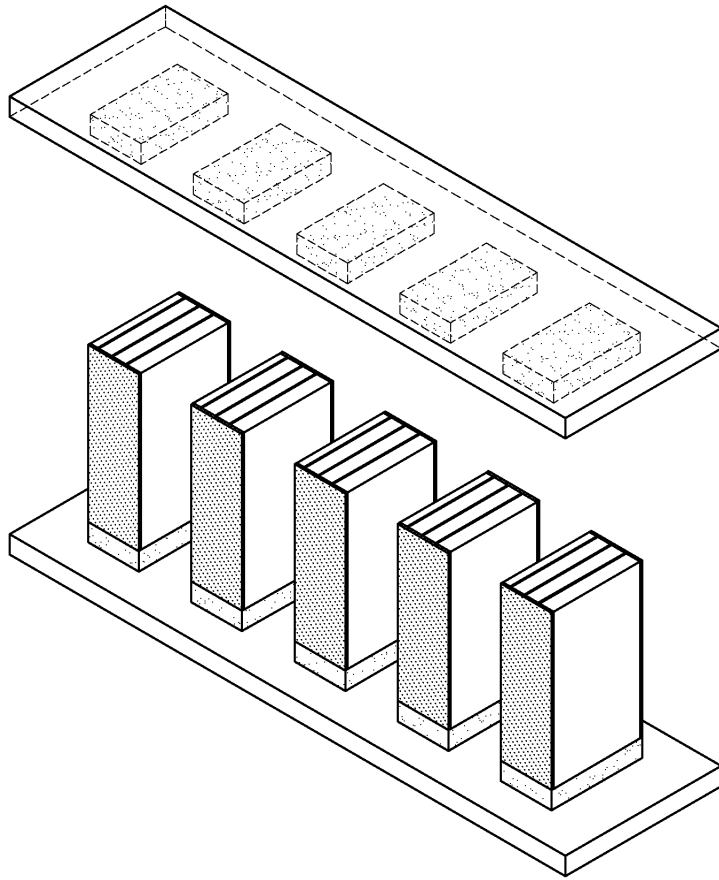
도면7



도면8



도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 9

【변경전】

상기 바디의 외부면 중

【변경후】

바디의 외부면 중