

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4977181号
(P4977181)

(45) 発行日 平成24年7月18日(2012.7.18)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int.Cl.

F I

H O 1 L 27/146 (2006.01)

H O 1 L 27/14

A

H O 1 L 21/764 (2006.01)

H O 1 L 21/76

A

H O 1 L 21/761 (2006.01)

H O 1 L 21/76

J

請求項の数 8 (全 13 頁)

(21) 出願番号 特願2009-186040 (P2009-186040)
 (22) 出願日 平成21年8月10日(2009.8.10)
 (65) 公開番号 特開2011-40543 (P2011-40543A)
 (43) 公開日 平成23年2月24日(2011.2.24)
 審査請求日 平成23年8月2日(2011.8.2)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 岩佐 誠一
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 笠井 良夫
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 用正 武
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

(54) 【発明の名称】 固体撮像装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体層と、
 前記第1導電型の半導体層上に設けられた第2導電型の半導体層と、
 前記第2導電型の半導体層中に形成された受光素子と、
 前記受光素子を前記第2導電型の半導体層の面内方向において取り囲むように形成された素子分離領域とを備え、
 前記素子分離領域は、前記第1導電型の半導体層に接続された第1導電型の第1の素子分離部と、前記第1の素子分離部上に形成された空洞と、前記空洞上に形成された第1導電型の第2の素子分離部とを有し、
 前記第1の素子分離部は、前記第2導電型の半導体層の表層側の不純物濃度が前記第1導電型の半導体層側の不純物濃度よりも高いこと、
 を特徴とする固体撮像装置。

【請求項2】

第1導電型の半導体層と、
 前記第1導電型の半導体層上に設けられた第2導電型の半導体層と、
 前記第2導電型の半導体層中に形成された受光素子と、
 前記受光素子を前記第2導電型の半導体層の面内方向において取り囲むように形成された素子分離領域とを備え、
 前記素子分離領域は、前記第1導電型の半導体層に接続された第1導電型の第1の素子

分離部と、前記第 1 の素子分離部上に形成された空洞と、前記空洞上に形成された第 1 導電型の第 2 の素子分離部とを有し、

前記第 1 の素子分離部は、前記第 2 導電型の半導体層の表層側の素子分離幅が前記第 1 導電型の半導体層側の素子分離幅よりも大きいこと、

を特徴とする固体撮像装置。

【請求項 3】

前記受光素子は電荷蓄積層を有しており、前記空洞の底部の深さ位置は前記電荷蓄積層の下端部の深さよりも同等以上の深い位置であること、

を特徴とする請求項 1 または 2 に記載の固体撮像装置。

【請求項 4】

前記第 2 導電型の半導体層の表面からの前記空洞の底部の深さが、青色光の波長よりも深く緑色光の波長よりも浅いこと、

を特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の固体撮像装置。

【請求項 5】

前記第 2 導電型の半導体層の表面からの前記空洞の底部の深さが、320 nm ~ 790 nm であること、

を特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の固体撮像装置。

【請求項 6】

第 1 導電型の半導体層上に第 2 導電型の半導体層を形成する工程と、

前記第 2 導電型の半導体層の所定の領域を前記第 2 導電型の半導体層の面内方向において取り囲むように開口を形成する工程と、

前記第 2 導電型の半導体層に非酸化性雰囲気中で熱処理を施すことにより前記開口を封止して空洞を形成する工程と、

前記空洞に対応する領域が開口されたパターンを前記第 2 導電型の半導体層上に形成する工程と

前記パターンをマスクとして前記第 2 導電型の半導体層に第 1 導電型イオンをイオン注入して素子分離部を形成する工程と、

前記第 2 導電型の半導体層の面内方向において前記素子分離部及び前記空洞に取り囲まれた前記第 2 導電型の半導体層に受光素子を形成する工程と、

を備えることを特徴とする固体撮像装置の製造方法。

【請求項 7】

素子分離部の形成工程は、前記空洞の下部の前記第 2 導電型の半導体層中にイオンの注入深さを変えて第 1 導電型イオンの注入を複数回行うことを特徴とする請求項 6 に記載の固体撮像装置の製造方法。

【請求項 8】

前記開口の深さが、320 nm ~ 790 nm であること、

を特徴とする請求項 6 に記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置およびその製造方法に関する。

【背景技術】

【0002】

近年、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサの用途拡大が著しい。特に、携帯電話に搭載される CMOS イメージセンサの画素数は急激に集積化されており、CMOS イメージセンサの微細化と光学特性向上の進展が市場のニーズとなっている。このような背景の中、半導体基板上に形成されたフォトダイオードの飽和電子数を稼ぐ手法として、導波管の導入や、半導体基板の裏面から受光する構造が提案されている。何れも、受光素子であるフォトダイオードの素子分離拡散層が必要十分な幅であることと、受光部の容積と表層の面積が想定値通りの出来映えである必要がある。

10

20

30

40

50

【 0 0 0 3 】

ここで、C M O S イメージセンサにおける隣接する受光素子間の素子分離を行うにあたり、従来は半導体基板中の素子分離のために、不純物が例えば $4 \mu\text{m}$ 程度の深さに到達するまで多段階にイオン注入を行なっている（例えば、特許文献 1 参照）。

【 0 0 0 4 】

しかしながら、このような多段階のイオン注入を行う場合は、微細化が進むことによりイオン注入の際にイオン注入領域に設けるマスク材の開口部のアスペクト比が高くなると、イオン注入時の加速エネルギーロスが多くなる。特に、加速エネルギーの低いイオン注入条件ではこの傾向が顕著となり、半導体基板の表層側の素子分離層の不純物濃度が高くなる。この場合、熱拡散によって素子分離層が受光素子領域にまで拡大し、受光素子領域の体積が減少することで飽和電子数が減少する問題や、隣接する受光素子への影響（混色）が発生する問題がある。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 8 - 8 4 9 6 2 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明は、上記に鑑みてなされたものであって、微細化が進んだ場合においても半導体基板の表層側における素子分離拡散層の拡がりに起因した受光素子の飽和電子数の低減および混色が防止可能な固体撮像装置およびその製造方法を提供することを目的とする。

20

【 課題を解決するための手段 】

【 0 0 0 7 】

本願発明の一態様によれば、第 1 導電型の半導体層と、前記第 1 導電型の半導体層上に設けられた第 2 導電型の半導体層と、前記第 2 導電型の半導体層中に形成された受光素子と、前記受光素子を前記第 2 導電型の半導体層の面内方向において取り囲むように形成された素子分離領域とを備え、前記素子分離領域は、前記第 1 導電型の半導体層に接続された第 1 導電型の第 1 の素子分離部と、前記第 1 の素子分離部上に形成された空洞と、前記空洞上に形成された第 1 導電型の第 2 の素子分離部とを有し、前記第 1 の素子分離部は、前記第 2 導電型の半導体層の表層側の不純物濃度が前記第 1 導電型の半導体層側の不純物濃度よりも高いこと、を特徴とする固体撮像装置が提供される。

30

また、本願発明の一態様によれば、第 1 導電型の半導体層と、前記第 1 導電型の半導体層上に設けられた第 2 導電型の半導体層と、前記第 2 導電型の半導体層中に形成された受光素子と、前記受光素子を前記第 2 導電型の半導体層の面内方向において取り囲むように形成された素子分離領域とを備え、前記素子分離領域は、前記第 1 導電型の半導体層に接続された第 1 導電型の第 1 の素子分離部と、前記第 1 の素子分離部上に形成された空洞と、前記空洞上に形成された第 1 導電型の第 2 の素子分離部とを有し、前記第 1 の素子分離部は、前記第 2 導電型の半導体層の表層側の素子分離幅が前記第 1 導電型の半導体層側の素子分離幅よりも大きいこと、を特徴とする固体撮像装置が提供される。

40

【 0 0 0 8 】

また、本願発明の一態様によれば、第 1 導電型の半導体層上に第 2 導電型の半導体層を形成する工程と、前記第 2 導電型の半導体層の所定の領域を前記第 2 導電型の半導体層の面内方向において取り囲むように開口を形成する工程と、前記第 2 導電型の半導体層に非酸化性雰囲気中で熱処理を施すことにより前記開口を封止して空洞を形成する工程と、前記空洞に対応する領域が開口されたパターンを前記第 2 導電型の半導体層上に形成する工程と前記パターンをマスクとして前記第 2 導電型の半導体層に第 1 導電型イオンをイオン注入して素子分離部を形成する工程と、前記第 2 導電型の半導体層の面内方向において前記素子分離部及び前記空洞に取り囲まれた前記第 2 導電型の半導体層に受光素子を形成する工程と、を備えることを特徴とする固体撮像装置の製造方法が提供される。

50

【発明の効果】

【0009】

本発明によれば、微細化が進んだ場合においても半導体基板の表層における素子分離拡散層の拡がりに起因した受光素子の飽和電子数の低減および混色が防止可能な固体撮像装置を実現することが可能となる、という効果を奏する。

【図面の簡単な説明】

【0010】

【図1】図1は、この発明の一実施の形態にかかる半導体装置の概略構成を模式的に示す図である。

【図2】図2は、この発明の一実施の形態にかかる半導体装置の製造工程の一例を説明する断面図である。

10

【図3】図3は、この発明の一実施の形態にかかる半導体装置の製造工程の一例を説明する断面図である。

【図4】図4は、この発明の一実施の形態にかかる半導体装置の製造工程の一例を説明する断面図である。

【図5】図5は、マスク材の開口部から半導体基板にイオン注入する際の散乱確率を説明するための模式図である。

【発明を実施するための形態】

【0011】

以下に、本発明にかかる固体撮像装置およびその製造方法の実施の形態を図面に基づいて詳細に説明する。なお、本発明は以下の記述に限定されるものではなく、本発明の要旨を逸脱しない範囲において適宜変更可能である。また、以下に示す図面においては、理解の容易のため、各部材の縮尺が実際とは異なる場合がある。各図面間においても同様である。

20

【0012】

図1は、本発明の実施の形態にかかる固体撮像装置の概略構成を模式的に示す図であり、図1(a)は平面図、図1(b)は図1(a)のA-A線における要部断面図である。実施の形態にかかる半導体装置は、CMOSタイプの固体撮像装置(CMOSイメージセンサ)である。

【0013】

30

図1に示すように半導体基板11は、2層の半導体構造を有するN/P基板からなり、第1型の基体基板であるP型半導体基板11a上に、欠陥の非常に少ない半導体層として第2型の半導体層であるN型半導体層(N型のエピタキシャル層)11bがエピタキシャル成長法により積層されている。ここで、P型半導体基板11aの厚みは例えば800μm、N型のエピタキシャル層11bの厚みは例えば4μmである。なお、半導体基板11の材料は、例えば、Si、Ge、SiGe、SiC、SiSn、PbS、GaAs、InP、GaP、GaN、GaAlAs、GaInAsPまたはZnSeなどの中から選択することができる。本実施の形態では、半導体基板11は、シリコン(Si)からなる場合について説明する。

【0014】

40

また、N型のエピタキシャル層11bの一部の領域には、例えばリン(P)のイオン注入によりフォトダイオード13の光電変換部であるN型の電荷蓄積層13aが形成されている。電荷蓄積層13aのP濃度のピーク深さは、主にPイオン注入時のエネルギーで決まる。また、フォトダイオード13の表面近傍部分は、比較的高濃度のP型不純物、例えばボロン(B)を含むシールド層13bが電荷蓄積層13a上に形成されている。

【0015】

上記したようなN/P基板を用いた場合は、N型のエピタキシャル層11b上にフォトダイオードの電荷蓄積層13aを形成しただけでは、隣接するフォトダイオード同士が電氣的に繋がってしまう。フォトダイオード同士が電氣的に繋がると、フォトダイオードで発生した電子が本来の信号処理されるべき画素の信号にならない。

50

【0016】

そこで、本実施の形態では、隣接する他の各フォトダイオード13の電荷蓄積層13aから電氣的に素子分離するために、半導体基板11の面内方向においてフォトダイオードの電荷蓄積層13aを囲む領域にフォトダイオード13の素子分離領域15として、P型不純物（例えばBイオン）が加速器により多段にイオン注入されて半導体基板11の面内方向と略垂直方向に延在するP型半導体領域（不純物拡散層）からなる複数の第1素子分離部17と、その第1素子分離部17上に設けられたSON（Si on nothing）構造を有する第2素子分離部19とを備える。

【0017】

また、実施の形態にかかる半導体装置は、電荷蓄積層13aに蓄積された電荷の読み出しを制御する転送トランジスタ（図示せず）の読み出しゲート電極21をゲート絶縁膜23を介して第2素子分離部19上に有する。

10

【0018】

実施の形態にかかる半導体装置においては、上述したようにフォトダイオード13の素子分離領域15として、P型半導体層からなる複数の第1素子分離部17と、その第1素子分離部17上に設けられたSON構造を有する第2素子分離部19とを備える。ここで、第2素子分離部19は、第1素子分離部17の最上層上に位置する空洞19aと、空洞19aの上部をN型のエピタキシャル層11bの表面と略同一面で封止する第1導電型のシリコン層からなる封止層19bとを有する。また、第1素子分離部17の最下層は、P型半導体基板11aに接続している。

20

【0019】

このような構造を有することにより、素子分離領域15とP型半導体基板11aとは、フォトダイオード13の電荷蓄積層13aを3次元的（立体的）に囲んで隣接する他の各フォトダイオード13の電荷蓄積層13aから電氣的に素子分離するバリア層として機能する。

【0020】

シリコンからなる半導体基板11中において受光面から光の届く深さは、青色光は320nm、緑色光は790nm、赤色光は3μmである。そして、N型の電荷蓄積層13aの底部である電荷蓄積層の下端部13abの深さ位置は、これらの各色の光による光電変換を有効に行うために各色の光の届く深さに基づいて、受光素子ごとに各色の光の届く深さ以上の深さ位置に設定されている。また、空洞の底部19abの深さ位置、すなわち第1素子分離部の上端部17uの深さ位置は、N型の電荷蓄積層13aにおいて各色の光による光電変換を有効に行うために電荷蓄積層の下端部13abとして設定される深さ（電荷蓄積層の下端部13abの設定深さ）と同等以上の深さ位置とされている。但し、実際にはN型の電荷蓄積層13aとN型のエピタキシャル層11bとの間での不純物拡散によりN型の電荷蓄積層13aの底部である電荷蓄積層の下端部13abの正確な境界線は把握しにくい。

30

【0021】

本実施の形態ではN型のエピタキシャル層11bの厚みは、半導体基板11中において受光面から赤色光の届く深さを基準として例えば4μmとされる。また、電荷蓄積層の下端部13abの深さ位置は、半導体基板11中において受光面から青色光の届く深さ（320nm）を基準とした場合には例えば320nm程度とされ、また、半導体基板11中において受光面から緑色光の届く深さ（790nm）を基準とした場合には例えば790nm程度とされる。

40

【0022】

そして、本実施の形態では、空洞の底部19ab、すなわち素子分離層の上端部17uの深さ位置は、電荷蓄積層の下端部13abの設定深さ位置よりも深い位置とされ、半導体基板11中において受光面から青色光および緑色光の届く深さを基準として320nm～790nm程度とされる。

【0023】

50

ここで、複数の第1素子分離部17のうち、最上層に位置する第1素子分離部17は、半導体基板11の面内方向において他の下層の第1素子分離部17よりもP型不純物濃度が高く、電荷蓄積層13aの方向に広がっている。これは、後述するようにイオン注入により第1素子分離部17を形成する際に、イオン注入時の加速エネルギーロス等に起因してN型のエピタキシャル層11bの表層側の第1素子分離部17の不純物濃度が高くなり、熱拡散によって拡大するためである。

【0024】

しかしながら、上述したように空洞の底部19abの深さ位置、すなわち第1素子分離部の上端部17uの深さ位置は、電荷蓄積層の下端部13abの設定深さと同等以上の深さ位置とされている。これにより、最上層に位置する第1素子分離部17が電荷蓄積層13aの方向に拡大していてもN型の電荷蓄積層13aにおける光電変換に有効な受光素子領域を侵すことがない。すなわち、第1素子分離部17に起因して電荷蓄積層13aの有効な受光素子領域の体積が減少することが防止されている。したがって、第1素子分離部17の拡がりに起因したN型の電荷蓄積層13aにおける飽和電子数の減少や、隣接する受光素子への影響（混色）が防止されている。

10

【0025】

以上のように構成された実施の形態にかかる半導体装置においては、半導体基板11の面内方向においてフォトダイオード13の電荷蓄積層13aを囲む領域に、P型半導体層からなる複数の第1素子分離部17とSON構造の第2素子分離部19とからなる素子分離領域15を備え、該素子分離領域15がP型半導体基板11aに接続されている。これにより、素子分離領域15とP型半導体基板11aとにより各フォトダイオード13の電荷蓄積層13aを個別にかつ3次元的（立体的）に囲んで互いに電氣的に分離することができる。

20

【0026】

そして、空洞の底部19abの深さ位置、すなわち素子分離層の上端部17uの深さ位置が電荷蓄積層の下端部13abの設定深さと同等以上の深い位置とされることにより、第1素子分離部17が電荷蓄積層13aの領域にまで侵入して受光素子領域の体積が減少することが防止されている。これにより、第1素子分離部17の拡大に起因した飽和電子数の減少や、隣接する受光素子への影響（混色）が防止されている。

【0027】

したがって、実施の形態にかかる半導体装置によれば、微細化が進んだ場合においても、隣接するフォトダイオード同士を確実に電氣的に分離しつつ、素子分離層の拡がりに起因した受光素子の飽和電子数の低減および混色が防止可能な高品質な半導体装置が実現されている。

30

【0028】

つぎに、図2～図4を参照しながら、本実施の形態にかかる半導体装置の製造工程の一例について説明する。図2～図4は、本実施の形態にかかる半導体装置の製造工程の一例を説明する断面図である。まず、2層構造を有するN/P基板である半導体基板11を用意する。このN/P基板を作製する際、基体基板であるP型半導体基板11aとしてP型シリコン（Si）基板を使用し、その上に、N型のエピタキシャル層11bをエピタキシャル成長法により堆積する。ここで、P型半導体基板11aの厚みは例えば800μm、N型のエピタキシャル層11bの厚みは例えば4μmとする。

40

【0029】

次に、半導体基板11上にマスク層31として膜厚5μm程度のシリコン酸化膜（SiO₂膜）を例えばCVD法により堆積する。続いて、リソグラフィー技術を用いてマスク層31上にフォトレジストパターン33を形成する。このフォトレジストパターン33は、半導体基板11の面内方向において、素子分離領域15の形成位置に格子状の開口を有する。

【0030】

次に、フォトレジストパターン33をエッチングマスクとして用いて、N型のエピタキ

50

シャル層 11b に至るまでマスク層 31 に対して異方性エッチング、例えば反応性イオンエッチング (RIE) を行い、図 2 (a) に示すようにマスク層 31 にフォトレジストパターン 33 のパターンのパターン転写を行う。

【0031】

次に、フォトレジストパターン 33 を炭化して剥離した後、パターン転写がなされたマスク層 31 をエッチングマスクに用いた異方性エッチング例えば RIE により半導体基板 11 をパターンニングして、図 2 (b) に示すように該半導体基板 11 の N 型のエピタキシャル層 11b の表層に 2 μm 程度の深さのトレンチ 35 を 2 次元的に配列形成する。このトレンチ 35 は、素子分離領域 15 の形成位置に対応した格子状とされる。トレンチ 35 の幅および隣接するトレンチ 35 間の距離は CMOS イメージセンサの画素ピッチに応じて適宜設定される。

10

【0032】

ここで、上述したマスク層 31 は、異方性エッチングによる半導体基板 11 のパターンニングの際にシリコンよりもエッチングレートが十分に遅い材料 (シリコンに対する選択比が大きい材料) が望ましく、例えば異方性エッチングに RIE を用いた場合には、シリコン酸化膜、またはシリコン窒化膜とシリコン酸化膜との積層膜などが適している。

【0033】

次に、マスク層 31 を緩衝沸酸溶液により完全に除去した後、高温・減圧下 (大気圧よりも低い圧力) の非酸化性雰囲気、好ましくは SiO_2 を還元する雰囲気、例えば 1050、10 torr の 100% 水素雰囲気中にて 10 分間程度の高温アニールを行うことにより、図 3 (a) に示すように、各トレンチ 35 の開口面がシリコン層からなる封止層 19b により閉ざされてその下部に空洞が形成される。これにより、半導体基板 11 の内部に空洞 19a が形成され、第 2 素子分離部 19 が 2 次元的に配列形成する。この第 2 素子分離部 19 は、素子分離領域 15 の形成位置に対応した格子状とされる。

20

【0034】

この形状変化は、半導体基板 11 の表面のシリコン酸化膜が除去された後、表面エネルギーを最小にするように生じるシリコンの表面マイグレーションによるものである。これにより、空洞 19a と封止層 19b とからなる SON 構造の第 2 素子分離部 19 をトレンチ 35 の形成領域に形成することができる。ここでは、熱処理温度を 1050 としたがそれよりも高くても良い。ここで、トレンチ 35 の深さが深すぎると、マイグレーションにより空洞 19a が上下に分断されるため、トレンチ 35 の深さには注意が必要である。

30

【0035】

なお、SON 構造の形成方法については、「Tsutomu Sato et al., "Fabrication of Silicon-on-Nothing Structure by Substrate Engineering Using the Empty-Space-in-Silicon Formation Technique" 2004 Japanese Journal of Applied Physics Vol.43, No.1, pp12 to 18.」および特開 2001-144276 号公報に詳しい。

【0036】

次に、膜厚 10 nm 程度の酸化膜 37 と、膜厚 100 nm 程度のシリコン窒化膜 39 と、膜厚 5 μm 程度のハードマスク層 (酸化膜) 41 を半導体基板 11 上に堆積する。そして、フォトダイオードの素子分離層を形成するために、抜きパターン部を SON 構造の領域に重ね合わせたフォトレジストパターン 43 をリソグラフィ技術を用いてハードマスク層 (酸化膜) 41 上に形成する。

40

【0037】

続いて、フォトレジストパターン 43 をエッチングマスクに用いて、シリコン窒化膜 39 に至るまでハードマスク層 (酸化膜) 41 に対して異方性エッチング、例えば反応性イオンエッチング (RIE) を行い、図 3 (b) に示すようにハードマスク層 (酸化膜) 41 にフォトレジストパターン 43 の抜きパターンのパターン転写を行い、溝 45 を 2 次元的に配列形成する。この溝 45 は、第 2 素子分離部 19 の位置に対応した格子状とされる。

【0038】

50

次に、フォトリジストパターン 4 3 を炭化して剥離した後、溝 4 5 が形成されたハードマスク層（酸化膜） 4 1 をイオン注入マスクに用いて、図 4（a）に示すように P 型不純物を溝 4 5 から半導体基板 1 1 に多段階にイオン注入する。この際、半導体基板 1 1 は P 型半導体基板 1 1 a 上に、約 4 μm の厚みの N 型のエピタキシャル層 1 1 b が積層されており、前述のイオン注入は、P 型の不純物として例えばボロン（B）イオンを N 型のエピタキシャル層 1 1 b の表層から、P 型半導体基板 1 1 a に至るまで、深さを均等に分割して多段階に注入条件を変えて行う。

【 0 0 3 9 】

本実施の形態では、第 2 素子分離部 1 9 の下側に P 型半導体領域である 6 層の第 1 素子分離部 1 7 を形成するために、注入条件を変えて B のイオン注入を 6 回行う。このように、B イオンを注入すると、第 2 素子分離部 1 9 の空洞 1 9 a の底部と P 型半導体基板 1 1 a の表層部との間の N 型のエピタキシャル層 1 1 b は、6 層の第 1 素子分離部 1 7 により隙間なく埋められて実質的に P 型半導体化される。これにより、図 4（a）に示すように、素子分離領域 1 5 が形成される。最上層に位置する第 1 素子分離部 1 7 は、半導体基板 1 1 の面内方向において他の下層の第 1 素子分離部 1 7 よりも P 型不純物濃度が高く、電荷蓄積層 1 3 a の方向に広がる。

【 0 0 4 0 】

続いて、酸化膜 3 7 とシリコン窒化膜 3 9 とハードマスク層（酸化膜） 4 1 を完全に剥離した後、フォトダイオード 1 3 の光電変換部である N 型の電荷蓄積層 1 3 a を通常のプロセスにより互いに独立して複数箇所に形成する。具体的には、N 型のエピタキシャル層 1 1 b の表面上にフォトリジスト膜を所定のパターンで塗布してパターニングする。この後、N 型のエピタキシャル層 1 1 b の表層部に N 型不純物であるリン（P）をイオン注入して N 型の電荷蓄積層 1 3 a を素子分離領域 1 5 で囲まれた複数箇所に形成する。この際、P 濃度のピークの深さは、主として P イオンを注入する際のエネルギーの大きさで決まる。

【 0 0 4 1 】

本実施の形態においては、空洞の底部 1 9 a b の深さ位置、すなわち素子分離層の上端部 1 7 u の深さ位置は、電荷蓄積層の下端部 1 3 a b の設定深さ位置と同等以上の深い位置に形成される。そして、電荷蓄積層の下端部 1 3 a b の設定深さ位置は、受光素子ごとに青色光、緑色光、赤色光の各色の光の届く深さ以上の深さ位置に設定されている。本実施の形態では N 型のエピタキシャル層 1 1 b の厚みは、半導体基板 1 1 中において受光面から赤色光の届く深さを基準として例えば 4 μm とされる。

【 0 0 4 2 】

また、電荷蓄積層の下端部 1 3 a b の設定深さ位置は、半導体基板 1 1 中において受光面から青色光および緑色光の届く深さを基準とした場合には例えば 320 nm 程度とされ、また、半導体基板 1 1 中において受光面から緑色光の届く深さを基準とした場合には例えば 790 nm 程度とされる。そして、空洞の底部 1 9 a b、すなわち素子分離層の上端部 1 7 u の深さ位置は、半導体基板 1 1 中において受光面から青色光および緑色光の届く深さを基準として 320 nm ~ 790 nm 程度とされる。

【 0 0 4 3 】

また、多段階のイオン注入を行う場合は、微細化が進むことによりイオン注入の際にイオン注入領域に設けるマスク層 1 0 3 の開口部 1 0 5 のアスペクト比が高くなり、半導体基板 1 0 1 へのイオン注入時の加速エネルギーロスが多くなる。イオン注入時のイオンの散乱確率 I が高いと、加速エネルギーロスの要因となり、イオン注入時の散乱確率 I は一般的に下記の数式（1）、数式（2）によって表される（図 5 参照）。図 5 は、マスク層 1 0 3 の開口部 1 0 5 から半導体基板 1 0 1 にイオン注入する際の散乱確率を説明するための模式図である。

【 0 0 4 4 】

10

20

30

40

【数 1】

$$I = \frac{1}{\sin^4 (\theta/2) E} \quad \dots (1)$$

(θ:マスク材の内壁への入射角、E:入射エネルギー)

【0045】

【数 2】

$$\theta \propto \left(\frac{\alpha, \beta}{E} \right)^2 \quad \dots (2)$$

(α:入射イオンの原子番号、β:衝突物質の原子番号、E:入射エネルギー)

10

【0046】

すなわち、イオン注入時の加速エネルギーの散乱確率は、イオン注入時にイオンがマスク材の開口部の内壁に衝突する際の入射角、入射エネルギー E、入射イオンの原子番号および衝突物質の原子番号により求められ、入射エネルギー E が低いほど高くなり、衝突物質の原子番号が小さいほど低くなる。したがって、イオン注入時の入射エネルギーが多くなる。

【0047】

そして、加速エネルギーの低いイオン注入条件では加速エネルギーロスの傾向が顕著となり、半導体基板の表層側の素子分離層の不純物濃度が高くなる。この場合、熱拡散によって素子分離層が受光素子領域にまで拡大し、受光素子領域の体積が減少することで飽和電子数が減少する問題や、隣接する受光素子への影響（混色）が発生する問題がある。

20

【0048】

しかしながら、本実施の形態では、空洞の底部 19 a b の深さ位置、すなわち第 1 素子分離部の上端部 17 u の深さ位置は、電荷蓄積層の下端部 13 a b の設定深さと同等以上の深い位置とされる。このため、第 1 素子分離部 17 が電荷蓄積層 13 a の方向に拡大していても N 型の電荷蓄積層 13 a における光電変換に有効な受光素子領域に侵入することがなく、第 1 素子分離部 17 に起因して電荷蓄積層 13 a の有効な受光素子領域の体積が減少することを防止することができる。したがって、第 1 素子分離部 17 の拡がりに起因した N 型の電荷蓄積層 13 a における飽和電子数の減少や、隣接する受光素子への影響（混色）を防止することができる。

30

【0049】

また、半導体基板 11 の深い位置にイオンを注入するためにはイオンの価数を上げて、イオンの加速エネルギーを増加させなければならず、イオン注入に多くの時間を要する。しかし、本実施の形態では半導体基板 11 の表層部に空洞 19 a が存在することで素子分離層の形成のために半導体基板 11 においてイオンを注入する深さが浅くなり、価数の少ないイオンで注入が可能であるため、イオン注入に要する時間を短縮することができる。

【0050】

また、半導体基板 11 においてイオン注入する深さが浅くなるため、イオン注入時の最大加速エネルギーを従来よりも低くすることができ、また、イオン注入の回数および注入量を減らすことができ、スループットが上昇する。これにより、イオン注入工程におけるコストを低減することが可能である。

40

【0051】

その後、読み出しゲート電極 21、アンプゲート、リセットゲートなど、CMOS イメージセンサの信号読み出し・リセット動作に必要な部品を形成し、汎用ロジック品と同一プロセスを経て図 4 (b) に示すように CMOS イメージセンサが完成する。

【0052】

以上のように構成された実施の形態にかかる半導体装置の製造方法においては、半導体基板 11 の面内方向においてフォトダイオード 13 の電荷蓄積層 13 a を囲む領域に、P

50

型半導体層からなる複数の第1素子分離部17とSON構造の第2素子分離部19とからなる素子分離領域15を形成し、該素子分離領域15をP型半導体基板11aに接続する。これにより、素子分離領域15とP型半導体基板11aとにより各フォトダイオード13の電荷蓄積層13aを個別にかつ3次元的（立体的）に囲んで互いに電氣的に分離することができる。

【0053】

そして、空洞の底部19abの深さ位置、すなわち素子分離層の上端部17uの深さ位置を電荷蓄積層の下端部13abの設定深さ位置と同等以上の深い位置とすることにより、第1素子分離部17がN型の電荷蓄積層13aにおける光電変換に有効な受光素子領域に侵入することがなく、第1素子分離部17に起因して電荷蓄積層13aの有効な受光素子領域の体積が減少することを防止することができる。これにより、第1素子分離部17の拡大に起因した飽和電子数の減少や、隣接する受光素子への影響（混色）を防止することができる。

10

【0054】

したがって、実施の形態にかかる半導体装置の製造方法によれば、微細化が進んだ場合においても、隣接するフォトダイオード13同士を確実に電氣的に分離しつつ、素子分離層の拡がりに起因した受光素子の飽和電子数の低減および混色を防止して高品質な半導体装置を製造することができる。

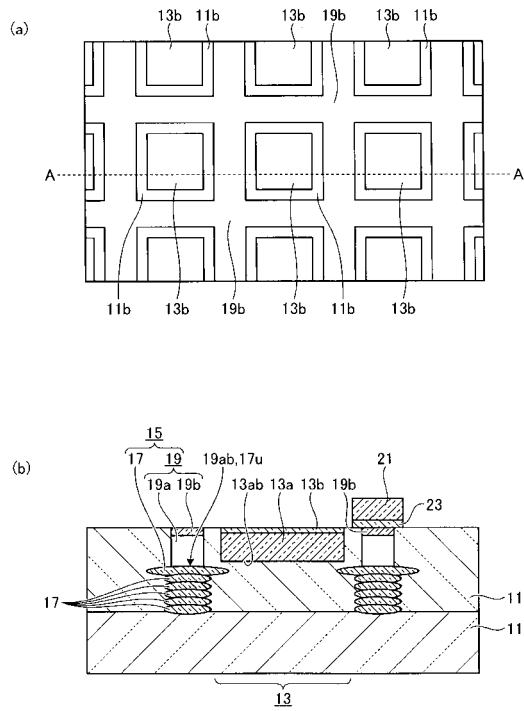
【符号の説明】

【0055】

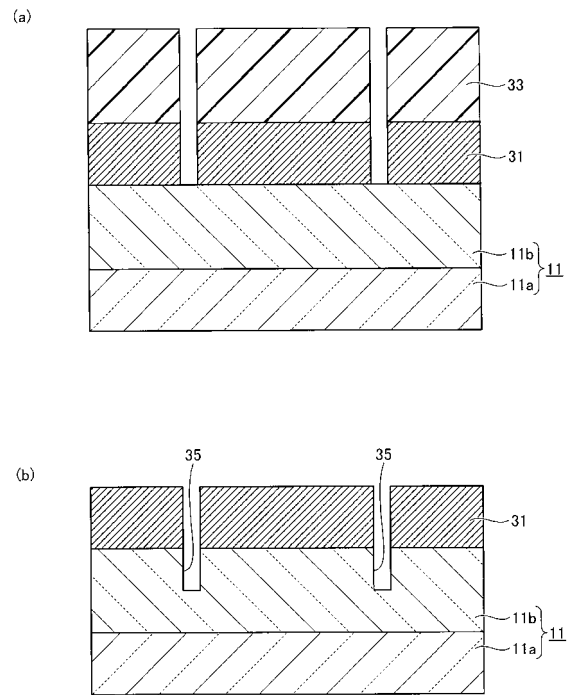
20

11 半導体基板、11a P型半導体基板、11b N型半導体層（N型のエピタキシャル層）、13 フォトダイオード、13a 電荷蓄積層、13ab 電荷蓄積層の下端部、13b シールド層、15 素子分離領域、17 第1素子分離部、17u 第1素子分離部の上端部、19 第2素子分離部、19a 空洞、19ab 空洞の底部、19b 封止層、21 ゲート電極、23 ゲート絶縁膜、31 マスク層、33 フォトレジストパターン、35 トレンチ、37 酸化膜、39 シリコン窒化膜、41 ハードマスク層（酸化膜）、43 フォトレジストパターン、45 溝、101 半導体基板、103 マスク材。

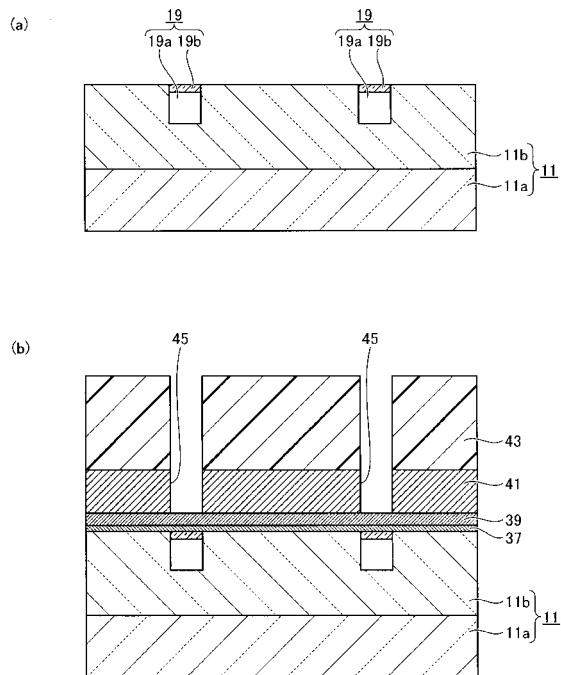
【図 1】



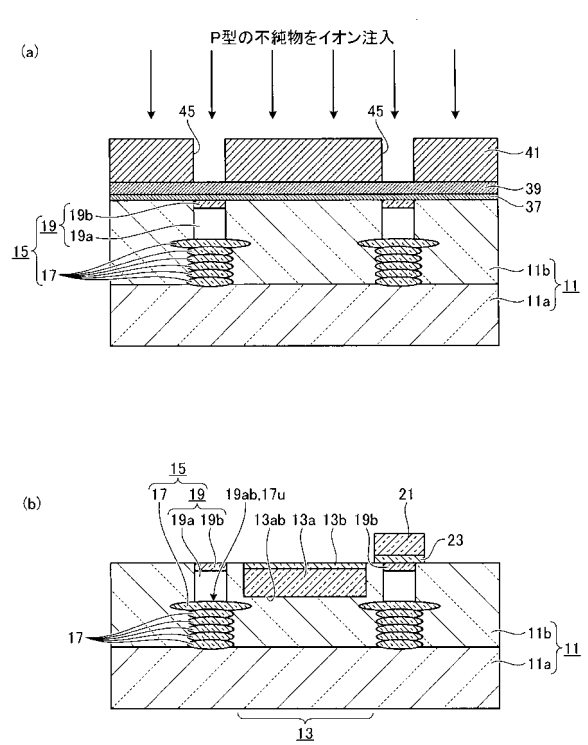
【図 2】



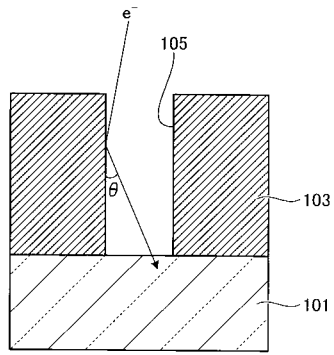
【図 3】



【図 4】



【図 5】



フロントページの続き

- (72)発明者 佐藤 力
東京都港区芝浦一丁目1番1号 株式会社東芝内
(72)発明者 村越 篤
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 瀧内 健夫

- (56)参考文献 特開2008-091781(JP,A)
特開昭51-097988(JP,A)
特開2008-078302(JP,A)
特開2008-084962(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 27/14 - 27/148
H01L 21/761
H01L 21/764