



## [12] 发明专利申请公开说明书

H01L 21/82 H01L 27/108

[21] 申请号 200410007047.7

[43] 公开日 2004 年 9 月 1 日

[11] 公开号 CN 1525553A

[22] 申请日 2004. 2. 26

[74] 专利代理机构 中科专利商标代理有限责任公司  
代理人 汪惠民

[21] 申请号 200410007047.7

[30] 优先权

[32] 2003. 2. 26 [33] JP [31] 2003 - 048807

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

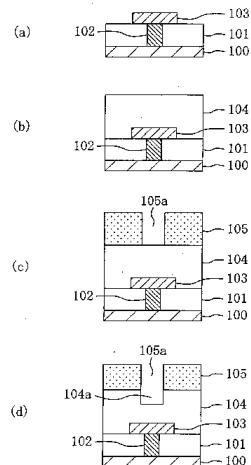
[72] 发明人 伊东丰二

权利要求书 5 页 说明书 33 页 附图 17 页

[54] 发明名称 半导体装置的制造方法

[57] 摘要

本发明提供一种半导体装置的制造方法。该方法采用稳定地形成开口部分的壁面的梯形形状的办法，提高电极和电容绝缘膜的覆盖性。半导体装置的制造方法，具备如下工序：在半导体衬底(100)上形成导电膜(103)的工序；形成绝缘膜(104)以便覆盖导电膜(103)的工序；使用具有第1开口图形的掩模，在绝缘膜(104)上形成底部达不到导电膜(103)的孔(104a)的工序；使用具有直径比第1开口图形的直径大的第2开口图形的掩模，在绝缘膜(104)上形成使导电膜(103)露出来的开口部分(104b)的工序。开口部分(104b)的壁面与开口部分(104b)的底面的夹角为钝角。



1. 一种半导体装置的制造方法，其特征在于：

5 具备如下工序：

于衬底形成导电膜的工序；

覆盖上述导电膜形成的绝缘膜的工序；

用具有第1开口图形的掩模材料，于上述绝缘膜形成底部达不到上述导电膜的孔的工序；

10 用具有比上述第1开口图形的直径还大的直径的第2开口图形的掩模材料，于上述绝缘膜形成使上述导电膜露出来的开口部分的工序；  
上述开口部分的壁面和上述开口部分的底面之间的夹角是钝角。

2. 根据权利要求1所述的半导体装置的制造方法，其特征在于：

还具备至少在上述开口部分的内部，形成由下部电极、电容绝缘膜及上部  
15 电极构成的电容的工序。

3. 根据权利要求2所述的半导体装置的制造方法，其特征在于：

形成上述电容的工序，包括：

覆盖上述开口部分的壁面和底面形成的上述下部电极的工序；

于上述下部电极形成上述电容绝缘膜的工序；

于上述电容绝缘膜形成上部电极的工序。

4. 根据权利要求3所述的半导体装置的制造方法，其特征在于：

上述下部电极和上述上部电极，含有铂族元素为其主要成分。

5. 根据权利要求3所述的半导体装置的制造方法，其特征在于：

上述电容绝缘膜，由强电介质膜或高电介质膜构成。

25 6. 根据权利要求3所述的半导体装置的制造方法，其特征在于：

上述电容绝缘膜，由  $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ 、 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ 、 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 、  
 $(\text{Bi}_{1-x}\text{La}_{1-x})_4\text{Ti}_3\text{O}_{12}$ （但是，在以上中， $x$  满足  $0 \leq x \leq 1$  的关系）或  $\text{Ta}_2\text{O}_5$  构成。

7. 根据权利要求3所述的半导体装置的制造方法，其特征在于：

上述导电膜由铱、铂、金、钌、铑、钯或它们的氧化物构成，或者由钛、

30 钛铝、钽、钽铝或它们的氮化物，或者它们的叠层膜构成。

8. 根据权利要求 3 所述的半导体装置的制造方法，其特征在于：  
上述导电膜，包括氧势垒膜。

9. 根据权利要求 3 所述的半导体装置的制造方法，其特征在于：  
上述绝缘膜是含有硅的氧化膜。

5 10. 根据权利要求 3 所述的半导体装置的制造方法，其特征在于：  
上述绝缘膜的主表面，已平坦化。

11. 根据权利要求 3 所述的半导体装置的制造方法，其特征在于：  
上述掩模材料，是光刻胶。

12. 一种半导体装置的制造方法，其特征在于：

10 具备如下工序：

于衬底的规定区域形成导电膜的工序；

覆盖上述导电膜于上述衬底形成的绝缘膜的工序；

于上述绝缘膜形成在上述导电膜的上方具有第 1 开口图形的掩模材料的工序；

15 用具有上述第 1 开口图形的掩模材料对上述绝缘膜进行第 1 刻蚀，于上述绝缘膜形成底部达不到上述导电膜的凹部的工序；

扩大上述第 1 开口图形的直径，形成具有直径比上述第 1 开口图形的直径大的第 2 开口图形的掩模材料的工序；

20 用具有上述第 2 开口图形的掩模材料对上述绝缘膜进行第 2 刻蚀，于上述绝缘膜形成开口直径比上述凹部大而且壁面为梯形形状，同时使上述导电膜露出来的开口部分的工序。

13. 根据权利要求 12 所述的半导体装置的制造方法，其特征在于：  
还具备至少在上述开口部分的内部，形成由下部电极、电容绝缘膜及上部电极构成的电容的工序。

25 14. 根据权利要求 13 所述的半导体装置的制造方法，其特征在于：  
形成上述电容的工序，包括：

覆盖上述开口部分的壁面和底面形成上述下部电极的工序；

于上述下部电极形成上述电容绝缘膜的工序；

于上述电容绝缘膜形成上部电极的工序。

30 15. 根据权利要求 12 所述的半导体装置的制造方法，其特征在于：

在形成具有上述第 1 开口图形的掩模材料的工序和于上述绝缘膜形成上述凹部的工序之间，

还具备使上述第 1 开口图形的壁面变成为梯形形状的工序。

16. 根据权利要求 12 所述的半导体装置的制造方法，其特征在于：  
5 于上述绝缘膜形成上述开口部分的工序之后，还具备采用在除去了上述掩模材料之后，对上述绝缘膜整个面地进行第 3 刻蚀，使上述开口部分的壁面的梯形形状变成为平滑的工序。

10 17. 根据权利要求 12 所述的半导体装置的制造方法，其特征在于：  
于上述绝缘膜形成上述开口部分的工序之后，还具备：  
扩大上述第 2 开口图形的直径，形成具有直径比上述第 2 开口图形还大的第 3 开口图形的掩模材料的工序；

用具有上述第 3 开口图形的掩模材料对上述绝缘膜进行第 3 刻蚀，使上述开口部分的壁面的梯形形状变成为平滑的工序。

15 18. 根据权利要求 16 或 17 所述的半导体装置的制造方法，其特征在于：在上述开口部分的壁面的梯形形状变成为平滑的工序之后还具备：至少在上述开口部分的内部，形成由下部电极、电容绝缘膜及上部电极构成的电容的工序。

19. 根据权利要求 18 所述的半导体装置的制造方法，其特征在于：  
形成上述电容的工序，包括：

20 覆盖上述开口部分的壁面和底面形成上述下部电极的工序；  
于上述下部电极形成上述电容绝缘膜的工序；  
于上述电容绝缘膜形成上述上部电极的工序。

25 20. 一种半导体装置的制造方法，其特征在于：  
具备如下的工序：  
于衬底上边的规定区域形成导电膜的工序；  
于上述导电膜形成刻蚀阻挡膜的工序；  
于上述衬底形成覆盖上述刻蚀阻挡膜的绝缘膜的工序；  
于上述绝缘膜形成在上述导电膜的上方具有第 1 开口图形的掩模材料的工序；

30 用具有上述第 1 开口图形的掩模材料对上述绝缘膜进行第 1 刻蚀，于

上述绝缘膜形成底部达不到上述刻蚀阻挡膜的凹部的工序；

扩大上述第1开口图形的直径，形成具有直径比上述第1开口图形的直径大的第2开口图形的掩模材料的工序；

用具有上述第2开口图形的掩模材料对上述绝缘膜进行第2刻蚀，于  
5 上述绝缘膜，形成开口直径比上述凹部大而且壁面为梯形形状，同时使上  
述刻蚀阻挡膜露出来的开口部分的工序；

用对上述刻蚀阻挡膜进行第3刻蚀，使上述绝缘膜的开口部分的壁面  
的梯形形状变成为平滑的同时，于上述刻蚀阻挡膜形成使上述导电膜露  
出来的开口部分的工序。

10 21. 根据权利要求20所述的半导体装置的制造方法，其特征在于：  
还具备至少在上述绝缘膜的开口部分及上述刻蚀阻挡膜的开口部分的内  
部，形成由下部电极、电容绝缘膜及上部电极构成的电容的工序。

22. 根据权利要求21所述的半导体装置的制造方法，其特征在于：  
形成上述电容的工序，包括：

15 覆盖上述开口部分的壁面和底面形成的上述下部电极的工序；  
于上述下部电极形成上述电容绝缘膜的工序；  
于上述电容绝缘膜形成上述上部电极的工序。

23. 根据权利要求20所述的半导体装置的制造方法，其特征在于：  
在除去了上述掩模材料之后，再进行上述第3刻蚀。

20 24. 根据权利要求20所述的半导体装置的制造方法，其特征在于：  
上述第3刻蚀，是使用具有扩大上述第2开口图形的直径而构成的第3开  
口图形的掩模材料进行。

25 25. 根据权利要求20所述的半导体装置的制造方法，其特征在于：  
在形成具有上述第1开口图形的掩模材料的工序和于上述绝缘膜形成上述  
凹部的工序之间，

还具备使上述第1开口图形的壁面变成为梯形形状的工序。

26. 根据权利要求20所述的半导体装置的制造方法，其特征在于：  
上述刻蚀阻挡膜，由含钛或铝的金属氧化物构成。

27. 一种半导体装置的制造方法，其特征在于：

30 具备如下的工序：

于衬底上边的规定区域形成导电膜的工序；  
于上述衬底形成覆盖上述导电膜的绝缘膜的工序；  
于上述绝缘膜形成在上述导电膜的上方具有第1开口图形的掩模材料的工序；

5 用具有上述第1开口图形的掩模材料对上述绝缘膜进行第1刻蚀，于上述绝缘膜形成底部达不到上述导电膜的凹部的工序；

除去了上述掩模材料后，对上述绝缘膜整个面地进行第2刻蚀，于上述绝缘膜，形成开口直径比上述凹部大而且壁面为梯形形状，同时使上述导电膜露出来的开口部分的工序。

10 28. 根据权利要求27所述的半导体装置的制造方法，其特征在于：

还具备：至少在上述绝缘膜的开口部分的内部，形成由下部电极、电容绝缘膜和上部电极构成的电容的工序。

29. 根据权利要求28所述的半导体装置的制造方法，其特征在于：

形成上述电容的工序，包括：

15 覆盖上述开口部分的壁面和底面形成的上述下部电极的工序；

于上述下部电极形成上述电容绝缘膜的工序；

于上述电容绝缘膜形成上述上部电极的工序。

30. 根据权利要求27所述的半导体装置的制造方法，其特征在于：

在形成具有上述第1开口图形的掩模材料的工序和于上述绝缘膜形成上述凹部的工序之间，  
20 还具备使上述第1开口图形的壁面变成为梯形形状的工序。

## 半导体装置的制造方法

5

### 技术领域

本发明涉及具有电容器的半导体装置的制造方法。

### 背景技术

10 具有把强电介质膜或高电介质膜用做电容绝缘膜的电容器的半导体装置，具有由滞后特性产生的残余极化或高的相对介电系数。为此，在非易失性存储器和 DRAM 的领域中，把强电介质膜或高电介质膜用做电容绝缘膜来取代具有由硅氧化膜或硅氮化膜构成的电容绝缘膜的电容器，有可能广为应用。在该情况下，为了进一步缩小存储单元的面积，人们要求使  
15 电容器的形状变成为立体形状。

以下，边参看图 16(a)～(c) 和图 17(a)～(c)，边说明现有的半导体装置的制造方法。

首先，如图 16(a) 所示，用 CVD 法在半导体衬底 10 的上边成膜第 1 硅氧化膜 11 之后，用 CMP 法使第 1 硅氧化膜 11 平坦化。其次，采用对第 20 第 1 硅氧化膜 11 进行选择刻蚀的办法，形成使半导体衬底 10 露出来的接触孔之后，用溅射法或 CVD 法成膜钛膜和氮化钛膜，以便把该接触孔的内部填埋起来，然后用 CVD 法成膜钨膜。

其次，采用 CMP 法，使由钛膜、氮化钛膜和钨膜构成的金属膜仅仅在接触孔内残留下来，形成插针 12。其次，用溅射法，在第 1 硅氧化膜 11 和插针 12 的上边，形成了使氮化钛铝膜、铱膜和氧化铱膜依次叠层起来的叠层膜之后，采用对该叠层膜进行选择干法刻蚀的办法，形成把插针 12 被覆起来的氧势垒膜 13。

其次，如图 16(b) 所示，在第 1 硅氧化膜 11 的上边，使得把氧势垒膜 30 13 被覆起来那样地成膜了第 2 硅氧化膜 14 之后，用 CMP 法使第 2 硅氧化膜平坦化。其次，如图 16(c) 所示，在第 2 硅氧化膜 14 的上边，形成在氧

势垒膜 13 的上方具有开口图形 15a 的光刻胶掩模 15。

其次，如图 17(a) 所示，采用用具有开口图形 15a 的光刻胶掩模 15 对第 2 硅氧化膜 14 进行刻蚀的办法，形成使氧势垒膜 13 露出来的开口部分 14a。在该情况下，氧势垒膜 13 将被过刻蚀，光刻胶掩模 15 的膜厚因 5 刻蚀而减小。

其次，如图 17(b) 所示，用灰化法除去残存下来的光刻胶掩模 15。其次，如图 17(c) 所示，在用溅射法在第 2 硅氧化膜 14 的上边和开口部分 14a 的内部成膜了第 1 铂膜后，在含有开口部分 14a 的区域中采用对第 1 铂膜选择性地进行刻蚀的办法，形成第 1 铂膜被图形化后的下部电极 16。10 其次，用 MOCVD 法在第 2 硅氧化膜 14 和下部电极 16 的上边，成膜由以锶、铋、钽和铌为主要成分的铋层状钙钛矿型氧化物构成的强电介质膜。其次，在用溅射法在强电介质膜的上边成膜了第 2 铂膜之后，在含有下部电极 16 的区域中采用使强电介质膜和第 2 铂膜图形化的办法，形成电容绝缘膜 17 和上部电极 18。然后，进行未画出来的布线和保护膜等的形成。

15 但是，若使用以上那样的制造方法，构成电容器的下部电极 16、电容 绝缘膜 17 和上部电极 18 的覆盖性是不充分的，电容器的剖面易于变成为 悬突形状。为此，在下部电极 16 或上部电极 18 处常常会发生断线。此外， 越是开口部分 14a 的壁面的底部电容器的膜厚就越薄膜化，同时，在开口 部分 14a 的底部上，电容器的膜厚也将薄膜化。此外，由于覆盖性不充分， 20 故当电容绝缘膜 17 的膜厚变得不均一时，在电容器的特性上就会产生参 差。

此外，若采用别的现有的半导体装置的制造方法，则在开口部分为垂 直形状的情况下形成的下部电极和电容绝缘膜及上部电极，虽然也有未用 上述图 17(c) 所示的那样的覆盖性不好的状态画出来的电极和膜，但是在 25 现实的情况下，若使用可以简便地进行上部电极、下部电极或电容绝缘膜 的成膜的溅射法，则在开口部分的内部覆盖性将恶化（例如，参看专利文 献 1）。此外，即便是使用覆盖性比较好的 MOCVD（有机金属 CVD）法，在 现实的情况下覆盖性也不充分，如果想用该方法提高覆盖性，则将发生成 膜速率减小这样的新的课题。

30 于是，为了提高电极和电容绝缘膜的覆盖性，可以考虑从上方看使开

口部分的壁面变成为正梯形形状这样的方法（以下，规定在谈及壁面的形  
状时说的就是从上方看的形状）。但是，虽然为了对一般地说作为层间绝  
缘膜使用的硅氧化膜形成微细的开口部分，就必须用干法刻蚀形成开口部  
分，但是对于硅氧化膜来说由于不能进行反应性刻蚀，故要把开口部分的  
5 壁面形成正梯形形状是困难的。

另一方面，作为把开口部分的壁面形成为正梯形形状的方法，有人提  
出了采用在形成了开口部分之后，使光刻胶掩模后退再次进行刻蚀的办  
法，使开口部分的壁面变成为正梯形形状的方法（参看专利文献 2）。但是，  
10 在该情况下，虽然结果变成为在刻蚀时使用的光刻胶掩模的侧壁上，会再  
次附着已用形成开口部分时的刻蚀除去了的基底的导电膜，或者会淀积上  
刻蚀气体与导电膜的反应生成物，但是，由于在使光刻胶掩模后退之后也  
将残留下来的不能除去该再次附着的导电膜和反应生成物，故将产生形成  
栅栏等的形状异常。为此，在要再次进行刻蚀的情况下，归因于形状异常  
而不能稳定地形成开口部分的壁面的梯形形状。

15 [专利文献 1]

美国专利 6239461 号公报 (column 5 line 44-column 6 line 26 fig.  
5)

[专利文献 2]

特开昭 61-296722 号公报 (第 2-3 页, 图 1)。

20

## 发明内容

### (发明要解决的课题)

如上所述，倘采用现有的半导体装置的制造方法，则电极和电容绝缘  
膜的覆盖性不充分，而且其剖面易于变成为悬突形状。当电极的覆盖性变  
坏时电极就要产生断线，而当电极变成为悬突形状时，则因开口部分的上  
25 部的间隔变窄，而使得电容绝缘膜的覆盖性进一步恶化，故在电容绝缘膜  
中就会因产生泄漏而在电容器的特性方面产生参差。

此外，在用 MOCVD (有机金属 CVD) 法形成电容绝缘膜的情况下，由  
于供给有机金属原料的比率不均一，故电容绝缘膜的组成将变得不均一。

30 此外，人们尚不知道稳定地形成开口部分的壁面的梯形形状的方法。

鉴于上述，本发明的目的在于采用稳定地形成开口部分的壁面的梯形形状的办法，提高电极和电容绝缘膜的覆盖性。

(解决课题的手段)

5 为了实现上述目的，本发明的第1半导体装置的制造方法，其特征在于：具备如下的工序：在衬底上边形成导电膜的工序；使得把导电膜覆盖起来那样地形成绝缘膜的工序；用具有第1开口图形的掩模材料，在绝缘膜上形成底不达不到上述导电膜的孔的工序；用具有比第1开口图形的直径还大的直径的第2开口图形的掩模材料，在绝缘膜上形成使导电膜10 露出来的开口部分的工序；开口部分的壁面和开口部分的底面之间的夹角是钝角。

倘采用本发明的第1半导体装置的制造方法，由于因在借助于使用具有第1开口图形的掩模材料的第1刻蚀形成了达不到导电膜的孔之后，借助于使用具有比第1开口图形的直径更大的直径的第2开口图形的掩模材料的第2刻蚀使导电膜露出来地形成开口部分，而使得导电膜不会再附着于具有第1开口图形的掩模材料的侧壁上，或刻蚀气体与导电膜之间的反应生成物不会淀积到具有第1开口图形的掩模材料的侧壁上，故不会像现有例那样发  
15 生要形成围栏(fence)等的形状异常。为此，就可以平滑地稳定地形成开口部分的壁面的形状。  
20

在本发明的第1半导体装置的制造方法中，理想的是还具备至少在开口部分的内部，形成由下部电极、电容绝缘膜及上部电极构成的电容的工序。

这样的话，由于可以得到覆盖性优良的电极和电容绝缘膜，故可以因  
25 防止了电极的断线、电容绝缘膜的泄漏和组成偏差而可以防止电容器元件的特性的参差。

在本发明的第1半导体装置的制造方法中，理想的是形成电容的工序，还包括：使得把开口部分的壁面和底面覆盖起来那样地形成下部电极的工序；在下部电极的上边形成电容绝缘膜的工序；在电容绝缘膜的上边30 形成上部电极的工序。

在本发明的第 1 半导体装置的制造方法中，下部电极和上部电极，作为主要成分可以含有铂族元素。

在本发明的第 1 半导体装置的制造方法中，理想的是电容绝缘膜，由强电介质膜或高电介质膜构成。

5 在本发明的第 1 半导体装置的制造方法中，理想的是电容绝缘膜，由  $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ 、 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ 、 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 、 $(\text{Bi}_x\text{La}_{1-x})\text{Ti}_3\text{O}_{12}$ （但是，在以上中， $x$  满足  $0 \leq x \leq 1$  的关系）或  $\text{Ta}_2\text{O}_5$  构成。

10 在本发明的第 1 半导体装置的制造方法中，在导电膜由铱、铂、金、钌、铑、钯或它们的氧化物构成，或者由钛、钛铝、钽、钽铝或它们的氮化物或者它们的叠层膜构成的情况下，可以抑制借助于刻蚀除去的导电膜再附着于掩模材料上，同时，还可以抑制刻蚀气体与导电膜之间的反应生成物向掩模材料上的淀积。

15 在本发明的第 1 半导体装置的制造方法中，在导电膜，包括通过插针与衬底连接起来的氧势垒膜的情况下，在形成电容绝缘膜时，由于不会使插针氧化，故可以进行电容与衬底之间的连接。

在本发明的第 1 半导体装置的制造方法中，在绝缘膜是含有硅的氧化膜的情况下，由于对于绝缘膜可以进行各向异性强的刻蚀，故因在借助于第 1 刻蚀形成了凹部之后，借助于第 2 刻蚀形成开口部分，减小了开口部分的壁面的台阶而使得梯形形状变成为平滑。

20 在本发明的第 1 半导体装置的制造方法中，在绝缘膜的主表面已平坦化的情况下，就会减小在形成电极和电容绝缘膜时使用的掩模材料的聚焦偏移。

在本发明的第 1 半导体装置的制造方法中，在掩模材料是光刻胶的情况下，就可以确保光刻胶对绝缘膜的刻蚀选择比。

25 本发明的第 2 半导体装置的制造方法，具备如下的工序：在衬底上边的规定区域上形成导电膜的工序；在衬底上边，使得把导电膜覆盖起来那样地形成绝缘膜的工序；在绝缘膜上边形成在导电膜的上方具有第 1 开口图形的掩模材料的工序；采用用具有第 1 开口图形的掩模材料对绝缘膜进行第 1 刻蚀的办法，在绝缘膜上形成底部达不到导电膜的凹部的工序；扩大第 1 开口图形的直径，形成具有直径比第 1 开口图形的直径大的第 2 开

口图形的掩模材料的工序；采用用具有第2开口图形的掩模材料对绝缘膜进行第2刻蚀的办法，在绝缘膜上，形成开口直径比凹部大而且壁面为梯形形状，同时使导电膜露出来的开口部分的工序。

倘采用本发明的第2半导体装置的制造方法，由于因在借助于使用具有第1开口图形的掩模材料的第1刻蚀形成了达不到导电膜的凹部之后，  
5 借助于使用具有比第1开口图形的直径更大的直径的第2开口图形的掩模材料的第2刻蚀形成开口部分，而使得导电膜不会再附着于具有第1开口图形的掩模材料的侧壁上，或刻蚀气体与导电膜之间的反应生成物不会淀积到具有第1开口图形的掩模材料的侧壁上，故不会像现有例那样发生要形成围栏(fence)等的形状异常。为此，就可以稳定地形成开口部分的壁面的梯形形状。

在本发明的第2半导体装置的制造方法中，理想的是还具备至少在开口部分的内部，形成由下部电极、电容绝缘膜及上部电极构成的电容的工序。

15 这样的话，由于可以得到覆盖性优良的电极和电容绝缘膜，故可以因防止了电极的断线、电容绝缘膜的泄漏和组成偏差而可以防止电容器元件的特性的参差。

在本发明的第2半导体装置的制造方法中，理想的是形成电容的工序，  
20 还包括：使得把开口部分的壁面和底面覆盖起来那样地形成下部电极的工序；在下部电极的上边形成电容绝缘膜的工序；在电容绝缘膜的上边形成上部电极的工序。

在本发明的第2半导体装置的制造方法中，理想的是在形成具有第1开口图形的掩模材料的工序和在绝缘膜上形成凹部的工序之间，还具备使第1开口图形的壁面变成为梯形形状的工序。

25 这样的话，由于要在使第1开口图形的壁面变成为梯形形状之后，再进行第1刻蚀，故可把开口部分的壁面加工成更好的梯形形状。

在本发明的第2半导体装置的制造方法中，理想的是在比在绝缘膜上形成开口部分的工序还往后，还具备采用在除去了掩模材料之后，对绝缘膜整个面地进行第3刻蚀的办法，使开口部分的壁面的梯形形状变成为平滑的工序。

这样的话，开口部分的壁面的梯形形状就会变为平滑。

在本发明的第2半导体装置的制造方法中，理想的是在比在绝缘膜上形成开口部分的工序还往后，还具备：扩大第2开口图形的直径，形成具有直径比第2开口图形还大的第3开口图形的掩模材料的工序；采用用具有第3开口图形的掩模材料对绝缘膜进行第3刻蚀的办法，使开口部分的壁面的梯形形状变为平滑的工序。  
5

这样的话，开口部分的壁面的梯形形状就会变为平滑。

在上述的半导体装置的制造方法中，理想的是在使开口部分的壁面的梯形形状变为平滑的工序之后，还具备至少在开口部分的内部，形成由下部电极、电容绝缘膜及上部电极构成的电容的工序。  
10

这样的话，由于可以得到覆盖性优良的电极和电容绝缘膜，故可以因防止了电极的断线、电容绝缘膜的泄漏和组成偏差而可以防止电容器元件的特性的参差。

在上述的半导体装置的制造方法中，理想的是形成电容的工序，还包括：使得把开口部分的壁面和底面覆盖起来那样地形成下部电极的工序；在下部电极的上边形成电容绝缘膜的工序；在电容绝缘膜的上边形成上部电极的工序。  
15

本发明的第3半导体装置的制造方法，其特征在于：具备如下的工序：在衬底上边的规定区域上形成导电膜的工序；在导电膜的上边形成刻蚀阻挡膜的工序；在衬底上边，使得把导电膜覆盖起来那样地形成绝缘膜的工序；在绝缘膜上边形成在导电膜的上方具有第1开口图形的掩模材料的工序；采用用具有第1开口图形的掩模材料对绝缘膜进行第1刻蚀的办法，在绝缘膜上形成底部达不到刻蚀阻挡膜的凹部的工序；扩大第1开口图形的直径，形成具有直径比第1开口图形的直径大的第2开口图形的掩模材料的工序；采用用具有第2开口图形的掩模材料对绝缘膜进行第2刻蚀的办法，在绝缘膜上，形成开口直径比凹部大而且壁面为梯形形状，同时使刻蚀阻挡膜露出来的开口部分的工序；采用对刻蚀阻挡膜进行第3刻蚀的办法，使绝缘膜的开口部分的壁面的梯形形状变为平滑的同时，在刻蚀阻挡膜上形成使导电膜露出来的开口部分的工序。  
20  
25

30 倘采用本发明的第3半导体装置的制造方法，由于因在借助于使用具

有第1开口图形的掩模材料的第1刻蚀形成了达不到导电膜的凹部之后，  
借助于使用具有比第1开口图形的直径更大的直径的第2开口图形的  
掩模材料的第2刻蚀形成开口部分，而使得导电膜不会再附着于具有第1  
开口图形的掩模材料的侧壁上，或刻蚀气体与导电膜之间的反应生成物  
5 不会沉积到具有第1开口图形的掩模材料的侧壁上，故不会像现有例那样发  
生形成围栏(fence)等的形状异常。为此，就可以稳定地形成开口部分的  
壁面的梯形形状。再有，与第2半导体装置的制造方法进行比较，由于借  
助于第2刻蚀形成的开口部分因要在导电膜上边形成刻蚀阻挡膜而使得导  
电膜不会露出来，故可以借助于第3刻蚀使开口部分的壁面的梯形形状变  
10 成为更加平滑，同时，还可以抑制在进行第3刻蚀时的对导电膜的过刻蚀  
量。

在本发明的第3半导体装置的制造方法中，理想的是还具备至少在绝缘膜的开口部分及刻蚀阻挡膜的开口部分的内部，形成由下部电极、电容绝缘膜及上部电极构成的电容的工序。

15 这样的话，由于可以得到覆盖性优良的电极和电容绝缘膜，故可以因防止了电极的断线、电容绝缘膜的泄漏和组成偏差而可以防止电容的特性的参差。

在本发明的第3半导体装置的制造方法中，理想的是形成电容的工序，  
还包括：使得把开口部分的壁面和底面覆盖起来那样地形成下部电极的工  
20 序；在下部电极的上边形成电容绝缘膜的工序；在电容绝缘膜的上边形成  
上部电极的工序。

在本发明的第3半导体装置的制造方法中，理想的是在除去了掩模材料之后，再进行第3刻蚀。

25 这样的话，由于在第3刻蚀时使用的刻蚀气体不会妨害掩模材料，故可以使因第1刻蚀和第2刻蚀而在开口部分的侧壁上形成的台阶变得更加平滑。

在本发明的第3半导体装置的制造方法中，理想的是第3刻蚀，用扩大上述第2开口图形的直径的办法构成的第3开口图形的掩模材料进行。

30 这样的话，就可以使因第1刻蚀和第2刻蚀而在开口部分的壁面上形成的台阶变得平滑。

在本发明的第2～第4半导体装置中，理想的是在形成具有第1开口图形的掩模材料的工序和在绝缘膜上形成凹部的工序之间，还具备使第1开口图形的壁面变成为梯形形状的工序。

这样的话，由于在使第1开口图形的壁面变成为梯形形状之后，再进行第1刻蚀，故可以把开口部分的壁面加工成更好的梯形形状。  
5

在本发明的第3半导体装置的制造方法中，理想的是刻蚀阻挡膜，由含钛或铝的金属氧化物构成。

这样的话，则可以把金属氧化物对导电膜的刻蚀选择比形成得大。

本发明的第4半导体装置的制造方法，具备如下的工序：在衬底上边的规定区域上形成导电膜的工序；在衬底上边使得把导电膜覆盖起来那样地形成绝缘膜的工序；在绝缘膜上边形成在导电膜的上方具有第1开口图形的掩模材料的工序；采用用具有第1开口图形的掩模材料对绝缘膜进行第1刻蚀的办法，在绝缘膜上形成底部达不到导电膜的凹部的工序；采用在除去了掩模材料后，整个面地对绝缘膜进行第2刻蚀的办法，在绝缘膜上，形成开口直径比凹部大而且壁面为梯形形状，同时使导电膜露出来的开口部分的工序。  
10  
15

倘采用本发明的第4半导体装置的制造方法，由于在借助于第1刻蚀形成了达不到导电膜的凹部之后，除去掩模材料，借助于第2刻蚀形成开口部分，故导电膜不会再附着于具有第1开口图形的掩模材料的侧壁上，或刻蚀气体与导电膜之间的反应生成物不会淀积到具有第1开口图形的掩模材料的侧壁上，故不会像现有例那样发生形成围栏(fence)等的形状异常。为此，就可以稳定地形成开口部分的壁面的梯形形状。再有，与第2半导体装置的制造方法进行比较，由于可以省略用具有其构成为扩大第1开口图形的直径的第2开口图形的掩模材料进行刻蚀的工序，故可以减少工序数。  
20  
25

在本发明的第4半导体装置的制造方法中，理想的是还具备至少在上述绝缘膜的开口部分的内部，形成由下部电极、电容绝缘膜和上部电极构成的电容的工序。

这样的话，由于可以得到覆盖性优良的电极和电容绝缘膜，故可以因防止了电极的断线、电容绝缘膜的泄漏和组成偏差而可以防止电容的特性  
30

的参差。

在本发明的第4半导体装置的制造方法中，理想的是形成电容的工序，  
还包括：使得把开口部分的壁面和底面覆盖起来那样地形成下部电极的工  
序；在下部电极的上边形成电容绝缘膜的工序；在电容绝缘膜的上边形成  
5 上部电极的工序。

在本发明的第4半导体装置的制造方法中，在形成具有第1开口图形的  
掩模材料的工序和在绝缘膜上形成上述凹部的工序之间，还具备使第1  
开口图形的壁面变成为梯形形状的工序。

这样的话，由于在使第1开口图形的壁面变成为梯形形状之后，再进  
10 行第1刻蚀，故可以把开口部分的壁面加工成更好的梯形形状。

#### (发明的效果)

倘采用本发明的第1半导体装置的制造方法，由于因在借助于使用具  
有第1开口图形的掩模材料的第1刻蚀形成了达不到导电膜的孔之后，借  
助于使用具有比第1开口图形的直径更大的直径的第2开口图形的掩  
15 模材料的第2刻蚀使导电膜露出来地形成开口部分，而使得导电膜不会再  
附着于具有第1开口图形的掩模材料的侧壁上，或刻蚀气体与导电膜之  
间的反应生成物不会淀积到具有第1开口图形的掩模材料的侧壁上，故不会  
像现有例那样发生形成围栏(fence)等的形状异常。为此，就可以平滑地  
20 稳定地形成开口部分的壁面的形状。

倘采用本发明的第2半导体装置的制造方法，由于因在借助于使用具  
有第1开口图形的掩模材料的第1刻蚀形成了达不到导电膜的凹部之后，  
借助于使用具有比第1开口图形的直径更大的直径的第2开口图形的掩  
25 模材料的第2刻蚀使导电膜露出来地形成开口部分，而使得导电膜不会再  
附着于具有第1开口图形的掩模材料的侧壁上，或刻蚀气体与导电膜之  
间的反应生成物不会淀积到具有第1开口图形的掩模材料的侧壁上，故不会  
像现有例那样发生形成围栏(fence)等的形状异常。为此，就可以稳定  
地形成开口部分的壁面的梯形形状。

倘采用本发明的第3半导体装置的制造方法，由于因在借助于使用具  
30 有第1开口图形的掩模材料的第1刻蚀形成了达不到导电膜的凹部之后，

借助于使用具有比第 1 开口图形的直径更大的直径的第 2 开口图形的掩模材料的第 2 刻蚀形成开口部分，而使得导电膜不会再附着于具有第 1 开口图形的掩模材料的侧壁上，或刻蚀气体与导电膜之间的反应生成物不会淀积到具有第 1 开口图形的掩模材料的侧壁上，故不会像现有例那样发生形成围栏(fence)等的形状异常。为此，就可以稳定地形成开口部分的壁面的梯形形状。再有，与第 2 半导体装置的制造方法进行比较，由于借助于第 2 刻蚀形成的开口部分因要在导电膜上边形成刻蚀阻挡膜而使得导电膜不会露出来，故可以借助于第 3 刻蚀使开口部分的壁面的梯形形状变成为更加平滑，同时，还可以抑制在进行第 3 刻蚀时的对导电膜的过刻蚀量。

倘采用本发明的第 4 半导体装置的制造方法，由于在借助于第 1 刻蚀形成了达不到导电膜的凹部之后，除去掩模材料，借助于第 2 刻蚀形成开口部分，故导电膜不会再附着于具有第 1 开口图形的掩模材料的侧壁上，或刻蚀气体与导电膜之间的反应生成物不会淀积到具有第 1 开口图形的掩模材料的侧壁上，故不会像现有例那样发生形成围栏(fence)等的形状异常。为此，就可以稳定地形成开口部分的壁面的梯形形状。再有，与第 2 半导体装置的制造方法进行比较，由于可以省略用具有其构成为扩大第 1 开口图形的直径的第 1 开口图形的掩模材料进行刻蚀的工序，故可以减少工序数。

## 20 附图说明

图 1(a)～(d) 的剖面图示出了本发明的实施方式 1 的半导体装置的制造方法。

图 2(a)～(d) 的剖面图示出了本发明的实施方式 1 的半导体装置的制造方法。

25 图 3(a)～(c) 的剖面图示出了本发明的实施方式 2 的半导体装置的制造方法。

图 4(a)～(c) 的剖面图示出了本发明的实施方式 2 的半导体装置的制造方法。

30 图 5(a)～(c) 的剖面图示出了本发明的实施方式 3 的半导体装置的制造方法。

图 6(a)～(d) 的剖面图示出了本发明的实施方式 3 的半导体装置的制造方法。

图 7(a) 和 (b) 的剖面图示出了本发明的实施方式 4 的半导体装置的制造方法。

5 图 8(a) 和 (b) 的剖面图示出了本发明的实施方式 4 的半导体装置的制造方法。

图 9(a)～(c) 的剖面图示出了本发明的实施方式 5 的半导体装置的制造方法。

10 图 10(a)～(c) 的剖面图示出了本发明的实施方式 5 的半导体装置的制造方法。

图 11 是本发明的实施方式 6 的半导体装置的单元块的俯视图。

图 12(a)～(c) 的剖面图示出了本发明的实施方式 6 的半导体装置的制造方法。

15 图 13(a) 和 (b) 的剖面图示出了本发明的实施方式 6 的半导体装置的制造方法。

图 14(a) 和 (b) 的剖面图示出了本发明的实施方式 6 的半导体装置的制造方法。

图 15 示出了本发明的实施方式 6 的半导体装置的制造方法。

图 16(a)～(c) 的剖面图示出了现有的半导体装置的制造方法。

20 图 17(a)～(c) 的剖面图示出了现有的半导体装置的制造方法。

符号说明：

100、200、300、400、500、610—半导体衬底；101、201、301、401、  
501—第 1 硅氧化膜；102、202、302、402、502—插针；103、203、303、  
403、503—氧势垒膜；104、204、305、404、504—第 2 硅氧化膜；104a、  
204a、305a、404a、504a—凹部；104b、204b、305b、404b、504b、623  
25 —开口部；105、205、306、405、505—光刻胶掩模；105a、205a、306a、  
405a、505a—第 1 开口图形；105b、205b、306b、505b—第 2 开口图形；  
106、624—下部电极；107、625—电容绝缘膜；108、626—上部电极；304  
—刻蚀阻挡膜；505c—第 3 开口图形；611—元件隔离区；612—栅极电极；  
30 613a—漏极扩散层；613b—源极扩散层；614—第 1 层间绝缘膜；615—第

1 接触插针； 616—位线； 617—第 2 层间绝缘膜； 618—绝缘性下部氢势垒膜； 619—第 2 接触插针； 620—导电性下部氢势垒膜； 621—氧势垒膜； 622—第 3 层间绝缘膜； 627—电容器； 627a—导通用虚设电容器； 628—第 4 层间绝缘膜； 629： 绝缘性上部氢势垒膜； 629a—连接部分； 630—第 5 层间绝缘膜； 631—第 3 接触插针； 632—布线； 650—单元板； 660—单元块。

## 具体实施方式

### (实施方式 1)

10 以下，参看图 1(a)～(d) 和图 2(a)～(d) 说明本发明的实施方式 1 的半导体装置的制造方法。

首先，如图 1(a) 所示，用 CVD 法，在半导体衬底 100 上边成膜了膜厚为 1000nm 的第 1 硅氧化膜 101 之后，用 CMP 法，一直到第 1 硅氧化膜 101 的膜厚变成为 500nm 为止使第 1 硅氧化膜平坦化。其次，在采用对第 1 硅氧化膜 101 选择性地进行刻蚀的办法，形成了与半导体衬底 100 的上面连通的直径为 250nm 的接触孔后，用溅射法或 CVD 法，依次在第 1 硅氧化膜 101 的上边和该接触孔的内部成膜膜厚为 10nm 的钛膜和膜厚为 20nm 的氮化钛膜，然后，用 CVD 法成膜膜厚为 200nm 的钨膜。

其次，用 CMP 法采用仅仅在接触孔的内部使由上述钛膜、氮化钛膜和钨膜构成的金属膜残留下来的办法，形成插针 102。其次，用溅射法，在第 1 硅氧化膜 101 和插针 102 的上边依次叠层膜厚为 100nm 的氮化钛铝膜、膜厚为 50nm 的铱膜和膜厚为 100nm 的氧化铱膜形成了叠层膜之后，采用对该叠层膜选择性地进行干法刻蚀的办法，形成把插针 102 被覆起来的氧势垒膜 103。

25 这里，氧势垒膜 103 是导电膜。还有，在本实施方式中，虽然说明了氧势垒膜 103 是导电膜的情况，但本发明不限于这样的构成。

其次，如图 1(b) 所示，在第 1 硅氧化膜 101 的上边，成膜了膜厚为 1000 nm 的第 2 硅氧化膜 104 以覆盖氧势垒膜 103 之后，用 CMP 法将在氧势垒膜 103 上的膜厚为 600nm 为止的第 2 硅氧化膜 104 平坦化。

30 其次，如图 1(c) 所示，在第 2 硅氧化膜 104 的上边，形成在氧势垒膜

103 的上方具有膜厚为 700nm 而且开口直径为 300nm 的第 1 开口图形 105a 的光刻胶掩模 105。

其次，如图 1(d) 所示，对第 2 硅氧化膜 104，采用用具有第 1 开口图形 105a 的光刻胶掩模 105，同时，使用由含 C、H 和 F 的气体和含 O 的气体的混合气体构成的等离子体进行第 1 刻蚀的办法，形成深度为 300nm 左右的凹部 104a。这时，光刻胶掩模 105 的膜厚归因于第 1 刻蚀而减少到约 500nm 左右。

其次，如图 2(a) 所示，采用进行使用含 O 气体构成的等离子体的整个面刻蚀，把光刻胶掩模 105 除去约 300nm 左右的办法，形成具有直径为 400nm 的第 2 开口图形 105b 的光刻胶掩模 105。这时，具有第 2 开口图形 105b 的光刻胶掩模 105，由于越是其上部照射等离子体的频度就越大，故第 2 开口图形 105b 的壁面就变成为正梯形形状。

其次，如图 2(b) 所示，采用对具有凹部 104a 的第 2 硅氧化膜 104，使用具有第 2 开口图形 105b 的光刻胶掩模 105，同时，用由含 C、H 和 F 的气体和含 O 的气体的混合气体构成的等离子体进行第 2 刻蚀的办法，形成开口直径比凹部 104a 还大而且壁面为梯形形状，同时，使氧势垒膜 103 露出来的开口部分 104b。在该情况下，光刻胶掩模 105 的膜厚，归因于第 2 刻蚀而减少到 100nm 左右。此外，氧势垒膜 103，膜厚被过刻蚀 30nm 左右。

如上所述，开口部分 104b，由于可在先借助于第 1 刻蚀形成了凹部 104a 之后借助于第 2 刻蚀形成，故若第 2 刻蚀是 100% 各向异性，则虽然结果会变成为在开口部分 104b 的壁面上形成阶梯状的台阶，但是因为可以用具有采用扩大第 1 开口图形 105a 的直径的办法构成的第 2 开口图形 105b 的光刻胶掩模 105 进行第 2 刻蚀而削掉了阶梯状的台阶的一部分，故该台阶将变成为图 2(b) 所示那样的平缓的形状。此外，由于还要加上第 2 开口图形 105b 的梯形形状被复制到第 2 硅氧化膜 104 上的效果，故在第 2 硅氧化膜 104 上可以形成具有梯形形状的壁面的开口部分 104b。

在这里，开口部分 104b 的壁面和开口部分 104b 的底面构成的夹角只要是钝角即可，而且要把开口部分 104b 的壁面形成为使得随着从底部朝向上方前进而展宽、即把开口部分 104b 的开口直径形成为使得随着从底部向

上部前进而变大。

其次，如图 2(c) 所示，借助于使用由含 O 气体构成的等离子体的灰化技术，除去光刻胶掩模 105。

其次，如图 2(d) 所示，用溅射法，在包括开口部分 104b 的内部的第 5 2 硅氧化膜 104 的上边形成了膜厚为 50nm 的第 1 铂膜之后，采用在包括开口部分 104b 的区域上，对第 1 铂膜选择性地进行干法刻蚀的办法，形成已使第 1 铂膜图形化后的下部电极 106。其次，用 MOCVD 法，在第 2 硅氧化膜 104 和下部电极 106 的上边成膜 50nm 的以锶、铋、钽和铌为主要成分的铋层状钙钛矿型氧化物构成的强电介质膜。其次，在用溅射法，在强电介质膜的上边成膜了膜厚 50nm 的第 2 铂膜之后，采用在含有下部电极 106 的区域内对强电介质膜和第 2 铂膜进行图形化的办法，形成电容绝缘膜 107 和上部电极 108。然后，虽然未公开表示出来，但是要在电容器的上边形成布线和保护膜等。

如上所述，倘采用实施方式 1 的半导体装置的制造方法，由于在采用 15 使用具有第 1 开口图形 105a 的光刻胶掩模 105 的办法形成了凹部 104a 之后，要用具有直径比第 1 开口图形 105a 还大的第 2 开口图形 105b 的光刻胶掩模 105 进行第 2 刻蚀，故可以使在第 2 硅氧化膜 104 上形成的开口部分 104b 的壁面变成为正梯形形状。

此外，由于在借助于第 1 刻蚀形成凹部 104a 时不使氧势垒膜 103 露出来，故构成在第 1 刻蚀时产生的氧势垒膜 103 的叠层膜的上层的氧化铱膜不会再附着于光刻胶掩模 105 的侧壁上，或者氟与铱的反应生成物淀积到光刻胶掩模 105 的侧壁上，所以不会像现有技术那样发生形成栅栏等的形状异常。为此，可以稳定地形成开口部分 104b 的壁面的梯形形状。

此外，由于因可以稳定地形成开口部分 104b 的壁面的梯形形状，使得可以得到覆盖性优良的下部电极 106、电容绝缘膜 107 和上部电极 108，故可以防止电极的断线、电容绝缘膜的泄漏和组成偏差，因而可以防止电容的特性的参差。

此外，倘作为构成氧势垒膜 103 的叠层膜的上层使用含有本身为高熔点金属的铱、铂、金、钌、铑或钯的金属或它们的金属氧化物，或者由钛、钛铝、钽、钽铝或它们的氮化物或者它们的叠层膜，则在可以抑制可借助

于刻蚀除去的氧势垒膜 103 再附着在光刻胶掩模 105 侧壁上的同时，还可以抑制刻蚀气体与氧势垒膜 103 的反应生成物向光刻胶掩模 105 上的侧壁上的淀积。

此外，作为下部电极 106 的基底膜，由于使用的是通过插针 102 与半  
5 导体衬底 100 连接起来的氧势垒膜 103，由于在形成由强电介质膜或高电  
介电质膜构成的电容时不再会使插针 102 氧化，故可以把电容器和半导体衬  
底 100 连接起来。

此外，第 2 硅氧化膜 104，由于是以硅为主要成分的氧化膜，由于可以对第 2 硅氧化膜 104 进行各向异性强的刻蚀，故采用在用第 1 刻蚀形成了凹部 104a 之后，用第 2 刻蚀形成开口部分 104b 的办法，来减小开口部分 104b 的壁面上的台阶以使梯形形状变得平滑起来。  
10

此外，由于要使第 2 硅氧化膜 104 的主表面平坦化，故可以减少在形成由电极和电容绝缘膜或高电介质膜构成的电容时使用的光刻胶掩模 105 的聚焦偏移。

此外，由于作为掩模材料用由光刻胶膜构成的光刻胶掩模 105，故可以确保光刻胶掩模 105 对绝缘膜的选择刻蚀比。  
15

此外，由于用含有氧气的等离子体进行第 1 刻蚀，故可以确保光刻胶掩模 105 对第 2 硅氧化膜 104 的刻蚀选择比。

在本实施方式中，虽然就使用光刻胶掩模作为掩模材料的情况进行了  
20 说明，但是本发明也可以使用代替其的其他公知技术。

此外，在本实施方式中，虽然说明的是在开口部分 104b 内形成电容器的情况，但是，本实施方式并不限于电容器，也可以形成别的元件。

### (实施方式 2)

以下，参看图 3(a)～(c) 和图 4(a)～(c) 说明本发明的实施方式 2 的  
25 半导体装置的制造方法。

首先，如图 3(a) 所示，与在实施方式 1 中用图 1(a)～(c) 所说明的同样，在半导体衬底 200 上边，形成第 1 硅氧化膜 201、插针 202、氧势垒膜 203、第 2 硅氧化膜 204 和具有膜厚为 700nm 而且直径为 300nm 的第 1 开口图形 205a 的光刻胶掩模 205。  
30

其次，如图 3(b) 所示，采用对第 2 硅氧化膜 204，使用具有第 1 开口

图形 205a 的光刻胶掩模 205，同时，使用由含 C、H 和 F 的气体和含 O 气体的混合气体构成的等离子体进行第 1 刻蚀的办法，形成深度约 300nm 左右的凹部 204a。在该情况下，光刻胶掩模 205 的膜厚归因于第 1 刻蚀而减少到 500nm 左右。

其次，如图 3(c) 所示，通过使用含 O 的气体构成的等离子体进行整个面刻蚀，除去 300nm 左右的光刻胶 205，形成光刻胶掩模 205，该 205 具有把直径扩大得比第 1 开口图形更大的直径 400nm 的第 2 开口图形 205b。这时，由于具有第 2 开口图形 205b 的光刻胶掩模 205，越是其上部照射等离子体的频度就越大，故第 2 开口图形 205b 的剖面就变成为正梯形形状。

其次，如图 4(a) 所示，采用对具有凹部 204a 的第 2 硅氧化膜 204，使用具有第 2 开口图形 205b 的光刻胶掩模 205，同时，用由含 C、H 和 F 的气体和含 O 的气体的混合气体构成的等离子体进行第 2 刻蚀的办法，形成开口直径比凹部 204a 还大而且壁面为梯形形状，同时，使氧势垒膜 203 露出来的开口部分 204b。在该情况下，光刻胶掩模 205 的膜厚，归因于第 2 刻蚀而减少到 100nm 左右。此外，氧势垒膜 203，膜厚被过刻蚀 30nm 左右。

如上所述，开口部分 204b，由于可在先借助于第 1 刻蚀形成了凹部 204a 之后借助于第 2 刻蚀形成，故若第 2 刻蚀是 100% 各向异性，则虽然结果会变成为在开口部分 204b 的壁面上形成阶梯状的台阶，但是因为可以用具有采用扩大第 1 开口图形 205a 的直径的办法构成的第 2 开口图形 205b 进行第 2 刻蚀而削掉了阶梯状的台阶的一部分，故该台阶将变成为图 4(a) 所示的那样的平缓的形状。此外，由于还要加上第 2 开口图形 205b 的梯形形状被复制到第 2 硅氧化膜 204 上的效果，故在第 2 硅氧化膜 204 上可以形成具有梯形形状的壁面的开口部分 204b。

其次，如图 4(b) 所示，借助于使用由含 O 气体构成的等离子体的灰化技术，除去光刻胶掩模 205。

其次，如图 4(c) 所示，采用不对使第 2 硅氧化膜 204 和氧势垒膜 203 露出来的开口部分 104b 使用掩模而整个面地进行第 3 刻蚀的办法，使开口部分 204 b 的壁面上的台阶变得更加平缓。在该情况下，氧势垒膜 203 膜厚被过刻蚀为 50nm 左右。其次，与实施方式 1 同样，形成下部电极、

电容绝缘膜和上部电极。然后，在电容器的上边形成布线和保护膜等，（未画出来）。

如上所述，倘采用实施方式2的半导体装置的制造方法，由于在采用使用具有第1开口图形205a的光刻胶掩模205的第1刻蚀形成了凹部204a之后，要用具有直径比第1开口图形205a还大的第2开口图形205b的光刻胶掩模205进行第2刻蚀，故可以使在第2硅氧化膜204上形成的开口部分204b的壁面变成为正梯形形状。

此外，由于在借助于第1刻蚀形成凹部204a时不使氧势垒膜203露出来，故构成在第1刻蚀时产生的氧势垒膜203的叠层膜的上层的氧化铱膜不会再附着于，或者，氟与铱的反应生成物不会淀积到光刻胶掩模205的侧壁上，所以不会像现有技术那样发生形成栅栏等的形状异常。为此，可以稳定地形成开口部分204b的壁面的梯形形状。

此外，由于在用灰化技术除去了光刻胶掩模205的工序之后，才对具有使氧势垒膜203露出来的开口部分204b的第2硅氧化膜204进行第3刻蚀，故在进行第3刻蚀时使用的刻蚀气体不会受掩模妨害地到达开口部分204b，故可以使在进行了第1和第2刻蚀后形成的开口部分204b的壁面的台阶变成为更为平滑的梯形形状。其结果是，由于可以得到覆盖性优良的下部电极、和电容绝缘膜和上部电极，故可以防止电极的断线、电容绝缘膜的泄漏和组成偏差，因而可以防止电容的特性的参差。

此外，在本实施方式中，虽然说明的是在借助于灰化技术除去了光刻胶掩模205后才对具有使氧势垒膜203露出来的开口部分204b的第2硅氧化膜204进行第3刻蚀的情况，但是，也可以使用具有采用扩大第2开口图形205b的直径的办法构成的开口图形的光刻胶掩模205进行第3刻蚀。在该情况下，当然也可以使第2刻蚀后的开口部分204b的壁面上的梯形形状变成为更加平滑。

此外，倘作为构成氧势垒膜203的叠层膜的上层使用含有本身为高熔点金属的铱、铂、金、钌、铑或钯的金属或它们的金属氧化物，或者由钛、钛铝、钽、钽铝或它们的氮化物或者它们的叠层膜，则在可以抑制借助于第2刻蚀除去的氧势垒膜203再附着在光刻胶掩模205的侧壁上的同时，还可以抑制刻蚀气体与氧势垒膜203的反应生成物向光刻胶掩模205的侧

壁上的淀积。

此外，作为下部电极的基底膜，由于使用的是通过插针 202 与半导体衬底 200 连接起来的氧势垒膜 203，由于在形成由强电介质膜或高电介质膜构成的电容时不再会使插针 202 氧化，故可以把电容器和半导体衬底 200 连接起来。  
5

此外，第 2 硅氧化膜 204，由于是以硅为主要成分的氧化膜，由于可以对第 2 硅氧化膜 204 进行各向异性强的刻蚀，故采用在用第 1 刻蚀形成了凹部 204a 之后，用第 2 刻蚀形成开口部分 204b 的办法，来减小开口部分 204b 的壁面上的台阶以使梯形形状变得平滑起来。

10 此外，由于要使第 2 硅氧化膜 204 的主表面平坦化，故可以减少在形成由电极和电容绝缘膜或高电介质膜构成的电容器时使用的光刻胶掩模 205 的聚焦偏移。

此外，由于作为掩模用由光刻胶膜构成的光刻胶掩模 205，故可以确保对光刻胶掩模 205 的绝缘膜的选择刻蚀比。

15 此外，由于用含有氧气的等离子体进行第 1 刻蚀，故可以确保光刻胶掩模 205 对第 2 硅氧化膜 204 的刻蚀选择比。

此外，在本实施方式中，虽然说明的是在开口部分内形成电容器的情况，但是，本实施方式并不限于电容器，也可以形成别的元件。

### (实施方式 3)

20 以下，参看图 5(a)～(c) 和图 6(a)～(c) 说明本发明的实施方式 3 的半导体装置的制造方法。

首先，如图 5(a) 所示，与在实施方式 1 中用图 1(a) 所说明的同样，在半导体衬底 300 上边，形成第 1 硅氧化膜 301、插针 302 和氧势垒膜 303。其次，在氧势垒膜 303 的上边，形成由氧化钛铝构成的膜厚 50nm 的刻蚀阻挡膜 304。  
25

其次，如图 5(b) 所示，与在实施方式 1 中使用图 1(b)～(c) 的说明同样，形成第 2 硅氧化膜 305 和具有膜厚 700nm 而且直径 300nm 的第 1 开口图形 306a 的光刻胶掩模 306。

其次，如图 5(c) 所示，采用对第 2 硅氧化膜 305，使用具有第 1 开口图形 306a 的光刻胶掩模 306，同时，用由含 C、H 和 F 的气体和含 O 的气  
30

体的混合气体构成的等离子体进行第 1 刻蚀的办法，形成深度 300nm 左右的凹部 305a。这时，光刻胶 306 的膜厚，借助于第 1 刻蚀将减少到 500nm 左右。

其次，如图 6(a) 所示，采用进行使用含 O 气体构成的等离子体的整个面刻蚀，把光刻胶掩模 306 除去 300nm 左右的办法，形成具有直径为 400nm 的第 2 开口图形 306b 的光刻胶掩模 306。这时，具有第 2 开口图形 306b 的光刻胶掩模 306，由于越是其上部照射等离子体的频度就越大，故第 2 开口图形 306b 的剖面就变成为正梯形形状。

其次，如图 6(b) 所示，采用对具有凹部 305a 的第 2 硅氧化膜 305，使用具有第 2 开口图形 306b 的光刻胶掩模 306，同时，用由含 C、H 和 F 的气体和含 O 的气体的混合气体构成的等离子体进行第 2 刻蚀的办法，形成开口直径比凹部 305a 还大而且壁面为梯形形状，同时，使刻蚀阻挡膜 304 露出来的开口部分 305b。在该情况下，光刻胶掩模 306 的膜厚，由于刻蚀而减少到 100nm 左右。此外，刻蚀阻挡膜 304，膜厚被过刻蚀 30nm 左右。

这样，开口部分 305b，由于可在先借助于第 1 刻蚀形成了凹部 305a 之后借助于第 2 刻蚀形成，故若第 2 刻蚀是 100% 各向异性，则虽然结果会变成为在开口部分 305b 的壁面上形成阶梯状的台阶，但是因为可以用具有采用扩大第 1 开口图形 306a 的直径的办法构成的第 2 开口图形 306b 进行第 2 刻蚀而削掉了阶梯状的台阶的一部分，故该台阶将变成为图 6(b) 所示的那样的平缓的形状。此外，由于还要加上第 2 开口图形 306b 的梯形形状被复制到第 2 硅氧化膜 305 上的效果，故在第 2 硅氧化膜 305 上可以形成具有梯形形状的壁面的开口部分 305b。

其次，如图 6(c) 所示，借助于使用由含 O 气体构成的等离子体的灰化技术，除去光刻胶 306。

其次，如图 6(d) 所示，用溅射法，对具有已使刻蚀阻挡膜 304 露出来的开口部分 305b 的第 2 硅氧化膜 305 整个面地进行第 3 刻蚀而不使用掩模的办法，进一步使开口部分 305b 的壁面上的台阶变缓，借助于该第 3 刻蚀，开口部分 305b 贯通刻蚀阻挡膜 304，使氧势垒膜 303 露出来。此外，30 氧势垒膜 303 膜厚被过刻蚀 10nm 左右。其次，与实施方式 1 同样，形成

下部电极、电容绝缘膜和上部电极。然后，进行布线和保护膜等的形成（未画出来的）。

如上所述，倘采用实施方式3的半导体装置的制造方法，由于在使用具有第1开口图形306a的光刻胶掩模306形成了凹部305a之后，要用具有直径比第1开口图形306a还大的第2开口图形306b的光刻胶掩模306进行第2刻蚀，故可以使在第2硅氧化膜305上形成的开口部分305b的壁面变成为正梯形形状。  
5

此外，由于在借助于第1刻蚀形成凹部305a时不使氧势垒膜303露出来，故构成在第1刻蚀时产生的氧势垒膜303的叠层膜的上层的氧化铱膜不会再附着于光刻胶掩模306的侧壁上，氟与铱的反应生成物不会淀积到光刻胶掩模306的侧壁上，所以不会像现有技术那样发生形成栅栏等的形状异常。为此，可以稳定地形成开口部分305b的壁面的梯形形状。  
10

此外，由于因在氧势垒膜303的上边形成刻蚀阻挡膜304，而使得借助于第2刻蚀形成的开口部分305b不使氧势垒膜303露出来，所以，在可以借助于第3刻蚀使开口部分305b的壁面的梯形形状变得更加平滑的同时，还可以抑制进行第3刻蚀时的对氧势垒膜303的过刻蚀。其结果是，由于可以得到覆盖性优良的下部电极、电容绝缘膜和上部电极，故可以防止电极的断线、电容绝缘膜的泄漏和组成偏差，因而可以防止电容的特性的参差。此外，在可以充分地确保氧势垒膜303的膜厚的同时，还可以制造势垒性高的半导体装置。  
15  
20

此外，作为刻蚀阻挡膜304，由于使用含有本身为低熔点金属的钛或铝的氧化物，故可以增大刻蚀阻挡膜304对构成本身为刻蚀阻挡膜304的基底膜的氧势垒膜303的叠层膜的上层的高熔点金属的铱的氧化物的刻蚀选择比。

此外，在本实施方式中，虽然说明的是在借助于灰化技术除去了光刻胶掩模306后才对具有使刻蚀阻挡膜304露出来的开口部分305b的第2硅氧化膜305进行第3刻蚀的情况，但是，也可以使用具有采用扩大第2开口图形306b的直径的办法构成的开口图形的光刻胶掩模306进行第3刻蚀。在该情况下，当然也可以使第2刻蚀后的开口部分305b的壁面上的梯形形状变得更加平滑。  
25  
30

此外，在本实施方式中，虽然说明的是在借助于灰化技术除去了光刻胶掩模 306 后才对具有使氧势垒膜 303 露出来的开口部分 305b 的第 2 硅氧化膜 305 进行第 3 刻蚀的情况，但是，也可以使用具有采用扩大第 2 开口图形 306b 的直径的办法构成的开口图形的光刻胶掩模 306 进行第 3 刻蚀。  
5 在该情况下，当然也可以使第 2 刻蚀后的开口部分 305b 的壁面上的梯形形状变得更加平滑。此外，在该情况下，倘作为构成氧势垒膜 303 的叠层膜的上层使用含有本身为高熔点金属的铱、铂、金、钌、铑或钯的金属或它们的金属氧化物，或者由钛、钛铝、钽、钽铝或它们的氮化物或者它们的叠层膜，则在可以抑制可借助于第 3 刻蚀除去的氧势垒膜 303 再附着在光刻胶掩模 306 上的同时，还可以抑制刻蚀气体与氧势垒膜 303 的反应生成物向光刻胶掩模 306 上的淀积。  
10  
15

此外，作为下部电极的基底膜，由于使用的是通过插针 302 与半导体衬底 300 连接起来的氧势垒膜 303，由于在形成由强电介质膜或高电介质膜构成的电容绝缘膜时不再会使插针 302 氧化，故可以把电容器和半导体衬底 300 连接起来。

此外，第 2 硅氧化膜 305，由于是以硅为主要成分的氧化膜，由于可以对第 2 硅氧化膜 305 进行各向异性强的刻蚀，故采用在用第 1 刻蚀形成了凹部 305a 之后，用第 2 刻蚀形成开口部分 305b 的办法，来减小开口部分 305b 的壁面上的台阶以使梯形形状变得平滑起来。

20 此外，由于要使第 2 硅氧化膜 305 的主表面平坦化，故可以减少在形成由电极和电容绝缘膜或高电介质膜构成的电容器时使用的光刻胶掩模 306 的聚焦偏移。

此外，由于作为掩模用由光刻胶膜构成的光刻胶掩模 306，故可以确保对光刻胶掩模 306 的选择刻蚀比。

25 此外，由于用含有氧气的等离子体进行第 1 刻蚀，故可以确保光刻胶掩模 306 对第 2 硅氧化膜 305 的刻蚀选择比。

此外，在本实施方式中，虽然说明的是在开口部分内形成电容器的情况，但是，本实施方式并不限定于电容器，也可以形成别的元件。

30 (实施方式 4)  
以下，参看图 7(a) 和 (b) 和图 8(a) 和 (b) 说明本发明的实施方式 4 的

半导体装置的制造方法。

首先，如图7(a)所示，与在实施方式1中用图1(a)～(c)所说明的同样，在半导体衬底400上边，形成第1硅氧化膜401、插针402、氧势垒膜403。其次，在第1硅氧化膜401和氧势垒膜403的上边，形成了第2硅氧化膜404以便把氧势垒膜403被覆起来之后，用CMP法，一直到氧势垒膜403的上边的第2硅氧化膜404的膜厚变成为900nm为止进行平坦化。其次，在第2硅氧化膜404的上边形成具有膜厚为700nm而且直径为300nm的开口图形405a的光刻胶掩模405。

其次，如图7(b)所示，采用用具有开口图形405a的光刻胶掩模405，同时，使用由含C、H和F的气体和含O的气体的混合气体构成的等离子体进行第1刻蚀的办法，形成深度为600nm左右的凹部404a。这时，光刻胶掩模405的膜厚归因于第1刻蚀而减少到500nm左右。

其次，如图8(a)所示，借助于使用由含O气体构成的等离子体的灰化技术，除去光刻胶掩模405。

其次，如图8(b)所示，采用对已形成了凹部404a的第2硅氧化膜404使用由含C、H和F的气体和含O的气体的混合气体构成的等离子体进行第2刻蚀而不使用掩模的办法，形成直径比凹部404a更大而且壁面是梯形形状，同时，使氧势垒膜403露出来的开口部分404b。此外，氧势垒膜403膜厚被过刻蚀30nm左右。其次，与实施方式1同样，形成下部电极、电容绝缘膜和上部电极。然后，进行布线和保护膜等的形成。

如上所述，倘采用实施方式4的半导体装置的制造方法，由于与实施方式1比，省略了扩大开口图形的直径的工序，故可以减少工序数。

此外，由于在用具有第1开口图形405a的光刻胶掩模405并借助于第1刻蚀形成了凹部404a之后，在借助于灰化技术除去了光刻胶掩模405之后，才进行第2刻蚀，故可以使在第2硅氧化膜404上形成的开口部分404b的壁面变成为正梯形形状。

此外，由于在借助于第1刻蚀形成凹部404a时不使氧势垒膜403露出来，故构成在第1刻蚀时产生的氧势垒膜403的叠层膜的上层的氧化铱膜不再附着于光刻胶掩模405的侧壁上，氟与铱的反应生成物不会淀积到光刻胶掩模405的侧壁上，所以不会像现有技术那样发生形成栅栏等的形

状异常。为此，可以稳定地形成开口部分 404b 的壁面的梯形形状。其结果是，由于可以得到覆盖性优良的电极和电容绝缘膜及上部电极，故可以防止电极的断线、电容绝缘膜的泄漏和组成偏差，因而可以防止电容器的特性的参差。

5 此外，作为下部电极的基底膜，由于使用的是通过插针 402 与半导体衬底 400 连接起来的氧势垒膜 403，由于在形成由强电介质膜或高电介质膜构成的电容绝缘膜时不再使插针 402 氧化，故可以把电容器和半导体衬底 400 连接起来。

10 此外，第 2 硅氧化膜 404，由于是以硅为主要成分的氧化膜，由于可以对第 2 硅氧化膜 404 进行各向异性强的刻蚀，故采用在用第 1 刻蚀形成了凹部 404a 之后，用第 2 刻蚀形成开口部分 404b 的办法，来减小开口部分 404b 的壁面上的台阶以使梯形形状变得平滑起来。

15 此外，由于要使第 2 硅氧化膜 404 的主表面平坦化，故可以减少在形成由电极和电容绝缘膜或高电介质膜构成的电容器时使用的光刻胶掩模 405 的聚焦偏移。

此外，由于作为掩模用由光刻胶膜构成的光刻胶掩模 405，故可以确保对光刻胶掩模 405 的绝缘膜的选择刻蚀比。

此外，由于用含有氧气的等离子体进行第 1 刻蚀，故可以确保对光刻胶掩模 405 的第 2 硅氧化膜 404 的刻蚀选择比。

20 此外，在本实施方式中，虽然说明的是在开口部分 404b 内形成电容器的情况，但是，本实施方式并不限于电容器，也可以形成别的元件。

#### (实施方式 5)

以下，参看图 9(a)～(c) 和图 10(a)～(c) 说明本发明的实施方式 5 的半导体装置的制造方法。

25 首先，如图 9(a) 所示，与在实施方式 1 中用图 1(a)～(c) 所说明的同样，在半导体衬底 500 上边，形成第 1 硅氧化膜 501、插针 502、氧势垒膜 503、第 2 硅氧化膜 504 和具有膜厚 800nm 而且直径为 250nm 的第 1 开口图形 505a 的光刻胶掩模 505。

其次，如图 9(b) 所示，采用进行使用含 O 气体构成的等离子体的整个面刻蚀，把光刻胶掩模 505 除去 100nm 左右的办法，形成具有直径为

300nm 的第 2 开口图形 505b 的光刻胶掩模 505。这时，具有第 2 开口图形 505b 的光刻胶掩模 505，由于越是其上部照射等离子体的频度就越大，故第 2 开口图形 505b 的剖面就变成为正梯形形状。

其次，如图 9(c) 所示，采用对第 2 硅氧化膜 504，使用具有第 2 开口图形 505b 的光刻胶掩模 505，同时，用由含 C、H 和 F 的气体和含 O 的气体的混合气体构成的等离子体进行第 1 刻蚀的办法，形成具有深度约 300nm 左右的凹部 504a。在该情况下，光刻胶掩模 505 的膜厚，借助于第 1 刻蚀将减少到 500nm 左右。此外，在该情况下，借助于把第 2 开口图形 505b 的梯形形状复制到第 2 硅氧化膜 504 上的效果，在硅氧化膜 504 上就可以形成具有梯形形状的壁面的凹部 504a。

其次，如图 10(a) 所示，采用用含 O 气体的等离子体除去 300nm 左右的光刻胶掩模 505 的办法，形成具有直径 400nm 的第 3 开口图形 505c 的光刻胶掩模 505。

其次，如图 10(b) 所示，对已形成了凹部 504a 的第 2 硅氧化膜 504，使用具有第 3 开口图形 505c 的光刻胶掩模 505，同时，用由含 C、H 和 F 的气体和含 O 的气体的混合气体构成的等离子体进行第 2 刻蚀的办法，形成开口直径比凹部 504a 还大而且壁面为梯形形状，同时，使氧势垒膜 503 露出来的开口部分 504b。在该情况下，光刻胶掩模 505 的膜厚，归因于第 3 刻蚀而减少到 100nm 左右。此外，氧势垒膜 503，膜厚被过刻蚀 30nm 左右。由于要对借助于第 1 刻蚀形成的具有梯形形状的壁面的凹部 504a 进行第 2 刻蚀，故借助于第 2 刻蚀形成的开口部分 504b 的壁面上的台阶将变得比在实施方式 1 中形成的开口部分 104b 壁面更为平缓。

其次，如图 10(c) 所示，借助于使用由含 O 的气体构成的等离子体的灰化技术，除去光刻胶掩模 505。其次，与实施方式 1 同样，形成下部电极、电容绝缘膜和上部电极。然后，在电容器的上边形成布线和保护膜等，虽然未画出来。

如上所述，倘采用实施方式 5 的半导体装置的制造方法，由于因在进行第 1 刻蚀之前具备使光刻胶掩模 505 的开口图形变成为梯形形状的工序，而使得借助于第 1 刻蚀除去第 2 硅氧化膜 504 的速度将上升，故与上述的各个实施方式比，借助于第 1 刻蚀形成的凹部 504a 的倾斜量就将增

大。此外，由于因凹部 504a 的倾斜量大，而使得在进行第 2 刻蚀时使用的刻蚀气体易于侵入到凹部 504a 内，故可以形成具有倾斜量更大的梯形形状的壁面的开口部分 504b。其结果是可以形成覆盖性更为优良的电容器。

5 此外，在借助于第 1 刻蚀形成凹部 504a 时，由于不使氧势垒膜 503 露出来，故构成在第 1 刻蚀时产生的氧势垒膜 503 的叠层膜的上层的氧化铱膜不再附着于光刻胶掩模 505 的侧壁上，或者，氟与铱的反应生成物不会淀积到光刻胶掩模 505 的侧壁上，所以不会象现有技术那样发生形成栅栏等的形状异常。为此，可以稳定地形成开口部分 504b 的壁面的梯形形状。  
10

此外，由于因可以稳定地形成开口部分 504b 的壁面的梯形形状，使得可以得到覆盖性优良的下部电极、电容绝缘膜和上部电极，故可以防止电极的断线、电容绝缘膜的泄漏和组成偏差，因而可以防止电容的特性的参差。

15 此外，倘作为构成氧势垒膜 503 的叠层膜的上层使用含有本身为高熔点金属的铱、铂、金、钌、铑或钯的金属或它们的金属氧化物，或钛、钛铝、钽、钽铝或它们的氮化物或者它们的叠层膜，则在可以抑制可借助于第 2 刻蚀除去的氧势垒膜 503 再附着在光刻胶掩模 505 的侧壁上的同时，还可以抑制刻蚀气体与氧势垒膜 503 的反应生成物向光刻胶掩模 505 的侧壁上的淀积。  
20

此外，作为下部电极的基底膜，由于使用的是通过插针 502 与半导体衬底 500 连接起来的氧势垒膜 503，由于在形成由强电介质膜或高电介质膜构成的电容时不再会使插针 502 氧化，故可以把电容器和半导体衬底 500 连接起来。

25 此外，第 2 硅氧化膜 504，由于是以硅为主要成分的氧化膜，由于可以对第 2 硅氧化膜 504 进行各向异性强的刻蚀，故采用在用第 1 刻蚀形成了凹部 504a 之后，用第 2 刻蚀形成开口部分 504b 的办法，来减小开口部分 504b 的壁面上的台阶以使梯形形状变得平滑起来。

此外，由于要使第 2 硅氧化膜 504 的主表面平坦化，故可以减少在形成由电极和电容绝缘膜或高电介质膜构成的电容时使用的光刻胶掩模 505  
30

的聚焦偏移。

此外，由于作为掩模用由光刻胶膜构成的光刻胶掩模 505，故可以确保对光刻胶掩模 505 的绝缘膜的选择刻蚀比。

此外，由于用含有氧气的等离子体进行第 1 刻蚀，故可以确保光刻胶 5 掩模 505 对第 2 硅氧化膜 504 的刻蚀选择比。

此外，在本实施方式中，虽然说明的是在开口部分 504b 内形成电容器的情况，但是，本实施方式并不限于电容器，也可以形成别的元件。

#### (实施方式 6)

以下，边参看图 11 边对本发明的实施方式 6 的半导体装置进行说明。

图 11 示出了本发明的实施方式 6 的半导体装置的单元块的平面图。

如图 11 所示，例如在由硅构成的半导体衬底 610 上边，形成由氮化硅构成的绝缘性下部氢势垒膜 618，在该绝缘性下部氢势垒膜 618 的上边，形成配置成行列状的多个电容器 627。

配置在后边讲述的与位线延伸的方向交叉方向上的电容器 627 的一部分，采用把例如电容器 627 的 65 个的量的上部电极彼此电连起来的办法构成单元板 650。在这里，位于各个单元板 650 的一个端部上的电容器 627A，是用来把半导体衬底 610 和单元板 650 电连起来的导通用的虚设电容器。因此，1 个单元板 650 实质上包含 64 个电容器 627。还有，1 个单元块 660 作为一个例子，其构成为把例如 64 列的量的单元板 650 配置到位线延伸的方向上。

此外，还可采用在单元板 650 延伸的方向上，配置例如 16 个的量的单元块 660 的办法，构成作为半导体存储器件的电容器阵列。另外，每 1 个单元板 650 的电容器 627 的个数、每 1 个单元块 660 的单元板 650 的个数，以及每 1 个电容器阵列的单元块 660 的个数，当然并不限于上边所说的个数。

此外，含有多个单元板 650 的 1 个单元块 660，已被具有绝缘性的例如由氧化钛铝(TiAlO)构成的绝缘性上部氢势垒膜 629 覆盖起来，绝缘性上部氢势垒膜 629 的端部，在连接部分 629a 处，已与绝缘性下部氢势垒膜 618 的端部连接起来。即，连接部分 629a，配置在单元块 660 的周缘部

分上。

以下，边参看图 12(a)～(c)、图 13(a)和(b)、图 14(a)和(b)以及图 15 对本发明的实施方式 6 的半导体装置的制造方法进行说明。

图 12(a)～(c)、图 13(a)和(b)、图 14(a)和(b)以及图 15 示出了本发明的实施方式 6 的半导体装置的制造方法的工序剖面图。另外，图 12(a)～(c)、图 13(a)和(b)、图 14(a)和(b)以及图 15 所示的剖面的方向，是与图 11 所示的单元板 650 延伸的方向(位线延伸的方向)进行交叉的方向，具体地说，在图 14(b)中，局部图示出的是尚未形成后边要讲述的第 5 层间绝缘膜 630 的状态而且示出的是到连接部分 629a 为止，该局部图与图 11 所示的 XIV(b)-XIV(b)线的剖面图相对应。此外，在图 12(a)～(c)、图 13(a)和(b)、图 14(a)和(b)以及图 15 中，对于那些与图 11 所示的构成要素同一的构成要素都赋予了同一标号，不再重复进行其说明，同时，在使用与上边所说的实施方式 1 同样的方法的情况下，不再重复其说明。

#### 〈MOS 晶体管的形成〉

首先，如图 12(a)所示，用光刻法和干法刻蚀法，在半导体衬底 610 的上面，形成深度约 300nm 的沟部。接着，采用在用 CVD 法，遍及半导体衬底 610 上边的整个面地淀积氧化硅之后，用 CMP 法，一直到半导体衬底 610 的表面露出来为止除去氧化硅的办法，选择性地形成其构成为把氧化硅膜埋入到沟部内的元件隔离区 611。

其次，例如用热氧化法，在半导体衬底 610 的主面上边形成膜厚约 10nm 的栅极绝缘膜(未画出来)。接着，采用在用低压 CVD 法，在栅极绝缘膜的上边，淀积上膜厚约 200nm 的多晶硅之后，用光刻法和干法刻蚀法进行图形化的办法，形成由多晶硅构成的多个栅极电极 612。

其次，用 CVD 法，在半导体衬底 610 上边使得把栅极电极 612 覆盖起来那样地淀积上膜厚约 50nm 的氧化硅之后，用刻蚀法，在栅极电极 612 的两侧形成侧壁绝缘膜(未画出来)。

其次，采用以栅极电极 612 和侧壁绝缘膜为掩模，向半导体衬底 610 内注入例如高浓度的砷离子的办法，形成漏极扩散层 613a 和源极扩散层 613b。经这样地进行处理后，就可以形成 MOS 晶体管。此外，在形成漏极扩散层 613a 和源极扩散层 613b 时，还要在除去半导体衬底 610 的 MOS 晶

体管形成区域之外的有源区域上选择性地形成布线用扩散层 613c。

#### 〈位线的形成〉

其次，如图 12(b) 所示，采用在用 CVD 法，遍及半导体衬底 610 的整个面地淀积上氧化硅之后，用 CMP 法，使得膜厚在栅极电极 612 的上部变 5 成为约 200nm 那样地使氧化膜进行平坦化的办法，形成由氧化硅构成的第一层间绝缘膜 614。

其次，在用光刻法和干法刻蚀法，在第 1 层间绝缘膜 614 上，形成了使漏极扩散层 613a 和源极扩散层 613b 的表面露出来的接触孔之后，用 CVD 法，在接触孔的内壁上，使得不把接触孔完全埋起来那样地，依次淀积钛 10 膜和氮化钛膜。接着，向接触孔内填充钨。这样一来，如图 12(b) 所示，就将形成与漏极扩散层 613a 或布线用扩散层 613c 进行连接的第一接触插针 615。

其次，用溅射法，在第 1 层间绝缘膜 614 上边，形成其构成为从下边开始依次叠层膜厚约 10nm 的钛膜和膜厚约 100nm 的钨膜的叠层膜。然后， 15 采用用光刻法和干法刻蚀法，使叠层膜图形化的办法，如图 12(b) 所示，形成与第 1 接触孔 615 进行连接的位线 616。

#### 〈绝缘性下部氢势垒膜的形成〉

其次，如图 12(c) 所示，采用在用 CVD 法，遍及第 1 层间绝缘膜 614 的整个面地淀积上氧化硅之后，用 CMP 法，使得在位线 616 的上部膜厚变成为约 20 100nm 那样地使氧化硅平坦化的办法，形成由氧化硅构成的第二层间绝缘膜 617。

其次，用 CVD 法，向第 2 层间绝缘膜 617 的上边，淀积膜厚约 100nm 的由氮化硅构成的绝缘性下部氢势垒膜 618。

其次，在用光刻法和干法刻蚀法，形成了贯通绝缘性下部氢势垒膜 25 618、第 2 层间绝缘膜 617 和第 1 层间绝缘膜 614 进行延伸，同时使 MOS 晶体管的源极扩散层 613b 的上面露出来的接触孔之后，采用依次向该接触孔内埋入钛膜、氮化钛膜和钨的办法，形成与源极扩散层 613b 连接的第 2 接触插针 619。

其次，如图 13(a) 所示，采用例如用溅射法，在遍及绝缘性下部氢势 30 垒膜 618 的整个面地形成了其构成为依次淀积各自的膜厚分别为约 50nm

的氮化钛铝膜、铱和氧化铱的叠层膜之后，用光刻法和干法刻蚀法对叠层膜进行图形化的办法，形成由氮化钛铝构成的导电性下部氢势垒膜 620、由铱和氧化铱构成的氧势垒膜 621。导电性下部氢势垒膜 620，在下面的中央部分处与第 2 接触插针 619 的上端进行连接，同时，在下面的周缘部分上与绝缘性的下部氢势垒膜 619 连接起来。  
5

#### 〈电容器的形成〉

其次，如图 13(b) 所示，采用在使得把氧势垒膜 621 和导电性下部氢势垒膜 620 覆盖起来那样地，遍及绝缘性氢势垒膜 618 的整个面地淀积上膜厚约 1000nm 的氧化硅膜之后，用 CMP 法，使得在氧势垒膜 621 的上部膜厚变成为 600nm 那样地使硅氧化膜平坦化的办法，形成第 3 层间绝缘膜 622。  
10

其次，采用在第 3 层间绝缘膜 622 的上边，形成了在氧势垒膜 621 的上方具有第 1 开口图形（未画出来）的光刻胶（未画出来）之后，用该第 1 开口图形进行第 1 刻蚀的办法，形成凹部（未画出来）。在这里，凹部具有达不到氧势垒膜 621 的那种程度的深度。  
15

其次，采用对具有第 1 开口图形的光刻胶掩模进行整个面刻蚀的办法，扩大第 1 开口图形的直径，形成具有直径比第 1 开口图形更大的第 2 开口图形（未画出来）的光刻胶掩模（未画出来）。

其次，采用具有第 2 开口图形的光刻胶掩模，对已形成了凹部的第 3 层间绝缘膜 622 进行第 2 刻蚀的办法，形成使氧势垒膜 621 露出来的开口部分 623。开口部分 623 的开口直径比凹部更大，而且壁面是梯形形状。  
20

如上所述，开口部分 623，可在用第 1 刻蚀形成了凹部之后，借助于对该凹部的第 2 刻蚀形成。因此，如图 13(b) 所示，开口部分 623 的壁面的台阶变缓。

另外，一直到形成开口部分 623 为止的工序，与在实施方式 1 中详细地说明的工序是同样的。  
25

其次，如图 14(a) 所示，用溅射法，遍及包括开口部分 623 的壁面和底面在内的整个面地，向第 3 层间绝缘膜 622 的上边，依次淀积膜厚约 5nm 的氧化铱和膜厚约 50nm 的铂。然后，采用用光刻法和干法刻蚀法，使得至少在开口部分 623 内形成的淀积膜残存下来那样地使该淀积膜图形化的  
30

办法，形成由氧化铱和铂构成的下部电极 624。

其次，用有机金属气相淀积（MOCVD）法，遍及包括已形成了下部电极 624 的开口部分 623 的整个面地，向第 3 层间绝缘膜 622 的上边，淀积膜厚约 50nm 的由铋层状  $MFeO_3$  类化合物构成而且将变成为电容绝缘膜膜 625 的强电介质膜。在这里，强电介质膜的主要成分是锶、铋、钽或铌。  
5

如上所述，由于要在壁面上具有梯形形状的开口部分 623 形成将成为电容绝缘膜 625 的强电介质膜，故在成分内含有多种元素的强电介质膜的膜厚均一性及组成均一性高。即，由于开口部分 623 的底部周边的弯曲部分的第 3 层间绝缘膜 622 的侧壁的倾斜因把开口部分 623 形成为梯形形状而变缓，故可以形成具有均一的膜厚的强电介质膜。其结果是，由于将成为电容绝缘膜 625 的强电介质膜的组成即便是在开口部分 623 的任何区域中也都是稳定的，故可以容易进行成膜的组成控制。  
10

此外，在将成为电容绝缘膜 625 的强电介质膜的形成中，即便是在不使用 MOCVD 法而代之以使用溅射法的情况下，由于要进行溅射的原子具有各向异性，故只要开口部分 623 是梯形形状，就可以得到具有均一的膜厚的强电介质膜。  
15

其次，采用在用溅射法，在要成为电容绝缘膜 625 的强电介质膜的上边淀积上膜厚约 50nm 的铂之后，对铂和强电介质膜进行图形化的办法，形成由铂构成的上部电极 626 和由强电介质膜构成的电容绝缘膜 625。在  
20 这里上部电极 626 还兼做单元板 650。另外，在这里，虽然用同一图形化工序形成电容绝缘膜 625 和上部电极 626，但是，并不限于此。

如上所述，由于因要在具有梯形形状的开口部分 623 上形成下部电极 624 和上部电极 626，而可以遍及要形成电容的整个区域地充分地确保下部电极 624 和上部电极 626 的膜厚，故可以用高温退火防止在使强电介质膜结晶化时产生的断线。  
25

采用如上所述的办法，就可以在各个开口部分 623，分别形成下部电极 624、电容绝缘膜 625 和上部电极 626 构成的电容器 627。此外，各个电容器 627，都通过下部电极 624、氧势垒膜 621、导电性下部氢势垒膜 620 和第 2 接触插针 619，与 MOS 晶体管的源极扩散层 613b 电连起来。

30 另外，作为下部电极 624 和上部电极 626，虽然使用的是膜厚约 50nm

的铂，但是也可以用别的铂族元素，就是说，也可以用钌(Ru)、铑(Rh)、钯(Pd)、锇(0s)、金(Au)、铱(Ir)或它们的化合物而不使用铂。或者，也可以使用钛(Ti)、钛铝(TiAl)、钽(Ta)、钽铝(TaAl)、它们的氮化物或它们的叠层膜。在这里，下部电极624和上部电极626的膜厚，理想的是分  
5 别为10nm~200nm。

另外，电容绝缘膜625，理想的是由强电介质膜或高电介质膜构成，作为强电介质膜，例如，可以使用 $\text{SrBi}_2(\text{Ta}_{x}\text{Nb}_{1-x})_2\text{O}_9$ 、 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ 、 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 、 $(\text{Bi}_x\text{La}_{1-x})_4\text{Ti}_3\text{O}_{12}$ (但是，在以上中， $x$ 满足 $0 \leq x \leq 1$ 的关系)，作为高电介质膜，例如，可以使用本身为高电介质材料的五氧化二钽  
10 ( $\text{Ta}_2\text{O}_5$ )。在这里，电容绝缘膜625的膜厚，理想的是20nm~200nm。

#### <绝缘性上部氢势垒膜的形成>

其次，如图14(b)所示，用CVD法，使得把电容器627覆盖起来那样地遍及半导体衬底610的整个面地淀积氧化硅形成第4层间绝缘膜628。接着，采用用光刻法和干法刻蚀法，以覆盖单元块(未画出来)的区域为  
15 掩模，除去在单元块的外侧形成的第4层间绝缘膜628和第3层间绝缘膜622的办法，使绝缘性下部氢势垒膜618的端部露出来。

其次，用溅射法，向第4层间绝缘膜28、第3层间绝缘膜622和绝缘性下部氢势垒膜618的露出面的上边，淀积膜厚约50nm的由氧化钛铝构成的绝缘性上部氢势垒膜629。借助于此，绝缘性上部氢势垒膜629，  
20 在单元块的周缘部分的连接部分629a处就与绝缘性下部氢势垒膜618连接起来。

其次，采用CVD法，使得把绝缘性上部氢势垒膜629覆盖起来那样地，遍及半导体衬底610上边的整个面地淀积氧化硅的办法，形成第5层间绝缘膜630。

#### <布线的形成>

其次，如图15所示，在第5层间绝缘膜630的连接部分629a的外侧上所形成的区域上，选择性地形成贯通第5层间绝缘膜630和第2层间绝缘膜617地延伸，同时使位线616的上表面露出来的接触孔。其次，采用向该接触孔内依次埋入钛膜、氮化钛膜和钨的办法，形成与位线616连接的第3接触插针631。其次，用溅射法，向第5层间绝缘膜630的上边，  
30

依次淀积膜厚约 10nm 的钛膜、膜厚约 50nm 的氮化钛膜、膜厚约 500nm 的铝膜和膜厚约 50nm 的氮化钛膜。经这样地处理后，就将形成与第 3 接触插针 631 连接的布线 632。

然后，用多层布线的形成、保护膜的形成和焊盘的形成等的众所周知的制造工艺，就会得到所希望的半导体装置。<sup>5</sup>

如上所述，倘采用实施方式 6 的半导体装置的制造方法，则在包括多个电容器 627 和导通用虚设电容器 627A 的单元块的下侧，设置有绝缘性下部氢势垒膜 618，在单元块的上侧和侧方，在连接部分 629a 处设置有与借助于下部氢势垒膜 618 进行连接的绝缘性上部氢势垒膜 629。因此，可以防止在形成了绝缘性上部氢势垒膜 629 后的布线形成等的工序中发生的氢向电容器 627 内的浸入。为此，就可以抑制因电容绝缘膜 625 被氢还原而产生的电容器 627 的特性劣化。<sup>10</sup>

再有，贯通绝缘性下部氢势垒膜 618 的第 2 接触插针 619，由于其上部的侧壁已与绝缘性下部氢势垒膜 618 接触，同时，其上端已被导电性下部氢势垒膜 620 覆盖起来，故可以防止氢从绝缘性下部氢势垒膜 618 和导电性下部氢势垒膜 620 之间浸入。因此，可以防止因氢的浸入而产生的电容绝缘膜 625 的还原。<sup>15</sup>

此外，如上所述，实施方式 6 的半导体装置，由于已在壁面梯形形状的开口部分内形成了电容器，故可以实现不会产生断线的电容器。再有，<sup>20</sup> 由于电容器已被氢势垒膜包围起来，故因防止了氢向电容器的浸入而可以抑制电容器的特性劣化。

#### (工业上利用的可能性)

本发明的半导体装置的制造方法，对防止断线的电容器的形成等是有用的。<sup>25</sup>

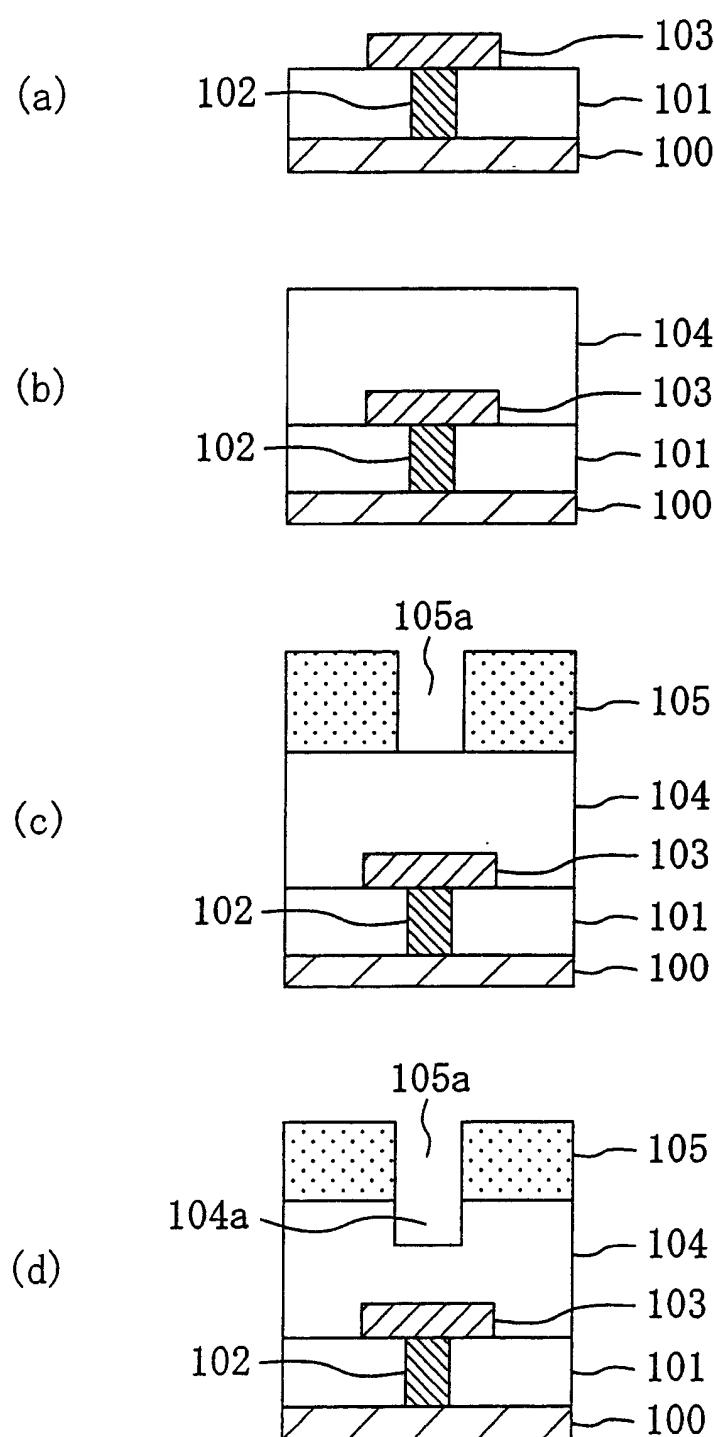


图 1

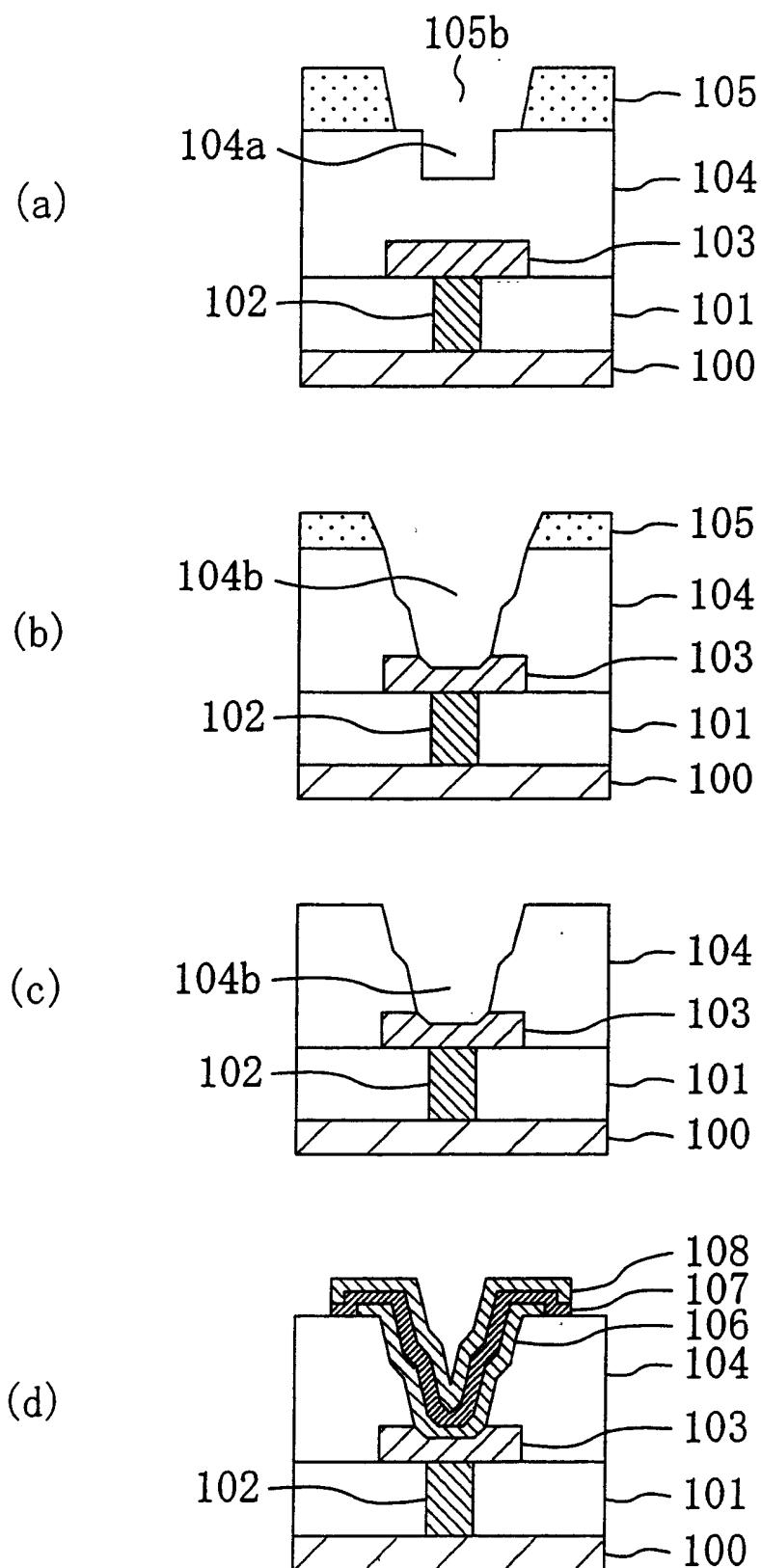


图 2

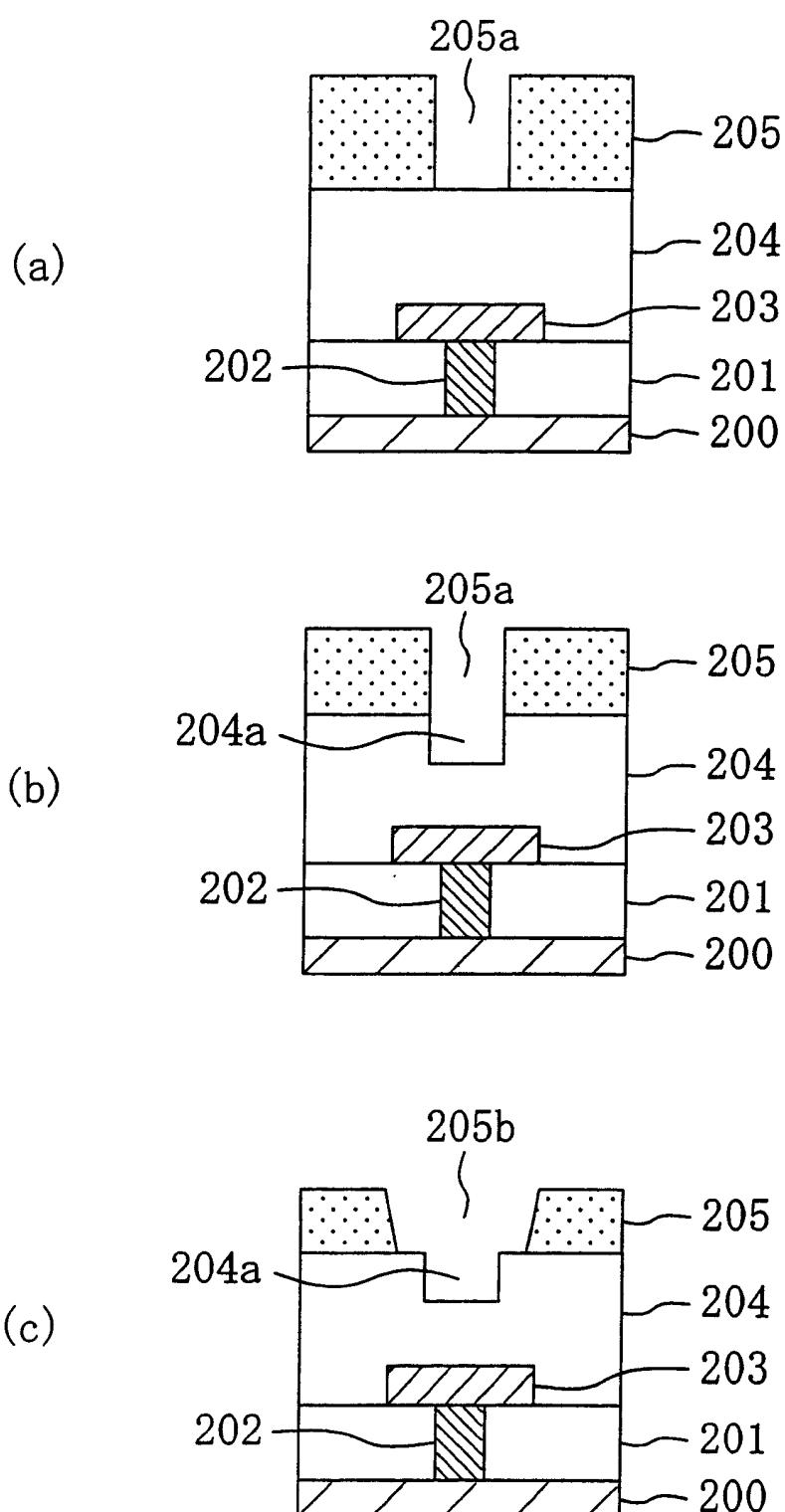


图 3

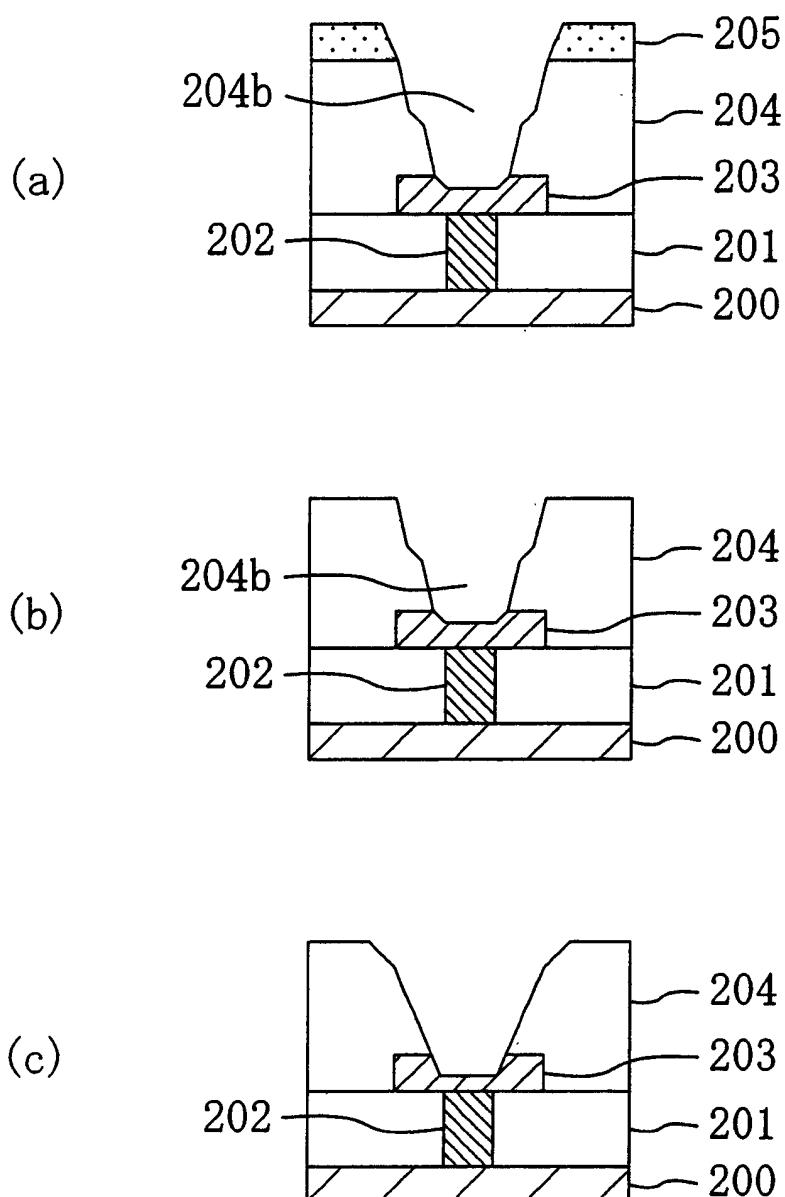


图 4

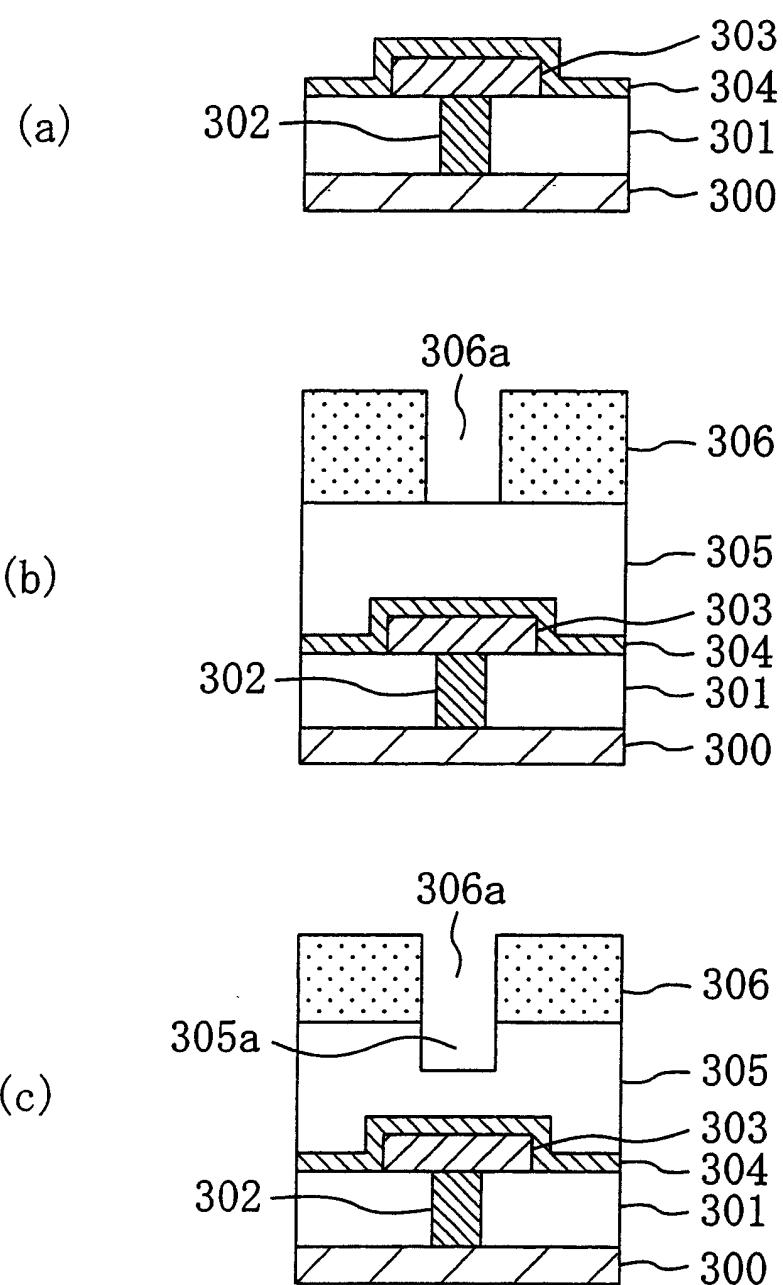


图 5

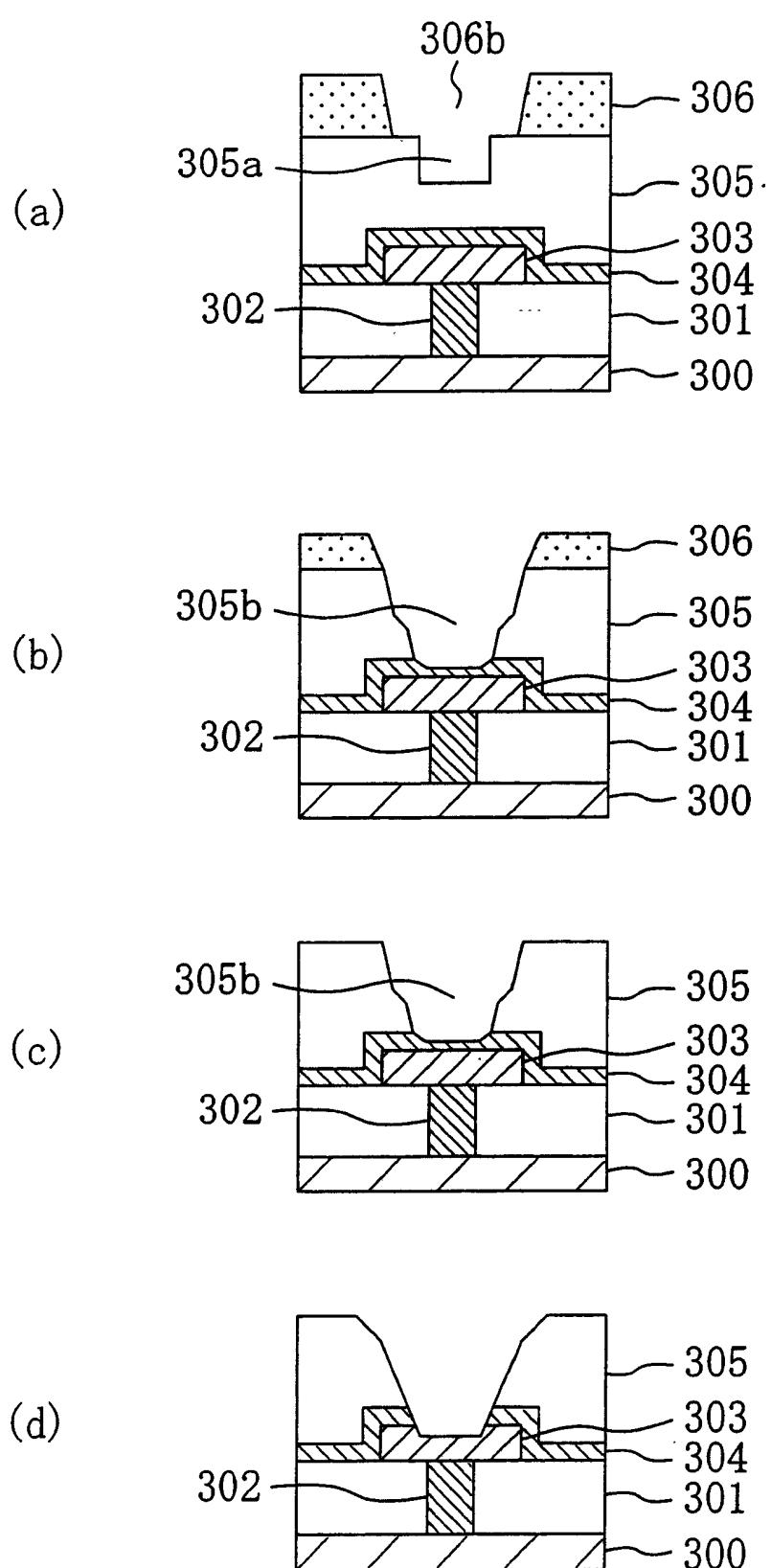


图 6

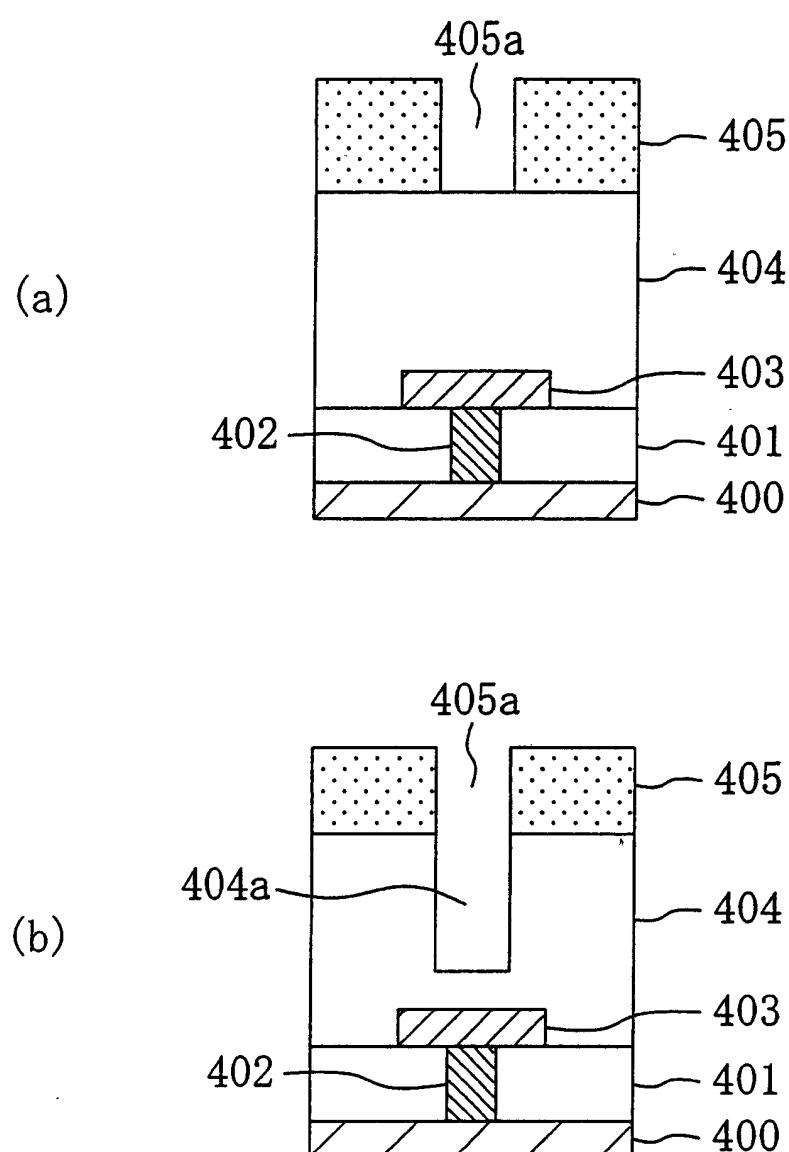


图 7

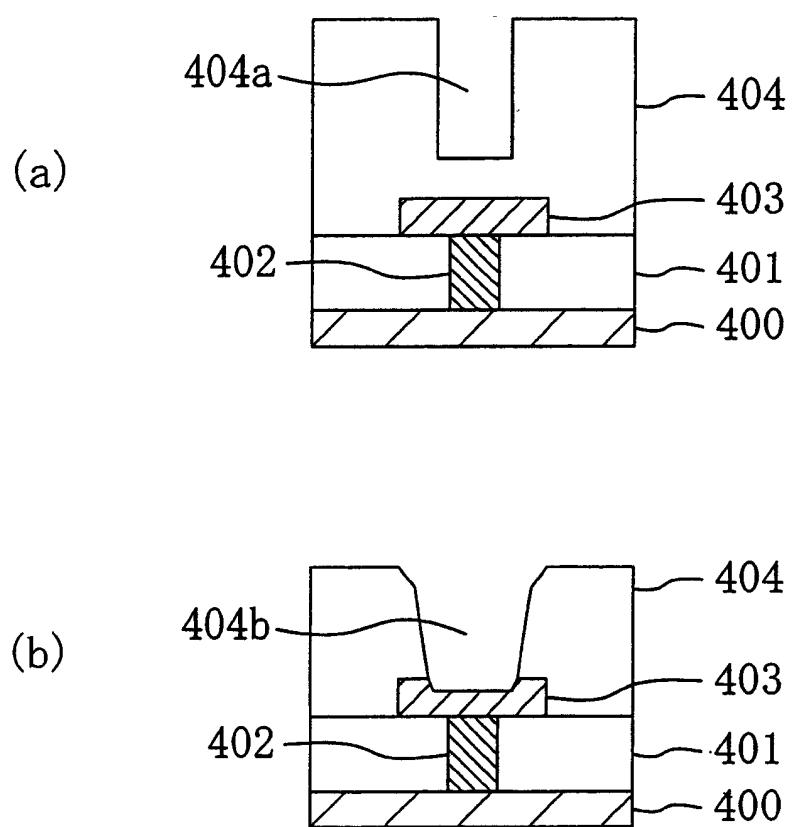


图 8

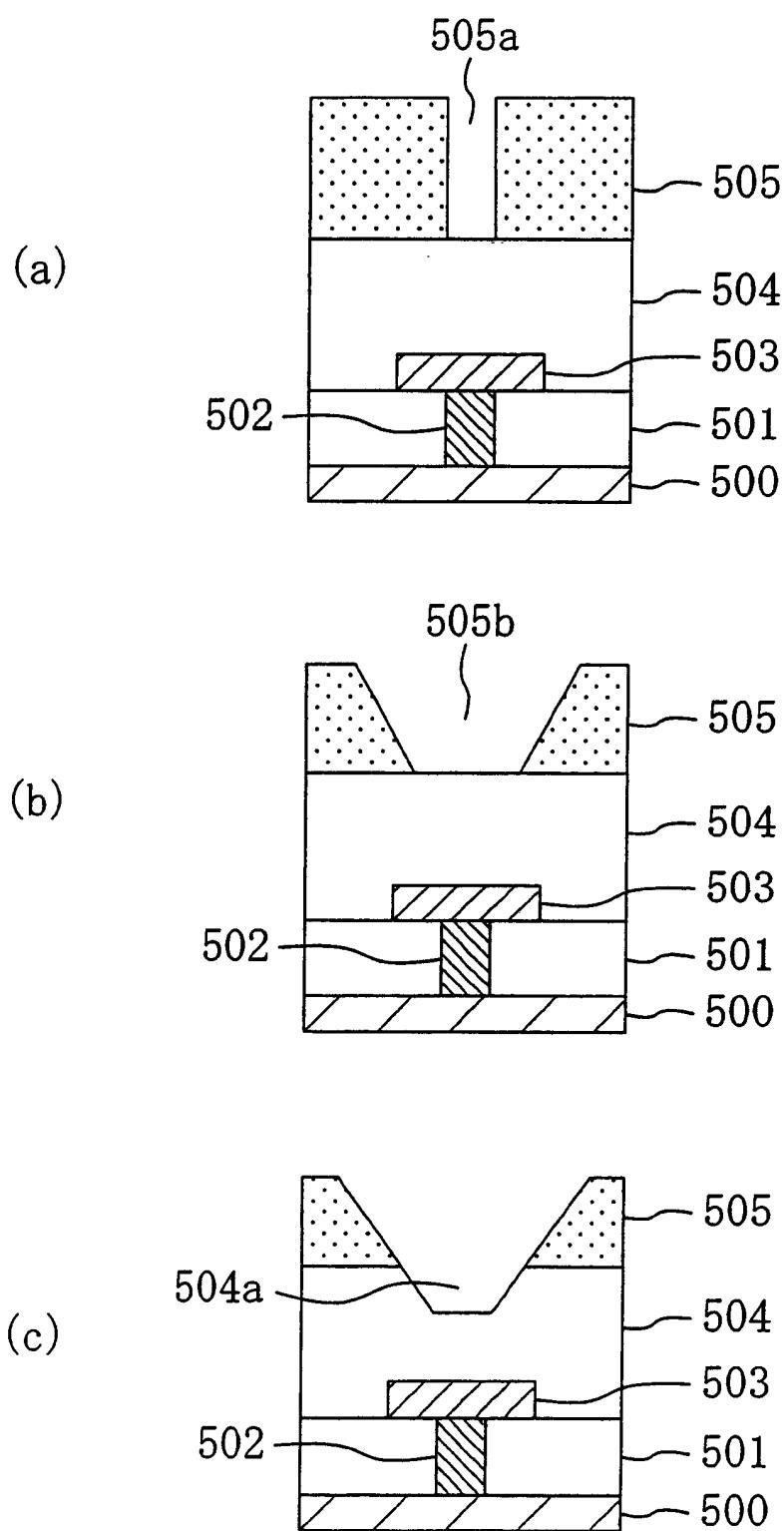


图 9

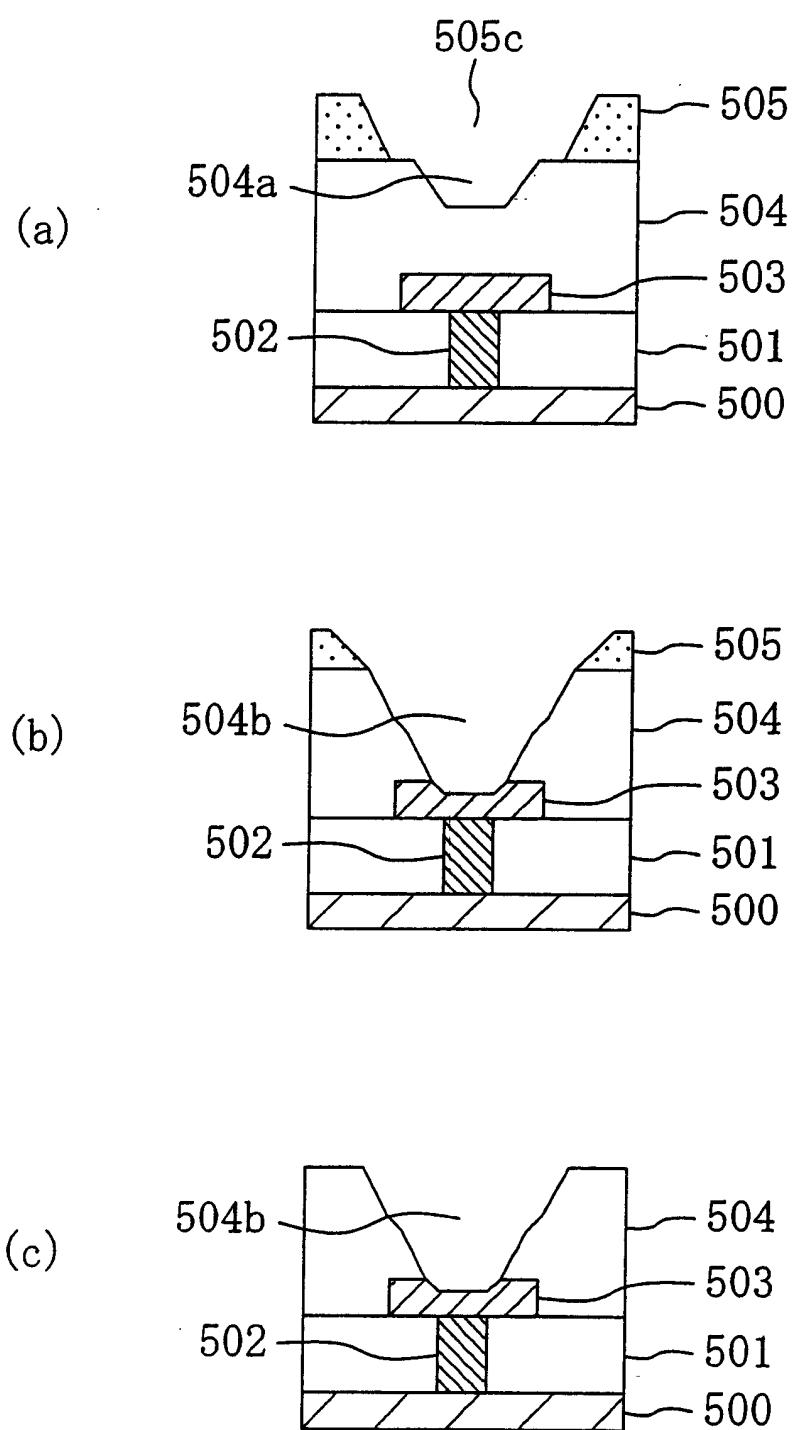


图 10

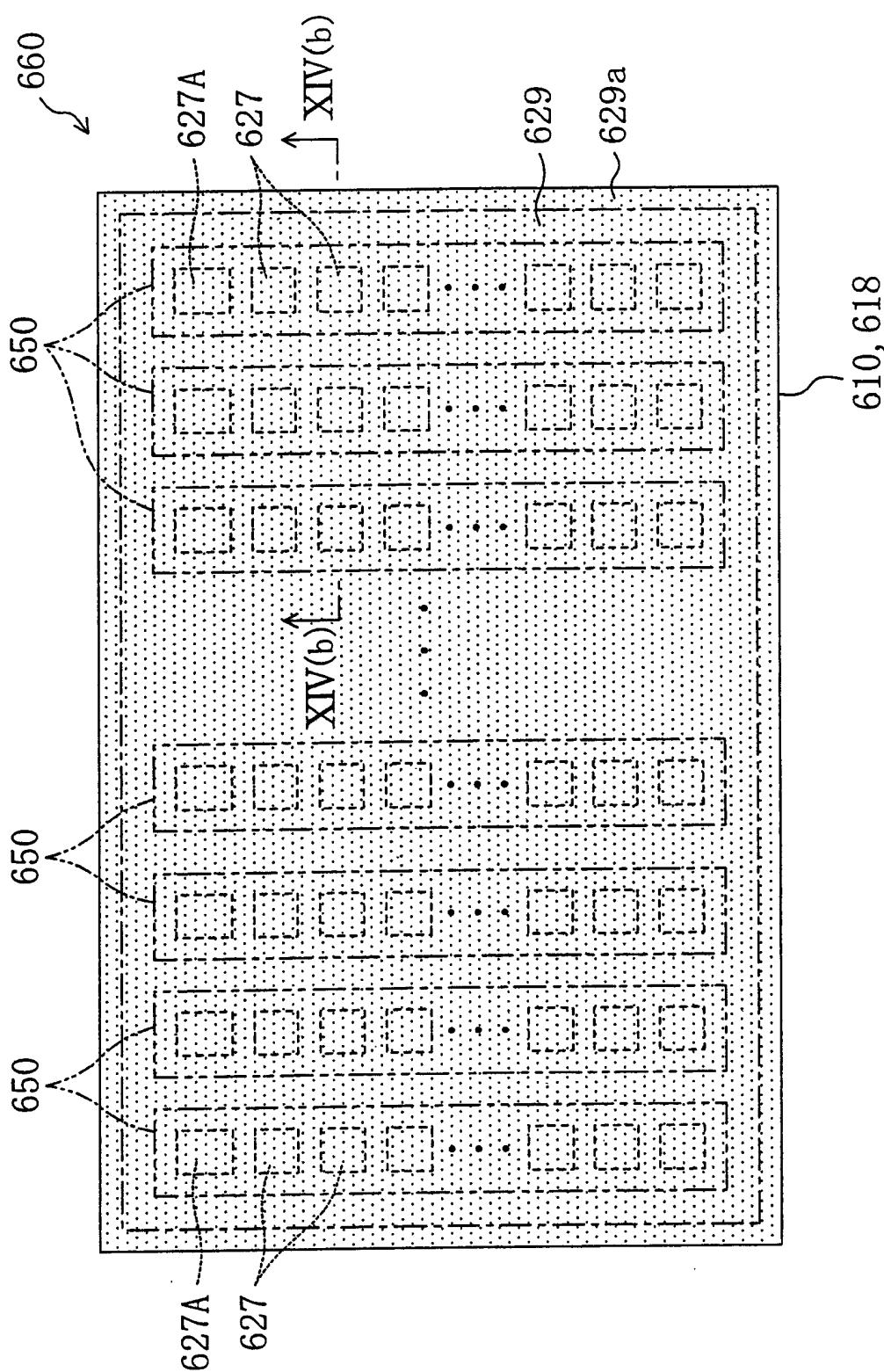


图 11

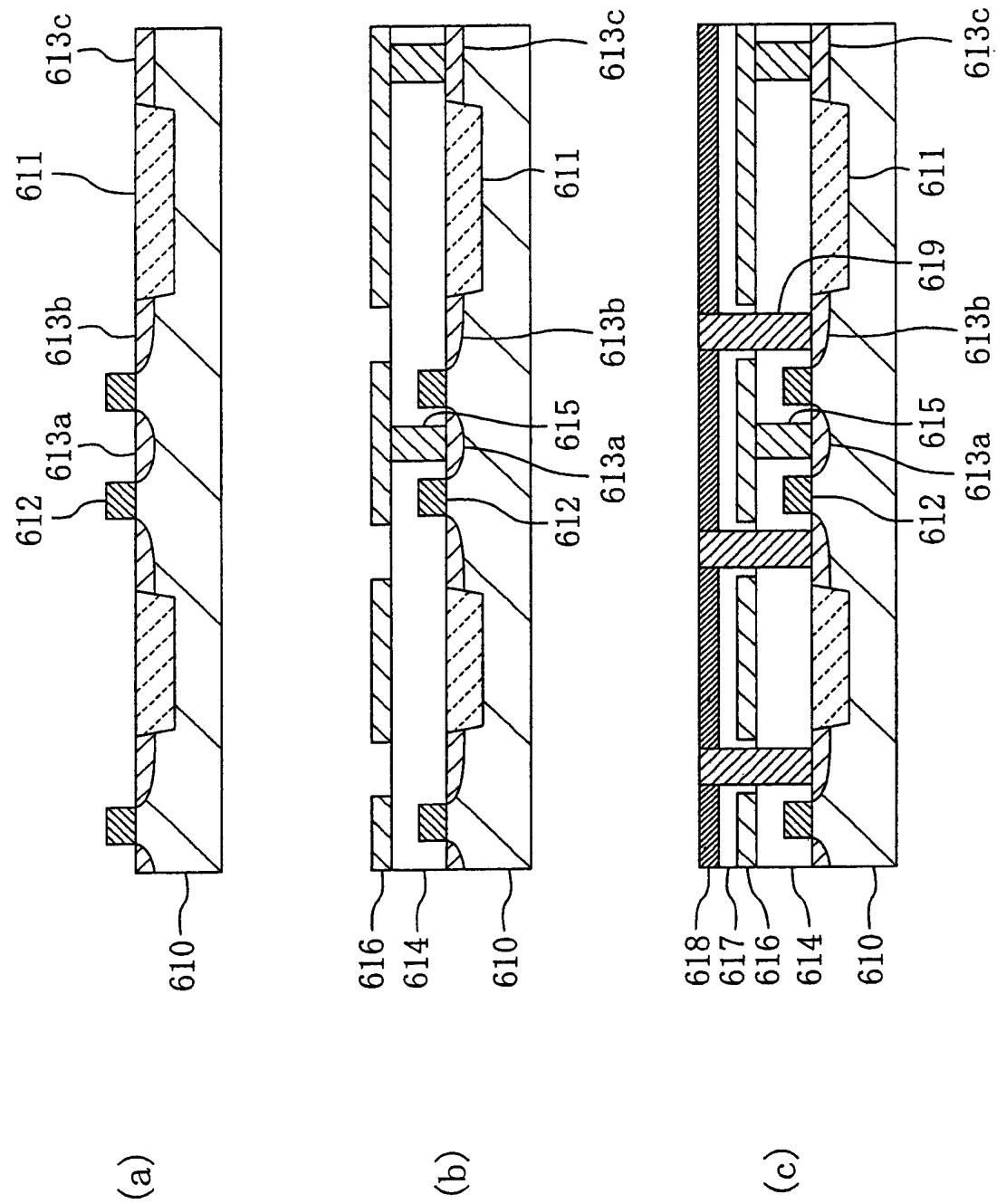


图 12

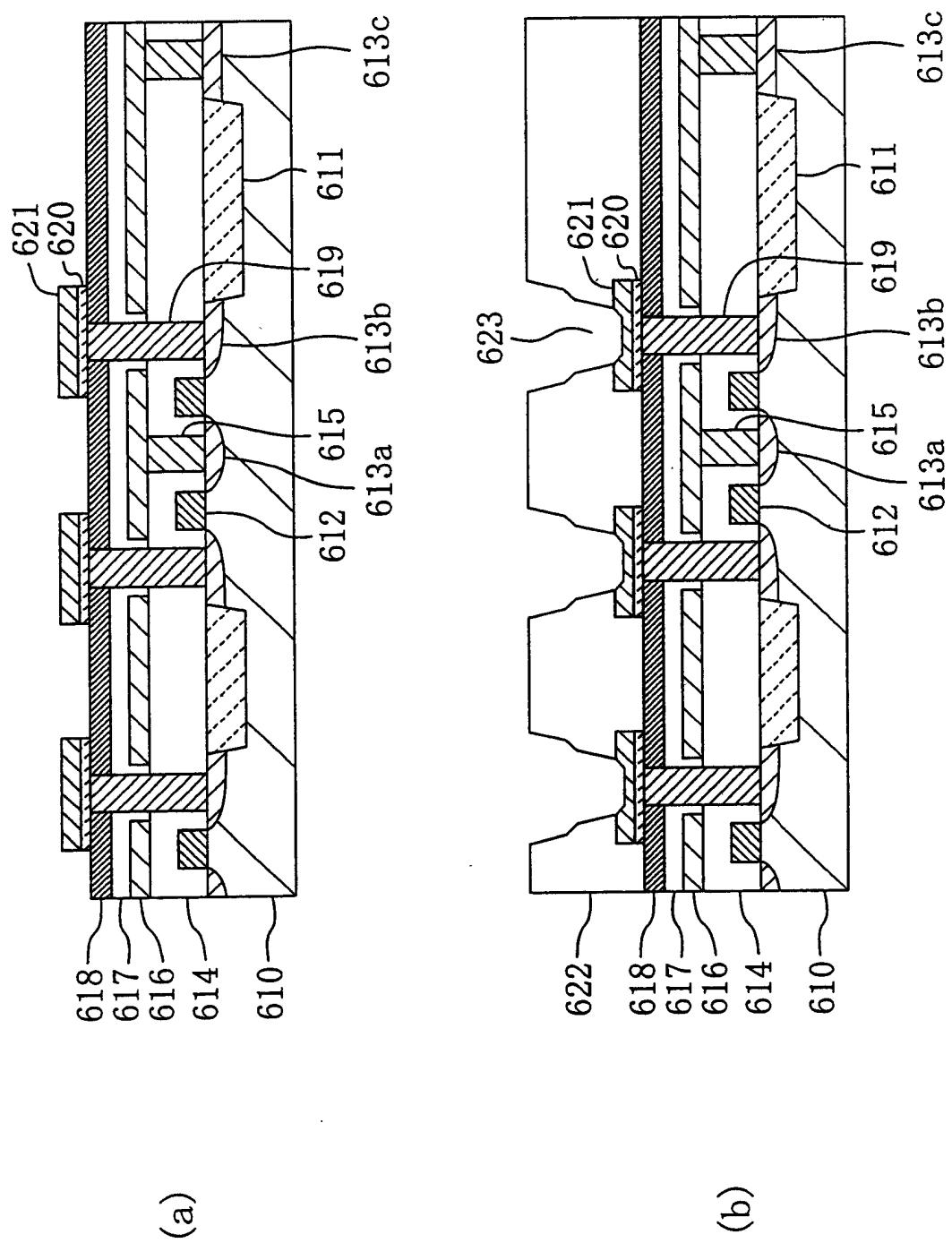
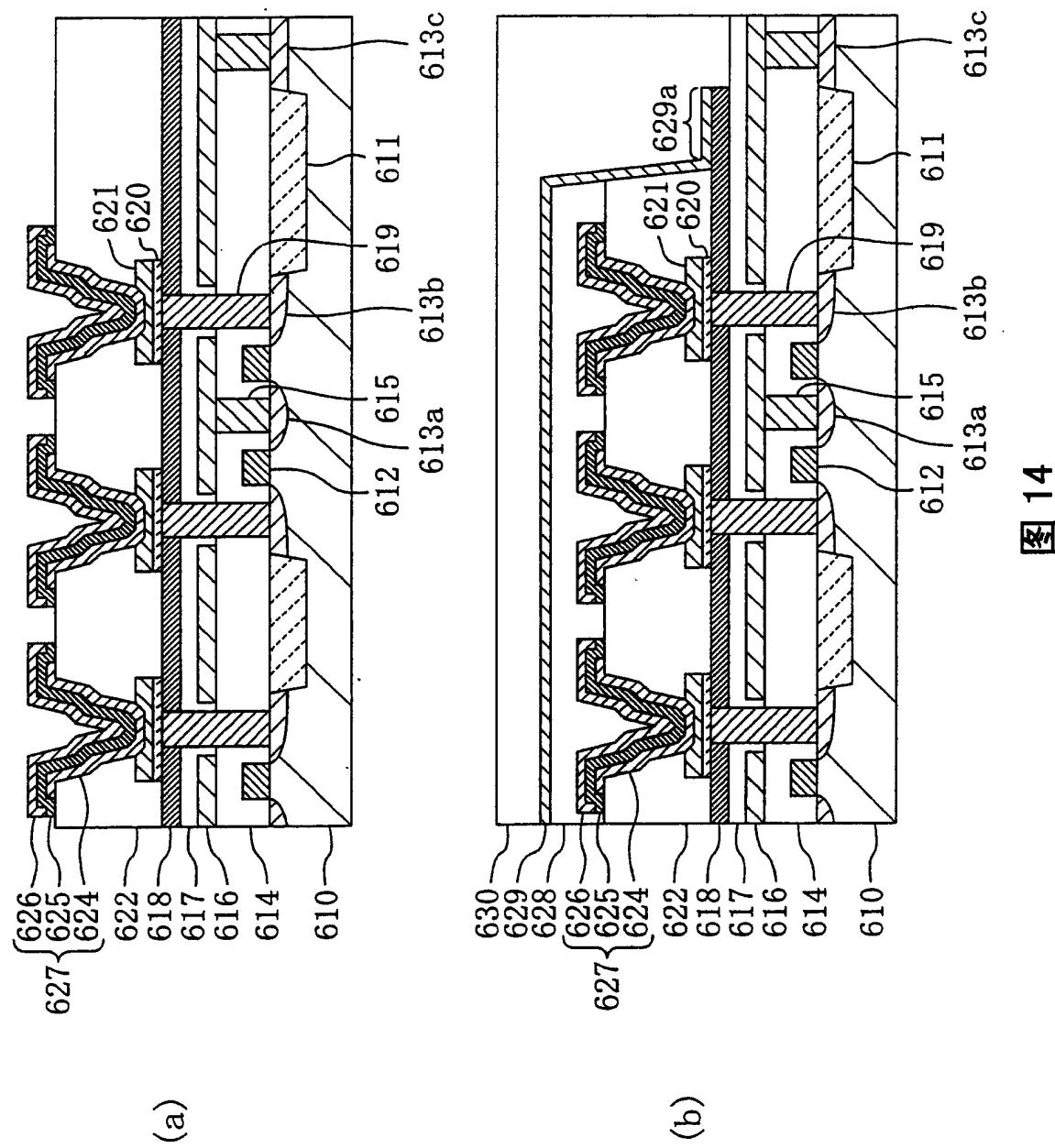


图 13



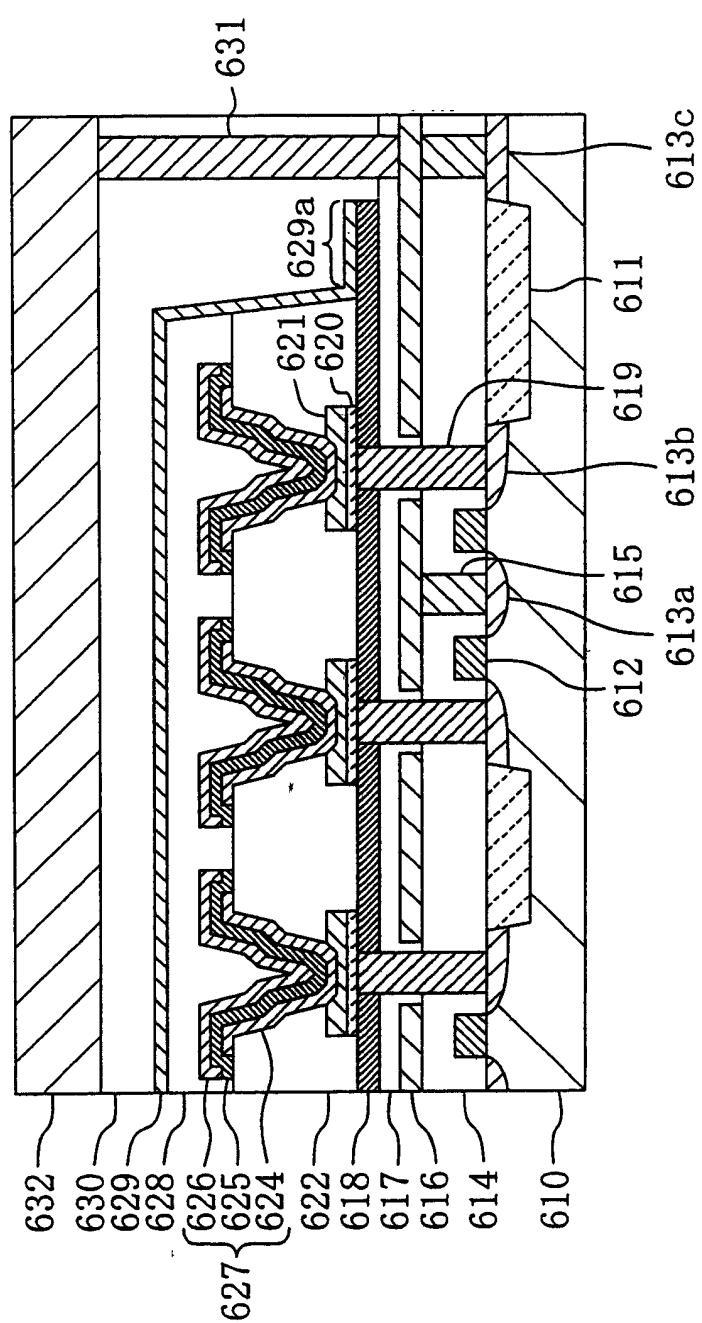


图 15

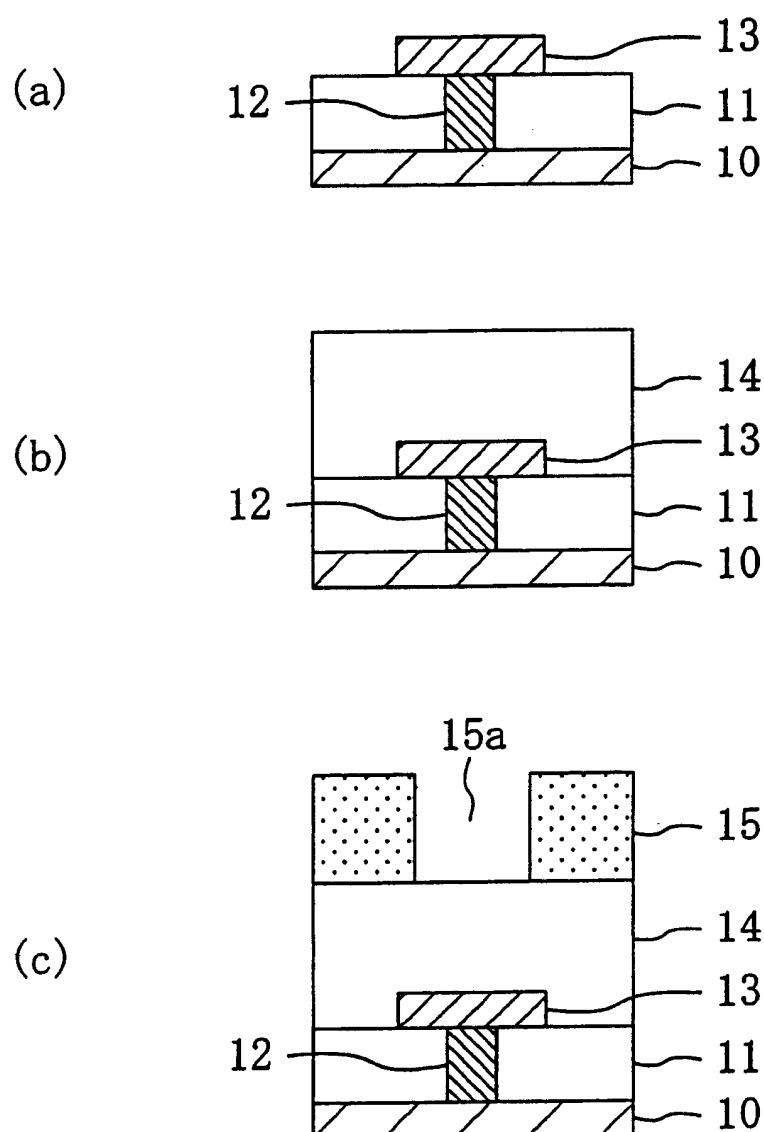


图 16

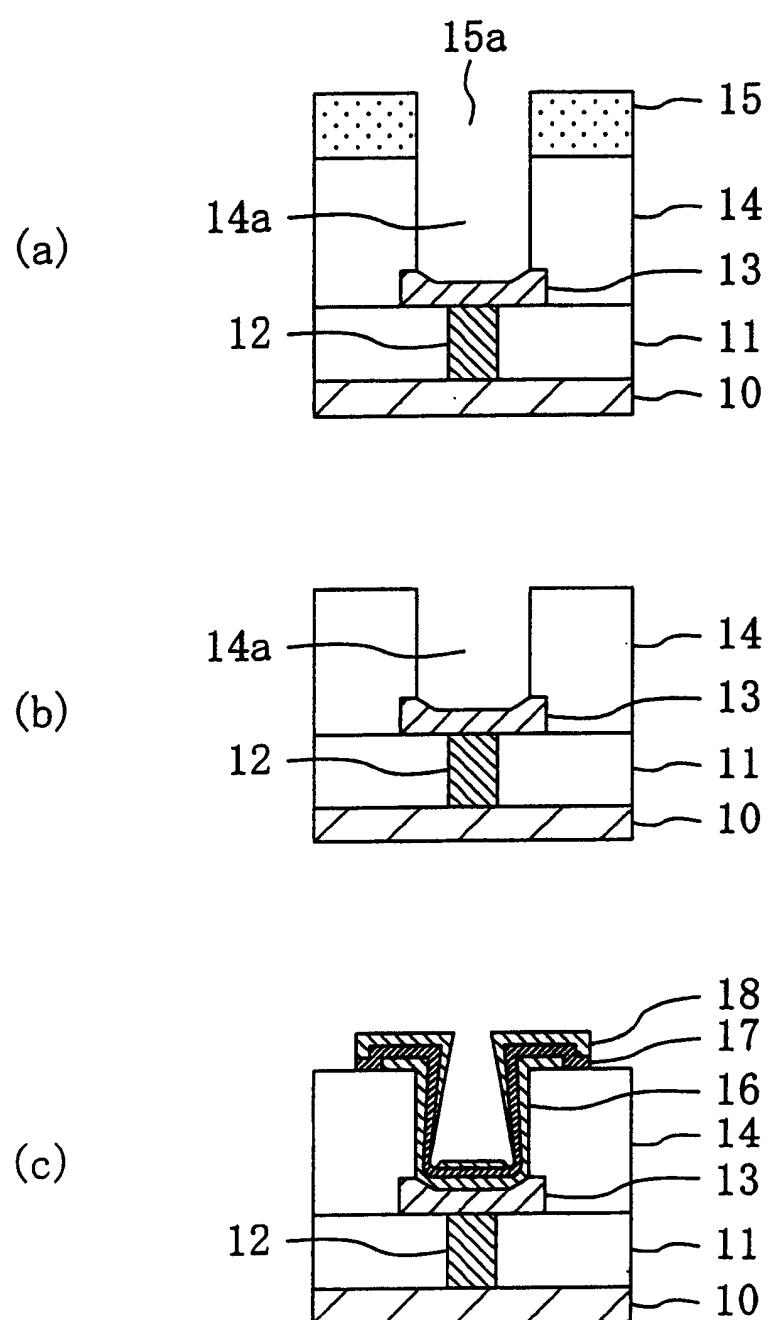


图 17