

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200380105717.2

H01L 29/76 (2006.01)

H01L 31/062 (2006.01)

H01L 31/113 (2006.01)

H01L 31/119 (2006.01)

[45] 授权公告日 2009 年 8 月 5 日

[11] 授权公告号 CN 100524812C

[22] 申请日 2003.12.9

[21] 申请号 200380105717.2

[30] 优先权

[32] 2002.12.10 [33] US [31] 10/315,517

[86] 国际申请 PCT/US2003/038931 2003.12.9

[87] 国际公布 WO2004/053939 英 2004.6.24

[85] 进入国家阶段日期 2005.6.10

[73] 专利权人 快捷半导体有限公司

地址 美国缅因

[72] 发明人 蔡 军

[56] 参考文献

US5792687A 1998.8.11

EP0747966A2 1996.12.11

US6049104A 2000.4.11

US6277695B1 2001.8.21

US5930630A 1999.7.27

审查员 穆 堃

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 康建忠

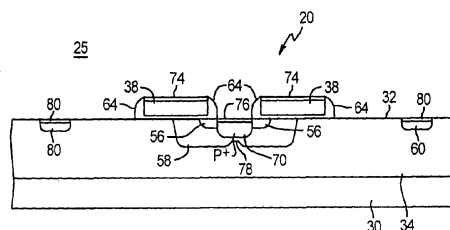
权利要求书 4 页 说明书 7 页 附图 4 页

[54] 发明名称

具有改进的 LDMOS 设计的集成电路结构

[57] 摘要

包括 LDMOS 器件结构的半导体集成电路，包括半导体层以及半导体层的上表面之上的一对空间分离的场效应栅极结构。栅极结构对之间的层部分中形成第一导电型的第一和第二空间分离的源极区，在其间形成第二导电型的第一区。在半导体层中形成第二导电型的轻微掺杂主体区，从源极区下面延伸到栅极结构下面，并延伸可变深度到半导体层中。该主体区的特征在于在第一区下面延伸的主体区部分中的深度回折。



1. 一种半导体器件，包括：

半导体层；

所述半导体层的表面上的一对空间分离的场效应栅电极，每个栅电极包括面向另一栅电极的第一末端部分；

所述栅电极对之间的所述半导体层部分中的第一导电型的第一和第二空间分离的源极区，所述第一末端部分之间的表面部分具有第一区域尺寸，以及每个源极区相对于所述第一末端部分之一自对准；

所述半导体层中的第二导电型的轻微掺杂主体区，从所述源极区下面延伸到所述栅电极下面；以及

第二导电型的更重掺杂区，延伸到所述第一末端部分之间的表面部分中，并具有沿所述表面小于所述第一区域尺寸的区域尺寸；

其中，使用相同光掩膜，以异质掺杂注入来形成所述第一和第二空间分离的源极区和轻微掺杂主体区。

2. 如权利要求 1 所述的器件，其中，所述第一和第二源极区每个在不同栅电极末端部分下面延伸。

3. 如权利要求 1 所述的器件，其中，通过将掩膜层元件定位在所述源极区对之间的表面部分上，以彼此空间分离的关系形成所述源极区。

4. 如权利要求 1 所述的器件，进一步包括所述栅电极的第一末端部分上的第一和第二侧壁隔离片，每个位于不同源极区之上并紧靠不同第一末端部分。

5. 如权利要求 4 所述的器件，其中，所述第一和第二侧壁隔离片之间的半导体层之上的表面部分包括硅化物。

6. 如权利要求 1 所述的器件，其中，具有第一区域尺寸的表面至少一些部分包括硅化物。

7. 如权利要求 1 所述的器件，其中，所述源极区是 N 型导电性。

8. 如权利要求 1 所述的器件，其中，通过单掺杂剂注入形成所

述第一和第二源极区。

9. 如权利要求 1 所述的器件, 其中, 所述每个源极区的特征在于, 所述第二导电型的重掺杂区和相邻栅电极下面的半导体层部分之间的相对恒定的横向掺杂剂分布。

10. 如权利要求 1 所述的器件, 其中, 通过比所述源极区更高的能量, 注入所述轻微掺杂的主体区。

11. 如权利要求 1 所述的器件, 其中, 所述栅电极之间的距离为 1 微米或更小。

12. 如权利要求 1 所述的器件, 进一步包括在与形成所述源极区的每个栅电极侧相对侧的与所述源极区相同导电型的漏极区。

13. 一种形成半导体器件的方法, 包括:

提供半导体材料层;

用第一掩膜层在半导体层的表面上形成一对空间分离的场效应栅电极, 每个栅电极包括面向另一栅电极的第一末端部分;

用第二掩膜层在所述半导体层中并在所述栅电极对之间形成第一导电型的第一和第二空间分离的源极区, 所述第一和第二空间分离的源极区之间的结果表面区具有第一区域尺寸;

还用所述第二掩膜层在所述半导体材料层中形成第二导电型的轻微掺杂的主体区, 所述主体区在所述源极区下面延伸; 以及

在具有所述第一区域尺寸的表面的半导体层部分中, 形成第二导电型的更重掺杂区, 对应于更重掺杂区的部分具有大于所述第一区域尺寸的区域尺寸的表面。

14. 如权利要求 13 所述的方法, 其中, 通过第一导电型的单个注入步骤形成所述源极区。

15. 如权利要求 13 所述的方法, 其中, 与不同栅电极末端部分自对准形成每个源极区。

16. 如权利要求 15 所述的方法, 其中, 通过将掩膜层元件定位在所述源极区对之间的半导体层的表面部分之上, 以彼此空间分离的关系形成所述源极区。

17. 如权利要求 13 所述的方法, 其中, 所述源极区每个在栅电极末端部分下面延伸。

18. 如权利要求 13 所述的方法, 进一步包括在形成更重掺杂区之前, 形成紧靠所述第一末端部分并在所述源极区之上的侧壁隔离片, 使得相对于所述第一末端部分, 自对准形成所述更重掺杂区。

19. 如权利要求 13 所述的方法, 进一步包括在形成所述更重掺杂区之前, 在每个源极区之上并紧靠所述第一末端部分之一形成侧壁隔离片的步骤。

20. 一种包括 LDMOS 器件结构的半导体集成电路, 包括:

半导体层;

所述半导体层的上表面之上的一对空间分离的场效应栅电极;

所述栅电极对之间的半导体层部分中的第一导电型的第一和第二空间分离的源极区, 在其间具有第二导电型的第一区;

所述半导体层中的第二导电型的轻微掺杂主体区, 从所述源极区下面延伸到所述栅电极下面, 并延伸可变深度到所述半导体层中, 特征在于, 在所述第一区下面延伸的所述主体区部分中的主体区深度的回折;

其中, 使用相同光掩膜, 以异质掺杂注入来形成所述第一和第二空间分离的源极区和轻微掺杂的主体区。

21. 如权利要求 20 所述的集成电路, 其中, 进入所述半导体层的主体区的深度在所述栅电极下面比在所述第一区下面的深度相对较深。

22. 如权利要求 20 所述的集成电路, 进一步包括延伸到所述栅电极之间的半导体层部分中的第二导电型的更重掺杂区。

23. 一种半导体器件, 包括:

半导体层;

所述半导体层的表面上的一对空间分离的场效应栅电极, 每个栅电极包括面向另一栅电极的绝缘侧壁末端部分;

所述栅电极对之间的所述半导体层部分中的第一导电型的第一

和第二空间分离的重掺杂源极区，所述绝缘侧壁末端部分之间的表面部分具有第一区域尺寸，以及每个源极区相对于所述绝缘侧壁末端部分之一自对准；

所述半导体层中的第二导电型的轻微掺杂主体区，从所述源极区下面延伸到所述栅电极下面；

第二导电型的更重掺杂主体连接区，延伸到所述两个栅电极的绝缘侧壁末端部分之间的表面部分中并具有沿所述表面小于所述第一区域尺寸的区域尺寸；以及

用于所述重掺杂源极区和所述主体连接区的共用硅化物触点；

其中，使用相同光掩膜，以异质掺杂注入来形成所述第一和第二空间分离的源极区和轻微掺杂主体区。

具有改进的 LDMOS 设计的集成电路结构

相关申请的交叉引用

本申请要求 2002 年 12 月 10 日提交的美国专利申请序列号 10/315,517 的优先权。

技术领域

本发明涉及半导体电路，以及更具体地说，涉及集成数字和功率功能的电路以及用于制作这种器件的方法。

背景技术

器件集成水平继续升高以及集成电路上的功率器件的性能要求继续要求更高。随着数字电路元件变得更紧密，期望减小横向功率器件的整体尺寸。然而，当特征尺寸缩小时，难以维持电压操作范围和容限以逆转偏压状态。

这些问题特别与消费者便携式电子市场有关。性能需求要求增长外围功能阵列，最通常包括显示驱动器、RF 接口技术以及电池操作。为满足日益增长的消费者需求，便携式设计必须更高效地执行能源管理和功率转换功能。

诸如用在便携式电源中的功率集成电路通常包含高压晶体管以及低压电路以有效地管理电池使用和能源转换。由于功率器件的性能需求（例如，在开关操作期间，快速开关速度，低“导通”电阻和低功耗），选择用于许多功率集成电路的功率器件是横向双扩散 MOS 晶体管（LDMOS, lateral double diffused MOS transistor）。当与双极性晶体管器件相比时，LDMOS 能提供相对低的导通电阻和高的击穿电压。然而，随着进一步减小器件尺寸和提高操作效率的动力，还存在用于支持或改进这些器件特性的有限手段。

通过增加 LDMOS 导电通路例如漂移区中的掺杂水平,或通过减小漂移区的长度,能实现进一步降低导通电阻,但这种方法具有影响器件性能的其他方面的折衷。例如,通过更高掺杂浓度实现的更低电阻可降低器件击穿电压特性。漂移区长度的减小可导致栅极附近的更高场浓度,也导致更低的击穿电压。

因为目前的消费者市场需要具有增加的器件密度和更低功耗结合的集成电路,例如,以延长电池寿命并降低整体成本,更细线几何形状的进步提出了开发设计有关器件导通电阻和击穿电压的固有限制的技术的挑战。通常,现有技术期望改进这类器件的安全操作区同时降低功耗。

发明内容

根据本发明,半导体器件包括半导体层以及在该半导体层的表面上具有一对空间分离的场效应栅极结构。每个栅极结构包括面向另一栅极结构的第一末端部分。在栅极结构对之间的层部分中形成第一导电型的第一和第二空间分离的源极区。第一末端部分之间的表面部分的特征在于第一区域尺寸。每个源极区相对于第一末端部分之一自对准。在半导体层中形成第二导电型的微掺杂的主体区,并从源极区下面延伸到栅极结构下面。第二导电型的更重掺杂区延伸到第一末端部分之间的表面部分中,该区域具有沿表面小于第一区域尺寸的区域尺寸。

还提供一种包括 LDMOS 器件结构的半导体集成电路,包括半导体层以及该半导体层的上表面上具有一对空间分离的场效应栅极结构。在栅极结构对之间的层部分中形成第一导电型的第一和第二空间分离的源极区,在其间形成第二导电型的第一区。在半导体层中形成第二导电型的微掺杂的主体区,从源极区下面延伸到栅极结构下面,并延伸可变深度到半导体层中。该主体区的特征在于在第一区下面延伸的主体区部分中深度的回折(inflexion)。

根据本发明,形成半导体器件的方法包括用第一掩膜层在半导体

层的表面上形成一对空间分离的场效应栅极结构。每个栅极结构包括面向另一栅极结构的第一末端部分。用第二掩膜层在层中并在栅极结构对之间形成第一导电型的第一和第二空间分离的源极区，第一和第二空间分离的源极区之间的结果表面区具有第一区域尺寸。还在半导体层中形成也用第二掩膜层定义的第二导电型的轻微掺杂的主体区，并在源极区下面延伸。在具有第一区域尺寸的表面上的半导体层部分中，形成第二导电型的更重掺杂区。对应于更重掺杂区的部分具有大于第一区域尺寸的区域尺寸的表面。

附图说明

当结合附图，阅读下述详细描述时，将更全面地理解本发明，其中：

图 1 是现有技术半导体器件的局部视图；

图 1A 是对于现有技术器件的触点的进一步的视图；以及

图 2A 至 2E 提供根据本发明，半导体器件在不同制作阶段中的局部截面视图。

根据一般实践，图中所示的不同特性不是按比例缩放的，而是画出来强调与本发明有关的特定特性。此外，特征的大小和层的厚度可以基本上背离所示出的缩放比例。在整个图和文本中，参考标记表示相同的元件。

具体实施方式

在下述描述中，所提供的尺寸参考沿相应视图所采用的距离。在截面视图中，宽度或横向尺寸试图用来表示沿视图的水平尺寸的距离，同时高度或深度试图用来表示沿视图的垂直尺寸采用的距离。为比较本发明的示例性实施例和现有已知设计，可以假定通过相同的照相平版印刷能力制作所示的所有器件。所公开的实施例假定 0.35 微米的特征尺寸，即线宽几何形状。

掺杂剂注入或其最终扩散相对于特征或相关结构自对准表示注

入或扩散是将那种结构用作掩膜元件使得例如注入的掺杂剂在热激活扩散前后将呈现与结构或相关特征有关的特性分布 (profile) 的结果。尽管在此未具体地描述, 将理解到与本发明有关的注入的掺杂剂在制作过程中经受各种热激活的扩散以便获得可预测的后扩散分布特性。还将理解到当层被描述或示例为位于另一层上或之上时, 可存在与本发明的相同或另一实施例有关的中间层 (未示出)。

在半导体材料的 N-上层中形成如图 1 所示的传统现有技术横向器件设计。该图示例说明了一对空间分离的栅电极 2, 每个形成在热氧化层 4 上方并在 N-层的表面上。栅电极之间的间距大于 3 微米。通过 N-层的表面注入并在栅电极之间形成 P 型主体 6。在每个栅电极 2 的每个侧面形成绝缘侧壁隔离片 (spacer) 元件。示例说明了一对漏极端隔离片 7。在不同栅电极 2 的相对侧上形成一对源极隔离片 (未示出), 使得高掺杂浓度源极区 8 相对于栅电极 2 偏移注入。

与注入形成源极区 8 同时, 以与栅电极 2 空间分离的关系并通过成型的光致抗蚀剂开口定义 N+漏极 10。为了降低源极电阻, 通常去除源极隔离片 (如所示) 以及更低浓度 N 型注入与栅电极 2 自对准建立轻微掺杂的源极扩展区 14。同时, 通过保留漏极端隔离片 7, N 型注入降低了每个漂移区部分中, 即每个栅电极 2 和相关漏极 10 之间的 N 上层的容积中的电阻率。材料电阻率的这一修改有助于建立漂移区上 (即, 从栅极到漏极的电流通路) 的电场的更大均匀性。

稍后由三个单独的触点接触注入到图 1 的器件中的区域, 如图 1A 所示。应注意的是, N+源极区在侧壁隔离片的限制外。为了接触两个 N+源极区和 P+主体连接 (body tie), 现有技术器件使用三个单独的触点。每个接触区具有受工艺参数限制的最小尺寸。用于每个触点的接触区必须足够宽以便提供将一个触点与另一个隔离的绝缘材料, 诸如二氧化硅。如此, 现有技术器件在其栅极的相对侧壁隔离片之间具有至少三个最小接触区。该相对大的源极接触区增加了该器件的 N+源极区下面的泄漏和 P 主体电阻。

本发明通过将用于源极和主体连接的接触区的数量从三个减少

到一个而克服现有技术的缺陷。这减小了栅极结构之间的间距，减小了源极区的大小，因此，减小了下面的泄漏和 P 主体电阻。因此，使用本发明的器件具有更大的安全工作区。

根据本发明的一个实施例，制作 LDMOS 对 20 如图 2A-2F 所示的集成电路结构 25 的局部截面视图所示。该例子顺序地示例说明了基于 0.35 微米线宽几何结构的 N 沟道 LDMOS 中的相关步骤，从具有在上表面中形成的多个 N 阱 34 的上表面 32 的 P 型半导体层 30 开始。该示例说明设想沿表面 32 形成 N 沟道和 P 沟道 LDMOS 器件的 CMOS 集成电路，但仅为了示例说明目的，详细地描述了 N 沟道器件对 20 的制作。因此，将理解到尽管在 N 个阱中形成 N 沟道器件 20，在层 30 的 P 型区中形成互补 P 沟道器件。层 30 可以外延生长在基础衬底(未示出)上。

通过在 N 型阱 34 中形成示例性 LDMOS 对 20，在该图中仅示出了相关 N 阱的相关部分。参考图 2A 和 2B，在表面 32 上通常地形成一对空间分离的栅电极 38。每个电极 38 包括面向另一电极 38 的末端部分 40a，以及每个电极进一步包括面对远离另一电极 38 的末端部分 40b。参见图 2B。末端部分 40a 之间的优选宽度为约 1 微米。

在层 30 的表面 32 之上淀积和成型光致抗蚀剂 44 的注入掩模层，元件 48 分开在所示的电极 38 的末端部分 40a 之间，以便创建两个空间分离的开口 52，每个宽度约 0.3 微米，适合于接收源极注入。最好具有约 0.4 微米宽度的抗蚀剂元件 48 用来在开口 52 之间隔离出表面 32 的足够区域 50 不接收注入以便确保在横向扩散之后分开掺杂区。通过适当位置的光致抗蚀剂 44，执行异质掺杂注入以提供沿表面 32 的浅 N 型源极掺杂和 N 阱内的深 P 型掺杂来形成主体区。然后去除光致抗蚀剂 44。参见图 2B，示例说明在扩散后形成源极 56 和主体区 58。最好，源极注入在 30KeV 时，大约在 $3 \times 10^{15} \text{cm}^{-2}$ (Arsenic) 级，而主体区注入在 60KeV 时，大约在 $5 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$ (Boron) 级。还示例说明了通过单独的光掩模和注入步骤形成的传统 N 型漏极 60。沿表面 32 的其他部分，结合形成其他 CMOS 器件而形成漏极 60。

在建立源极和主体区注入的异质掺杂步骤之后，在栅极末端部分 40a 上，以及如图 2C 所示，也可以在栅极末端部分 40b 上形成侧壁隔离片元件 64。也可以通过淀积绝缘材料，诸如二氧化硅或氮化硅来形成隔离片元件 64，跟随各向异性的蚀刻。

通过靠每个栅极末端部分 40a 放置的隔离片元件 64，用成型光致抗蚀剂 66 掩避从栅电极末端部分 40b 延伸经过漏极 60 的表面上的区域。参见图 2D，其中，表面 32 的暴露部分接收 $80\text{KeV } 1 \times 10^{15}\text{cm}^{-2}$ 至 $3 \times 10^{15}\text{cm}^{-2}$ 级的(硼或 BF_2)P+注入 68 以形成主体连接 70。主体连接穿过源极区延伸并与相邻隔离片元件 64 自对准。即，主体连接置于表面 32 下由源极占用的区域内。根据本发明，该排列允许源极注入相对于主体连接注入横向偏移，使得最终源极 56 相对于主体连接 70 偏移。在最终结构(扩散后)中，每个源极与相邻栅极末端部分 40a 自对准，而主体连接与每个相邻隔离片元件 64 自对准。最好，注入 68 用来同时在集成电路结构 25 上形成用于数字电路的 CMOS P+源极/漏极扩散。

如图 2D 所示，整体形成的主体连接 70 进入源极区 56 下面的半导体层 30，即，进入阱 34 和主体 58。该结构的特征在于位于覆盖隔离片元件 64 下面的每个源极 56 的显著部分保留相对重的净掺杂剂浓度，而该置入主体连接也具有低电阻率和小横向尺寸。在去除光致抗蚀剂掩膜 66 之后，淀积金属，诸如钨、钛或钴并起反应以便形成栅极硅化物(silicide) 74 和源极/主体连接硅化物 76。图 2E 示例说明在硅化处理后的结构 25，包括漏极硅化物 80。

已经描述了改进的 LDMOS 器件。最终器件具有操作的改进的导通电阻和安全操作区。本发明的特征是图 2A 和 2B 的异质掺杂注入，通过一个掩模层来提供源极区 56 和主体区 58，从而减少形成具有改进的性能特性的 LDMOS 所需的掩膜的数量。特别是，异质掺杂特性导致绕区域 50 空间分离的源极区 56 和区域 50 下面的主体区部分深度的回折 78 的结合，这些特征可归因于在异质掺杂过程中存在掩模元件 48。因此，与第一区下面的深度相比，进入半导体层的主体区的深度在栅电极下相对较深。

本发明的另一特征在于提供源极区，其特征在于，第二导电型重

掺杂区和相邻栅极结构例如电极 38 下面的半导体层部分之间的相对恒定的横向掺杂剂分布。即，可以通过净导电型的单掺杂剂注入形成源极区，而在过去，源极结构要求重掺杂区域（例如图 1 的区域 8）和更轻微掺杂区域（例如图 1 的扩展区 14）的结合，以便实现更低器件导通电阻。根据本发明构成的器件的低特定导通电阻产生于减小的器件单元尺寸，例如，通过自对准形成可实现的，如图中所示。改进的操作安全工作区产生于减小的主体电阻、小的源极空间区域、浅的源极结和主体区，例如区域 58 的后退（retrograde）掺杂分布。

为实现便于改进操作性能的小尺寸，隔离片元件，例如与栅电极末端部分 40a 和 40b 相邻的隔离片 64 提供精细的线几何结构掩膜以允许小的源极区。另外，自对准硅化(自对准硅化物)工艺由于在临界接触区，诸如主体连接区和源极区中无重掺杂剂补偿，允许低触点电阻。主体连接 70 和相关自对准硅化物层 76 相对于源极区 56 自对准。本发明意识到 N+源极注入不必与漏极注入具有相同尺寸。

本发明使用栅极上的侧壁氧化物隔离片以便将 N+源极注入与 P+连接注入屏蔽开。通过本发明，在侧壁隔离片之前进行 N+源极注入。本发明的工艺使用一个屏蔽步骤来注入 N+源极和 P-主体。本发明消除了现有技术所需的单独的 P-主体屏蔽步骤。本发明提供了自对准两个 N+源极、P+主体连接的单个硅化物触点以及 N+源极和 P+主体连接的重叠。触点的数量从三个(现有技术)减少到一个。栅极之间的单触点提供了更密集的器件以及该器件具有更宽的安全工作区，因为其小源极比现有技术器件的更大源极具有更少泄漏和下面的 P 主体电阻。

已经描述了改进的半导体器件的体系结构和工艺。已经公开了示例性实施例，而本发明的其他实施例，包括由不同半导体、绝缘和导电材料组成的结构将是显而易见的。此外，尽管已经示例说明了一组导电型，本发明的应用也打算用于反导电型器件。因为本发明可以用各种方式实现，本发明的范围仅由下述权利要求书限制。

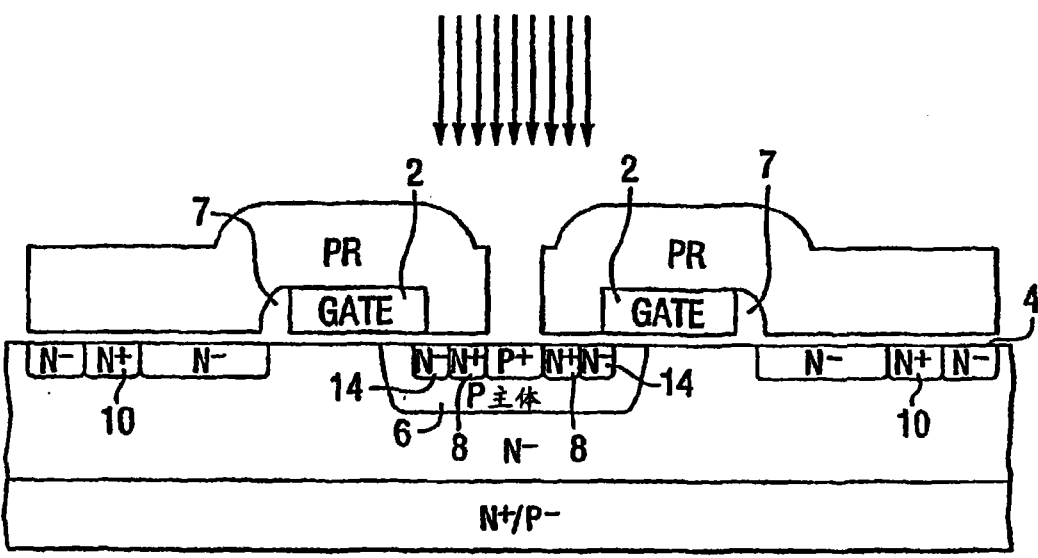
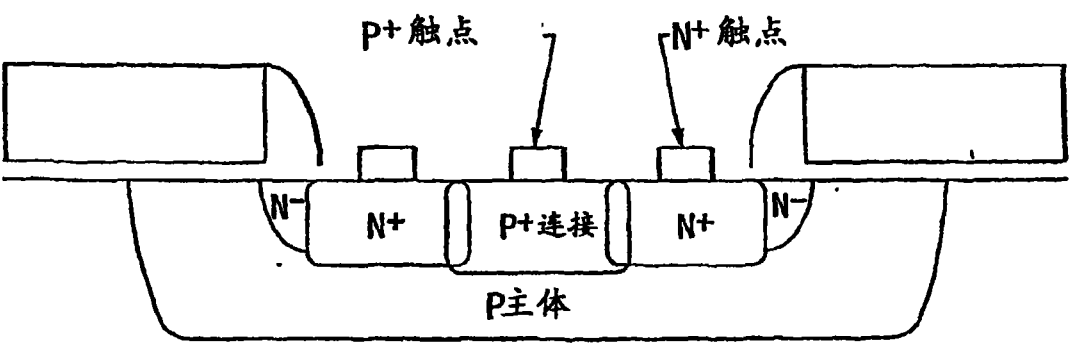


图1
现有技术



标准设计
图1A
现有技术

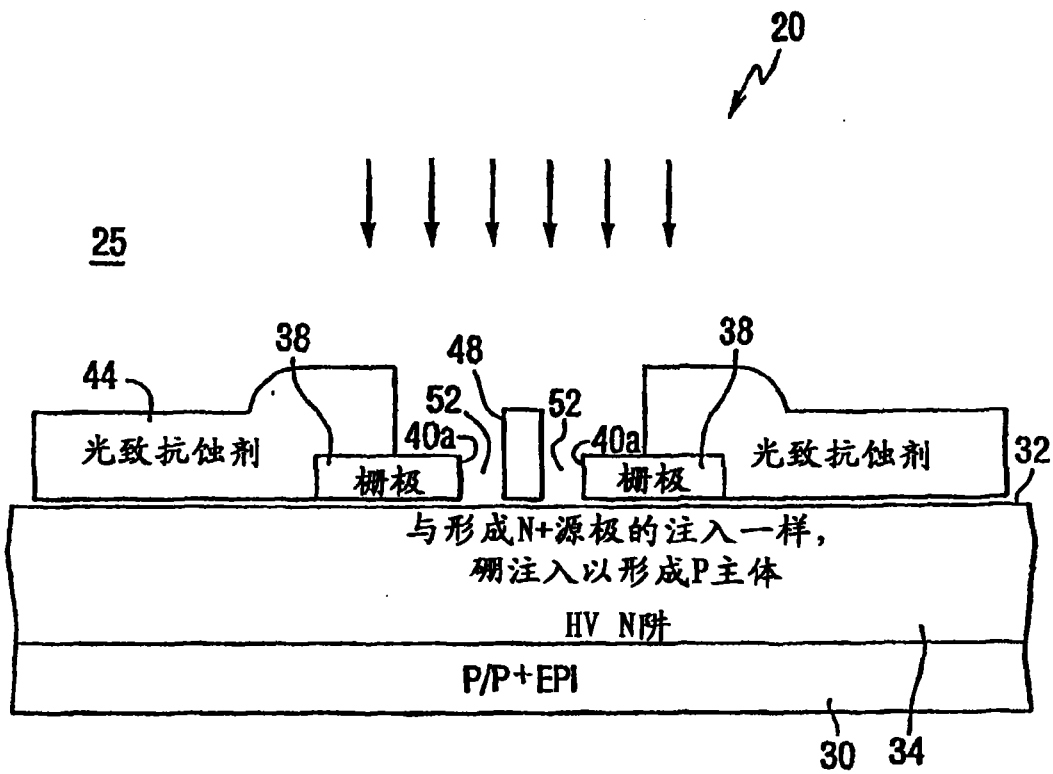


图 2A

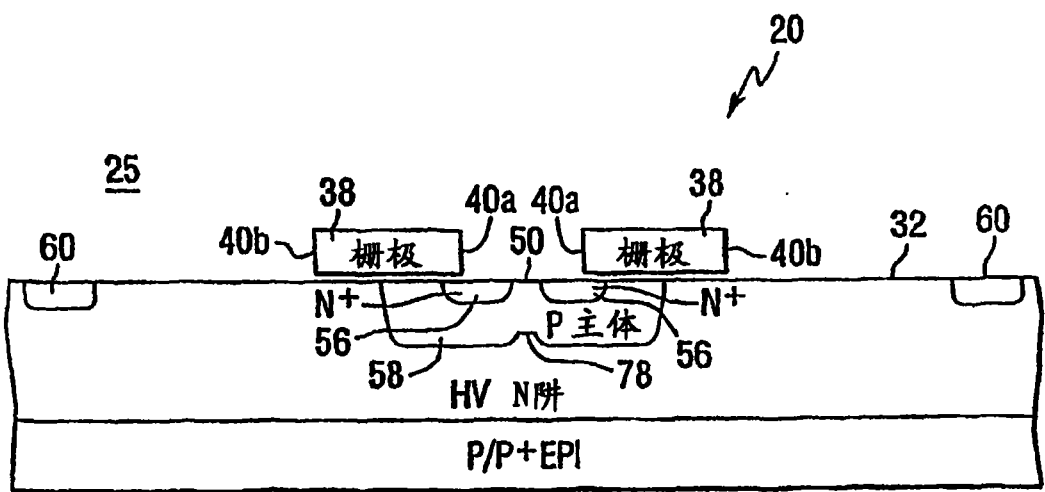


图 2B

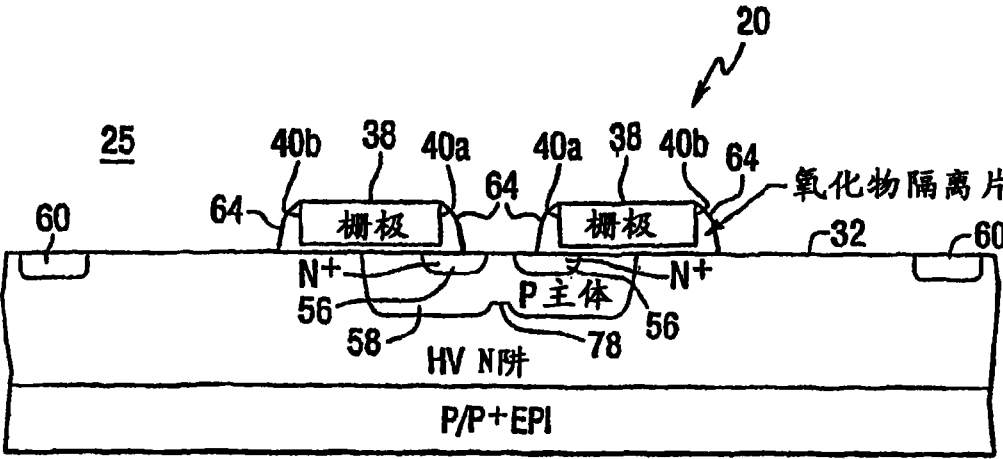


图 2C

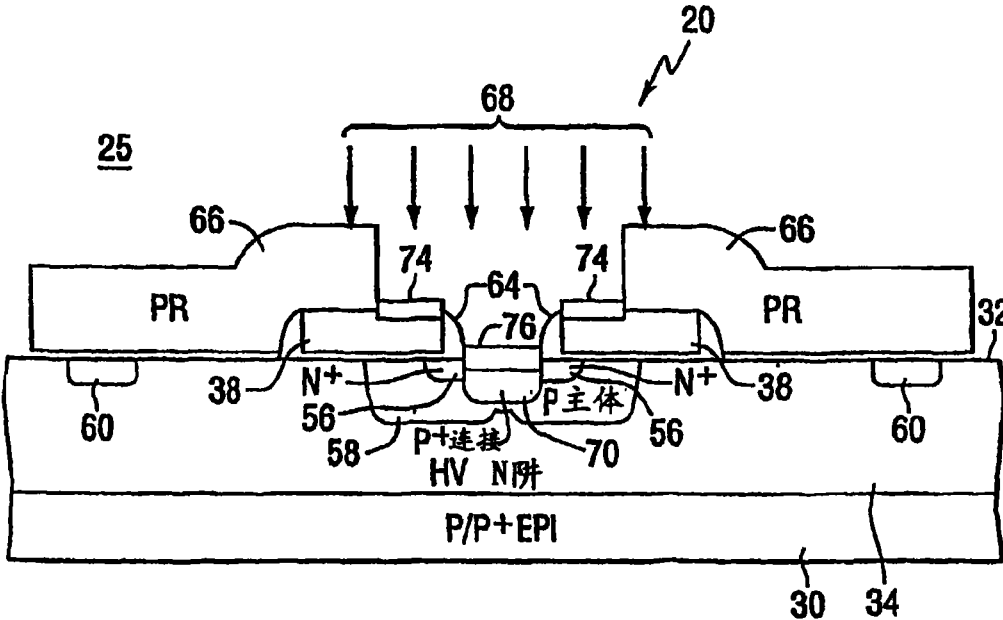


图 2D

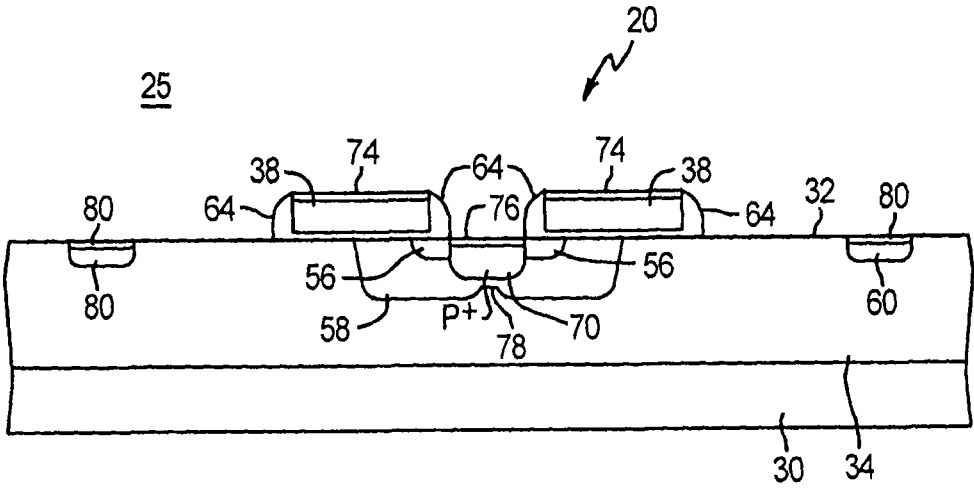


图 2E