



(12) 发明专利申请

(10) 申请公布号 CN 103098190 A

(43) 申请公布日 2013. 05. 08

(21) 申请号 201180043341. 1

代理人 李献忠

(22) 申请日 2011. 09. 09

(51) Int. Cl.

(30) 优先权数据

H01L 21/56 (2006. 01)

12/878, 812 2010. 09. 09 US

(85) PCT申请进入国家阶段日

2013. 03. 08

(86) PCT申请的申请数据

PCT/US2011/051075 2011. 09. 09

(87) PCT申请的公布数据

W02012/034064 EN 2012. 03. 15

(71) 申请人 超威半导体公司

地址 美国加利福尼亚州

申请人 ATI 科技有限责任公司

(72) 发明人 迈克尔·Z·苏 傅雷

贾迈尔·里法伊-艾哈迈德

布莱恩·布莱克

(74) 专利代理机构 上海胜康律师事务所 31263

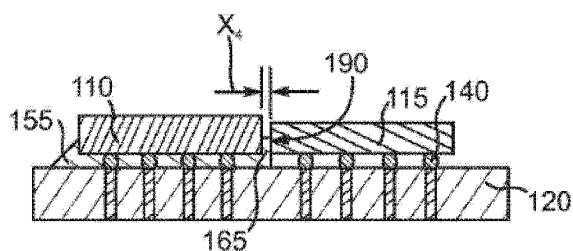
权利要求书2页 说明书8页 附图7页

(54) 发明名称

具有底部填料的半导体芯片装置

(57) 摘要

提供一种制造方法,其包括将可移除罩盖(195、195'、195'')放置在基板(120)的表面(215)上。所述基板包括定位在所述表面上的第一半导体芯片(110)。所述第一半导体芯片包括第一侧壁(170)。所述可移除罩盖包括定位成与所述第一侧壁相对的第二侧壁(200)。第一底部填料(155)放置在所述第一半导体芯片与所述表面之间,其中所述第二侧壁针对所述第一底部填料的流动提供障壁。还公开了多种设备。



1. 一种制造方法,其包括:

将可移除罩盖(195、195'、195'')放置在基板(120)的表面(215)上,所述基板包括定位在所述表面上的第一半导体芯片(110),所述第一半导体芯片包括第一侧壁(170),所述可移除罩盖包括定位成与所述第一侧壁相对的第二侧壁(200);和

将第一底部填料(155)放置在所述第一半导体芯片与所述表面之间,其中所述第二侧壁针对所述第一底部填料的流动提供障壁。

2. 根据权利要求1所述的方法,其中所述可移除罩盖在放置所述第一底部填料之后从所述表面移除。

3. 根据权利要求2所述的方法,其中所述移除包括剥离或分离所述可移除罩盖。

4. 根据权利要求2所述的方法,其包括对所述第一半导体芯片执行电测试。

5. 根据权利要求1所述的方法,其包括移除所述可移除罩盖并且在所述表面上将第二半导体芯片(115)安装为相邻于所述第一半导体芯片。

6. 根据权利要求6所述的方法,其中所述第二半导体芯片包括邻接所述第一底部填料的第三侧壁(190)。

7. 根据权利要求6所述的方法,其包括在所述第二半导体芯片与所述表面之间放置第二底部填料(180)。

8. 根据权利要求1所述的方法,其中所述基板包括半导体芯片。

9. 根据权利要求1所述的方法,其中所述基板包括载体基板和中介层的一个。

10. 一种制造方法,其包括:

将可移除罩盖(195''')放置在基板(120')的表面上,所述基板包括定位在所述表面上的第一半导体芯片(110),所述第一半导体芯片包括第一侧壁(170)和邻接所述第一侧壁的第二侧壁(295),所述罩盖包括定位成与所述第一侧壁相对的第三侧壁(305)和定位成与所述第二侧壁相对的第四侧壁(300);和

将第一底部填料放置在所述第一半导体芯片与所述表面之间,其中所述第三侧壁和所述第四侧壁针对所述第一底部填料的流动提供障壁。

11. 根据权利要求10所述的方法,其中所述可移除罩盖在放置所述第一底部填料之后从所述表面移除。

12. 根据权利要求11所述的方法,其中所述移除包括剥离或分离所述可移除罩盖。

13. 根据权利要求11所述的方法,其包括对所述第一半导体芯片执行电测试。

14. 根据权利要求10所述的方法,其包括移除所述可移除罩盖并且在所述表面上将第二半导体芯片安装为相邻于所述第一半导体芯片。

15. 根据权利要求10所述的方法,其中所述基板包括载体基板和中介层的一个。

16. 一种设备,其包括:

基板(120),其包括表面(215);

第一半导体芯片(110),其定位在所述表面上并且包括第一侧壁(170);和

可移除罩盖(195、195'、195''),其定位在所述表面上,所述可移除罩盖包括定位成与所述第一侧壁相对的第二侧壁(200)。

17. 根据权利要求16所述的设备,其包括所述第一半导体芯片与所述表面之间的第一底部填料(155),其中所述第二侧壁针对所述第一底部填料的流动提供障壁。

18. 根据权利要求 16 所述的设备,其中所述第一半导体芯片包括第三侧壁且所述可移除罩盖包括定位成与所述第三侧壁相对的第四侧壁。

19. 一种设备,其包括:

基板 (120),其包括表面 (215);

第一半导体芯片 (110),其定位在所述表面上并且包括第一侧壁 (170);和

底部填料 (155),其定位在所述第一半导体芯片与所述表面之间且包括具有背离所述第一侧壁的第二侧壁 (175) 的填角 (165);和

第二半导体芯片 (115),其定位在所述表面上且包括邻接所述第二侧壁的第三侧壁 (190)。

20. 一种设备,其包括:

基板 (120),其包括表面 (215);

第一半导体芯片 (110),其定位在所述表面上并且包括第一侧壁 (170);和

底部填料 (155),其定位在所述第一半导体芯片与所述表面之间且包括具有背离所述第一侧壁且大致平行于所述第一侧壁的第二侧壁 (175) 的填角 (165);和

第二半导体芯片 (115),其定位在所述表面上且包括面向所述第二侧壁的第三侧壁 (190)。

21. 一种设备,其包括:

基板 (120),其包括表面 (215);

第一半导体芯片 (110),其定位在所述表面上并且包括第一侧壁 (170);和

底部填料 (155),其定位在所述第一半导体芯片与所述表面之间且包括具有背离所述第一侧壁且大致平行于所述第一侧壁的第二侧壁 (190) 的填角 (165),通过将可移除罩盖 (195、195'、195'') 放置在所述基板的所述表面上并且将所述底部填料 (155) 放置在所述第一半导体芯片与所述表面之间来定位所述底部填料,其中所述可移除罩盖包括定位成与所述第一侧壁相对的第二侧壁 (200),其中所述第二侧壁针对所述第一底部填料的流动提供障壁;和

第二半导体芯片 (115),其定位在所述表面上且包括面向所述第二侧壁的第三侧壁 (190)。

具有底部填料的半导体芯片装置

发明领域

[0001] 本发明大体涉及半导体处理,且更具体地涉及多芯片安装结构和底部填料及其组装方法。

[0002] 相关技术描述

[0003] 传统类型的多芯片模块包括并排安装在载体基板或中介层上的两个半导体芯片。半导体芯片是倒装至中介层并且由各自多个焊缝互连至所述中介层。中介层设有多个电路路径来为半导体芯片提供输入/输出路径用于芯片间电力、接地和信号传播以及从所述中介层自身的输入/输出。半导体芯片包括各自底部填料层以减少由于芯片、中介层和焊缝的热膨胀系数差异引起的差异热膨胀的影响。

[0004] 用于制造上述传统多芯片模块的传统方法包括将两个半导体芯片中的第一个倒装至中介层上并且在所述第一安装芯片与所述中介层之间分配底部填料。底部填料在芯片与中介层之间横向移动,并且在热固化时,产生延伸超过半导体芯片的外围的填角。此后,第二半导体芯片倒装至中介层且第二底部填料定位在所述第二安装半导体芯片与所述中介层之间。在第二热固化之后,第二底部填料产生延伸超过第二半导体芯片的外围并且通常邻接第一半导体芯片的第一底部填料的填角的另一填角。

[0005] 用于制造上述传统多芯片模块的一套传统设计规则必须考虑底部填料层填角的各自宽度。因此,填角自身对两个相邻半导体芯片之间的最小可容许间距有约束。鉴于半导体芯片和封装设计方案的许多方面,对导体结构(诸如模块的半导体芯片之间的导电路径)的小型化约束会对信号延迟的减少量有限制,及可能由于电阻损失与线长相关联的其它问题而对功耗的减少量有限制。

[0006] 本发明涉及克服或减少上述缺点中的一个或多个的影响。

发明概要

[0007] 根据本发明的实施方案的一个方面,提供一种制造方法,其包括将可移除罩盖放置在基板的表面上。所述基板包括定位在所述表面上的第一半导体芯片。所述第一半导体芯片包括第一侧壁。所述可移除罩盖包括定位成与所述第一侧壁相对的第二侧壁。第一底部填料放置在所述第一半导体芯片与所述表面之间,其中所述第二侧壁针对所述第一底部填料的流动提供障壁。

[0008] 根据本发明的实施方案的另一方面,提供一种制造方法,其包括将可移除罩盖放置在基板的表面上。所述基板包括定位在所述表面上的第一半导体芯片。所述第一半导体芯片包括第一侧壁和邻接所述第一侧壁的第二侧壁。所述罩盖包括定位成与所述第一侧壁相对的第三侧壁和定位成与所述第二侧壁相对的第四侧壁。第一底部填料放置在所述第一半导体芯片与所述表面之间,其中所述第三侧壁和所述第四侧壁针对所述第一底部填料的流动提供障壁。

[0009] 根据本发明的实施方案的另一方面,提供一种设备,其包括具有表面的基板。第一半导体芯片定位在所述表面上并且包括第一侧壁。底部填料定位在所述第一半导体芯片与

所述表面之间且包括具有背离所述第一侧壁的第二侧壁的填角。第二半导体芯片定位在所述表面上且包括邻接所述第二侧壁的第三侧壁。

[0010] 根据本发明的实施方案的另一方面,提供一种设备,其包括具有表面的基板。第一半导体芯片定位在所述表面上并且包括第一侧壁。底部填料定位在所述第一半导体芯片与所述表面之间且包括具有背离且大致平行于所述第一侧壁的第二侧壁的填角。第二半导体芯片定位在所述表面上且包括面向所述第二侧壁的第三侧壁。

[0011] 根据本发明的实施方案的另一方面,提供一种设备,其包括具有表面的基板。第一半导体芯片定位在所述表面上并且包括第一侧壁。底部填料定位在所述第一半导体芯片与所述表面之间且包括具有背离且大致平行于所述第一侧壁的第二侧壁的填角。通过将可移除罩盖放置在所述基板的所述表面上并且将所述底部填料放置在所述第一半导体芯片与所述表面之间来定位所述底部填料,其中所述可移除罩盖包括定位成与所述第一侧壁相对的所述第二侧壁,其中所述第二侧壁针对所述第一底部填料的流动提供障壁。第二半导体芯片定位在所述表面上且包括面向所述第二侧壁的第三侧壁。

[0012] 附图简述

[0013] 在阅读下文详细的描述和参考附图时将了解本发明的上述和其它优点,其中:

[0014] 图 1 是包括安装在中介层上的两个半导体芯片的示例性传统半导体芯片装置的截面图;

[0015] 图 2 是如图 1 描绘分配在半导体芯片中的一个下方的传统底部填料的截面图;

[0016] 图 3 是如图 2 描绘分配在两个半导体芯片中的另一个下方的传统底部填料的截面图;

[0017] 图 4 是包括安装在中介层上的两个半导体芯片的半导体芯片装置的示例性实施方案的截面图;

[0018] 图 5 是示例性中介层和放置在其上的可移除罩盖的截面图;

[0019] 图 6 是放置在示例性中介层上的示例性可移除罩盖的图示;

[0020] 图 7 是如图 5 但描绘底部填料放置在半导体芯片与中介层之间的截面图;

[0021] 图 8 是如图 7 但描绘中介层的截面图,其中可移除罩盖移除且测试装置连接至中介层;

[0022] 图 9 是如图 7 但描绘在中介层上将另一半导体芯片安装为接近另一半导体芯片的截面图;

[0023] 图 10 是如图 9 但描绘底部填料放置在另一个半导体芯片与中介层之间的截面图;

[0024] 图 11 是示例性中介层和定位在其上的替代示例性可移除罩盖的图示;

[0025] 图 12 是示例性中介层和定位在其上的另一替代示例性可移除罩盖的图示;

[0026] 图 13 是示例性中介层和定位在其上的另一替代示例性可移除罩盖的图示;

[0027] 图 14 是在截面 14-14 取得的图 13 的截面图;

[0028] 图 15 是如图 7 但描绘使用另一示例性可移除罩盖的示例性底部填料分配的截面图;

[0029] 图 16 是如图 15 但描绘通过分离而示例性移除可移除罩盖的截面图;

[0030] 图 17 是如图 16 但描绘通过胶带剥离而示例性移除可移除罩盖的截面图;和

[0031] 图 18 是适用于并排放置的两个以上半导体芯片的示例性中介层和具有两个侧壁来限制底部填料流动的替代示例性可移除罩盖的图示。

具体实施方式

[0032] 公开了多种多芯片堆叠配置。两个或两个以上半导体芯片堆叠在基板上,其可为半导体芯片、中介层、载体基板或其它。在安装第二半导体芯片(及可能是其它)之前,可移除罩盖接近第一安装芯片定位在中介层上以用作为对放置在第一安装芯片与中介层之间的底部填料的横向流动的障壁。通过约束底部填料填角形成,芯片至芯片间距可减小,伴随着延迟的改进。现将描述附加细节。

[0033] 在下述附图中,参考数字通常在相同元件出现在多个附图中的情况下重复。现参考附图且特别参考图 1,其中示出了示例性传统半导体芯片装置 10 的截面图,半导体芯片装置 10 包括安装在基板 25(在说明性实施方案中是中介层,但可以是载体基板或某些其它类型基板)上的两个半导体芯片 15 和 20。多个穿硅通孔(TSV)30 形成在中介层 25 中且可连接至某种形式的输入/输出结构以使中介层 25 能够与装置(未示出)中的一些电介接。半导体芯片 15 可通过焊块 35 电连接至 TSV30 中的一些,且半导体芯片 20 可通过另一组焊块 40 连接至 TSV30 中的另一些。中介层 25 有时由硅构成。为了减少半导体芯片 15 与中介层 25 之间的差异 CTE 产生的影响,底部填料 45 被引入在半导体芯片 15 与中介层 25 之间。通常,通过产生具有一定宽度 X_1 的填角 50 的毛细流来分配底部填料 45。

[0034] 半导体芯片 20 与中介层 25 之间的空间由具有具横向尺寸 X_2 的填角 60 的底部填料 55 类似地填充。半导体芯片 15 和底部填料 45 通常首先定位在中介层 25 上,且接着执行一个或多个电测试以验证半导体芯片 15 和中介层 25 两者的操作。此后,半导体芯片 20 和底部填料 55 定位在中介层 25 上且进一步执行电测试。但是,填角 50 的横向尺寸 X_1 和填角 60 的横向尺寸 X_2 限制半导体芯片 15 与半导体芯片 20 之前的最小间距 X_3 。取决于最小间距 X_3 的幅值,可限制中介层 25 中或中介层 25 内调节芯片 15 和 20 与中介层 25 之间的电力、接地和信号的电布线。

[0035] 现可通过参考图 2 和图 3 了解用于安装半导体芯片 15 和 20 以及分配图 1 中描绘的底部填料 45 和 55 的示例性传统工艺,图 2 和图 3 是经受处理步骤的中介层 25 和半导体芯片 15 和 20 的连续截面图。首先参考图 2,半导体芯片 15 已预先倒装至中介层 25。在这个阶段,由某一适当的施加器 60 和用以将底部填料 45 分配在半导体芯片 15 与中介层 25 之间的间隙 65 中的毛细管作用来分配底部填料 45。接着,底部填料 45 经受热固化,其建立填角 50 的最终宽度 X_1 。在这个阶段,半导体芯片 20 也可被倒装至中介层 25。如果这样,那么在这个阶段或在后一阶段,半导体芯片 20 安装为距离半导体芯片 15 有规划的最小间距 X_3 。接着且如图 3 中所示,底部填料 55 通过施加器 70 被分配在半导体芯片 20 与中介层 25 之间的间隙 75 中。最后,且在热固化之后,填角 60 将建立横向尺寸 X_2 。此外,最小间距 X_3 被设计来适应各自填角 50 和 60 的预期宽度 X_1 和 X_2 。

[0036] 现可通过参考图 4 了解提供中介层上的两个半导体芯片之间小得多的最小间距的半导体芯片装置 100 的示例性实施方案,图 4 是截面图。半导体芯片装置 100 包括安装在中介层 120 上的半导体芯片 110 和 115。接着,中介层 120 可安装至电路板 125,电路板 125 可以是载体基板或一种或另一种电路板。本文描述的安装结构和技术不限于任何特定

种类的半导体装置。因此,半导体芯片 110 和 115 可以是电子装置中使用的无数不同类型电路装置中的任意一种,举例而言,诸如微处理器、图形处理器、组合微处理器 / 图形处理器、专用集成电路、存储器、主动光学装置(诸如激光)或类似装置,且可以是单核或多核或甚至侧向堆叠有附加晶粒。此外,半导体芯片 110 和 115 中的一个或两个可被构造为具有或不具有一些逻辑电路的中介层。因此,术语“芯片”包括中介层,且反之亦然。半导体芯片 110 和 115 可由块状半导体(诸如硅或锗)或绝缘体上的半导体材料(诸如绝缘体上硅材料)或甚至其它种类的材料构成。

[0037] 中介层 120 可采用多种构造。如果是一般构造,那么中介层 120 可由具有接近半导体芯片 110 和 115 的热膨胀系数 (CTE) 的 CTE 的材料基板组成,且其包括用于电布线的多条内部导体迹线和通孔。可使用多种半导体材料,诸如硅、锗或类似材料,或甚至是绝缘材料,诸如二氧化硅、四乙基正硅酸盐或类似材料。硅具有的优点是有利的 CTE 且可广泛用于成熟制造工艺。当然,中介层还可被制造为如同另一半导体芯片 110 和 115 的集成电路。在任一种情况下,中介层 120 可以以晶圆级或芯片级工艺来制造。事实上,半导体芯片 110 和 115 中的一个或另一个可以以晶圆级或芯片级基础来制造,且接着被分离并安装至尚未与晶圆分离的中介层 30。

[0038] 为了与半导体芯片 110 和 115 以及电路板 125 电介接,中介层 120 可具有多个 TSV130。TSV130 可伴随有多级金属化结构,其根据需要由多条线和迹线以及互连通孔(不可见)组成。事实上,与中介层 120 相关联的电介接结构可采用很多种构造。在这个说明性实施方案中,半导体芯片 110 可通过多个互连结构 135 连接至 TSV130,所述互连结构 135 可以是导电凸块、导电柱或类似结构。半导体芯片 115 可通过多个互连结构 140 类似地连接至 TSV130 的一些,互连结构 140 可以是导电凸块、导电柱或类似结构。为了与电路板 125 电介接,中介层 120 可设有多个输入 / 输出结构 143。输入 / 输出结构 143 可以是导电凸块、导电柱或类似结构。为了减小这个中介层 120 与电路板 125 之间的差异 CTE 的有害影响,底部填料 145 可分配在中介层 120 与电路板 125 之间。电路板 125 可具有多个输入 / 输出结构以提供与另一电路装置(诸如另一电路板)或其它装置(未示出)的电介接。在这个说明性实施方案中,输入 / 输出装置由焊球 150 的球栅阵列组成。然而,实际上可使用任何其它种类的互连结构,诸如引脚栅格阵列、接点栅格阵列或任何其它种类的互连结构。

[0039] 类似地,电路板 125 可采用多种构造。实例包括半导体芯片封装基板、电路卡或实质上任何其它种类的印刷电路板。虽然单片式结构可用于电路板 125,但更多典型的构造将使用积层设计方案。在这个方面,电路板 125 可由中心层组成,一各或多个积层形成在所述中心层上且附加一个或多个积层形成在所述中心层下方。所述中心层自身可由一层或多层的堆叠组成。如果实施为半导体芯片封装基板,那么电路板 125 中的层数可从四层变化至十六层或更多,但也可使用少于四层。也可使用所谓的“无中心层”设计。电路板 125 的层可由散布有金属互连件的绝缘材料组成,诸如各种已知的环氧树脂。可使用除积层以外的多层构造。任选地,电路板 125 可由已知的陶瓷或适用于封装基板或其它印刷电路板的其它材料构成。电路板 125 具有许多导体迹线和通孔以及其它结构(不可见)以便提供半导体芯片 110 和 115 与另一装置(举例而言,例如另一电路板)之间的电力、接地和信号传送。

[0040] 为了解决半导体芯片 110 与中介层 120 之间的差异 CTE 的影响,底部填料 155 被分配在半导体芯片 110 与中介层 120 之间的间隙 160 中。底部填料 155 仅包括接近半导体

芯片 110 的侧壁 170 的相对较窄填角 165。填角 165 可具有相对垂直的侧壁 175。半导体芯片 115 类似地设有分配在芯片 115 与中介层 120 之间的间隙 185 中的底部填料 180。由于用于定位底部填料 155 和 180 的示例性技术,底部填料 155 仅包括相对较窄填角 165 且底部填料 180 实质上不包括接近半导体芯片 115 的侧壁 190 的填角。这具有的益处是使得半导体芯片 110 和 115 能够定位为彼此接近达极窄间距 X_4 。窄得多的间距 X_4 (即图 1、图 2 和图 3 中描绘的最小间距 X_3) 可伴随着缩短与中介层 120 相关联的电路径且因此降低延迟并提高电性能。底部填料 145、155 和 180 可由已知的环氧材料组成,诸如具有或不具有硅石填充物的环氧树脂和酚醛树脂或类似材料。两个实例是可从 Namics 购得的 8437-2 型和 2BD 型。

[0041] 现通过参考图 5、图 6 和图 7 且首先参考图 5 来了解用于将半导体芯片 110 安装至中介层 120 并且定位底部填料 155 的示例性方法,所述图 5 是截面图。图 5 描绘了在半导体芯片 110 已经安装至中介层 120 且通过互连结构 135 与其电介接之后的中介层 120。在这个阶段,可以使用已知技术将 TSV130 建立在中介层 125 中。取决于互连结构 135 的组成,半导体芯片 110 至中介层 120 的安装可包括回焊工艺以暂时液化与互连结构 135 相关联的任何焊料。在这个阶段,半导体芯片 110 与中介层 120 之间的间隙 160 敞开。为了使图 4 中描绘的后续分配的底部填料 155 建立有相对较窄填角且具有如图 4 中描绘的任选的、相对垂直侧壁 170,罩盖 195 可移除地定位在中介层 120 上且与半导体芯片 110 的侧壁 170 横向分开,分开距离匹配如图 4 中所示的半导体芯片 110 与 115 之间的优选间距 X_4 。罩盖 195 可以是如图 5 中描绘的简单盒子或是如后续附图中所示的无数其它配置中任何一种。罩盖 195 的重要部件是侧壁 200,其面向半导体芯片 110 的侧壁 170。侧壁 200 用作针对底部填料从芯片 110 的侧壁 170 横向移动的障壁。可使用多种技术以在图 4 中描绘的底部填料 155 的后续施加期间将罩盖 195 固定在适当位置。举例而言,罩盖 195 可通过其自身重力而仅仅固定在适当位置。任选地,罩盖 195 可由铁磁材料构成且接着可通过磁体 205 固定在适当位置,磁体 205 可以是永久磁体或电磁体。磁体 205 可抵着中介层 120 的下表面 210 定位且用以将罩盖 195 拉向中介层 120 的上表面 215。底部填料 155 可具有显著的粘着性质。因此,罩盖 195 可涂布有适当材料(诸如特氟纶)以易于后底部填料移除。

[0042] 现也可参考图 6 了解罩盖 195 的附加细节,图 6 是中介层 120、半导体芯片 110 和罩盖 195 的图示。应注意互连结构 135 的少数为可见。此处,半导体芯片 110 可具有尺寸 Y_1 , Y_1 可以是长度或宽度。罩盖 195 需具有对应尺寸 Y_2 , Y_2 应该大致等于或可能大于半导体芯片 110 的横向尺寸 Y_1 。尺寸 Y_2 的这个选择将防止任何底部填料在分配和后续热固化期间不必要地横向移动离开半导体芯片 110 的侧壁 170。

[0043] 现注意图 7,图 7 是如图 5 的截面图。由于罩盖 195 处于适当位置,所以底部填料 155 可通过适当的施加器 220 被分配。底部填料 155 通过毛细管作用前进到间隙 160 中,但受限于罩盖 195 的壁 200 而无法移动超过半导体芯片 110 的侧壁 170。因此,底部填料 155 将形成有具所需横向尺寸 X_4 的填角 165 且具有任选的垂直侧壁 175。在这个阶段,可对底部填料 155 执行适当的固化工艺,因此建立填角 165。侧壁 175 任选地大致平行于半导体芯片 110 的侧壁 170。

[0044] 现还参考图 8,图 7 中描绘的罩盖 195 可被移除且半导体芯片 110 和 / 或中介层 120 通过测试装置 230 经受电测试。此处,测试装置 230 示意性地示为通过连接件 235 连

接至中介层 120。应了解连接件 235 是示意性表示且可以是探针、多个探针、电路板上的插座连接件或实际上任何其它种类的电接口。类似地,测试装置 230 可以是电脑、专用集成电路或用以测试集成电路的实际上任何其它种类的诊断装置。测试的目的是确定半导体芯片 110 和 / 或中介层 120 在这个处理阶段是否有缺陷。如果半导体芯片 110 和 / 或中介层 120 在这个阶段有缺陷,那么半导体芯片 110 和 / 或中介层 120 会根据需要返工或丢弃。

[0045] 接着且如图 9 中所描绘,半导体芯片 115 可被倒装到中介层 120 使得侧壁 190 邻接底部填料 155 的填角 165。这在半导体芯片 110 与 115 之间建立上述所需横向尺寸 X_4 。互连结构 140 可视需要经受回焊工艺,这取决于其成分。接着且如图 10 中所描绘,底部填料 180 可通过施加器 220 被分配在半导体芯片 115 与中介层 120 之间的间隙 185 中。底部填料 180 通过毛细管作用沿着间隙 185 前进直到其邻接底部填料 155 的填角 165。在这个阶段,中介层 120 和半导体芯片 110 和 115 可再次连接到图 8 中描绘的测试装置 230,且执行电测试以确定半导体芯片 115 的合适度。以此方式,不仅在半导体芯片 110 与 115 之间建立了所需的短间距 X_4 ,而且还在执行步骤和与安装半导体芯片 115 相关联的消耗材料之前确定半导体芯片 110 和中介层 120 的可靠性。

[0046] 如上所述,图 4、图 5、图 6 和图 7 中描绘的罩盖 195 的重要部件是侧壁 200,其用作为对底部填料 155 的填角 165 的过多横向迁移的障壁。虽然在图 4、图 5、图 6 和图 7 的示例性实施方案中通过盒子提供障壁部件,但熟练技术人员将了解可使用很多种替代结构。举例而言且如图 11 中图示描绘,罩盖 195' 可构造为具有匹配或超过半导体芯片 110 的横向尺寸 Y_1 的横向尺寸 Y_2 的简单壁。罩盖 195' 可通过本文公开的任何技术固定到中介层 120。此外,罩盖 195' 将与半导体芯片 110 的侧壁 170 横向偏移达所需间距 X_4 。

[0047] 现参考图 12 了解罩盖 195'' 的另一替代示例性实施方案,所述图 12 是如图 11 的图示。在这个说明性实施方案中,如本文其它部分所述,半导体芯片 110 安装到中介层。然而,在这个说明性实施方案中,罩盖 195'' 被构造为具有开口端 250 的盒状结构。这种配置符合需要,举例而言,其中在必须空间上考虑的中介层 120 的区域 255 附近存在表面安装结构(未示出)。罩盖 195'' 具有匹配或超过半导体芯片 110 的横向尺寸 Y_1 的横向尺寸。罩盖 195'' 可通过本文公开的任何技术固定到中介层 120。此外,罩盖 195'' 将与半导体芯片 110 的侧壁 170 横向偏移达所需间距 X_4 。

[0048] 现参考图 13 了解罩盖 195''' 的另一替代示例性实施方案,所述图 13 是如图 11 的截面图。在这个说明性实施方案中,半导体芯片 110 示为安装到中介层 120。然而,在这个说明性实施方案中,罩盖 195''' 被构造为包括侧壁 255 的框状结构,其被设计以对底部填料过多横向移动离开半导体芯片 110 的侧壁 170 提供上述障壁。此外,罩盖 195''' 可通过本文描述的任何方法可移除地固定到中介层 120。罩盖 195''' 具有匹配或超过半导体芯片 110 的横向尺寸 Y_1 的横向尺寸。罩盖 195''' 可通过本文公开的任何技术固定到中介层 120。此外,罩盖 195''' 将与半导体芯片 110 的侧壁 170 横向偏移达所需间距 X_4 。

[0049] 可通过修改中介层 120 的结构而将罩盖 195''' 固定到中介层 125。在此方面,现注意图 14,图 14 是在截面 14-14 取得的图 13 的截面图。此处,中介层 120 可设有沟槽 260,其形成有被定尺寸以适应罩盖 195''' 的侧壁 255 的厚度的合适宽度。沟槽 260 限制罩盖 195''' 的横向移动,使得即使在分配和 / 或固化任何底部填料期间对罩盖 195''' 施力的情况下也能维持优选间距 X_4 。沟槽 260 可通过各种已知的材料定形技术来形成,诸如已知的

光刻和蚀刻技术、激光烧蚀或其它材料形成技术。应了解罩盖 195、195''、195''' 的公开实施方案中的任何一个或其它可结合适当沟槽 260 使用。

[0050] 公开的实施方案的技术目标是使用可在分配和固化用于半导体芯片 110 的底部填料 155 之后从中介层移除的罩盖。在上述公开的实施方案中,罩盖暂时被放置在中介层上且此后被剥离而不破坏所述罩盖的完整性。然而,熟练技工将了解可提供合适的罩盖以通过使用可溶解或者可从中介层移除的某种形式的材料来提供上述障壁功能。现可参考图 15 和图 16 且首先参考图 15 了解使用这种罩盖的示例性方法,所述图 15 是(如本文其它部分大体描述)通过接口结构 135 安装到中介层 120 且固定至其上的半导体芯片 110 的截面图。此处,替代示例性罩盖 195''' 被施加到中介层 120 的表面 215 且与半导体芯片 110 的侧壁 170 横向偏离达优选最小间距 X_4 。然而,罩盖 195''' 可由可溶解或者使用任一破坏性或半破坏性技术从中介层 120 移除的材料所组成。举例而言,罩盖 195''' 的示例性材料包括负调光阻剂、响应激发经受相变的亚稳态材料或甚至是阳极化碳。罩盖 195''' 可如图 15 中所描绘应用为相对大体积膜。在通过施加器 220 和适当的固化工工艺分配底部填料 155 之后,上述填角 165 可建立为邻接罩盖 195''' 的侧壁 265。

[0051] 接着且如图 16 中所示,罩盖 195''' 可经受由标记 270 示意性表示的激发,以便溶解或者分解罩盖 195''' ,期望将另一半导体芯片安装为相邻于半导体芯片 110。此处,激发 270 可采用多种形式,这取决于罩盖 195''' 的组成和敏感度。举例而言,激发 270 可以是引入能够易于分解罩盖 195''' 的溶剂或蚀刻剂。如果罩盖 195''' 由相变材料组成,那么举例而言,激发可以是辐射或造成材料 195''' 其自行分解的某些其他激发剂或者通过引入另一种溶剂,诸如光阻显影剂或其它材料。在移除罩盖 195''' 之后,中介层 120 可经受如本文其它部分描述的测试类型和安装另一半导体芯片。

[0052] 在另一替代方案中,如图 17 中所示,罩盖 195''' 可以通过合适的剥离胶带 275 从中介层 120 剥离。如其它的公开实施方案,罩盖 195''' 可施加至中介层 120 的表面 215,且与半导体芯片 110 的侧壁 170 有必要的横向间距 X_4 。当拉动剥离胶带 270 时,罩盖 195''' 可被剥离中介层 120 的表面 215。此后,中介层 120 和半导体芯片 110 可如本文其它部分所述经受电测试并且安装另外一个半导体芯片。

[0053] 多芯片装置可构造有多于两个的半导体芯片。在这个情况下,合适的罩盖可被塑造以能够限制底部填料从给定的半导体芯片横向流动到被指定安装附加半导体芯片的区域中。现可通过参考图 18 了解并入这些设计部件的替代示例性实施方案,所述图 18 是图示。此处,中介层 120' 具有安装至其上的半导体芯片 110。然而,中介层 120' 具有被指定用于安装两个或两个以上半导体芯片(未示出)的区域 280 和 290。因此,需要能够限制任何底部填料前进离开半导体芯片 110 的侧壁 170 和相邻侧壁 295。因此,罩盖 195''' 可制造有侧壁 300 和 305,其被构造以分别面向半导体芯片 110 的侧壁 295 和 170。以此方式,将通过侧壁 300 和 305 的存在而在底部填料分配和固化期间限制底部填料。当然,许多其它或更复杂的形状可用于罩盖 195'''。本文公开的任何其它部件(诸如沟槽和磁体等)也可与这个实施方案一起使用。

[0054] 本文公开的任何示例性实施方案可具体体现为布置在电脑可读媒体(举例而言,诸如半导体、磁盘、光盘或其它存储介质)中的指令或电脑数据信号。所述指令或软件能够合成和/或模拟本文公开的电路结构。在示例性实施方案中,电子设计自动控制程序(诸如

Cadence APD、Cadence Spectra、Encore 或类似程序)可用于合成公开的电路结构。所得编码可用以制造所公开的电路结构。

[0055] 虽然本发明可能具有各种修改和替代形式,但是特定实施方案已在附图中经由举例而示出并且已在其中详细描述。但是,应了解本发明并非旨在受限于所公开的特定形式。而是,本发明覆盖属于如下文附属权利要求定义的本发明的精神和范围内的所有修改例、等效例和替代例。

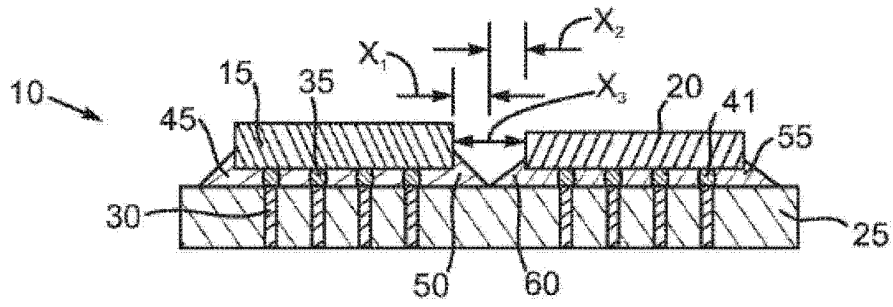


图 1(现有技术)

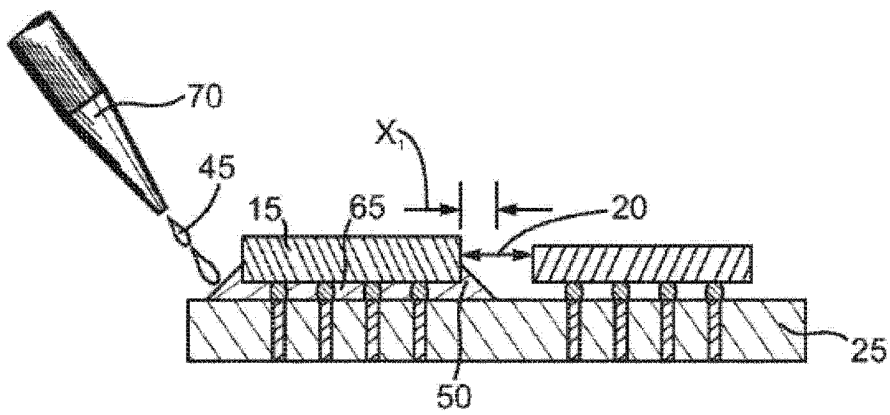


图 2(现有技术)

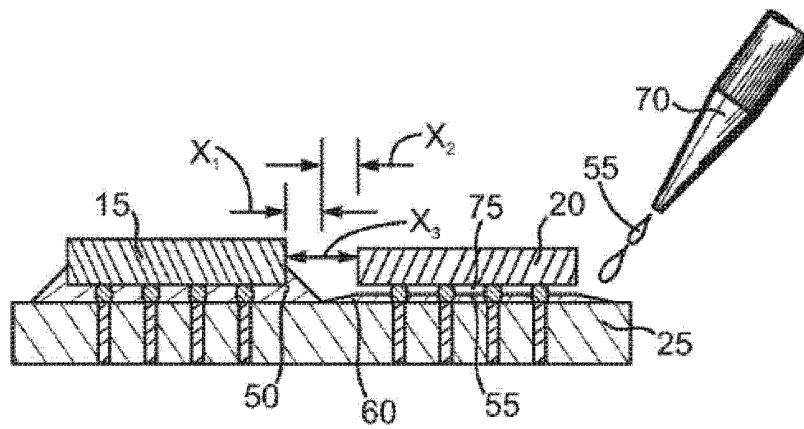


图 3(现有技术)

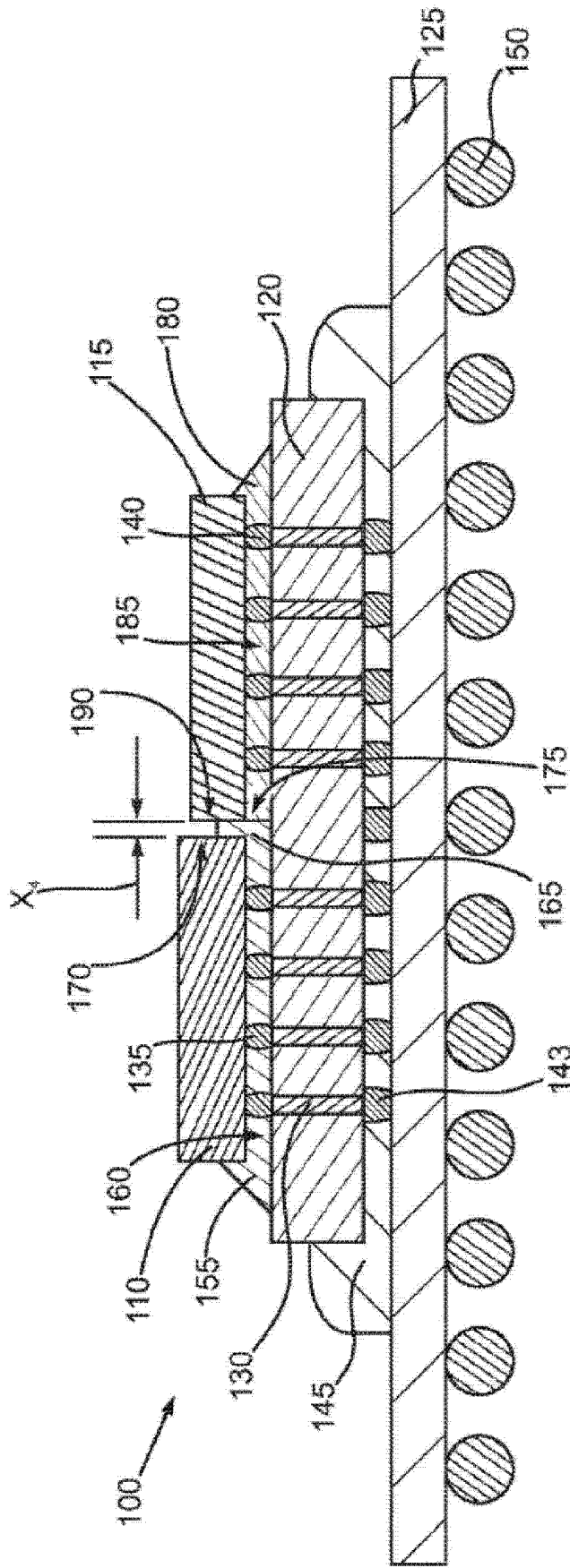


图 4

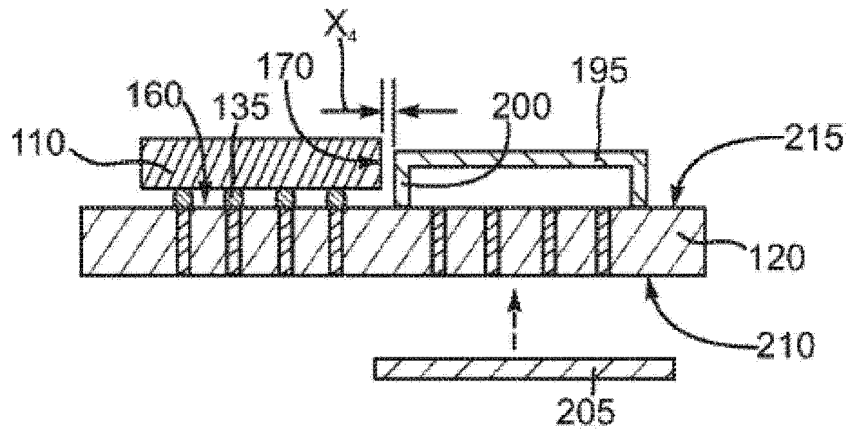


图 5

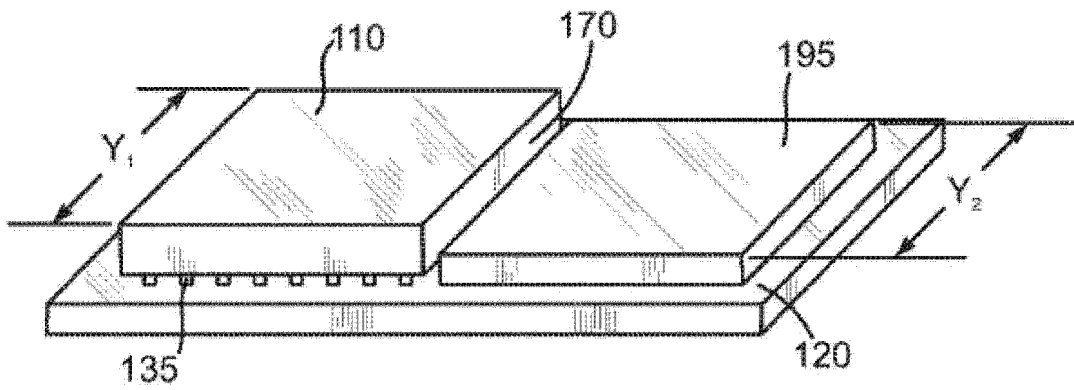


图 6

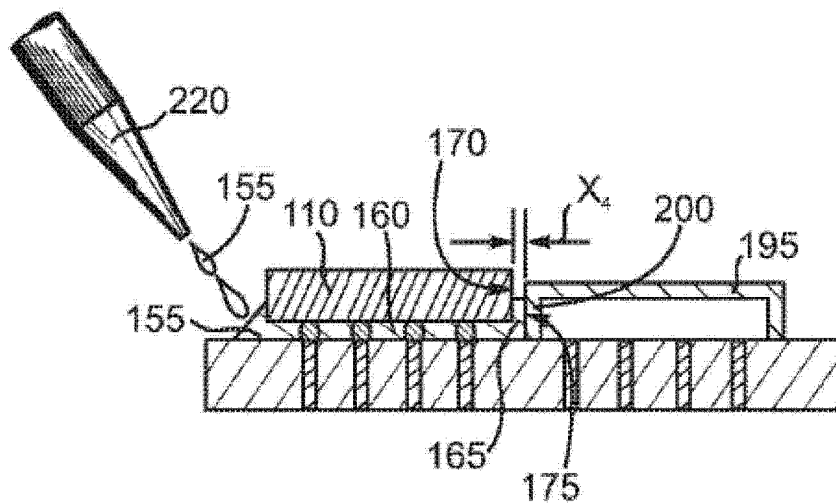


图 7

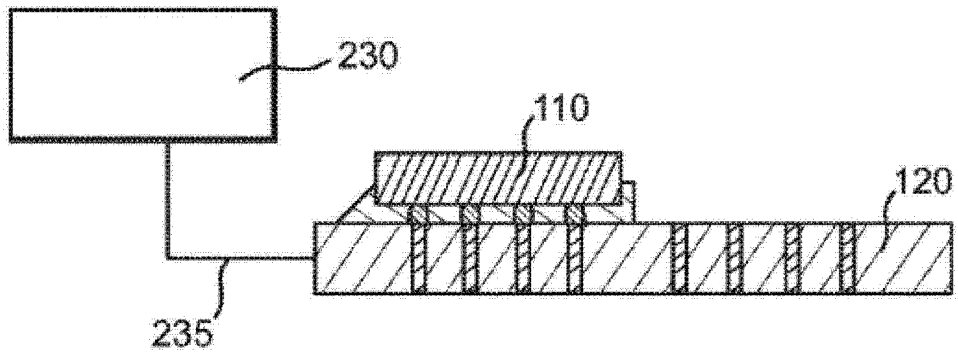


图 8

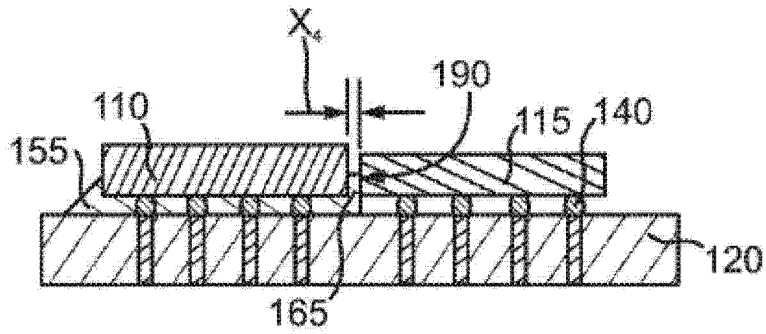


图 9

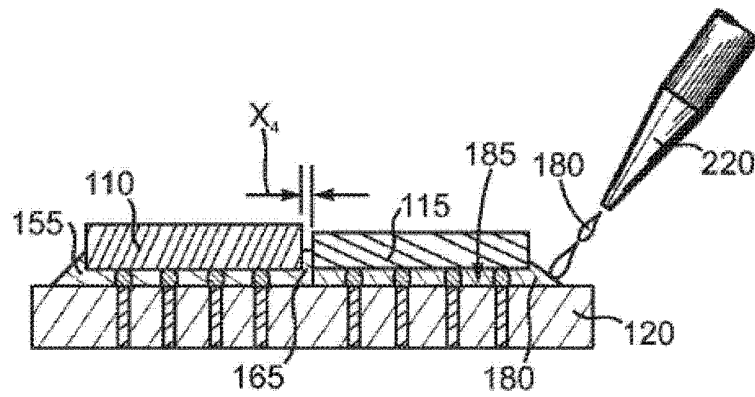


图 10

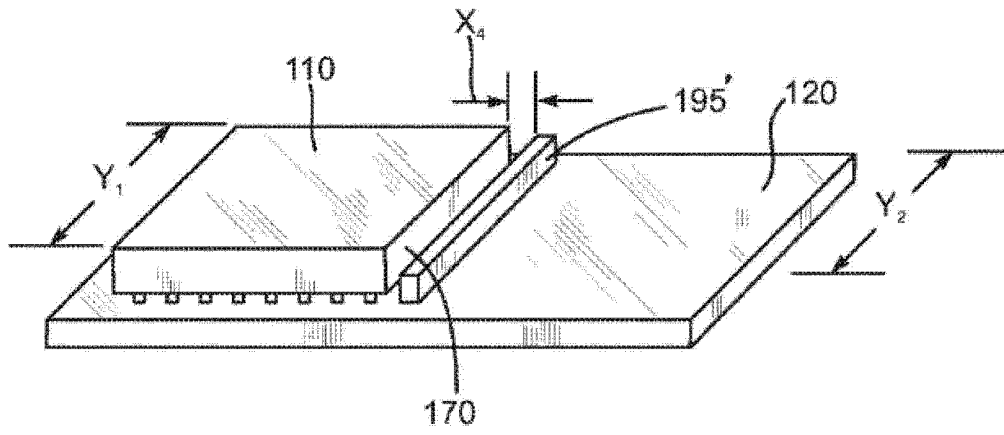


图 11

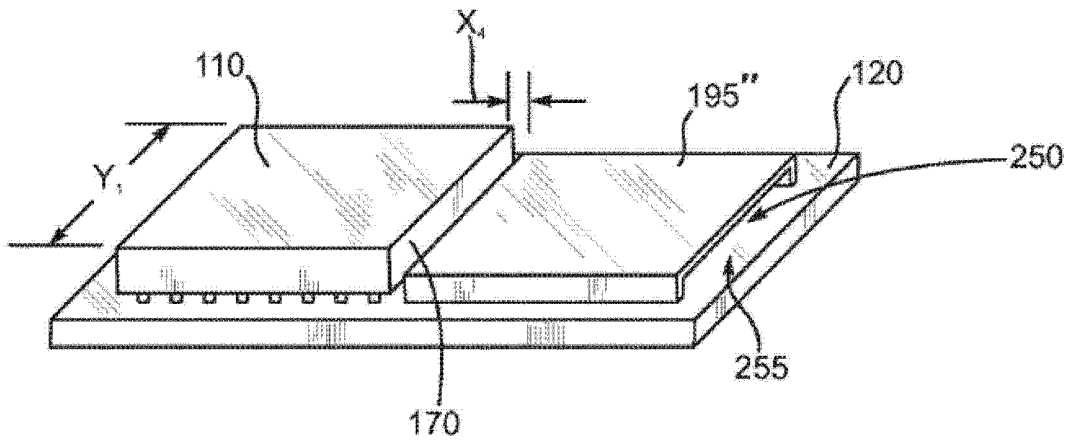


图 12

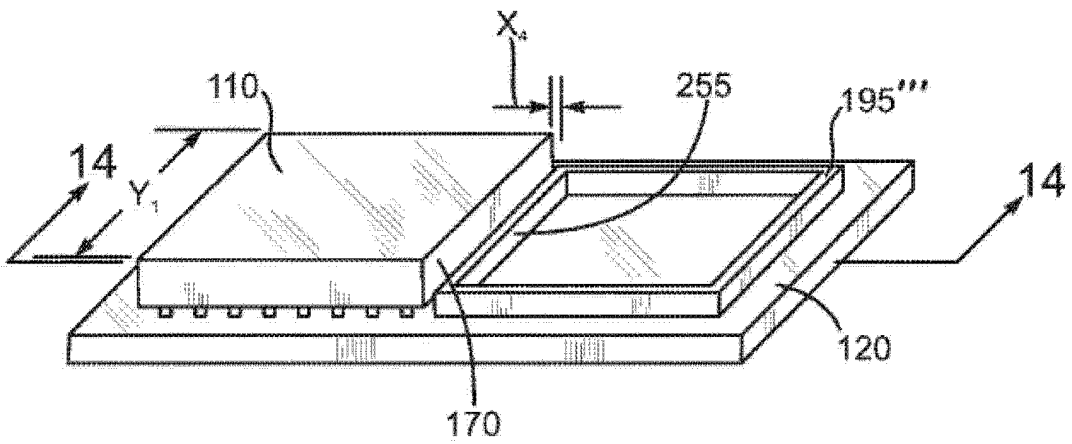


图 13

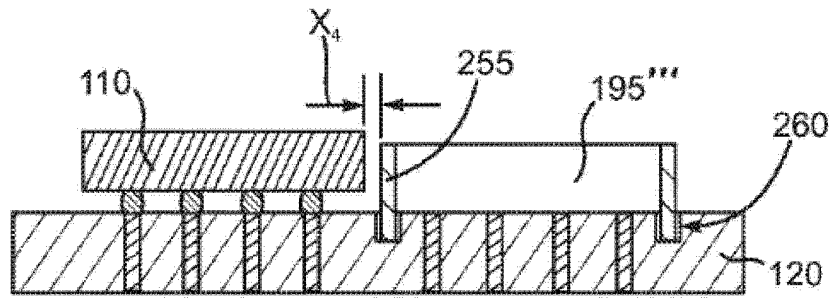


图 14

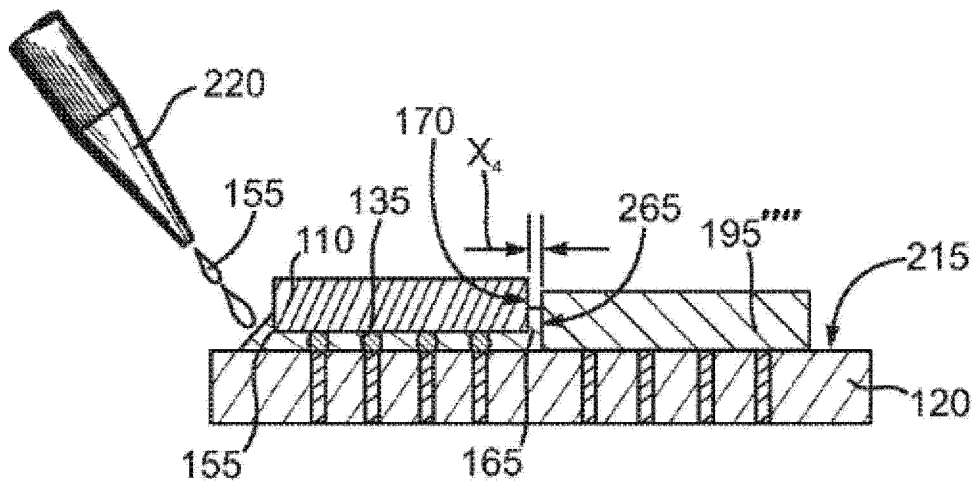


图 15

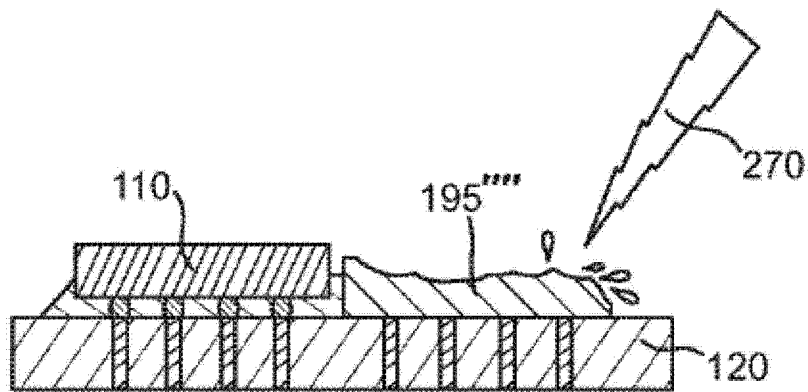


图 16

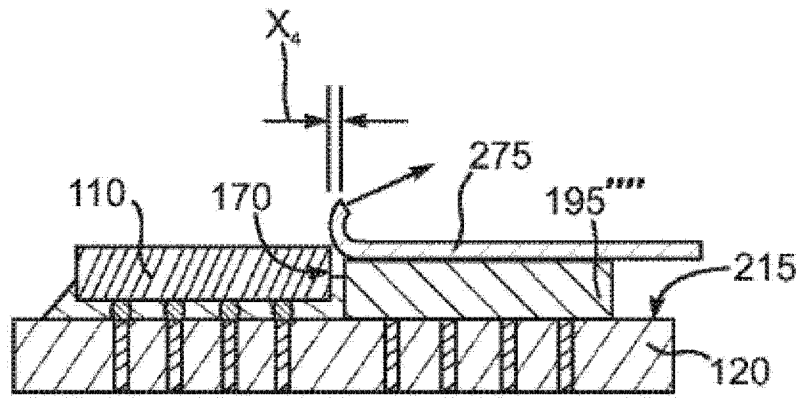


图 17

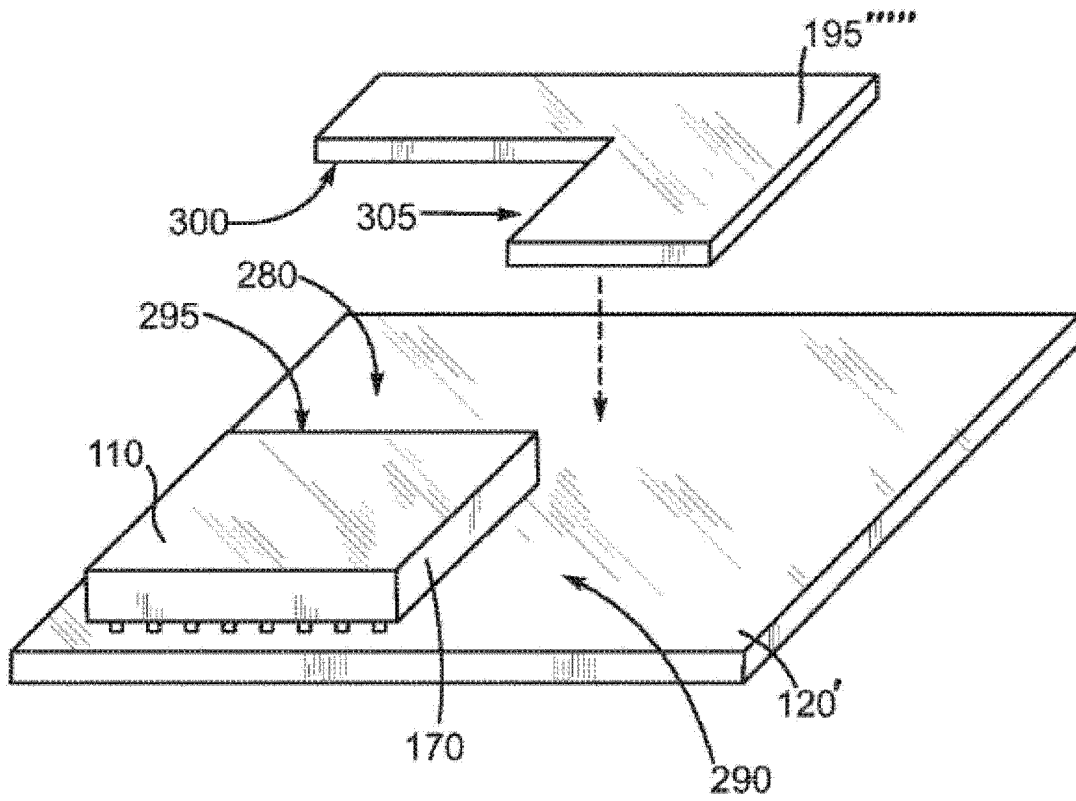


图 18