



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월01일
(11) 등록번호 10-2104833
(24) 등록일자 2020년04월21일

(51) 국제특허분류(Int. Cl.)
G11C 16/34 (2006.01) G11C 16/06 (2006.01)
(21) 출원번호 10-2013-0028187
(22) 출원일자 2013년03월15일
심사청구일자 2018년02월21일
(65) 공개번호 10-2014-0113851
(43) 공개일자 2014년09월25일
(56) 선행기술조사문헌
US20120124442 A1*
US20120317460 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
모세 트위토
71700, 이스라엘, 기바트 스므엘, 1 모대 스테이트.
아브너 도르
46422, 이스라엘
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

심사관 : 한선경

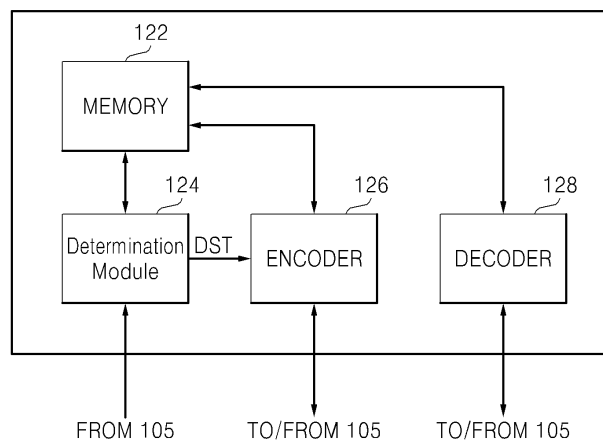
(54) 발명의 명칭 메모리 컨트롤러, 및 이의 동작 방법

(57) 요약

본 발명의 실시 예에 따른 메모리 컨트롤러의 데이터 처리 방법은 각각이 복수의 데이터 페이지들을 포함하는 복수의 멀티 레벨 셀들 각각의 셀 상태에 기초하여, 상기 복수의 멀티 레벨 셀들 각각이 변화될 수 있는 적어도 하나의 셀 상태를 판단하는 단계, 판단된 적어도 하나의 셀 상태에 매핑 된 매핑 값들에 기초하여 스택 비트에 관한 스택 비트 데이터를 생성하는 단계, 및 상기 스택 비트 데이터에 기초하여, 상기 복수의 멀티 레벨 셀들에 저장될 라이트 데이터를 인코딩하는 단계를 포함한다.

대표도 - 도2

120A



(72) 발명자

공준진

경기 용인시 수지구 진산로66번길 27, 704동 304호
(풍덕천동, 진산마을삼성7차아파트)

설창규

경기도 오산시 여계산로 21 601동 303호 (금암
동, 금암마을휴먼시아테시양6단지아파트)

손홍락

경기 안양시 동안구 시민대로159번길 62, 201동
604호 (비산동, 은하수벽산아파트)

명세서

청구범위

청구항 1

둘 이상의 데이터 페이지들을 저장하도록 구성되는 멀티 레벨 셀들을 소거하는 단계;

상기 멀티 레벨 셀들이 소거된 후에 상기 멀티 레벨 셀들을 읽어, 상기 멀티 레벨 셀들의 현재 상태들을 판단하는 단계;상기 멀티 레벨 셀들이 상기 현재 상태들로부터 변화될 수 있는 가능 셀 상태들을 판단하는 단계;

상기 가능 셀 상태들에 기초하여, 상기 데이터 페이지들 중 하나의 데이터 페이지의 하나의 값이 하나의 매핑 값에만 매핑될 때, 상기 하나의 데이터 페이지의 상기 하나의 값을 스택 비트(stuck bit)로 결정하고, 그리고 상기 스택 비트에 관한 스택 비트 데이터를 생성하는 단계; 및

상기 스택 비트 데이터에 기초하여, 상기 멀티 레벨 셀들에 저장될 라이트 데이터를 인코딩(encoding)하는 단계를 포함하는 메모리 컨트롤러의 데이터 처리 방법.

청구항 2

제1항에 있어서,

상기 스택 비트 데이터는,

상기 스택 비트의 위치와 상기 스택 비트의 스택 값(stuck value)에 관한 정보를 포함하는 메모리 컨트롤러의 데이터 처리 방법.

청구항 3

제1항에 있어서,

상기 가능 셀 상태들의 매핑 값들은,

그레이 코드(gray code)를 이용하여 상기 가능 셀 상태들과 매핑되는 메모리 컨트롤러의 데이터 처리 방법.

청구항 4

제1항에 있어서,

상기 인코딩하는 단계는,

페이지(page) 단위로 인코딩하는 메모리 컨트롤러의 데이터 처리 방법.

청구항 5

제4항에 있어서,

상기 인코딩하는 단계는,

각 페이지마다 서로 다른 비트 수의 코드를 사용하여 인코딩하는 메모리 컨트롤러의 데이터 처리 방법.

청구항 6

제1항에 있어서,

상기 인코딩하는 단계는,

바이너리 코드(binary code)를 이용하여 인코딩하는 메모리 컨트롤러의 데이터 처리 방법.

청구항 7

제1항에 있어서,

상기 인코딩하는 단계는,

상기 라이트 데이터를 상기 스택 비트 데이터에 기초하여 재배열하는 단계를 포함하는 메모리 컨트롤러의 데이터 처리 방법.

청구항 8

둘 이상의 데이터 페이지들을 저장하도록 구성되는 멀티 레벨 셀들이 소거된 후에, 상기 멀티 레벨 셀들을 읽어 상기 멀티 레벨 셀들의 현재 상태들을 판단하고, 그리고 상기 멀티 레벨 셀들이 변화될 수 있는 가능 셀 상태들을 판단하는 가능 상태 판단 모듈;

상기 가능 셀 상태들에 기초하여, 상기 데이터 페이지들 중 하나의 데이터 페이지의 하나의 값이 하나의 매핑 값에만 매핑될 때, 상기 하나의 데이터 페이지의 상기 하나의 값을 스택 비트(stuck bit)로 결정하고, 그리고 상기 스택 비트에 관한 스택 비트 데이터를 생성하는 스택 비트 데이터 생성 모듈; 및

상기 스택 비트 데이터에 기초하여, 복수의 멀티 레벨 셀들에 저장될 라이트 데이터를 인코딩(encoding)하는 인코더를 포함하는 메모리 컨트롤러.

청구항 9

제8항에 있어서,

상기 스택 비트 데이터 생성 모듈은,

비트-라벨링맵(bit-labeling map)에 따라 상기 가능 셀 상태들에 매핑된 매핑 값들에 기초하여, 상기 복수의 데이터 페이지들 각각에 대응되는 매핑 값들을 판단하는 가능 비트 값 판단 모듈; 및

상기 가능 비트 값 판단 모듈의 판단 결과에 따라, 상기 하나의 데이터 페이지의 상기 하나의 값이 상기 하나의 매핑 값에만 매핑될 때 상기 하나의 값을 스택 비트(stuck bit)로 결정하고, 상기 스택 비트에 관한 스택 비트 데이터를 생성하는 스택 비트 판단 모듈을 포함하는 메모리 컨트롤러.

청구항 10

제8항에 있어서,

상기 스택 비트 데이터는,

상기 스택 비트의 위치와 상기 스택 비트의 스택 값(stuck value)에 관한 정보를 포함하는 메모리 컨트롤러.

발명의 설명

기술 분야

[0001] 본 발명의 개념에 따른 실시 예는 메모리 컨트롤러에 관한 것으로, 특히 멀티 레벨 셀들(multi level cells) 각각의 셀 상태(cell state)에 기초하여 생성된 스택 비트 데이터(stuck bit data)에 따라 라이트 데이터를 인코딩하기 위한 방법과 이를 이용하는 장치들에 관한 것이다.

배경 기술

[0002] 불휘발성 메모리 장치들은 다양한 제품들, 예컨대 랩톱 컴퓨터(laptop computer), 태블릿 컴퓨터(tablet computer), 스마트폰(smart phone), 디지털 카메라(digital camera), 및 PDA(personal digital assistants) 등에 널리 사용된다.

[0003] 불휘발성 메모리 장치의 대표적인 예로 플래시 메모리 장치(flash memory device)가 있다. 상기 플래시 메모리 장치의 메모리 셀은 그 안에 저장될 수 있는 데이터의 비트(bit)의 수에 따라 SLC(single level cell)와 MLC(multi level cell)로 분류될 수 있다.

[0004] SLC는 한 셀당 1비트의 정보를 저장할 수 있는 메모리 셀이고, MLC는 한 셀당 2 비트 이상의 정보를 저장할 수 있는 메모리 셀이다.

[0005] 플래시 메모리 장치는 새로운 데이터를 저장하는 동작, 예컨대 프로그램(program) 동작을 수행하기 위해서 이미

저장된 데이터를 지우는 동작, 예컨대 이레이즈(erase) 동작을 수행한다.

[0006] 하지만, 상기 프로그램 동작과 상기 이레이즈 동작이 반복적으로 수행됨에 따라 플래시 메모리 셀의 수명이 감소하며, 상기 이레이즈 동작 후에도 완전한 이레이즈 상태가 되지 않는 플래시 메모리 셀이 존재할 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 이루고자 하는 기술적인 과제는 멀티 레벨 셀들(multi level cells) 각각의 셀 상태(cell state)에 기초하여 생성된 스택 비트 데이터(stuck bit data)에 따라 라이트 데이터를 인코딩할 수 있는 메모리 컨트롤러, 이의 동작 방법, 및 이를 포함하는 시스템을 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명의 실시 예에 따른 메모리 컨트롤러의 데이터 처리 방법은 각각이 복수의 데이터 페이지들을 포함하는 복수의 멀티 레벨 셀들(multi level cells) 각각의 셀 상태(cell state)에 기초하여, 상기 복수의 멀티 레벨 셀들 각각이 변화될 수 있는 적어도 하나의 셀 상태를 판단하는 단계, 판단된 적어도 하나의 셀 상태에 매핑된 매핑 값들에 기초하여, 대응되는 매핑 값이 한가지 값인 데이터 페이지를 스택 비트(stuck bit)로 결정하고, 상기 스택 비트에 관한 스택 비트 데이터를 생성하는 단계, 및 상기 스택 비트 데이터에 기초하여, 상기 복수의 멀티 레벨 셀들에 저장될 라이트 데이터를 인코딩(encoding)하는 단계를 포함할 수 있다.

[0009] 실시 예에 따라, 상기 스택 비트 데이터는, 상기 스택 비트의 위치와 상기 스택 비트의 스택 값(stuck value)에 관한 정보를 포함할 수 있다.

[0010] 실시 예에 따라, 상기 매핑 값들은, 그레이 코드(gray code)를 이용하여 상기 적어도 하나의 셀 상태와 매핑될 수 있다.

[0011] 실시 예에 따라, 상기 인코딩하는 단계는, 페이지(page) 단위로 인코딩할 수 있다.

[0012] 실시 예에 따라, 상기 인코딩하는 단계는, 바이너리 코드(binary code)를 이용하여 인코딩할 수 있다.

[0013] 실시 예에 따라, 상기 인코더는, 각 페이지마다 서로 다른 비트 수의 코드를 사용하여 인코딩할 수 있다.

[0014] 실시 예에 따라, 상기 인코딩하는 단계는, 상기 라이트 데이터를 상기 스택 비트 데이터에 기초하여 재배열하는 단계를 포함할 수 있다.

[0015] 본 발명의 실시 예에 따른 메모리 컨트롤러는 각각이 복수의 데이터 페이지들을 포함하는 복수의 멀티 레벨 셀들(multi level cells) 각각의 셀 상태(cell state)에 기초하여, 상기 복수의 멀티 레벨 셀들 각각이 변화될 수 있는 적어도 하나의 셀 상태를 판단하는 가능 상태 판단 모듈, 판단된 적어도 하나의 셀 상태에 매핑된 매핑 값들에 기초하여, 대응되는 매핑 값이 한가지 값인 데이터 페이지를 스택 비트(stuck bit)로 결정하고, 상기 스택 비트에 관한 스택 비트 데이터를 생성하는 스택 비트 데이터 생성 모듈 및 상기 스택 비트 데이터에 기초하여, 상기 복수의 멀티 레벨 셀들에 저장될 라이트 데이터를 인코딩(encoding)하는 인코더를 포함할 수 있다.

[0016] 실시 예에 따라, 상기 스택 비트 데이터 생성 모듈은, 비트-라벨링 맵(bit-labeling map)에 따라 상기 적어도 하나의 셀 상태에 매핑된 상기 매핑 값들에 기초하여, 상기 복수의 데이터 페이지들 각각에 대응되는 매핑 값을 판단하는 가능 비트 값 판단 모듈 및 상기 가능 비트 값 판단 모듈의 판단 결과에 따라, 대응되는 매핑 값이 한가지 값인 데이터 페이지를 스택 비트(stuck bit)로 결정하고, 상기 스택 비트에 관한 스택 비트 데이터를 생성하는 스택 비트 판단 모듈을 포함할 수 있다.

[0017] 실시 예에 따라, 상기 스택 비트 데이터는, 상기 스택 비트의 위치와 상기 스택 비트의 스택 값(stuck value)에 관한 정보를 포함할 수 있다.

[0018] 실시 예에 따라, 상기 인코더는, 페이지(page) 단위로 인코딩할 수 있다.

[0019] 실시 예에 따라, 상기 인코더는, 각 페이지마다 서로 다른 비트 수의 코드를 사용하여 인코딩할 수 있다.

[0020] 본 발명의 실시 예에 따른 메모리 시스템은 상기 메모리 컨트롤러 및 상기 복수의 멀티 레벨 셀들을 포함할 수 있다.

[0021] 실시 예에 따라, 상기 메모리 장치는, 낸드 플래시 메모리 장치일 수 있다.

[0022] 본 발명의 실시 예에 따른 전자 장치는 상기 메모리 시스템 및 상기 메모리 컨트롤러의 데이터 버퍼링 동작을 제어하는 버퍼 매니저(buffer manager)를 더 포함할 수 있다.

[0023] 실시 예에 따라, 상기 메모리 장치는, 낸드 플래시 메모리 장치일 수 있다.

발명의 효과

[0024] 본 발명의 실시 예에 따른 방법과 장치는 멀티 레벨 셀들(multi level cells) 각각의 셀 상태(cell state)에 기초하여 생성된 스택 비트 데이터(stuck bit data)에 따라 라이트 데이터를 인코딩함으로써, 완전히 이레이즈 되지 않은 멀티 레벨 셀에도 상기 라이트 데이터를 저장할 수 있는 효과가 있다.

[0025] 본 발명의 실시 예에 따른 방법과 장치는 페이지 단위로 인코딩을 수행함에 따라, 페이지 단위로 라이트 데이터를 라이트(write) 할 수 있는 효과가 있다.

[0026] 본 발명의 실시 예에 따른 방법과 장치는 바이너리 코드(binary code)를 이용하여 인코딩 또는 디코딩함으로써, 인코딩 또는 디코딩 동작을 단순화할 수 있다.

도면의 간단한 설명

[0027] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

- 도 1은 본 발명의 일 실시 예에 따른 메모리 시스템의 블록도이다.
- 도 2는 도 1에 도시된 스택 셀 코드 블록(stuck cell code block)의 일 실시 예에 따른 블록도이다.
- 도 3은 도 2에 도시된 판단 모듈의 일 실시 예에 따른 블록도이다.
- 도 4는 도 1에 도시된 스택 셀 코드 블록의 다른 실시 예에 따른 블록도이다.
- 도 5는 도 1에 도시된 메모리 장치의 문턱 전압 분포를 나타낸 도면이다.
- 도 6은 도 1에 도시된 메모리 장치에 포함된 스택 셀들의 일 실시 예에 따른 문턱 전압 분포를 나타낸 도면이다.
- 도 7은 도 1에 도시된 메모리 시스템의 일 실시 예에 따른 비트-라벨링 맵(bit-labeling map)을 나타낸 도면이다.
- 도 8과 도 9는 도 6의 스택 셀들에 포함된 스택 비트를 판단하는 과정을 설명하기 위한 도면이다.
- 도 10은 도 1에 도시된 스택 셀 코드 블록이 데이터 배열을 비조직 부호화 (non-systematic coding) 방식으로 인코딩하는 일 실시 예를 설명하기 위한 도면이다.
- 도 11은 도 1에 도시된 스택 셀 코드 블록이 데이터 배열을 조직 부호화(systematic coding) 방식으로 인코딩하는 일 실시 예를 설명하기 위한 도면이다.
- 도 12는 도 1에 도시된 스택 셀 코드 블록이 데이터 배열을 조직 부호화 방식으로 인코딩하는 다른 실시 예를 설명하기 위한 도면이다.
- 도 13은 본 발명의 일 실시 예에 따른 메모리 컨트롤러의 데이터 처리 방법의 흐름도이다.
- 도 14는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 일 실시 예를 나타낸다.
- 도 15는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 다른 실시 예를 나타낸다.
- 도 16는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
- 도 17는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
- 도 18는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
- 도 19는 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 일 실시 예를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0029] 본 발명의 개념에 따른 실시 예는 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있으므로 특정 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예를 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0030] 제1 및/또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0031] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0032] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 다수개의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0033] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0034] 본 명세서에서 모듈(module)이라 함은 본 발명의 실시 예에 따른 방법을 수행하기 위한 하드웨어 또는 상기 하드웨어를 구동할 수 있는 소프트웨어의 기능적 또는 구조적 결합을 의미할 수 있다.
- [0035] 따라서 상기 모듈은 프로그램 코드와 상기 프로그램 코드를 수행할 수 있는 하드웨어 리소스(resource)의 논리적 단위 또는 집합을 의미할 수 있으며, 반드시 물리적으로 연결된 코드를 의미하거나 한 종류의 하드웨어를 의미하는 것은 아니다.
- [0036] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.
- [0037] 도 1은 본 발명의 일 실시 예에 따른 메모리 시스템의 블록도이다.
- [0038] 도 1을 참조하면, 본 발명의 실시 예에 따른 메모리 시스템(memory system; 10)은 PC(personal computer), 데이터 서버(data server), 또는 휴대용 장치(portable device) 등으로 구현될 수 있다.
- [0039] 예컨대, 상기 휴대용 장치는 랩탑 컴퓨터(laptop computer), 이동 전화기, 스마트 폰(smart phone), 태블릿(tablet) PC(personal computer), PDA(personal digital assistant), EDA(enterprise digital assistant), 디지털 스틸 카메라(digital still camera), 디지털 비디오 카메라(digital video camera), PMP(portable multimedia player), PND(personal navigation device 또는 portable navigation device), 휴대용 게임 콘솔(handheld game console), 또는 e-북(e-book)으로 구현될 수 있다.
- [0040] 메모리 시스템(10)은 메모리 컨트롤러(memory controller;100)와 메모리 장치(memory device;200)를 포함할 수 있다. 도 1에서는 설명의 편의를 위하여, 호스트(host;300)가 함께 도시된다.
- [0041] 메모리 컨트롤러(100)는 CPU(central processing unit;110), ROM(read only memory;112), 호스트 인터페이스(host interface;114), ECC 블록(error correction code block;116), 메모리 인터페이스(118), 및 스택 셀 코

드 블록(stuck cell code block;120)을 포함할 수 있다. 각 구성 요소(110, 112, 114, 116, 118, 또는 120)는 버스(bus;105)를 통하여 서로 통신할 수 있다.

- [0042] CPU(110)는 회로(circuit), 로직(logic), 코드(code), 또는 이들의 조합으로 구현될 수 있으며, 메모리 컨트롤러(100)에 포함된 각 구성 요소(112, 114, 116, 118, 또는 120)의 전반적인 동작을 제어할 수 있다.
- [0043] ROM(112)은 CPU(110)의 동작에 필요한 프로그램 코드(program code)를 저장할 수 있고, 그 명칭에도 불구하고 다양한 불휘발성 메모리로 구현될 수 있다.
- [0044] 호스트 인터페이스(114)는 호스트(300)와 메모리 컨트롤러(100)가 주고 받는 데이터 신호들을 인터페이스(interfacing) 할 수 있다.
- [0045] ECC 블록(116)은 에러 검출을 위한 패리티 비트(parity bit), 예컨대 에러 정정 코드(error correction code(ECC))를 이용하여 메모리 장치(200)에 저장될 데이터를 인코딩(encoding)하거나, 메모리 장치(200)로부터 출력된 데이터를 디코딩(decoding)하여 에러 비트들을 검출하고, 검출된 에러 비트들을 정정할 수 있다.
- [0046] 실시 예에 따라, 메모리 컨트롤러(100)는 ECC 블록(116)을 포함하지 않을 수도 있다.
- [0047] 메모리 인터페이스(118)는 메모리 컨트롤러(100)와 메모리 장치(200)가 주고 받는 데이터 신호들을 인터페이스할 수 있다.
- [0048] 스택 셀 코드 블록(120)은 메모리 장치(200)에 스택 셀들(또는 스택 비트들)이 포함되어 있는 경우, 상기 스택 셀들(또는 스택 비트들)에도 데이터를 저장할 수 있도록 상기 데이터를 처리(예컨대, 인코딩 또는 디코딩) 할 수 있다.
- [0049] 본 명세서에서 스택 셀(또는 스택 비트)은 이레이즈 동작 후에도 완전한 이레이즈 상태(state)가 되지 못하여, 이후의 프로그램 동작에 일정한 제한(constraint)을 받는 셀(또는 비트)를 의미할 수 있다.
- [0050] 스택 셀 코드 블록(120)의 구조 및 동작은 도 2 내지 도 12를 참조하여 상세히 설명된다.
- [0051] 메모리 장치(memory device; 200)는 데이터를 저장하기 위한 매체로서, 실시 예에 따라 하드디스크(hard disk), 휘발성 메모리 장치(volatile memory device), 또는 불휘발성 메모리 장치(non-volatile memory device) 등으로 구현될 수 있다.
- [0052] 예컨대, 상기 불휘발성 메모리 장치는 EEPROM(electrically erasable programmable read-only Memory), 플래시 메모리(flash memory), MRAM(magnetic RAM), 스핀전달토크 MRAM(spin-transfer torque MRAM), Conductive bridging RAM(CBRAM), FeRAM (ferroelectric RAM), PRAM(Phase change RAM), 저항 메모리(resistive RAM (RRAM)), 나노튜브 RRAM(nanotube RRAM), 폴리머 RAM(polymer RAM: PoRAM), 나노 부유 게이트 메모리(nano floating gate memory: NFGM), 홀로그래픽 메모리 (holographic memory), 분자 전자 메모리 소자(molecular electronics memory device), 또는 절연 저항 변화 메모리(insulator resistance change memory) 등으로 구현될 수 있다.
- [0053] 메모리 장치(200)는 복수의 멀티 레벨 셀들(multi level cells(MLC); 미도시)을 포함할 수 있다. 멀티 레벨 셀은 한 셀당 2 비트 이상의 정보를 저장할 수 있는 메모리 셀로써, TLC(triple level cell)를 포함하는 개념을 의미할 수 있다.
- [0054] 호스트(300)는 메모리 장치(200), 예컨대 플래시 메모리 장치의 프로그램 동작을 위한 요청(request)과 메모리 장치(200)에 프로그램될 데이터를 호스트 인터페이스(114)를 통하여 메모리 컨트롤러(100)로 전송할 수 있다. 이때, 메모리 컨트롤러(100)는 상기 요청에 따라 상기 데이터가 저장될 메모리 장치(200)의 페이지(page)의 페이지 어드레스 및/또는 상기 페이지에 상응하는 워드 라인 어드레스를 생성할 수 있다.
- [0055] 실시 예에 따라, 메모리 장치(200)가 프로그램 동작을 수행하기 이전에, 메모리 컨트롤러(100)는 호스트(300)의 요청에 따라 메모리 장치(200)가 메모리 장치(200)에 포함된 복수의 멀티 레벨 셀들 각각의 셀 상태를 리드하도록 제어할 수 있다.
- [0056] 도 2는 도 1에 도시된 스택 셀 코드 블록(stuck cell code block)의 일 실시 예에 따른 블록도이다.
- [0057] 도 1과 도 2를 참조하면, 도 1에 도시된 스택 셀 코드 블록(120)의 일 실시 예에 따른 스택 셀 코드 블록(120 A)은 메모리(memory;122), 판단 모듈(determination module;124), 인코더(encoder;126), 및 디코더(decoder;128)를 포함할 수 있다.

- [0058] 메모리(122)는 스택 셀 코드 블록(120)에 포함된 각 구성(124, 126, 또는 128)의 동작에 필요한 데이터를 저장할 수 있다.
- [0059] 판단 모듈(124)은 메모리 장치(200)로부터 리드 된 메모리 장치(200)에 포함된 복수의 멀티 레벨 셀들 각각의 셀 상태를 버스(bus;105)를 통하여 수신하고, 상기 셀 상태에 기초하여 상기 복수의 멀티 레벨 셀들에 포함된 스택 비트에 관한 스택 비트 데이터(DST)를 출력할 수 있다.
- [0060] 실시 예에 따라, 메모리(122)는 판단 모듈(124)의 동작에 필요한 비트-라벨링 맵(bit-labeling map)을 저장할 수 있다. 상기 비트-라벨링 맵은 도 7을 참조하여 설명된다.
- [0061] 스택 비트 데이터(DST)는 스택 비트의 위치에 관한 정보 및/또는 상기 스택 비트의 스택 값(stuck value)에 관한 정보를 포함할 수 있다. 예컨대, 상기 스택 비트의 위치에 관한 정보는 상기 스택 비트의 어드레스(address) 데이터 일 수 있다. 상기 스택 값은 상기 스택 비트에 프로그램될 수 있는 값을 의미할 수 있다.
- [0062] 인코더(126)는 스택 비트 데이터(DST)에 기초하여, 메모리 장치(200)에 포함된 복수의 멀티 레벨 셀들에 저장(예컨대, 프로그램)될 라이트 데이터(write data)를 인코딩할 수 있다.
- [0063] 인코더(126)는 조직 부호화 방식(systematic coding scheme) 또는 비조직 부호화 방식(non-systematic coding scheme)으로 인코딩을 수행할 수 있다.
- [0064] 실시 예에 따라 인코더(126)는 페이지 단위로 인코딩할 수 있다.
- [0065] 다른 실시 예에 따라, 인코더(126)는 바이너리 코드(binary code)를 이용하여 인코딩할 수 있다.
- [0066] 또 다른 실시 예에 따라, 인코더(126)는 각 페이지마다 서로 다른 코드 또는 서로 다른 알고리즘을 사용하여 인코딩할 수 있다.
- [0067] 인코더(126)의 구체적인 동작은 도 10 내지 도 12를 참조하여 상세히 설명된다.
- [0068] 인코더(126)에 의해 인코딩된 라이트 데이터는 버스(105)와 메모리 인터페이스(118)를 통하여 메모리 장치(200)로 전송될 수 있다.
- [0069] 디코더(128)는 메모리 장치(200)로부터 리드된 데이터를 메모리 인터페이스(118)와 버스(105)를 통하여 수신하고, 수신된 데이터를 디코딩할 수 있다.
- [0070] 도 3은 도 2에 도시된 판단 모듈의 일 실시 예에 따른 블록도이다.
- [0071] 도 1 내지 도 3을 참조하면, 판단 모듈(124)은 가능 상태 판단 모듈(possible state determination module;130)과 스택 비트 데이터 생성 모듈(stuck bit data generation module;136)을 포함할 수 있다.
- [0072] 메모리 장치(200)가 프로그램 동작을 수행하기 이전에, 메모리 컨트롤러(100)는 호스트(300)의 요청에 따라 메모리 장치(200)가 메모리 장치(200)에 포함된 복수의 멀티 레벨 셀들 각각의 셀 상태를 리드하도록 제어할 수 있다. 실시 예에 따라, 상기 리드 동작은 이레이즈 동작 이후에 수행될 수 있다.
- [0073] 가능 상태 판단 모듈(130)은 리드 된 상기 복수의 멀티 레벨 셀들 각각의 상기 셀 상태를 버스(105)를 통하여 수신할 수 있다. 가능 상태 판단 모듈(130)은 수신된 상기 복수의 멀티 레벨 셀들 각각의 상기 셀 상태에 기초하여, 상기 복수의 멀티 레벨 셀들 각각이 변화될 수 있는 적어도 하나의 셀 상태를 판단할 수 있다.
- [0074] 실시 예에 따라, 변화될 수 있는 상기 적어도 하나의 셀 상태는 프로그램 동작을 통하여 변화될 수 있는 셀 상태를 의미할 수 있다. 이 경우, 상기 변화될 수 있는 상기 적어도 하나의 셀 상태는 리드 된 상기 복수의 멀티 레벨 셀들 각각의 상기 셀 상태보다 높은 문턱 전압 분포를 가지는 셀 상태 일 수 있다.
- [0075] 스택 비트 데이터 생성 모듈(136)은 가능 상태 판단 모듈(130)의 판단 결과에 따라 스택 비트 데이터(DST)를 생성할 수 있다.
- [0076] 스택 비트 데이터 생성 모듈(136)은 가능 비트 값 판단 모듈(possible bit value determination module;132)과 스택 비트 판단 모듈(stuck bit determination module;134)을 포함할 수 있다.
- [0077] 가능 비트 값 판단 모듈(132)은 가능 상태 판단 모듈(130)에 의해 판단된 상기 적어도 하나의 셀 상태에 매핑된 매핑 값들에 기초하여, 멀티 레벨 셀들 각각에 포함된 데이터 페이지(data page)들 각각에 대응되는 매핑 값을 판단할 수 있다.

- [0078] 본 명세서에서 데이터 페이지는 각 페이지에 상응하는 멀티 레벨 셀의 비트들 각각을 의미할 수 있다.
- [0079] 스택 비트 판단 모듈(134)은 가능 비트 값 판단 모듈(132)의 판단 결과에 따라, 대응되는 매핑 값이 한가지 값인 데이터 페이지를 스택 비트로 결정하고, 상기 스택 비트에 관한 스택 비트 데이터(DST)를 생성할 수 있다.
- [0080] 가능 상태 판단 모듈(130), 가능 비트 값 판단 모듈(132), 및 스택 비트 판단 모듈(134)의 구체적인 동작은 도 5 내지 도 9를 참조하여 상세히 설명된다.
- [0081] 가능 상태 판단 모듈(130), 가능 비트 값 판단 모듈(132), 및 스택 비트 판단 모듈(134) 각각은 기능 및 논리적으로 분리될 수 있음을 나타내는 것이며, 반드시 구성들 각각이 별도의 물리적 장치로 구분되거나 별도의 코드로 작성됨을 의미하는 것은 아니다.
- [0082] 도 4는 도 1에 도시된 스택 셀 코드 블록의 다른 실시 예에 따른 블록도이다.
- [0083] 도 1 내지 도 4를 참조하면, 도 1에 도시된 스택 셀 코드 블록(120)의 다른 실시 예에 따른 스택 셀 코드 블록(120B)의 구조 및 동작은, 디코더(128')가 판단 모듈(124)로부터 스택 비트 데이터(DST)를 수신하는 점을 제외하면 도 2에 도시된 스택 셀 코드 블록(120A)의 구조 및 동작과 실질적으로 동일하다.
- [0084] 스택 셀 코드 블록(120B)에 포함된 디코더(128')는 메모리 장치(200)로부터 리드된 데이터를 메모리 인터페이스(118)와 버스(105)를 통하여 수신하고, 수신된 데이터를 스택 비트 데이터(DST)를 이용하여 디코딩할 수 있다.
- [0085] 도 5는 도 1에 도시된 메모리 장치의 문턱 전압 분포를 나타낸 도면이다.
- [0086] 도 5를 참조하면, 하나의 메모리 셀에 2-비트가 저장되는 멀티 레벨 셀들의 문턱 전압 분포가 도시되어 있다.
- [0087] 이레이즈 상태(erase state)에 대응되는 셀 상태(E)는 가장 낮은 문턱 전압 분포를 가지며, 프로그램 상태(program state)에 대응되는 셀 상태들(P1, P2, 및 P3)이 순차적으로 배열된 문턱 전압 분포를 가질 수 있다.
- [0088] 각 셀 상태(E, P1, P2, 또는 P3)는 다양한 코드들(예컨대, 그레이(gray code))을 이용하여 데이터 비트들과 매핑될 수 있다.
- [0089] 각 셀 상태(E, P1, P2, 또는 P3)는 리드 전압(V1, V2, 및/또는 V3)을 이용하여 리드 될 수 있다.
- [0090] 도 6은 도 1에 도시된 메모리 장치에 포함된 스택 셀들의 일 실시 예에 따른 문턱 전압 분포를 나타낸 도면이다.
- [0091] 도 1, 도 5, 및 도 6을 참조하면, 이상적인 조건(ideal condition)에서 이레이즈된 멀티 레벨 셀은 도 5에 도시된 셀 상태(E)와 같은 문턱 전압 분포를 가져야 하지만, 멀티 레벨 셀들 각각의 특성에 따라 도 6과 같은 비대칭적인(asymmetric) 문턱 전압 분포를 가질 수 있다.
- [0092] 이때, 각 확률 값(Pb1, Pb2, Pb3, 또는 Pb4)은 도 6과 같은 문턱 전압 분포를 가지는 멀티 레벨 셀들이 이레이즈 동작 후에 각 셀 상태(E, P1, P2, 또는 P3)를 가질 수 있는 확률 값을 나타낸다.
- [0093] 도 6의 문턱 전압 분포는 이레이즈 후에도 셀 상태(P1)를 가지는 스택 셀의 예시적인 문턱 전압 분포를 의미할 수 있다.
- [0094] 도 7은 도 1에 도시된 메모리 시스템의 일 실시 예에 따른 비트-라벨링 맵(bit-labeling map)을 나타낸 도면이다.
- [0095] 도 1, 도 3, 도 5, 및 도 7을 참조하면, 도 1에 도시된 메모리 시스템(10)의 일 실시 예에 따른 비트-라벨링 맵은 2-비트 멀티 레벨 셀들 각각의 셀 상태(E, P1, P2, 또는 P3)와 데이터 비트들이 그레이 코드를 이용하여 서로 매핑되는 매핑 관계를 나타낸다.
- [0096] 도 7에 도시된 비트-라벨링 맵은 예시적인 것에 불과하며, 본 발명은 3-비트 이상의 멀티 레벨 셀에도 적용이 가능하고, 매핑 관계에 사용되는 코드는 그레이 코드에 한정되지 않는다.
- [0097] 2-비트 멀티 레벨 셀들 각각은 2개의 페이지들(pages; PAGE1과 PAGE2)에 상응하는 2-비트 데이터를 저장할 수 있다.
- [0098] 예컨대, 셀 상태(E)는 데이터 '11'에 매핑되고, 셀 상태(P1)는 데이터 '10'에 매핑되고, 셀 상태(P2)는 데이터 '00'에 매핑되고, 셀 상태(P3)는 데이터 '01'에 매핑될 수 있다.
- [0099] 도 8과 도 9는 도 6의 스택 셀들에 포함된 스택 비트를 판단하는 과정을 설명하기 위한 도면이다.

- [0100] 도 3, 및 도 6 내지 도9를 참조하면, 도 6에 도시된 것과 같이 이레이즈 후에도 셀 상태(P1)를 가지는 스택 셀의 셀 상태는, 도 8에 도시된 것과 같이 셀 상태(P1)로 프리-프로그램된(pre-programmed) 것으로 리드될 수 있다.
- [0101] 가능 상태 판단 모듈(130)은 리드 된 셀 상태(예컨대, P1)에 기초하여 변화될 수 있는 적어도 하나의 셀 상태(예컨대, P2와 P3)를 판단할 수 있다.
- [0102] 상기 변화될 수 있는 적어도 하나의 셀 상태(예컨대, P2와 P3)는 리드 된 셀 상태(예컨대, P1)로부터 프로그램 동작을 통하여 변화될 수 있는 셀 상태, 즉 더 높은 문턱 전압 분포를 가지는 셀 상태를 의미할 수 있다.
- [0103] 가능 비트 값 판단 모듈(132)은 가능 상태 판단 모듈(130)에 의해 판단된 상기 적어도 하나의 셀 상태(예컨대, P2와 P3)에 매핑된 매핑 값들에 기초하여, 멀티 레벨 셀들 각각에 포함된 데이터 페이지(data page)들 각각에 대응되는 매핑 값을 판단할 수 있다. 이 경우, 페이지(PAGE1)에 상응하는 데이터 페이지에 대응되는 매핑 값은 '0' 이고, 페이지(PAGE2)에 상응하는 데이터 페이지에 대응되는 매핑 값은 '0' 또는 '1' 이다.
- [0104] 스택 비트 판단 모듈(134)은 가능 비트 값 판단 모듈(132)의 판단 결과에 따라, 대응되는 매핑 값이 한가지 값인 데이터 페이지를 스택 비트로 결정할 수 있다.
- [0105] 도 9의 실시 예에서, 페이지(PAGE1)에 상응하는 데이터 페이지에 대응되는 매핑 값은 '0'으로 한가지 값만 가지므로, 스택 비트 판단 모듈(134)은 상기 데이터 페이지를 스택 비트로 결정할 수 있다. 이 경우, 상기 스택 비트의 스택 값(stuck value)은 '0'이다.
- [0106] 스택 비트 판단 모듈(134)은 상기 스택 비트에 관한 스택 비트 데이터(DST)를 생성할 수 있다.
- [0107] 도 10은 도 1에 도시된 스택 셀 코드 블록이 데이터 배열을 비조직 부호화 (non-systematic coding) 방식으로 인코딩하는 일 실시 예를 설명하기 위한 도면이다.
- [0108] 비조직 부호화 방식은 원래의 데이터 배열이 인코딩 이후에 남아있지 않도록 부호화하는 방식을 의미할 수 있다. 즉, 원래의 데이터 배열은 인코딩 과정에서 재배열될 수 있다.
- [0109] 도 1 내지 도 4, 및 도 10을 참조하면, 제N페이지(PAGE N)의 3번째 비트(BIT3)와 6번째 비트(BIT6)가 '0'의 스택 값을 가지는 스택 비트로 판단된 경우, 제N페이지(PAGE N)에 저장될 데이터 배열 '00110101'은 '01011001'로 재배열 될 수 있다. 즉, '0'의 스택 값을 가지는 스택 비트인 3번째 비트(BIT3)와 6번째 비트(BIT6)에 '0'이 저장될 수 있도록 데이터 배열이 재배열될 수 있다.
- [0110] 도 10에서는 설명의 편의를 위하여 인접한 비트(BIT2와 BIT3, 또는 BIT5와 BIT6) 간에 데이터 배열이 재배열되는 경우를 도시하였으나 이에 한정되지 않으며, 상기 데이터 배열은 다양한 알고리즘에 따라 재배열될 수 있다..
- [0111] 도 11은 도 1에 도시된 스택 셀 코드 블록이 데이터 배열을 조직 부호화(systematic coding) 방식으로 인코딩하는 일 실시 예를 설명하기 위한 도면이다.
- [0112] 조직 부호화 방식은 원래의 데이터 배열이 인코딩 이후에도 남아있도록 부호화하는 방식을 의미할 수 있다. 즉, 인코딩 과정에서 원래의 데이터 배열에 추가적인 비트가 더해질 수 있다.
- [0113] 도 1 내지 도 4, 도 10, 및 도 11을 참조하면, 인코더(126)는 인코딩 과정에서 스택 셀(또는 스택 비트)에 관한 정보를 포함하는 스택 셀 코드(stuck cell code(SCC))를 원래의 데이터 배열(data array; DATA)에 추가할 수 있다.
- [0114] 데이터 배열(DATA)의 데이터 길이(L1)는 하나의 워드 라인(word line)에 포함된 멀티 레벨 셀들의 개수에 상응한다. 스택 셀 코드(SCC)의 코드 길이(L2)는 페이지마다 서로 같거나 다를 수 있다.
- [0115] 예컨대, 스택 셀 코드(SCC)의 코드 길이(L2)가 페이지마다 서로 다른 경우, 특정 페이지에 저장될 데이터 배열에 관한 스택 셀 코드(SCC)의 코드 길이(L2)는 100비트이고, 그와 다른 페이지에 저장될 데이터 배열에 관한 스택 셀 코드(SCC)의 코드 길이(L2)는 150비트일 수 있다.
- [0116] 도 12는 도 1에 도시된 스택 셀 코드 블록이 데이터 배열을 조직 부호화(systematic coding) 방식으로 인코딩하는 다른 실시 예를 설명하기 위한 도면이다.
- [0117] 도 1 내지 도 4, 도 11 및 도 12를 참조하면, 인코딩 과정에서 패리티 비트(parity bit), 예컨대 에러 정정 코드(error correctiion code(ECC))가 스택 셀 코드(SCC)와 함께 원래의 데이터 배열(data array; DATA)에 추가

할 수 있다. 상기 에러 정정 코드(ECC)는 ECC 블록(116)에 의해 추가될 수 있다.

- [0118] 실시 예에 따라, 스택 셀 코드(SCC)의 코드 길이(L2)는 페이지마다 서로 같고, 에러 정정 코드(ECC)의 코드 길이(L3)도 페이지마다 서로 같을 수 있다.
- [0119] 다른 실시 예에 따라, 스택 셀 코드(SCC)의 코드 길이(L2)와 에러 정정 코드(ECC)의 코드 길이 각각은 페이지마다 서로 다를 수 있다. 예컨대, 특정 페이지에 저장될 데이터 배열에 관한 스택 셀 코드(SCC)의 코드 길이(L2)는 100비트이고 에러 정정 코드(ECC)의 코드 길이(L3)는 50비트이며, 그와 다른 페이지에 저장될 데이터 배열에 관한 스택 셀 코드(SCC)의 코드 길이(L2)는 50비트이고 에러 정정 코드(ECC)의 코드 길이(L3)는 100비트일 수 있다.
- [0120] 스택 셀 코드(SCC)의 코드 길이(L2)와 에러 정정 코드(ECC)의 코드 길이 각각이 페이지마다 서로 다른 경우, ECC 블록(116)과 스택 셀 코드 블록(120) 각각은 페이지 단위로 인코딩할 수 있다. 또한 ECC 블록(116)과 스택 셀 코드 블록(120) 각각은 페이지마다 서로 다른 코드 또는 서로 다른 알고리즘을 이용하여 인코딩을 할 수 있다.
- [0121] 도 13은 본 발명의 일 실시 예에 따른 메모리 컨트롤러의 데이터 처리 방법의 흐름도이다.
- [0122] 도 1 내지 도 4, 및 도 13을 참조하면, 판단 모듈(124)은 메모리 장치(200)에 포함된 복수의 멀티 레벨 셀들 각각이 변화될 수 있는 적어도 하나의 셀 상태를 판단할 수 있다(S10).
- [0123] 실시 예에 따라, S10 단계가 수행되기 이전에, 메모리 컨트롤러(100)는 호스트(300)의 요청에 따라 메모리 장치(200)가 메모리 장치(200)에 포함된 복수의 멀티 레벨 셀들 각각의 셀 상태를 리드하도록 제어할 수 있다. 이 경우, 판단 모듈(124)은 리드된 복수의 멀티 레벨 셀들 각각의 셀 상태에 기초하여, 복수의 멀티 레벨 셀들 각각이 변화될 수 있는 적어도 하나의 셀 상태를 판단할 수 있다.
- [0124] 판단 모듈(124)은 판단된 적어도 하나의 셀 상태에 기초하여 스택 비트 데이터(DST)를 생성할 수 있다(S12).
- [0125] 실시 예에 따라, 판단 모듈(124)은 판단된 상기 적어도 하나의 셀 상태에 매핑된 매핑 값들에 기초하여, 멀티 레벨 셀들 각각에 포함된 데이터 페이지(data page)들 각각에 대응되는 매핑 값을 판단할 수 있다. 이 경우, 판단 모듈(124)은 대응되는 매핑 값이 한가지 값인 데이터 페이지를 스택 비트로 결정하고, 상기 스택 비트에 관한 스택 비트 데이터(DST)를 생성할 수 있다.
- [0126] 인코더(126)는 스택 비트 데이터(DST)에 기초하여, 메모리 장치(200)에 포함된 복수의 멀티 레벨 셀들에 저장(예컨대, 프로그램)될 라이트 데이터를 인코딩할 수 있다(S14).
- [0127] 도 14는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 일 실시 예를 나타낸다.
- [0128] 도 1과 도 14를 참조하면, 전자 장치(electronic device; 400)는 이동 전화기(cellular/mobile phone), 스마트폰(smart phone), 태블릿 PC (tablet personal computer), PDA(personal digital assistant), 비디오 게임 콘솔(video game console), 또는 휴대용(handheld) 통신 장치로 구현될 수 있다.
- [0129] 전자 장치(400)는 메모리 컨트롤러(100)와 불휘발성 메모리 장치(200)를 포함한다. 메모리 컨트롤러(100)는 프로세서(410)의 제어에 따라 불휘발성 메모리 장치(200)의 데이터 처리 동작, 예컨대 프로그램(program) 동작, 이레이즈(erase) 동작, 또는 리드(read) 동작을 제어할 수 있다.
- [0130] 불휘발성 메모리 장치(200)에 프로그램된 데이터는 프로세서(410) 및/또는 메모리 컨트롤러(100)의 제어에 따라 디스플레이(420)를 통하여 디스플레이될 수 있다. 디스플레이(420)는 TFT-LCD(thin film transistor-liquid crystal display), LED(light-emitting diode) 디스플레이, OLED (organic LED) 디스플레이, 또는 AMOLED(active matrix OLED) 디스플레이와 같은 평판 디스플레이(flat panel display)로 구현될 수 있다.
- [0131] 무선 송수신기(430)는 안테나(ANT)를 통하여 무선 신호를 주거나 받을 수 있다. 예컨대, 무선 송수신기(430)는 안테나(ANT)를 통하여 수신된 무선 신호를 프로세서(410)에서 처리될 수 있는 신호로 변경할 수 있다.
- [0132] 따라서, 프로세서(410)는 무선 송수신기(430)로부터 출력된 신호를 처리하고 처리된 신호를 메모리 컨트롤러(100) 또는 디스플레이(420)로 전송할 수 있다. 본 발명의 실시 예에 따른 메모리 컨트롤러(100)는 프로세서(410)에 의하여 처리된 신호를 불휘발성 메모리 장치(200)에 프로그램할 수 있다.
- [0133] 또한, 무선 송수신기(430)는 프로세서(410)로부터 출력된 신호를 무선 신호로 변경하고, 변경된 무선 신호를 안테나(ANT)를 통하여 외부 장치로 출력할 수 있다.

- [0134] 입력 장치(440)는 프로세서(410)의 동작을 제어하기 위한 제어 신호 또는 프로세서(410)에 의하여 처리될 데이터를 입력할 수 있는 장치로서, 터치 패드(touch pad)와 컴퓨터 마우스(computer mouse)와 같은 포인팅 장치(pointing device), 키패드(keypad), 또는 키보드로 구현될 수 있다.
- [0135] 프로세서(410)는 메모리 컨트롤러(100)로부터 출력된 데이터, 무선 송수신기 (430)로부터 출력된 데이터, 또는 입력 장치(4200)로부터 출력된 데이터가 디스플레이(420)를 통하여 디스플레이될 수 있도록 디스플레이(420)의 동작을 제어할 수 있다.
- [0136] 실시 예에 따라, 불휘발성 메모리 장치(200)의 동작을 제어할 수 있는 메모리 컨트롤러(100)는 프로세서(410)의 일부로서 구현될 수 있고 또한 프로세서(410)와 별도의 칩으로 구현될 수 있다.
- [0137] 도 15는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 다른 실시 예를 나타낸다.
- [0138] 도 1과 도 15를 참조하면, 도 15에 도시된 전자 장치(500)는 PC(personal computer), 랩탑(laptop) 컴퓨터, 넷북(net-book), e-리더(e-reader), PMP(portable multimedia player), MP3 플레이어, 또는 MP4 플레이어로 구현될 수 있다.
- [0139] 전자 장치(500)는 불휘발성 메모리 장치(200)와, 불휘발성 메모리 장치(200)의 데이터 처리 동작을 제어할 수 있는 메모리 컨트롤러(100)를 포함한다.
- [0140] 프로세서(510)는 입력 장치(520)를 통하여 입력된 데이터에 따라 불휘발성 메모리 장치(200)에 저장된 데이터를 디스플레이(530)를 통하여 디스플레이할 수 있다. 예컨대, 입력 장치(520)는 터치 패드 또는 컴퓨터 마우스와 같은 포인팅 장치, 키패드, 또는 키보드로 구현될 수 있다. 또한, 입력 장치(520)는 다른 장치와 데이터를 인터페이싱할 수 있는 인터페이스일 수 있다.
- [0141] 프로세서(510)는 전자 장치(500)의 전반적인 동작을 제어할 수 있고 메모리 컨트롤러(100)의 동작을 제어할 수 있다.
- [0142] 실시 예에 따라 불휘발성 메모리 장치(200)의 동작을 제어할 수 있는 메모리 컨트롤러(100)는 프로세서(510)의 일부로서 구현될 수 있고 또한 프로세서(510)와 별도의 칩으로 구현될 수 있다.
- [0143] 도 16는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
- [0144] 도 1과 도 16을 참조하면, 도 16에서는 설명의 편의를 위하여 전자 장치(600)와 호스트(630)를 함께 도시한다.
- [0145] 도 16에 도시된 전자 장치(600)는 메모리 카드(memory card) 또는 스마트 카드(smart card)로 구현될 수 있다. 상기 디지털 정보를 저장하기 위하여 사용되는 전자 플래시 메모리 데이터 저장 장치인 메모리 카드는 PC 카드, MMC(multimedia card), e-MMC(embedded MMC), SD(secure digital) 카드, 또는 USB(universal serial bus) 플래시 드라이브(flash drive)를 포함한다.
- [0146] 메모리 카드와 같은 전자 장치(600)는 메모리 컨트롤러(100), 불휘발성 메모리 장치(200), 카드 인터페이스(620)를 포함한다.
- [0147] 메모리 컨트롤러(100)는 불휘발성 메모리 장치(200)와 카드 인터페이스(620) 사이에서 데이터의 교환을 제어할 수 있다.
- [0148] 실시 예에 따라, 카드 인터페이스(620)는 SD(secure digital) 카드 인터페이스 또는 MMC(multi-media card) 인터페이스일 수 있으나 이에 한정되는 것은 아니다.
- [0149] 카드 인터페이스(620)는 호스트(630)의 프로토콜에 따라 호스트(630)와 메모리 컨트롤러(100) 사이에서 데이터 교환을 인터페이싱할 수 있다.
- [0150] 실시 예에 따라 카드 인터페이스(620)는 USB(Universal Serial Bus) 프로토콜, IC(InterChip)-USB 프로토콜을 지원할 수 있다. 여기서, 카드 인터페이스라 함은 호스트(630)가 사용하는 프로토콜을 지원할 수 있는 하드웨어, 상기 하드웨어에 탑재된 소프트웨어, 또는 신호 전송 방식을 의미할 수 있다.
- [0151] 전자 장치(600)가 PC(personal computer), 랩탑 컴퓨터, 태블릿(tablet) PC, 디지털 카메라(digital camera), 디지털 오디오 플레이어(digital audio player), 이동 전화기, 비디오 게임 콘솔(video game console), MP3 플레이어, PMP(portable multimedia player), e-북, 또는 디지털 셋-탑 박스(digital set-top box)와 같은 호스트(630)의 호스트 인터페이스(650)에 접속될 때, 호스트 인터페이스(650)는 마이크로프로세서(640)의 제어에 따

라 카드 인터페이스(620)와 메모리 컨트롤러(100)를 통하여 불휘발성 메모리 장치(200)와 데이터 통신을 수행할 수 있다.

- [0152] 도 17는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
- [0153] 도 1과 도 17을 참조하면, 도 17에 도시된 전자 장치(700)는 이미지 처리 장치, 예컨대 디지털 카메라, 디지털 카메라가 부착된 이동 전화기, 디지털 카메라가 부착된 스마트 폰, 또는 디지털 카메라가 부착된 태블릿 PC로 구현될 수 있다.
- [0154] 전자 장치(700)는 불휘발성 메모리 장치(200)와 불휘발성 메모리 장치(200)의 데이터 처리 동작, 예컨대 프로그램 동작, 이레이즈 동작, 또는 리드 동작을 제어할 수 있는 메모리 컨트롤러(100)를 포함한다.
- [0155] 전자 장치(700)의 이미지 센서(720)는 광학 이미지를 디지털 이미지 신호들로 변환하고, 변환된 디지털 이미지 신호들은 프로세서(710) 및/또는 메모리 컨트롤러(100)로 전송된다. 프로세서(710)의 제어에 따라, 상기 변환된 디지털 이미지 신호들은 디스플레이(730)를 통하여 디스플레이되거나 또는 메모리 컨트롤러(100)를 통하여 불휘발성 메모리 장치(200)에 저장될 수 있다.
- [0156] 또한, 불휘발성 메모리 장치(200)에 저장된 데이터는 프로세서(710) 및/또는 메모리 컨트롤러(100)의 제어에 따라 디스플레이(730)를 통하여 디스플레이된다.
- [0157] 실시 예에 따라 불휘발성 메모리 장치(200)의 동작을 제어할 수 있는 메모리 컨트롤러(100)는 프로세서(710)의 일부로서 구현될 수 있고 또한 프로세서(710)와 별개의 칩으로 구현될 수 있다.
- [0158] 도 18는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
- [0159] 도 1과 도 18을 참조하면, 전자 장치(800)는 SSD(solid state drive)와 같은 데이터 처리 장치로 구현될 수 있다.
- [0160] 전자 장치(800)는 복수의 솔리드 스테이트 메모리 장치들(200), 메모리 컨트롤러(100), 휘발성 메모리 장치(830), 및 버퍼 매니저(820)를 포함한다.
- [0161] 메모리 컨트롤러(100)는 복수의 솔리드 스테이트 메모리 장치들(200) 각각의 데이터 처리 동작을 제어할 수 있다. 복수의 솔리드 스테이트 메모리 장치들(200) 각각은 도 1에 도시된 불휘발성 메모리 장치, 예컨대 NAND 플래시 메모리 장치로 구현되고, 복수의 페이지들을 포함한다. 메모리 컨트롤러(100)는 데이터를 복수의 솔리드 스테이트 메모리 장치들(200) 중에서 하나의 포함된 페이지에 프로그램할 수 있다.
- [0162] 휘발성 메모리 장치(830)는 DRAM으로 구현될 수 있고 메모리 컨트롤러(100)와 호스트(840) 사이에서 주고 받는 데이터를 일시적으로 저장한다.
- [0163] 버퍼 매니저(820)는 휘발성 메모리 장치(830) 및/또는 메모리 컨트롤러(100)의 데이터 버퍼링 동작을 제어할 수 있다.
- [0164] 도 19는 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 일 실시 예를 나타낸다.
- [0165] 도 1, 도 18, 및 도 19를 참조하면, RAID(redundant array of independent disks) 시스템으로 구현될 수 있는 데이터 처리 장치(900)는 RAID 컨트롤러(910)와 복수의 전자 장치들(800-1~800-n; n는 자연수)을 포함할 수 있다.
- [0166] 전자 장치들(800-1~800-n) 각각은 도 12에 도시된 전자 장치(600)이다. 복수의 전자 장치들(800-1~800-n)은 RAID 어레이를 구성할 수 있다. 데이터 처리 장치(900)는 PC(personal computer), NAS(Network-attached storage) 또는 SSD(solid state drive)로 구현될 수 있다. 전자 장치들(800-1~800-n) 각각은 메모리 모듈(memory module) 형태로 구현된 메모리 시스템일 수 있다.
- [0167] 프로그램 동작 동안, 호스트(HOST)로부터 출력된 프로그램 요구에 따라 RAID 컨트롤러(910)는 호스트(HOST)로부터 출력된 데이터를 RAID 레벨에 기초하여 복수의 전자 장치(800-1~800-n) 중에서 적어도 어느 하나의 전자 장치로 출력할 수 있다.
- [0168] 리드 동작 동안, RAID 컨트롤러(910)는 호스트(HOST)로부터 출력된 리드 명령에 따라 복수의 전자 장치들(800-1~800-n) 중에서 적어도 어느 하나의 전자 장치로부터 리드된 데이터를 호스트(HOST)로 전송할 수 있다.
- [0169] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통

상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

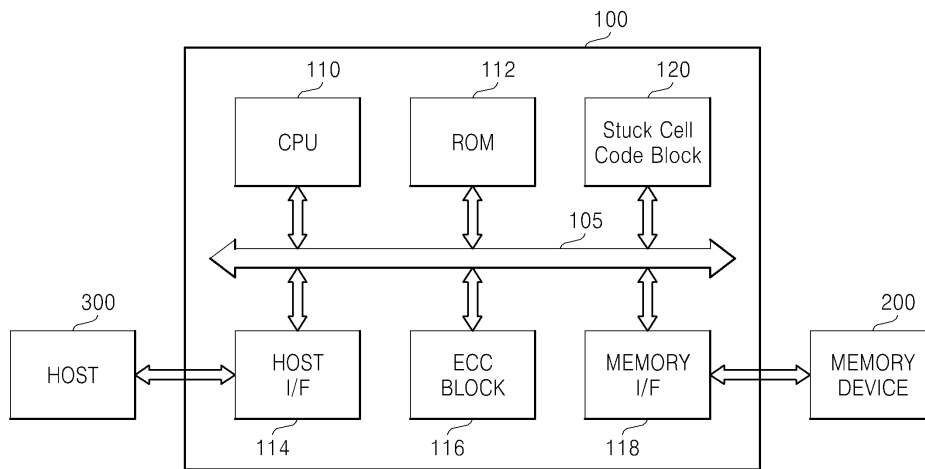
[0170]

- 10 : 메모리 시스템
- 100 : 메모리 컨트롤러
- 105 : 버스
- 110 : CPU(central processing unit)
- 112 : ROM(read only memory)
- 114 : 호스트 인터페이스
- 116 : ECC(error correction code) 블록
- 118 : 메모리 인터페이스
- 120, 120A, 120B : 스택 셀 코드 블록
- 200 : 메모리 장치
- 300 : 호스트

도면

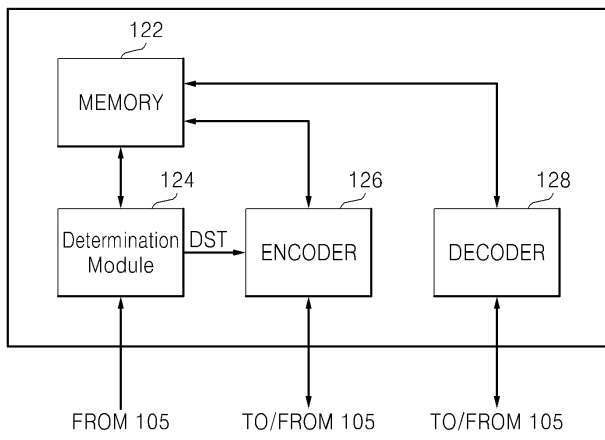
도면1

10



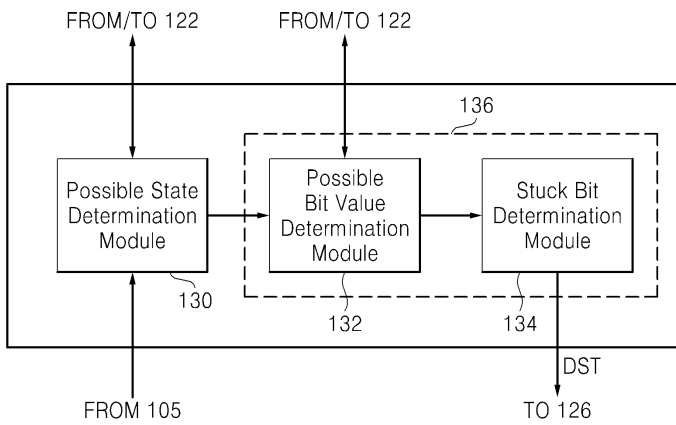
도면2

120A



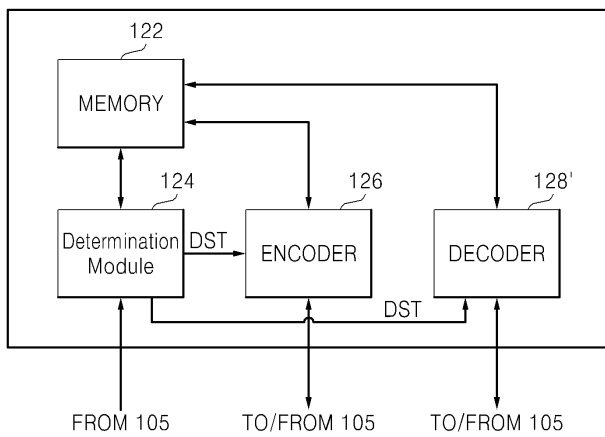
도면3

124

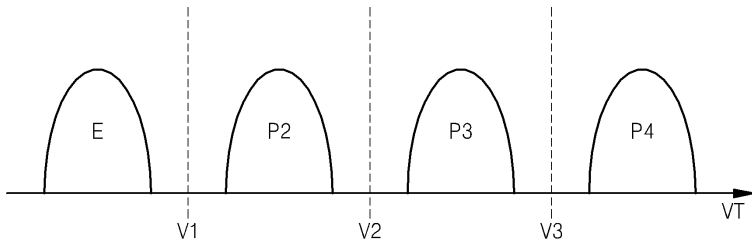


도면4

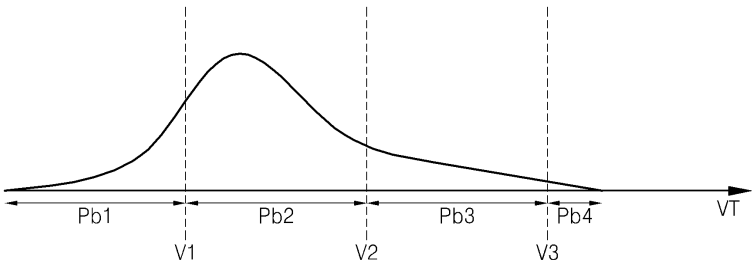
120B



도면5



도면6



도면7

<BIT-LABELING MAP>

STATES	E	P1	P2	P3
PAGE1	1	1	0	0
PAGE2	1	0	0	1

도면8

<PRE-PROGRAMMED STATE>

STATES	P1
PAGE1	1
PAGE2	0

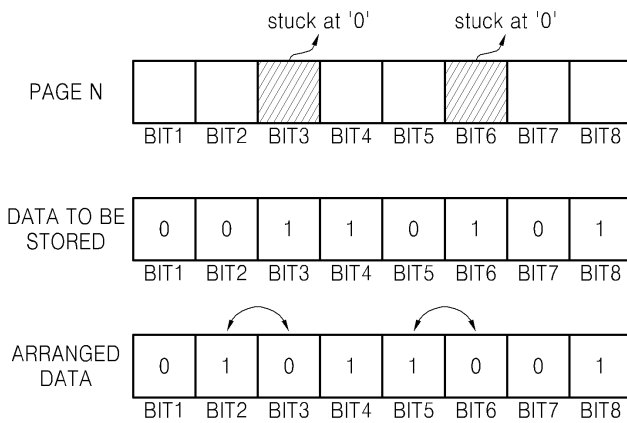
도면9

<POSSIBLE PROGRAMMING STATE>

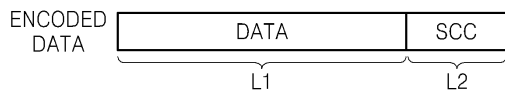
STATES	P2	P3
PAGE1	0	0
PAGE2	0	1

STUCK BIT

도면10



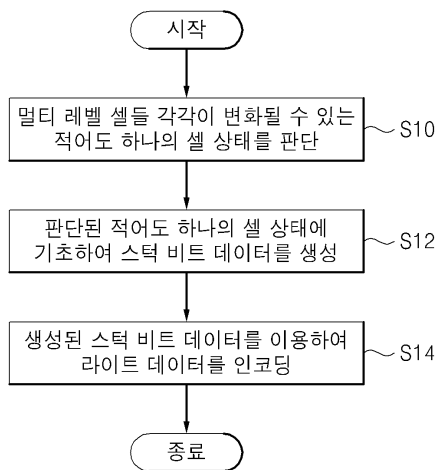
도면11



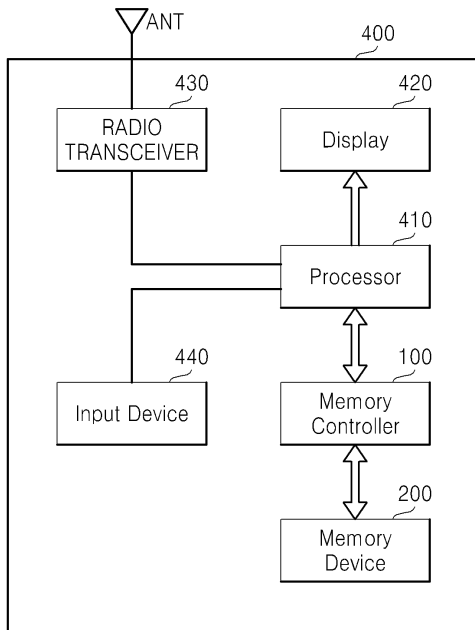
도면12



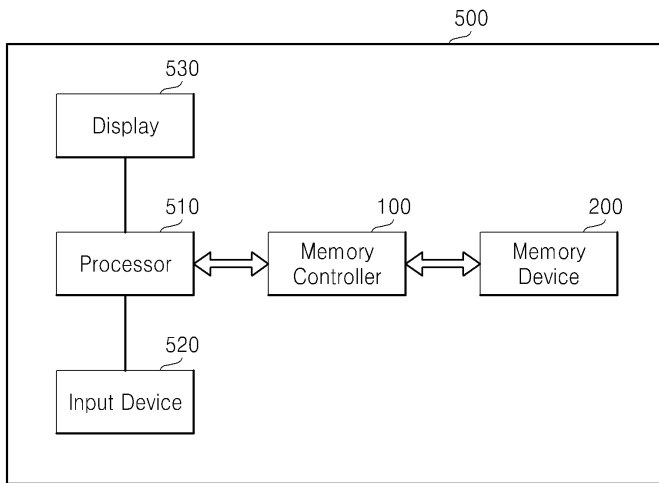
도면13



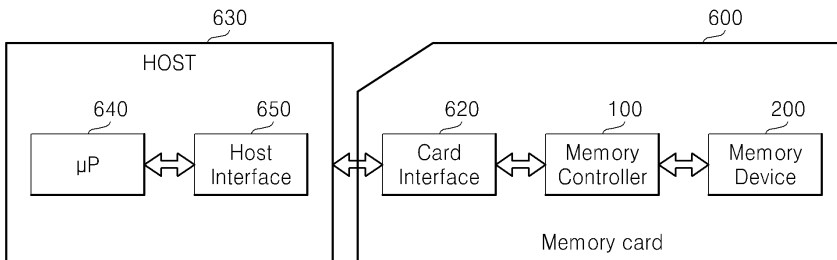
도면14



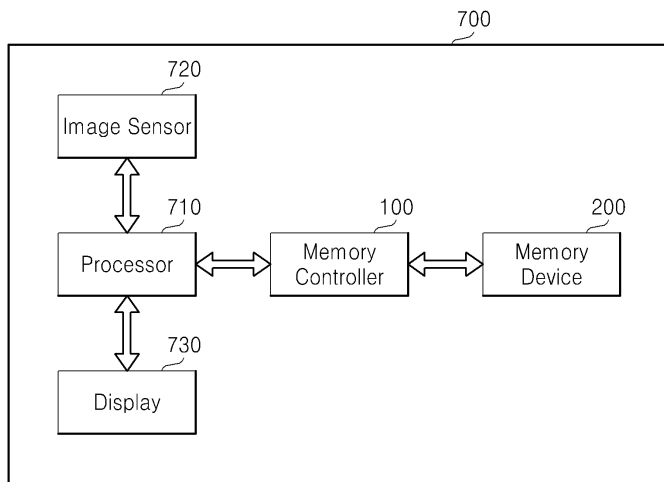
도면15



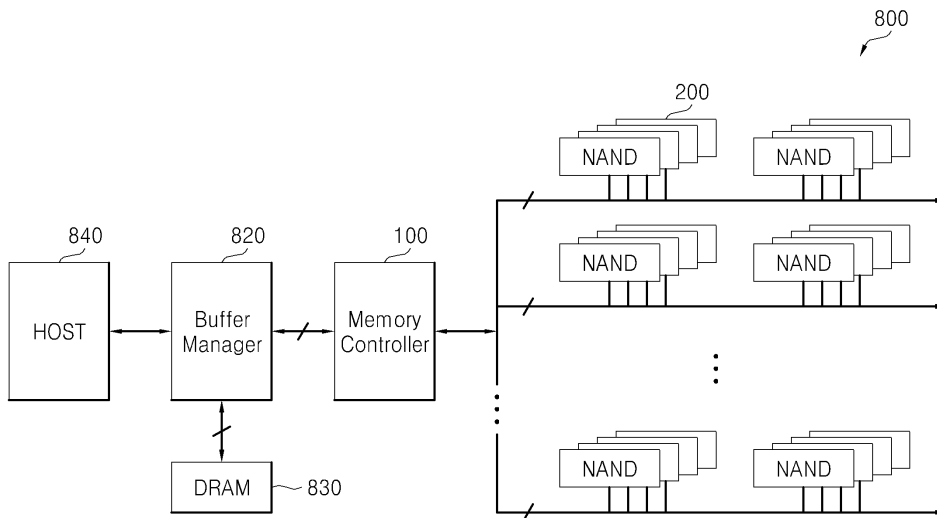
도면16



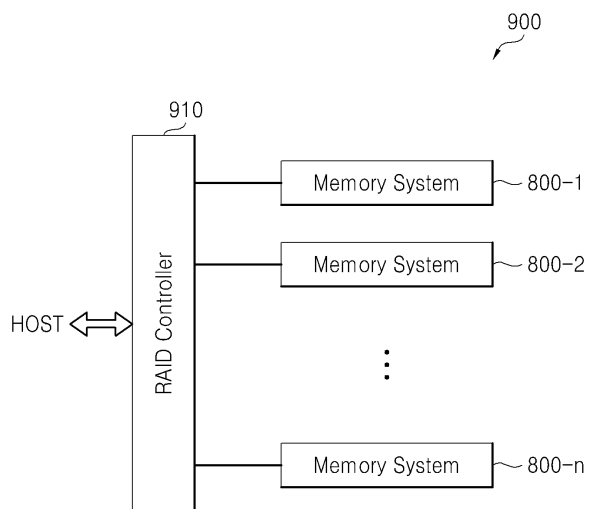
도면17



도면18



도면19



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 8

【변경전】

'상기 복수의 멀티 레벨 셀들에'

【변경후】

'복수의 멀티 레벨 셀들에'

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

'상기 복수의 멀티 레벨 셀들에'

【변경후】

'상기 멀티 레벨 셀들에'