



[12] 发明专利申请公开说明书

[21] 申请号 97122986.4

[43]公开日 1998年6月10日

[11] 公开号 CN 1184335A

[22]申请日 97.11.28

[30]优先权

[32]96.11.28 [33]KR [31]59024 / 96

[71]申请人 现代电子产业株式会社

地址 韩国京畿道

[72]发明人 张炫珍 文永和 权赫晋

[74]专利代理机构 柳沈知识产权律师事务所

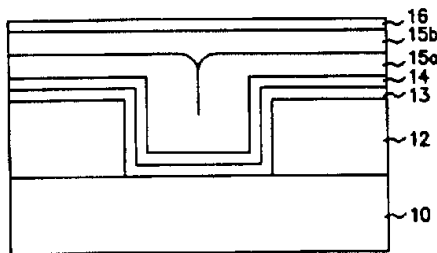
代理人 陶凤波

权利要求书 1 页 说明书 3 页 附图页数 2 页

[54]发明名称 半导体器件和用于形成半导体器件的互连线的方
法

[57]摘要

一种半导体器件，包括：一个具有一绝缘层的半导体基底；一个形成于绝缘层中的接触孔；一个填埋所述接触孔的第一钨层，其具有掺杂物以减小其电阻率；一个覆盖所述第一钨层的第二钨层，其具有掺杂物以减小其电阻率。本发明还涉及这种半导体器件的制造方法。本发明的金属互连线采用双层钨层，并且通过掺杂而使钨层的电阻率降低，从而使器件的速度得到提高。相对于形成钨插塞再形成铝层的方式，其制作工艺也大大简化。



权 利 要 求 书

1. 一种半导体器件, 包括:
 - 5 一个具有一绝缘层的半导体基底;
 - 一个形成于绝缘层中的接触孔;
 - 一个埋埋所述接触孔的第一钨层, 其具有掺杂物以减小其电阻率;
 - 一个覆盖所述第一钨层的第二钨层, 其具有掺杂物以减小其电阻率。
2. 根据权利要求1所述的器件, 其中在所述绝缘层和所述第一钨层之间具有一金属阻挡层。
- 10 3. 根据权利要求1所述的器件, 其中, 所述第二钨层的表面具有一防散射层。
4. 根据权利要求1所述的器件, 其中, 所述第一和第二钨层的掺杂物包括硼和磷。
5. 根据权利要求1所述的器件, 其中, 形成所述第一和第二钨层的气氛
15 包括 B_2H_6 和 PH_3 。
6. 一种用于形成半导体器件的互连线的方法, 包括以下步骤:
 - 在一基底上形成一绝缘层;
 - 穿过所述绝缘层形成一接触孔, 在所述接触孔中并在低于 $450\text{ }^\circ\text{C}$ 温度的具有硼和磷的气氛下形成一个第一钨层; 以及
 - 20 在所述第一钨层之上并在高于 $450\text{ }^\circ\text{C}$ 的具有硼和磷的气氛下形成一个第二钨层。
7. 根据权利要求6所述的方法, 其中, 在形成所述第一钨层之前还包括形成一金属阻挡层并对所述阻挡层退火的步骤。
8. 根据权利要求6所述的方法, 其中, 在所述第二钨层上形成有一防散
25 射层。
9. 根据权利要求6所述的方法, 其中, 形成所述第一和第二钨层的步骤是在具有 B_2H_6 和 PH_3 的气氛下进行的。

说明书

半导体器件和用于形成半导体器件的互连线的方法

5

本发明涉及一种半导体器件和用于形成半导体器件的金属互连线的方法。

在传统的集成电路中，一般是采用铝来连接各种半导体器件。半导体器件埋在绝缘层之下，并且用来构成所需电路的互连线是通过设置在绝缘层上的与该半导体器件相应的接触孔实现的。在形成互连线的工艺中最好是用铝金属层，这是因为铝的电阻率低，并且铝可以与其下层的绝缘层形成牢固的连接。

但是，由于半导体器件的高密度化，从而使接触孔尺寸减小，而高宽比 (Aspect Ratio) 增大。因为铝的高度差包覆性不好，在金属互连线形成的工艺中，在接触孔中可能会发生短路，使器件的可靠性降低。

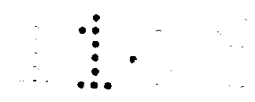
一种改进的方法，是使用高度差包覆性好的钨取代铝，以作为接触孔的填充材料。这时，一般是以 SiH_4 、 WF_6 、 H_2 及 Ar 气体的环境下的化学气相沉积法来形成钨膜。

但是，由于钨本身的电阻率(约 $6 \mu\Omega \cdot \text{cm}$ 至 $12 \mu\Omega \cdot \text{cm}$)很大，所以器件的响应周期的延迟时间增大，即器件的操作速度降低。另外由于钨的电阻率约高至铝的 6 倍至 7 倍左右，所以钨一般被用作插塞，即形成钨插塞后，再在钨的上部蒸镀铝，形成双重构造的金属互连线，这样会使工艺变得复杂。

本发明的目的是解决上述现有技术的问题，提供一种半导体器件的金属互连线及其形成方法，在使用钨膜作为传导的半导体器件的金属互连线时，可形成具有低电阻率的钨膜，而能减小响应周期的延迟时间。

为实现上述目的，本发明一方面提供一种半导体器件，包括：一个具有一绝缘层的半导体基底；一个形成于绝缘层中的接触孔；一个填充所述接触孔的第一钨层，其具有掺杂物以减小其电阻率；一个覆盖所述第一钨层的第二钨层，其具有掺杂物以减小其电阻率。

本发明另一方面提供一种用于形成半导体器件的互连线的方法，包括以下步骤：在一基层上形成一绝缘层；穿过所述绝缘层形成一接触孔，在所述



接触孔中并在低于 450 °C 温度的具有硼和磷的气氛下形成一个第一钨层；以及在所述第一钨层之上并在高于 450 °C 的具有硼和磷的气氛下形成一个第二钨层。

5 本发明的金属互连线是采用双层钨层，并且通过掺杂而使钨层的电阻率降低，从而使器件的速度得到提高。相对于形成钨插塞再形成铝层的方式，其制作工艺也大大简化。

通过以下结合附图的描述，本发明的上述以及其它目的、优点、特征会更清楚。附图中：

10 图 1A 至 1C 是表示本发明的半导体器件的金属互连线形成方法的剖视图；

图 2 表示为实现本发明的方法所采用的化学气相沉积设备的示意图；

图 3 是表示本发明的钨互连线形成过程的示意图。

15 以下将参照附图来描述本发明的优选实施例。应当注意到，附图所示的结构是简化的形式。实际的器件结构和互连线将在同一基底上包括很多附图所示的结构。

首先参照图 1A - 1C，其表示根据本发明形成互连线的方法的一个优选实施例。图 1A 示出了一个将在其上形成互连线的接触孔 11。上述接触孔穿过一绝缘层 12 形成，该绝缘层可形成在一基底(例如硅基底)10 上。基底 10 上可以形成有很多器件。这里，绝缘层 12 最好是二氧化硅。接触孔 11 是采用传统的光刻和腐蚀技术形成在绝缘层 12 内的。接着，采用传统的钛沉积工艺沉积一钛层 13，其均匀地覆盖绝缘层 12 和基底 10 的被接触孔 11 露出的部分。钛沉积工艺可采用例如物理或化学气体相沉积法。采用传统的钛沉积工艺，例如物理或化学气相沉积法，在钛层 13 上沉积一氮化钛层 14。氮化钛层 14 沉积之后，随之进行退火工艺，例如快速热退火(RTA---rapid thermal annealing)，一般的温度范围在 500 °C 至 700 °C。氮化钛层 14 为钛层 13 在化学气相沉积钨期间提供一保护阻挡层，并有利于钨接触孔的形成。

30 如图 1B 所示，接触孔 11 被埋入第一钨层 15a，其覆盖整个氮化钛层 14。第一钨层 15a 由化学气相沉积法选择性地形成，用以选择性地形成钨插塞。第二钨层 15b 形成在第一钨层 15a 之上。由化学气相沉积法形成的第二钨层 15b 用来形成钨的互连线。第一钨层 15a 的沉积温度最好低于 450 °C，而第二钨层 15b 的沉积温度最好高于 450 °C，以便获得低电阻和低应力。

在上述化学气相沉积工艺中，钨沉积在基底表面包括把基底放入化学气相沉积室中并加热基底的过程。钨的沉积过程要利用 SiH_4 、 WF_6 和载体气体如 H_2 或 Ar 的混合物。为了减小钨层 15a 和 15b 的电阻率，将 B_2H_6 和 PH_3 气体加入上述 SiH_4 、 WF_6 和载体气体的混合气体中。由于硼和磷在钨层中的均匀分布，使钨层的电阻率减小一半，即低于约 $6 \mu\Omega \cdot \text{cm}$ 。

图 2 示意性地表示出实现上述工艺的装置结构。晶片 22 放入沉积工艺室 20 内，放在一加热的台座 21 之上。通过一水冷喷射头 23 将混有 B_2H_6 和 PH_3 的反应气体 SiH_4 、 WF_6 和载体气体如 H_2 或 Ar 通入沉积工艺室 20 内。

图 3 表示用本发明的方法形成钨互连线的过程的示意图。如图 3 所示，当晶片 22 进入装卸密封室(load lock chamber)31 之后，通过一缓冲室 32 进入一第一沉积室 33，并且接触孔中的第一钨层 15a 在低于 450°C 的沉积温度下沉积形成。接着，晶片 22 沉积完第一钨层之后，通过缓冲室 32 进入一第二沉积室 34，并且第一钨层 15a 之上的第二钨层在高于 450°C 温度下沉积形成。然后，沉积了第二钨层 15b 的晶片 22 再通过缓冲室 32 回到装卸密封室 31。

最后，如图 1C 所示，由于用于形成金属互连线的光刻工艺中会发生散射，所以可在第二钨层 15b 上沉积一作为防散射层的氮化钛层 16。

以上仅结合一优选实施例描述了本发明，但本发明不限于上述实施例。本发明的保护范围应当所附权利要求及其等效变化来限定。

说明书附图

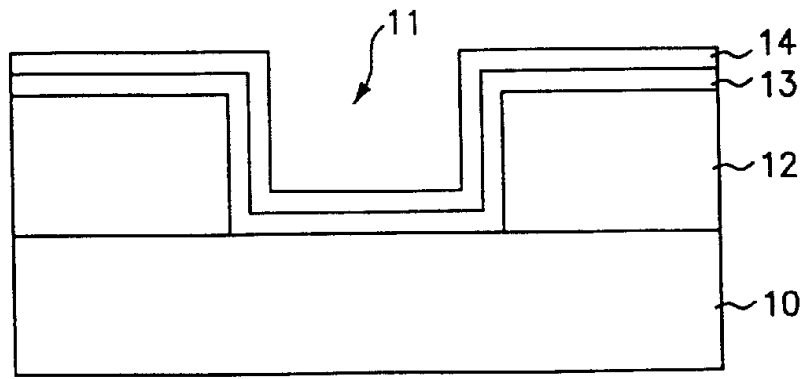


图 1A

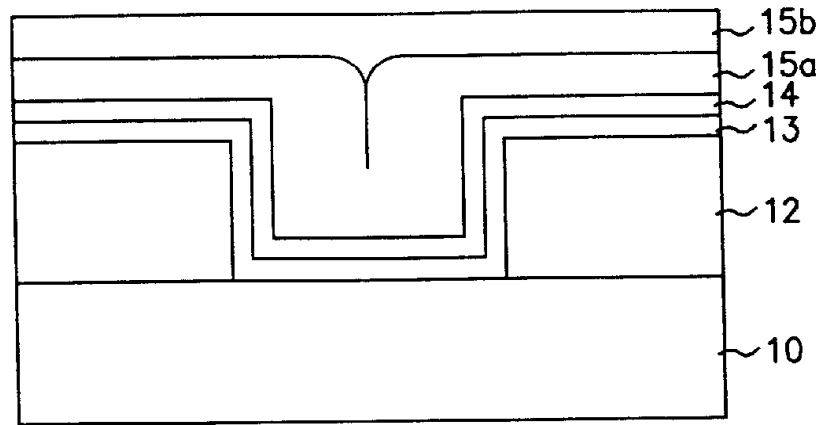


图 1B

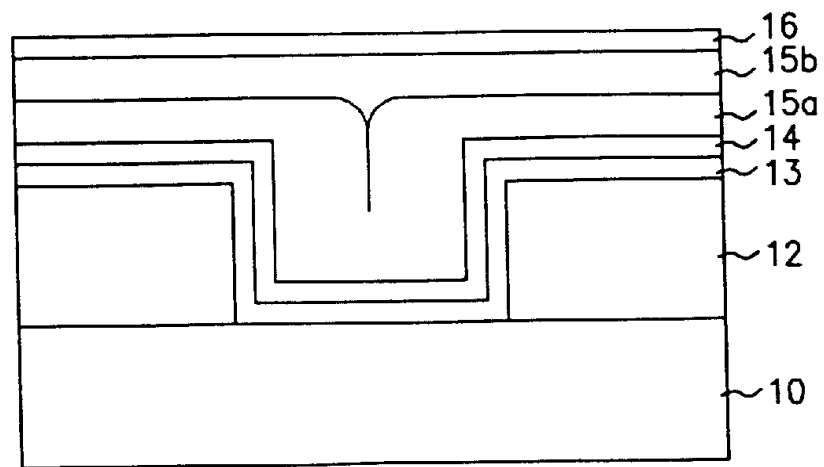


图 1C

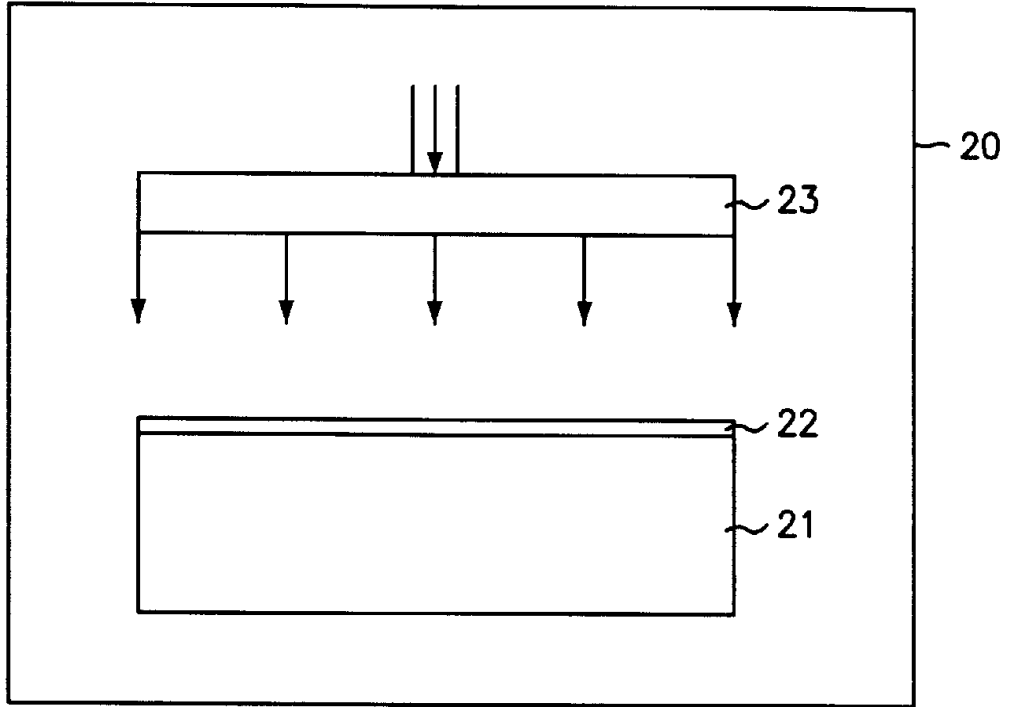


图 2

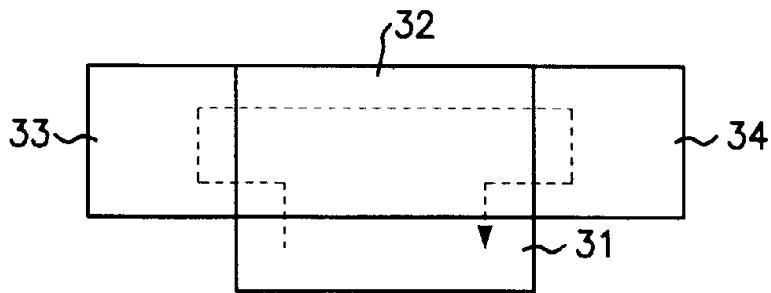


图 3