



(12) 发明专利

(10) 授权公告号 CN 113689903 B

(45) 授权公告日 2024. 11. 26

(21) 申请号 202110789914.0

(22) 申请日 2016.06.28

(65) 同一申请的已公布的文献号
申请公布号 CN 113689903 A

(43) 申请公布日 2021.11.23

(30) 优先权数据
14/840,037 2015.08.30 US

(62) 分案原申请数据
201610483478.3 2016.06.28

(73) 专利权人 萧志成
地址 中国台湾台中市

(72) 发明人 萧志成

(74) 专利代理机构 北京汇泽知识产权代理有限公司 11228

专利代理师 关宇辰

(51) Int.Cl.
G11C 8/14 (2006.01)
G11C 7/18 (2006.01)
G11C 5/02 (2006.01)
G11C 8/12 (2006.01)

(56) 对比文件
CN 104867517 A, 2015.08.26
US 2005221561 A1, 2005.10.06
US 2015003151 A1, 2015.01.01

审查员 王晓春

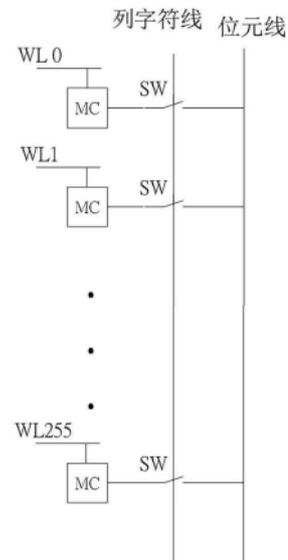
权利要求书1页 说明书7页 附图22页

(54) 发明名称

内存装置

(57) 摘要

本发明公开一种内存装置,其包含多条沿第一方向延伸的字符线,及至少一内存单元。至少一内存单元包含沿相异于第一方向的一第二方向排列的多个内存组件群组,每一内存组件群组包含多个内存组件;及至少一条位元线沿第二方向延伸;及至少一条列字符线沿第二方向延伸;及沿第一方向延伸的多条行字符线;及多个列开关,每一列开关具有耦接于至少一条列字符线的一控制端,耦接于多个内存组件群组其中之一的一第一端,及耦接于至少一条位元线的一第二端;及多个行开关,每一行开关具有耦接于一相对应行字符线的一控制端,每一行开关和一相对应列开关串连耦接于多个内存组件群组其中之一及至少一条位元线之间。本发明提供的内存装置可以减少功率消耗。



1. 一种内存装置,其特征在于,包含:
沿一第一方向延伸的多条字符线;以及
至少一内存单元,包括:
多个内存组件群组,该多个内存组件群组沿相异于该第一方向的一第二方向设置,每一该内存组件群组包含多个内存组件;
多条区域位元线;
每一条区域位元线直接耦接于该多个内存组件群组的其中之一的一个内存组件;
至少一条位元线,沿该第二方向延伸;
至少一条列字符线,沿该第二方向延伸;以及
多个列开关,每一该列开关具有耦接于该至少一条列字符线的一控制端,耦接于该多条区域位元线的其中之一的一第一端,以及耦接于该至少一条位元线的一第二端。
2. 根据权利要求1所述的内存装置,其特征在于,该内存装置包含沿该第一方向设置的多个内存单元,若干个内存单元形成一内存区块,该多个内存单元的列字符线被分组以分别控制相对应的内存区块的列开关。
3. 根据权利要求1所述的内存装置,其特征在于,该多个列开关是晶体管。
4. 根据权利要求1所述的内存装置,其特征在于,该第一方向为行方向,该第二方向为列方向。
5. 一种内存装置,其特征在于,包含:
沿一第一方向延伸的多条字符线;以及
沿该第一方向延伸的多条行字符线;以及
至少一内存单元,包括:
多个内存组件群组,该多个内存组件群组沿相异于该第一方向的一第二方向设置,每一该内存组件群组包含多个内存组件;
多条区域位元线;
每一条区域位元线直接耦接于该多个内存组件群组的其中之一的一个内存组件;
至少一条位元线,沿该第二方向延伸;
至少一条列字符线,沿该第二方向延伸;以及
多个列开关,每一该列开关具有耦接于该至少一条列字符线的一控制端,
多个行开关,每一该行开关具有耦接于一相对应行字符线的一控制端;
其中每一该行开关和一相对应列开关串连,每一该行开关的一端耦接于该多条区域位元线的其中之一,以及每一该列开关的一端耦接于该至少一条位元线。
6. 根据权利要求5所述的内存装置,其特征在于,该内存装置包含沿该第一方向设置的多个内存单元,若干个内存单元形成一内存区块,该多个内存单元的列字符线被分组以分别控制相对应的内存区块的列开关。
7. 根据权利要求5所述的内存装置,其特征在于,该多个列开关和该多个行开关是晶体管。
8. 根据权利要求5所述的内存装置,其特征在于,该第一方向为行方向,该第二方向为列方向。

内存装置

技术领域

[0001] 本发明相关于一种内存装置,尤指一种具有低功耗的内存装置。

背景技术

[0002] 请参考图1,图1是现有内存装置的示意图。如图1所示,内存装置100包含多个内存组件MC,多条字符线WL0-WL255,以及多条位元线BL0-BL255。内存组件MC是以数组型式设置。举例来说,多个内存组件MC可以设置成一个具有256行及256列的数组。多数条字符线WL0-WL255沿一第一方向A延伸。每一字符线WL0-WL255用以选择一相对应行的内存组件MC进行读取或写入操作。多条位元线BL0-BL255是沿相异于第一方向A的一第二方向B设置,且每一位元线BL0-BL255用以传输一相对应列的内存组件MC的数据。

[0003] 请参考图2,图2是现有内存装置200具有第一种位元线配置的示意图。如图2所示,多个内存组件MC被分成一预定数目(例如8个)的内存区块bk0-bk7,且每一内存区块bk0-bk7包含32列的内存组件MC。再者,除了内存组件MC、字符线WL0-WL255,以及位元线(bit0_bk0至bit31_bk7)以外,内存装置200另包含多个多任务器MUX0-MUX7。每一多任务器MUX0-MUX7耦接至一相对应内存区块bk0-bk7的32列内存组件MC的位元线(bit0_bk0至bit31_bk7)。举例来说,多任务器MUX0是耦接至内存区块bk0的32列内存组件MC的位元线(bit0_bk0至bit31_bk0),而多任务器MUX7是耦接至内存区块bk7的32列内存组件MC的位元线(bit0_bk7至bit31_bk7),以此类推。

[0004] 请参考图3,图3是现有内存装置300具有第二种位元线配置的示意图。如图3所示,除了内存组件MC、字符线WL0-WL255,以及位元线(bit0_bk0至bit31_bk7)以外,具有第二种位元线配置的内存装置300另包含多个多任务器MUX0-MUX31。另外,每一内存区块bk0-bk7对应的位元线(bit0_bk0至bit31_bk7)被依序分散。举例来说,多任务器MUX0是耦接至内存区块bk0-bk7的第1列内存组件MC的位元线(bit0_bk0至bit0_bk7),而多任务器MUX31是耦接至内存区块bk0-bk7的第32列内存组件MC的位元线(bit31_bk0至bit31_bk7),以此类推。相较于图2的第一种位元线配置,图3的第二种位元线配置可以简化布线。

[0005] 在现有内存装置100、200、300中,当其中之一一条字符线WL0-WL255选择一相对应行的内存组件MC时,全部位元线(BL0-BL255、bit0_bk0至bit31_bk7)皆会耦接至被选择的相对应内存组件MC以进行读取或写入操作。然而,在读取或写入操作中,有些位元线不需要传输数据。闲置的位元线会于读取或写入操作中消耗电力,因此现有内存装置100、200、300具有较高的功率消耗。

发明内容

[0006] 本发明的目的在于提供一种具有低功耗的内存装置,以解决现有技术的问题。

[0007] 本发明另提供一种内存装置,包含多条字符线沿一第一方向延伸,以及至少一内存单元。该至少一内存单元包含多个内存组件群组,至少一条位元线,至少一条列字符线,多条行字符线以及多个列开关及多个行开关。该多个内存组件群组是沿相异于该第一方向

的一第二方向设置,每一该内存组件群组包含多个内存组件。该至少一条位元线沿该第二方向延伸,且用以传输一被选择的内存组件的数据。该至少一条列字符线沿该第二方向延伸。该多条行字符线沿第一方向延伸。该多个列开关沿该第二方向设置,每一该列开关具有一控制端耦接于该至少一条列字符线,一第一端耦接于该多个内存组件群组其中之一,以及一第二端耦接于该至少一条位元线。该多个行开关沿该第二方向设置,每一该行开关具有耦接于一相对应行字符线的一控制端;其中每一该行开关和一相对应列开关串连耦接于该多个内存组件群组的其中之一以及该至少一条位元线之间。

[0008] 本发明另提供一种内存装置,包含:沿一第一方向延伸的多条字符线;以及沿该第一方向设置的多个内存单元,该内存单元包括:多个内存组件群组,该多个内存组件群组沿相异于该第一方向的一第二方向设置,每一该内存组件群组包含多个内存组件;至少一条位元线,沿该第二方向延伸,且用以传输一被选择的内存组件的数据;至少一条列字符线,沿该第二方向延伸;以及多个列开关,沿该第二方向设置,每一该列开关具有耦接于该至少一条列字符线的一控制端,耦接于该多个内存组件群组的其中之一的一第一端,以及耦接于该至少一条位元线的一第二端;一预定数目的内存单元形成一内存区块,该多个内存单元的列字符线被分组以分别控制相对应的内存区块的列开关。

附图说明

[0009] 图1是现有内存装置的示意图。

[0010] 图2是现有内存装置具有第一种位元线配置的示意图。

[0011] 图3是现有内存装置具有第二种位元线配置的示意图。

[0012] 图4是本发明内存单元具有第一种字符线配置的示意图。

[0013] 图5是本发明内存装置具有第一种字符线配置及第一种位元线配置的示意图。

[0014] 图6是本发明内存装置500a具有第一种字符线配置及第二种位元线配置的示意图。

[0015] 图7是本发明内存单元具有第二种字符线配置的第一实施例的示意图。

[0016] 图8是本发明内存单元具有第二种字符线配置的第二实施例的示意图。

[0017] 图9是本发明内存单元具有第三种字符线配置的第一实施例的示意图。

[0018] 图10是本发明内存单元具有第三种字符线配置的第二实施例的示意图。

[0019] 图11是本发明内存装置具有第三种字符线配置及第一种位元线配置的示意图。

[0020] 图12是图11中内存装置的局部示意图。

[0021] 图13是本发明内存装置具有第三种字符线配置及第二种位元线配置的示意图。

[0022] 图14是图13中内存装置的局部示意图。

[0023] 图15是本发明内存单元具有第四种字符线配置的第一实施例的示意图。

[0024] 图16是本发明内存单元具有第四种字符线配置的第二实施例的示意图。

[0025] 图17是本发明内存装置具有第四种字符线配置及第一种位元线配置的示意图。

[0026] 图18是本发明内存装置具有第四种字符线配置及第二种位元线配置的示意图。

[0027] 图19是本发明内存装置的开关的一实施例的示意图。

[0028] 图20至图22是本发明内存装置运作于byte致能模式的示意图。

[0029] 图中:

[0030]	100、200、300	现有的内存装置；
[0031]	400a、400b、400c、500a、500b、500	本发明的内存装置；
[0032]	A	第一方向；
[0033]	B	第二方向；
[0034]	bk0至bk7	内存区块；
[0035]	CWL0至CWL7	列字符线；
[0036]	CWL0_byte0至CWL0_byte3	列字符线；
[0037]	MC	内存组件；
[0038]	MUX、MUX0至MUX7	多任务器；
[0039]	WL0至WL255	字符线；
[0040]	BL0至BL255	位元线；
[0041]	bit0_bk0至bit31_bk7	位元线；
[0042]	RWL0_bk0至RWL31_bk7	行字符线；
[0043]	RWL0_bk0_byte0至RWL0_bk7_byte3	行字符线；
[0044]	SW	开关；
[0045]	SW1	列开关；
[0046]	SW2	行开关。

具体实施方式

[0047] 下面结合附图和具体实施例对本发明作进一步说明,以使本领域的技术人员可以更好的理解本发明并能予以实施,但所举实施例不作为对本发明的限定。

[0048] 请同时参考图4及图5。图4是本发明内存单元具有第一种字符线配置的示意图。图5是本发明内存装置400a具有第一种字符线配置及第一种位元线配置的示意图。为了方便说明,图5中的每一内存单元用来表示一列内存组件MC及相关信号线和开关。如图所示,内存装置400a的内存组件MC、字符线WL0-WL255、位元线(bit0_bk0至bit31_bk7)以及多任务器MUX0-MUX7的配置皆相似于图2中的内存装置200的配置。内存装置400a还包含多条列字符线CWL0-CWL7沿第二方向B延伸,以及多个开关SW。每一开关SW具有一控制端耦接于一相对应的列字符线CWL0-CWL7,一第一端耦接于一内存组件MC,以及一第二端耦接于一相对应的位元线(bit0_bk0至bit31_bk7)。每一条列字符线CWL0-CWL7用以控制一相对应内存区块bk0-bk7的开关SW的开启与关闭状态。举例来说,列字符线CWL0耦接于内存区块bk0的每一列内存组件MC的256个开关SW的控制端,而列字符线CWL7耦接于内存区块bk7的每一列内存组件MC的256个开关SW的控制端,以此类推。如此,每一条列字符线CWL0-CWL7可用以同时控制一相对应内存区块bk0-bk7的全部开关SW的开启与关闭状态,且不同内存区块bk0-bk7的开关SW可以个别控制。

[0049] 依据上述配置,当其中之一条字符线WL0-WL255选择一相对应行的内存组件MC进行读取或写入操作时,列字符线CWL0-CWL7可进一步用来选择特定内存区块bk0-bk7的内存组件MC进行读取或写入操作。举例来说,当列字符线CWL0传送控制信号至内存区块bk0的开关SW的控制端时,只有内存区块bk0的开关SW被开启以将内存区块bk0的内存组件MC耦接至相对应的位元线(bit0_bk0至bit31_bk0),进而让位元线(bit0_bk0至bit31_bk0)传输数

据。另一方面,对应于内存区块bk1-bk7的其他位元线并未被驱动以传输数据。因此内存装置400a的功耗可以减少。

[0050] 另外,一个内存组件MC可以对应于多条位元线。举例来说,当内存组件是SRAM的内存组件时,内存组件可以被选择以耦接至两条位元线。因此,可以设置两条或更多条列字符线以控制内存组件和两条位元线之间的电性连接。

[0051] 请同时参考图4及图6。图6是本发明内存装置500a具有第一种字符线配置及第二种位元线配置的示意图。为了方便说明,图6中的每一内存单元用来表示一列内存组件MC及相关信号线和开关。如图所示,内存装置500a的内存组件MC、字符线WL0-WL255、位元线(bit0_bk0至bit31_bk7)以及多任务器MUX0-MUX31的配置皆相似于图3中的内存装置300的配置。虽然每一内存区块bk0-bk7对应的位元线(bit0_bk0至bit31_bk7)被依序分散,每一条列字符线CWL0-CWL7仍然用以控制一相对应内存区块bk0-bk7的开关SW的开启与关闭状态。举例来说,列字符线CWL0耦接于内存区块bk0的每一列内存组件MC的256个开关SW的控制端,而列字符线CWL7是耦接于内存区块bk7的每一列内存组件MC的256个开关SW的控制端,以此类推。如此,每一条列字符线CWL0-CWL7可用以同时控制一相对应内存区块bk0-bk7的全部开关SW的开启与关闭状态,且不同内存区块bk0-bk7的开关SW可以个别控制。

[0052] 相似地,当其中之一条字符线WL0-WL255选择一相对应行的内存组件MC进行读取或写入操作时,列字符线CWL0-CWL7可进一步用来选择特定内存区块bk0-bk7的内存组件MC进行读取或写入操作。举例来说,当列字符线CWL0传送控制信号至内存区块bk0的开关SW的控制端时,只有内存区块bk0的开关SW被开启以将内存区块bk0的内存组件MC耦接至相对应的位元线(bit0_bk0至bit31_bk0),进而让位元线(bit0_bk0至bit31_bk0)传输数据。另一方面,对应于内存区块bk1-bk7的其他位元线并未被驱动以传输数据。因此内存装置500a的功耗可以减少。

[0053] 请参考图7。图7是本发明内存单元具有第二种字符线配置的第一实施例的示意图。如图7所示,一列内存组件MC被分成一预定数目(例如32个)的内存组件群组,且每一内存组件群组包含8个内存组件MC。本发明内存单元还包含多条区域位元线,每一区域位元线耦接于一相对应内存组件群组。开关SW是耦接于32个内存组件群组其中之一和一相对应位元线之间,其中开关SW的第一端是经由区域位元线耦接于一相对应内存组件群组。列字符线是用以同时开启或关闭一相对应内存区块的每一列内存组件MC对应的32个开关SW。

[0054] 图7的第二种字符线配置亦可以应用于图5的内存装置400a以及图6的内存装置500a。举例来说,列字符线CWL0可以耦接于内存区块bk0的每一列内存组件MC的32个开关SW的控制端,而列字符线CWL7可以耦接于内存区块bk7的每一列内存组件MC的32个开关SW的控制端,以此类推。如此,每一条列字符线CWL0-CWL7可用以同时控制一相对应内存区块bk0-bk7的全部开关SW的开启与关闭状态。

[0055] 请参考图8。图8是本发明内存单元具有第二种字符线配置的第二实施例的示意图。相异于第7图的实施例,图8中每一内存组件群组的内存组件MC相互串接(例如闪存装置的内存组件)。列字符线用以同时开启或关闭一相对应内存区块的每一列内存组件MC对应的32个开关SW。相似地,图8的第二种字符线配置亦可以应用于图5的内存装置400a以及图6的内存装置500a。

[0056] 在图7及图8的实施例中,每一内存组件群组包含8个内存组件MC,但本发明不限于

上述实施例。在本发明其他实施例中,每一内存组件群组可依据设计需求包含其他数目的内存组件MC。

[0057] 相较于图4中的第一种字符线配置,图7及图8中的第二种字符线配置具有较少的开关,因此可以减少内存装置的整体面积。

[0058] 请同时参考图9、图11和图12。图9是本发明内存单元具有第三种字符线配置的第一实施例的示意图。图11是本发明内存装置400b具有第三种字符线配置及第一种位元线配置的示意图。图12是图11中内存装置400b的局部示意图。为了方便说明,图11中的每一内存单元用来表示一列内存组件MC及相关信号线和开关,且字符线于图11和图12中被省略。如图所示,一列内存组件MC被分成一预定数目(例如32个)的内存组件群组,且每一内存组件群组包含8个内存组件MC。开关SW耦接于32个内存组件群组其中之一和一相对应位元线之间。内存装置400b另包含多条行字符线(RWL0_bk0至RWL31_bk7)沿第一方向A延伸。每一条行字符线(RWL0_bk0至RWL31_bk7)用以开启或关闭一相对应内存区块的每一列内存组件MC对应的32个开关SW其中之一。举例来说,行字符线RWL0_bk0耦接于内存区块bk0的每一列内存组件MC的第1内存组件群组对应的开关SW的控制端,行字符线RWL31_bk0耦接于内存区块bk0的每一列内存组件MC的第32内存组件群组对应的开关SW的控制端,以此类推。如此,每一条行字符线(RWL0_bk0至RWL31_bk7)可用以进一步选择一相对应内存区块的每一列内存组件MC的一特定内存组件群组以传输数据。

[0059] 请同时参考图9、图13和图14。图13是本发明内存装置500b具有第三种字符线配置及第二种位元线配置的示意图。图14是图13中内存装置500b的局部示意图。为了方便说明,图13中的每一内存单元用来表示一列内存组件MC及相关信号线和开关,且字符线于图13和图14中被省略。虽然每一内存区块bk0-bk7对应的位元线(bit0_bk0至bit31_bk7)被依序分散,图13和图14中每一条行字符线(RWL0_bk0至RWL31_bk7)仍然用以开启或关闭一相对应内存区块的每一列内存组件MC对应的32个开关SW其中之一。举例来说,行字符线RWL0_bk0耦接于内存区块bk0的每一列内存组件MC的第1内存组件群组对应的开关SW的控制端,行字符线RWL31_bk0是耦接于内存区块bk0的每一列内存组件MC的第32内存组件群组对应的开关SW的控制端,以此类推。如此,每一条行字符线(RWL0_bk0至RWL31_bk7)可用以进一步选择一相对应内存区块的每一列内存组件MC的一特定内存组件群组以传输数据。

[0060] 请参考图10。图10是本发明内存单元具有第三种字符线配置的第二实施例的示意图。相异于图9的实施例,图10中每一内存组件群组的内存组件MC是相互串接(例如闪存装置的内存组件)。行字符线是用以开启或关闭一相对应内存区块的每一列内存组件MC对应的32个开关SW其中之一。相似地,图10的第三种字符线配置亦可以应用于图11的内存装置400b以及图13的内存装置500b。

[0061] 相较于第一种字符线配置及第二种字符线配置,第三种字符线配置只需开启每列内存组件MC的一个开关SW以传输数据。因此第三种字符线配置可以进一步减少内存装置的功率消耗。然而,行字符线(RWL0_bk0至RWL31_bk7)的数目是列字符线CWL0-CWL7的数目的多倍。第三种字符线配置需要将多条行字符线形成于不同金属层上,而第一种字符线配置及第二种字符线配置可以将多条列字符线形成于同一金属层上。举例来说,当每一内存组件群组包含4个内存组件,且内存装置包含32个内存区块时,总共有32条行字符线需要通过4个内存组件的布线区域。因此32条行字符线必须形成于不同金属层上。至于在第一种字符

线配置及第二种字符线配置中,只有一条列字符线需要通过内存组件的布线区域,因此列字符线可以形成于同一金属层上。

[0062] 请同时参考图15和图17。图15是本发明内存单元具有第四种字符线配置的第一实施例的示意图。图17是本发明内存装置400c具有第四种字符线配置及第一种位元线配置的示意图。为了方便说明,图17中的每一内存单元用来表示一列内存组件MC及相关信号线和开关,且字符线于图17中被省略。如图所示,内存装置400c包含多个列开关SW1以及多个行开关SW2。列开关SW1由相对应的列字符线CWL0-CWL7所控制。行开关SW2由相对应的行字符线(RWL0_bk0至RWL31_bk7)所控制。图15的列开关SW1的运作相似于图7的开关SW的运作,且图15的行开关SW2的运作相似于图9的开关SW的运作。图17的行字符线(RWL0_bk0至RWL31_bk7)的电性连接方式相似于图12的电性连接方式。列开关SW1和行开关SW2串接于一内存组件群组和一相对应位元线(bit0_bk0至bit31_bk7)之间。内存组件MC是由相对应的字符线、列字符线CWL0-CWL7、行字符线(RWL0_bk0至RWL31_bk7)所选择。

[0063] 依据上述配置,本发明内存装置400c可以减少功率消耗。再者,内存装置400c可以运作于两种模式。举例来说,当列字符线默认为开启全部列开关SW1时,内存装置400c可以如内存装置400b般运作;而当每一内存区块的列字符线延伸至内存组件的分支线被进一步分成4个群组以个别控制8列内存组件的运作时,内存装置400c可以运作在byte致能模式以输出byte格式的数据。

[0064] 当图11中的第三种字符线配置用来运作于byte致能模式时,内存区块的行字符线的数目需要增加为4倍以分别控制每8列内存组件的个别运作。举例来说,如图20所示,内存区块bk0的每条行字符线(RWL0_bk0_byte0至RWL0_bk0_byte3)用来控制第1内存组件群组的每8列内存组件的个别运作。换句话说,总共有32条行字符线需要通过一个内存组件群组的8个内存组件的布线区域,而第四种字符线配置只需要8条行字符线通过一个内存组件群组的8个内存组件的布线区域。因此,第三种字符线配置必须将32条行字符线形成于不同金属层上,而第四种字符线配置可以将8条行字符线形成于同一金属层上。举例来说,如图21所示,为了控制第三种字符线配置的8个内存区块的第1内存组件群组运作于byte致能模式,对应于8个内存区块的第1内存组件群组的行字符线(RWL0_bk0_byte0至RWL0_bk7_byte3)皆会通过每一个内存区块的第1内存组件群组。然而,如图22所示,内存区块bk0的列字符线的分支线被分成4条列字符线(CWL0_byte0至CWL0_byte3)以分别控制每8列内存组件运作于byte致能模式,且第四种字符线配置的行字符线(RWL0_bk0至RWL31_bk7)的数目维持不变。如上所述,内存装置400c的第四种字符线配置可以如内存装置400b的第三种字符线配置般运作,因此内存装置400c和内存装置400b的功耗几乎相同。所以第四种字符线配置同时具有第一/第二种字符线配置和第三种字符线配置的优点。

[0065] 请同时参考图15和图18。图18是本发明内存装置500c具有第四种字符线配置及第二种位元线配置的示意图。为了方便说明,图18中的每一内存单元用来表示一列内存组件MC及相关信号线和开关,且字符线于图18中被省略。图18的行字符线(RWL0_bk0至RWL31_bk7)的电性连接方式相似于图14的电性连接方式。虽然每一内存区块bk0-bk7对应的位元线(bit0_bk0至bit31_bk7)被依序分散,图18中的列字符线CWL0-CWL7、行字符线(RWL0_bk0至RWL31_bk7)、列开关SW1以及行开关SW2的运作方式相同于图17,因此不再加以说明。

[0066] 请参考图16。图16是本发明内存单元具有第四种字符线配置的第二实施例的示意

图。相异于图15的实施例,图16中每一内存组件群组的内存组件MC是相互串接(例如闪存装置的内存组件)。相似地,图16的第四种字符线配置亦可以应用于图17的内存装置400c以及第18图的内存装置500c。

[0067] 请参考图19。图19是本发明内存装置的开关的一实施例的示意图。如图所示,前述开关SW、SW1、SW2可以是晶体管,但本发明不以此为限。开关SW、SW1、SW2亦可以是其他型式的开关组件用以控制内存组件和位元线之间的电性连接。

[0068] 在上述实施例中,内存组件MC设置成一个具有256行及256列的数组,多个内存组件MC被分成8个内存区块bk0-bk7,每一内存区块bk0-bk7包含32列内存组件MC,且每一内存组件群组包含8个内存组件MC。然而,本发明不限于上述实施例。在本发明其他实施例中,数组的行数及列数,内存区块的数目、内存区块中的内存组件的列数以及内存组件群组中的内存组件的数目可以相异于上述数目,且可以依据设计需求决定。

[0069] 以上所述实施例仅是为充分说明本发明而所举的较佳的实施例,本发明的保护范围不限于此。本技术领域的技术人员在本发明基础上所作的等同替代或变换,均在本发明的保护范围之内。本发明的保护范围以权利要求书为准。

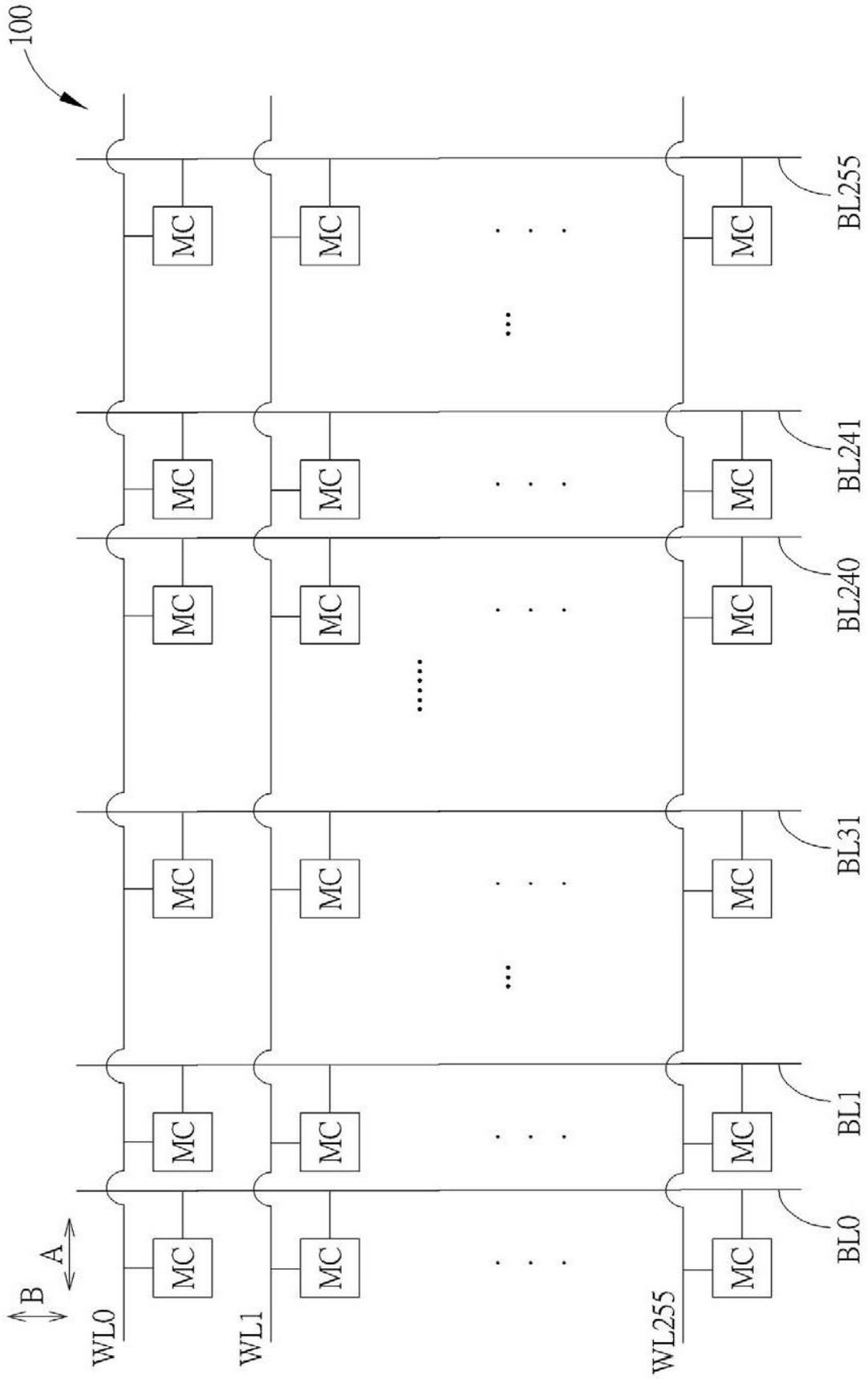


图 1

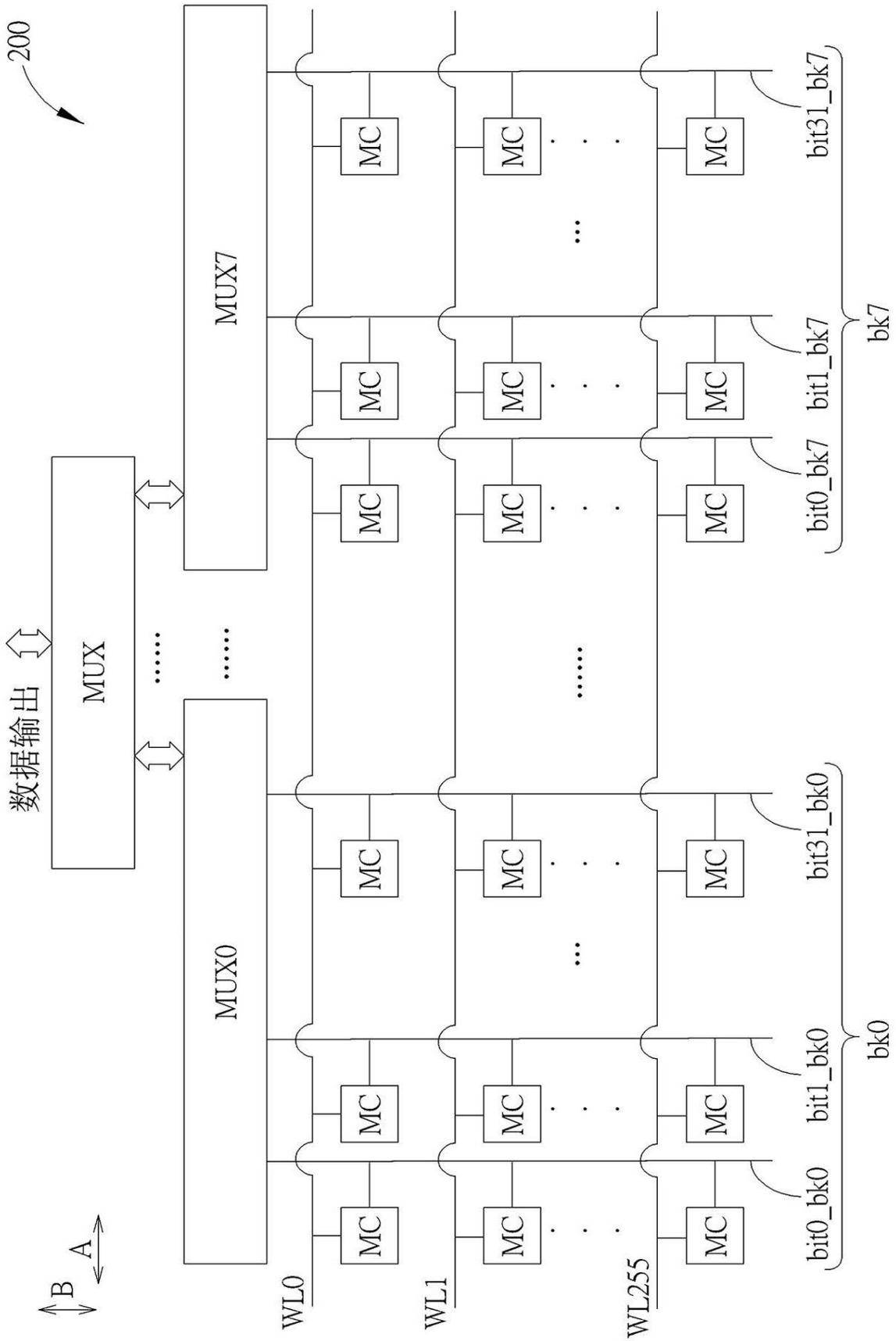


图 2

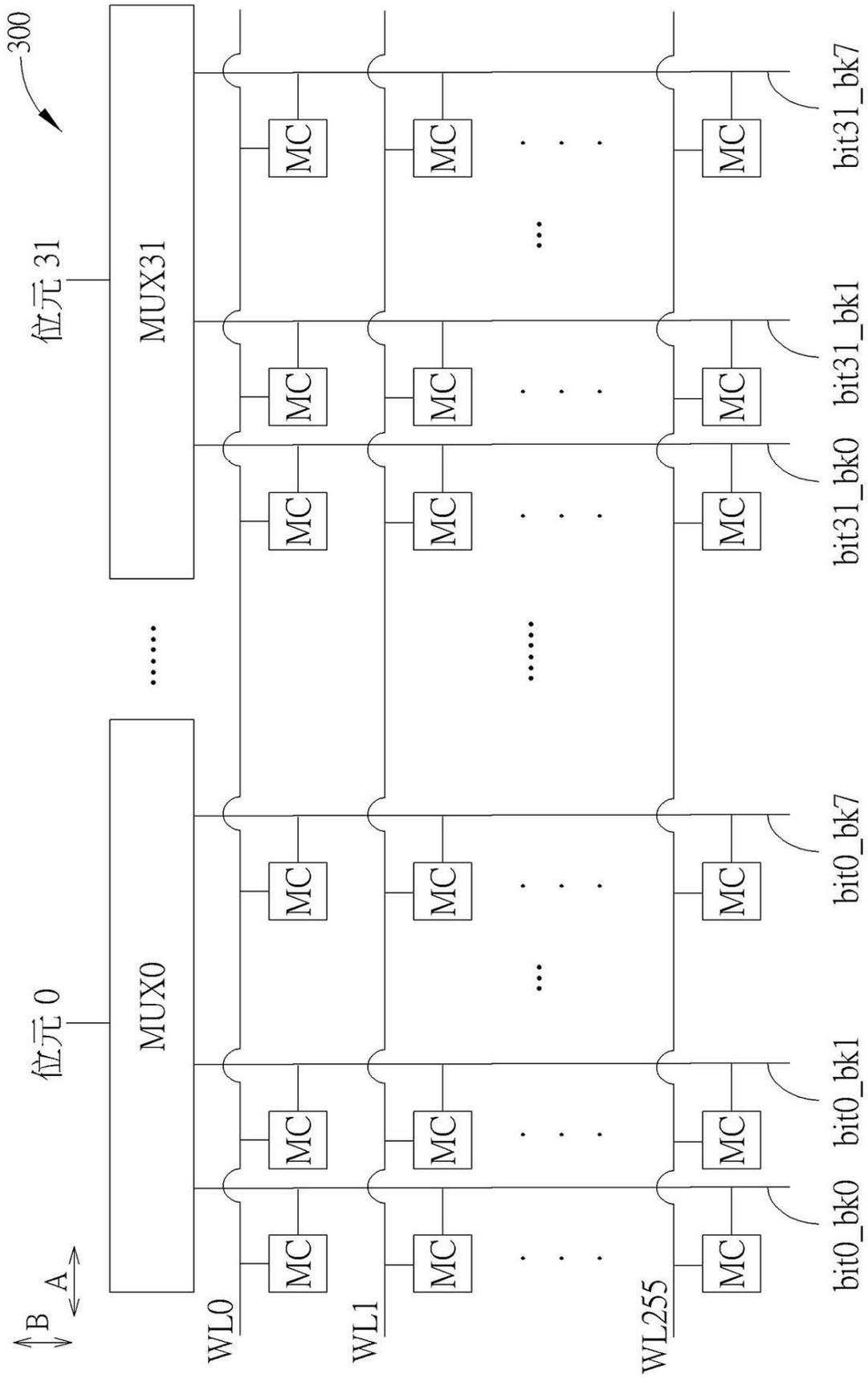


图 3

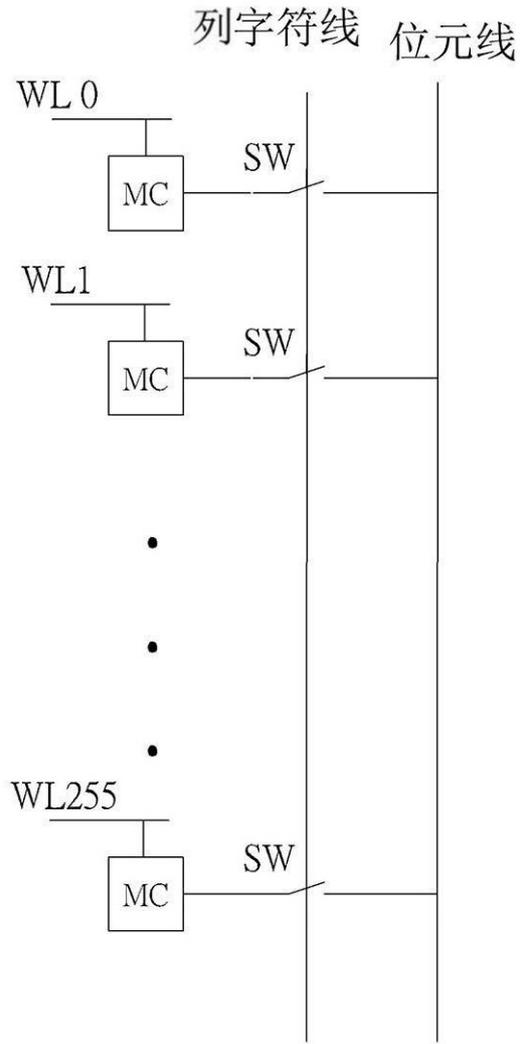


图 4

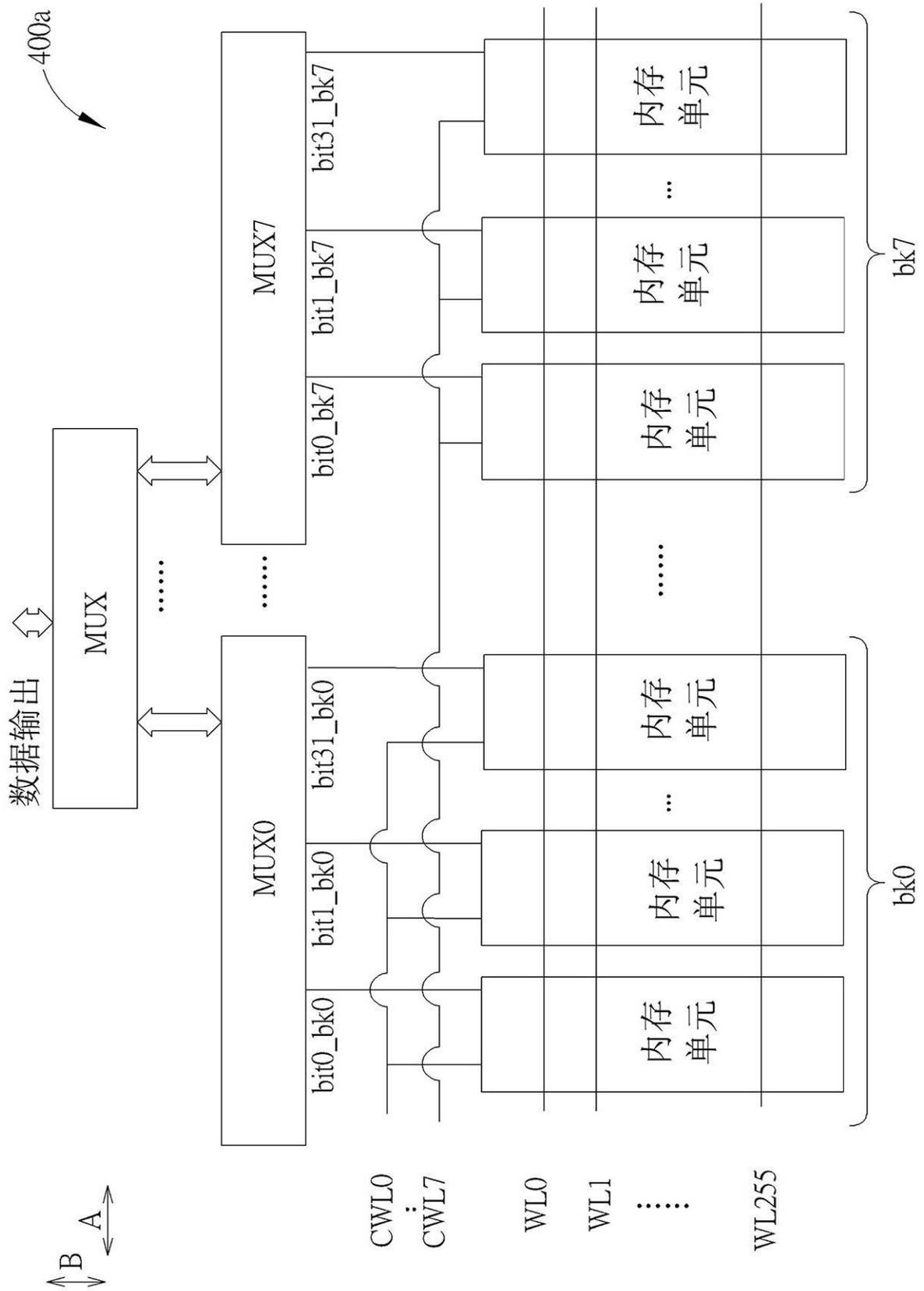


图 5

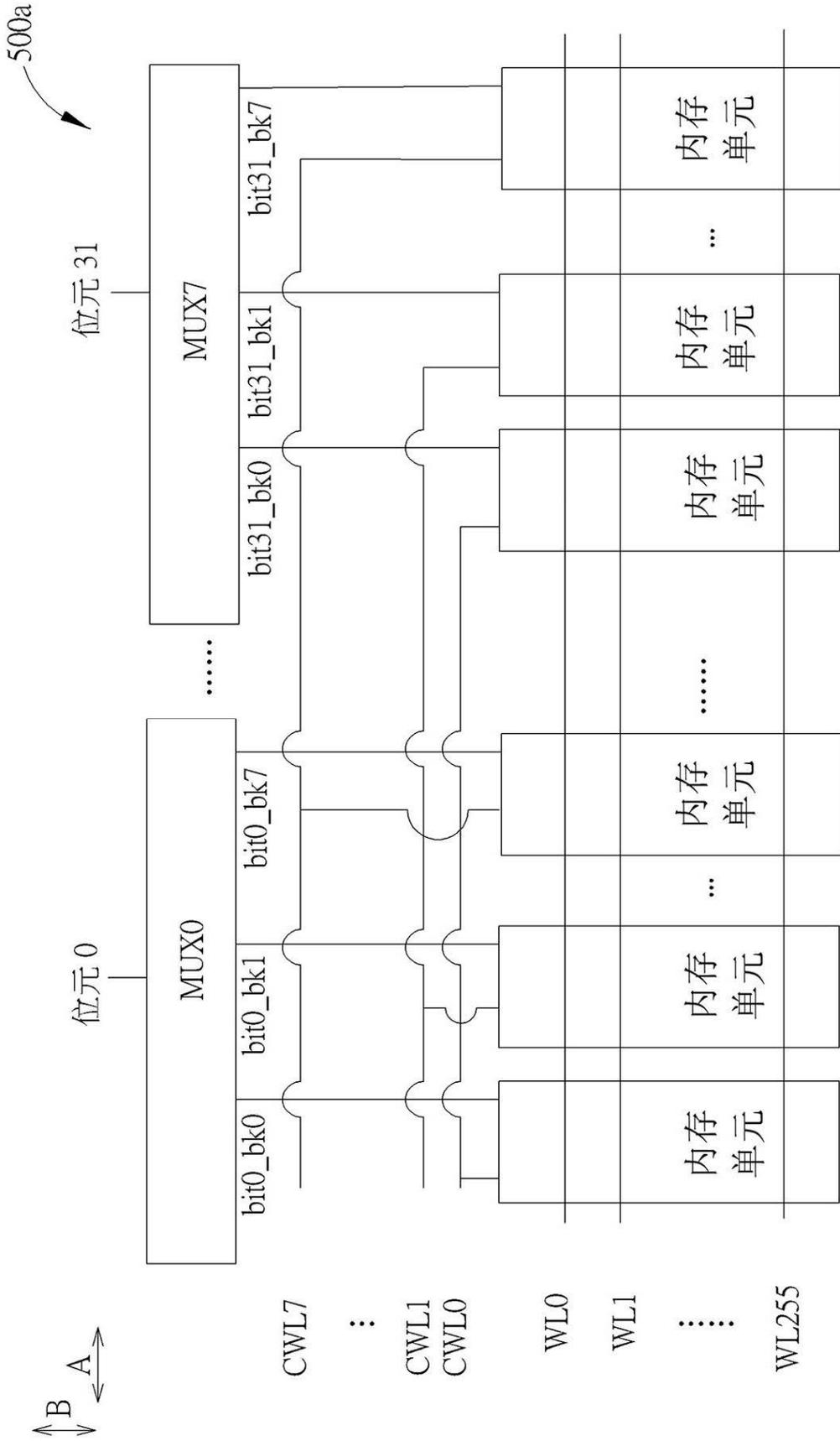


图 6

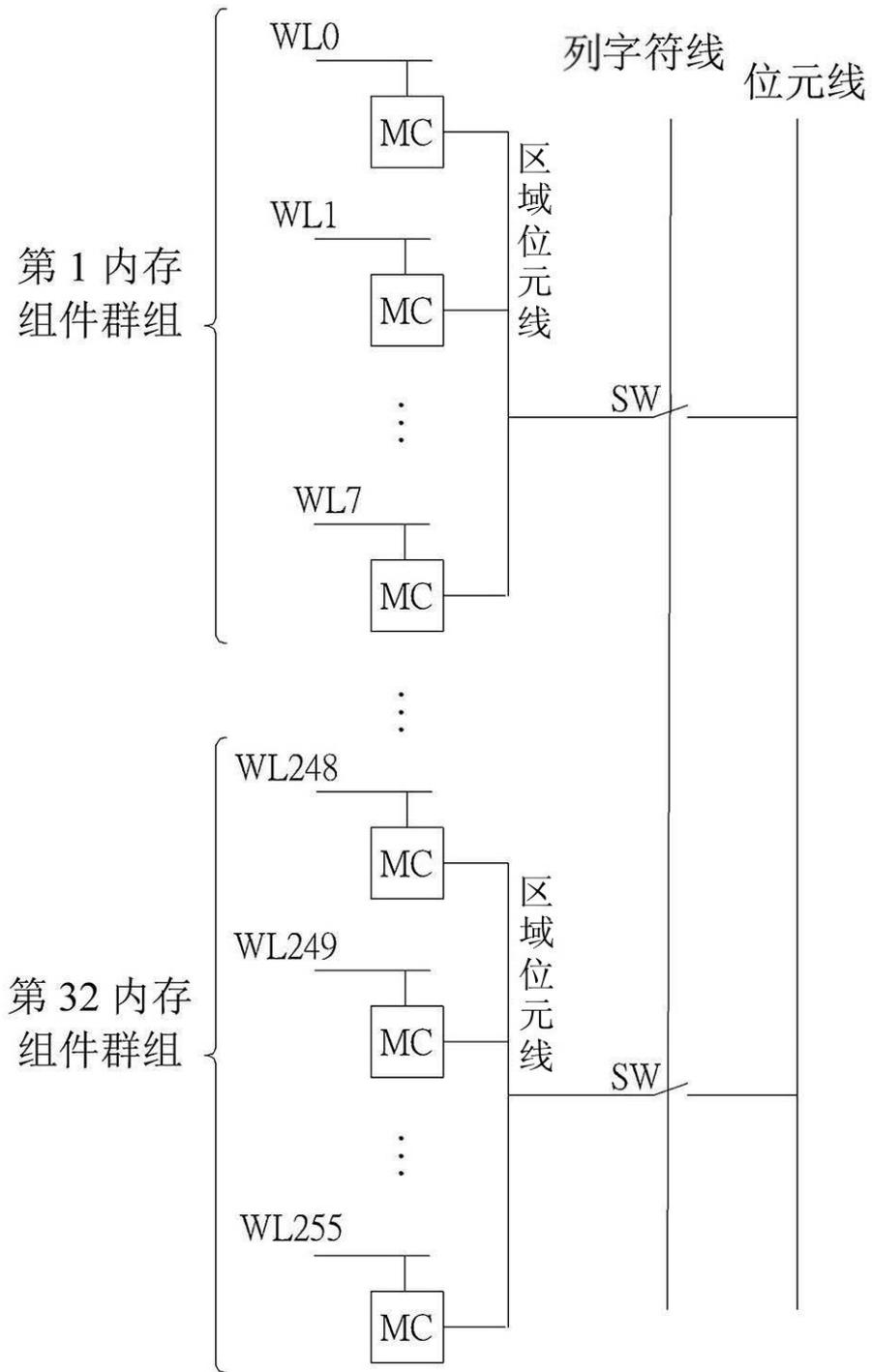


图 7

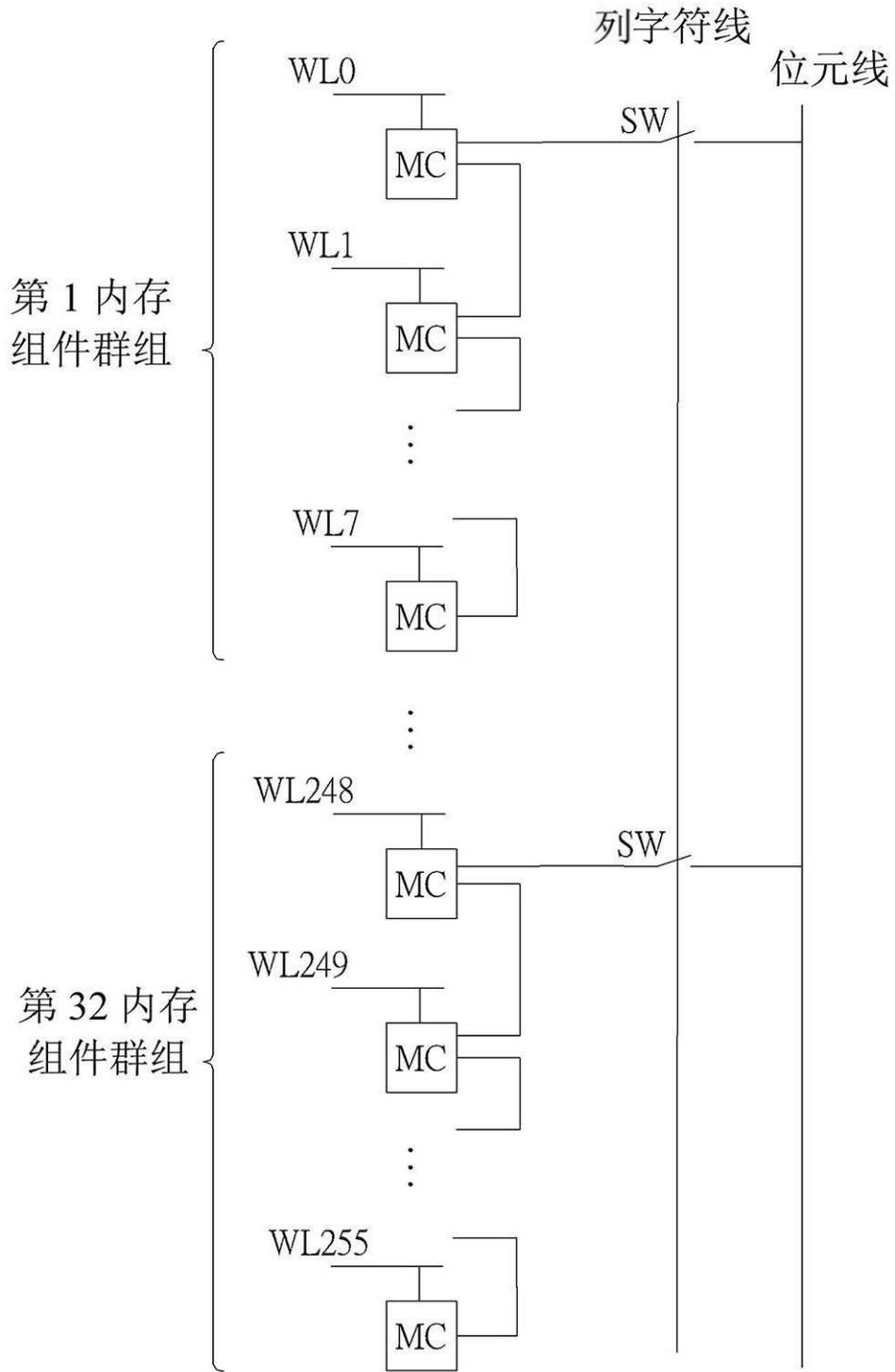


图 8

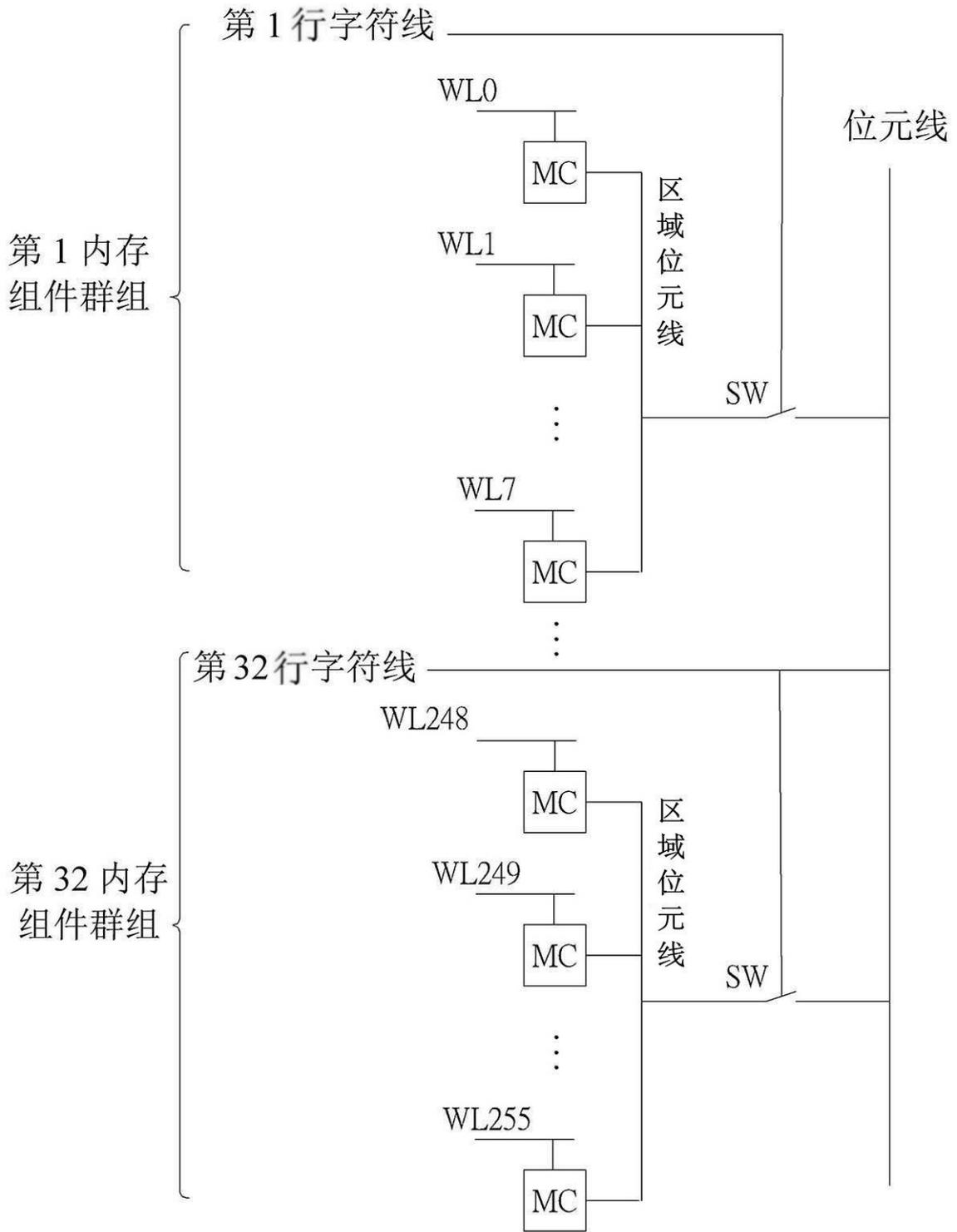


图 9

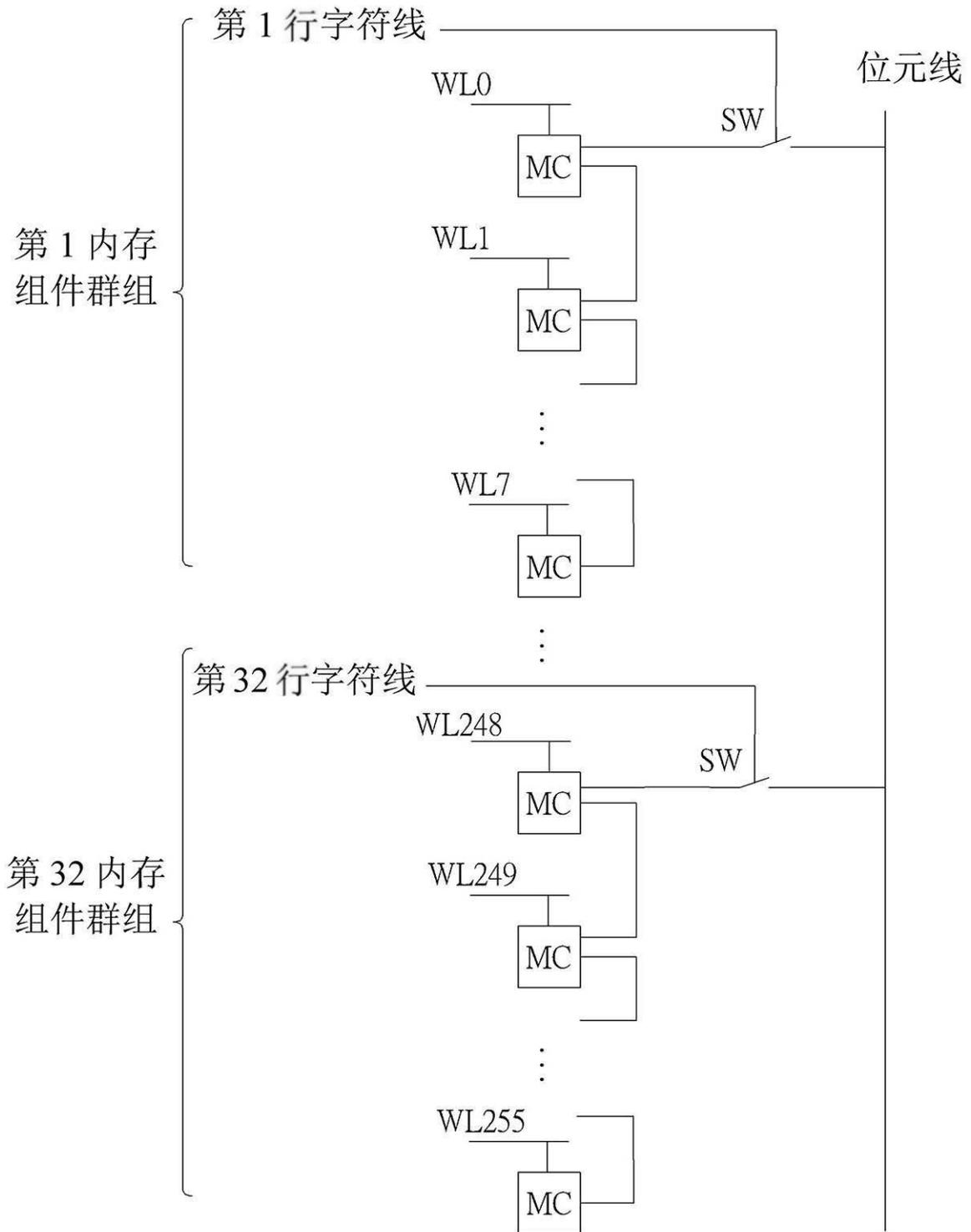


图 10

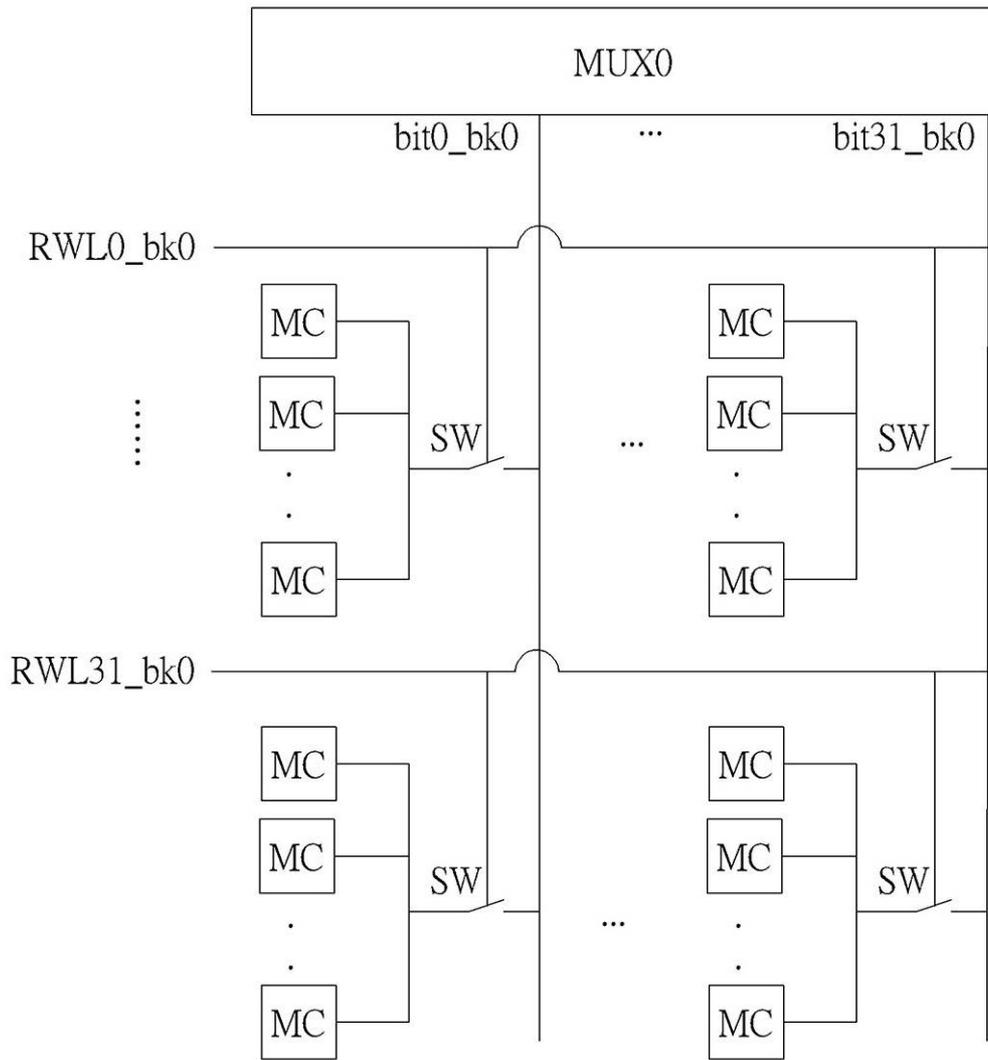


图 12

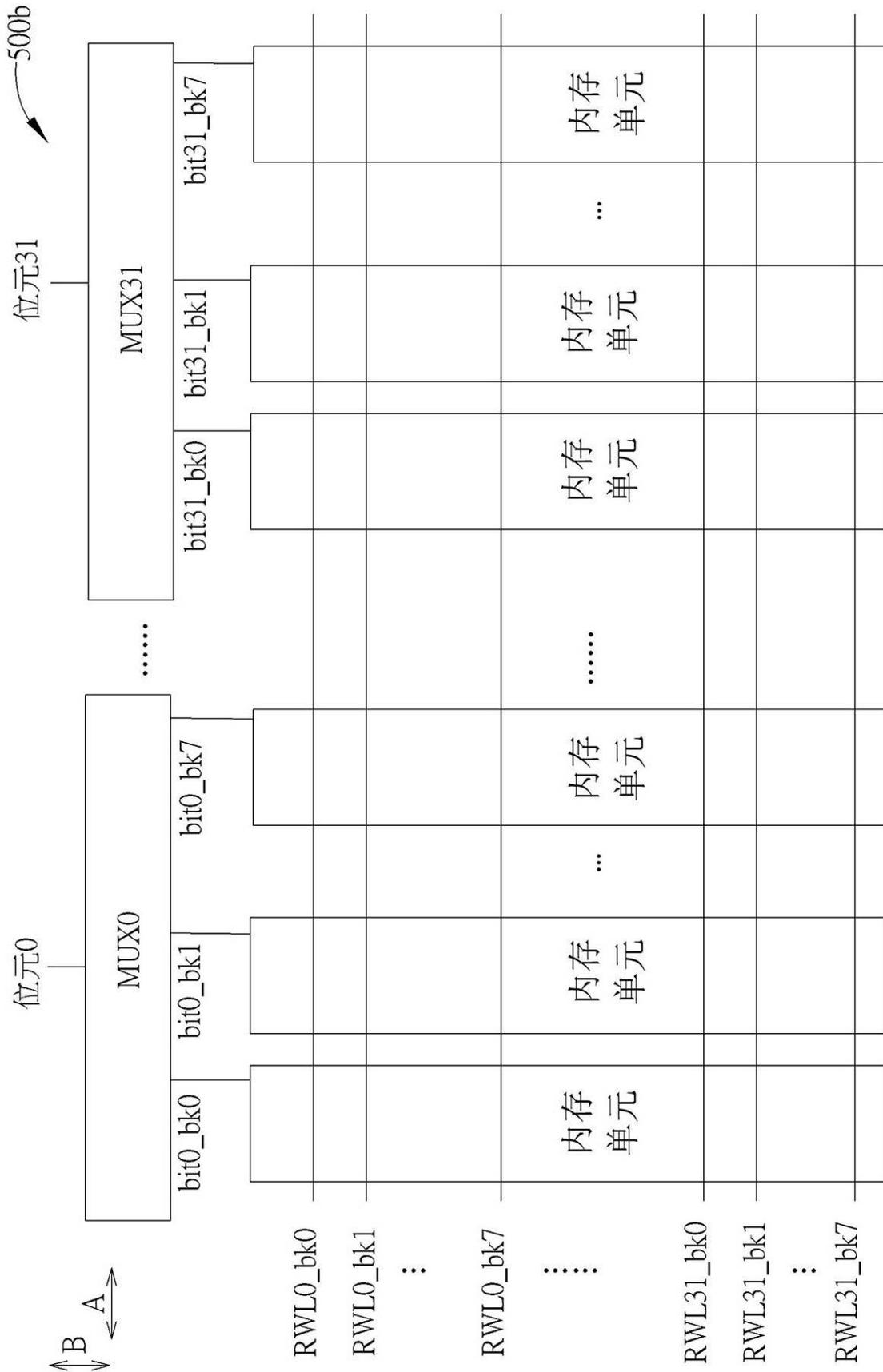


图 13

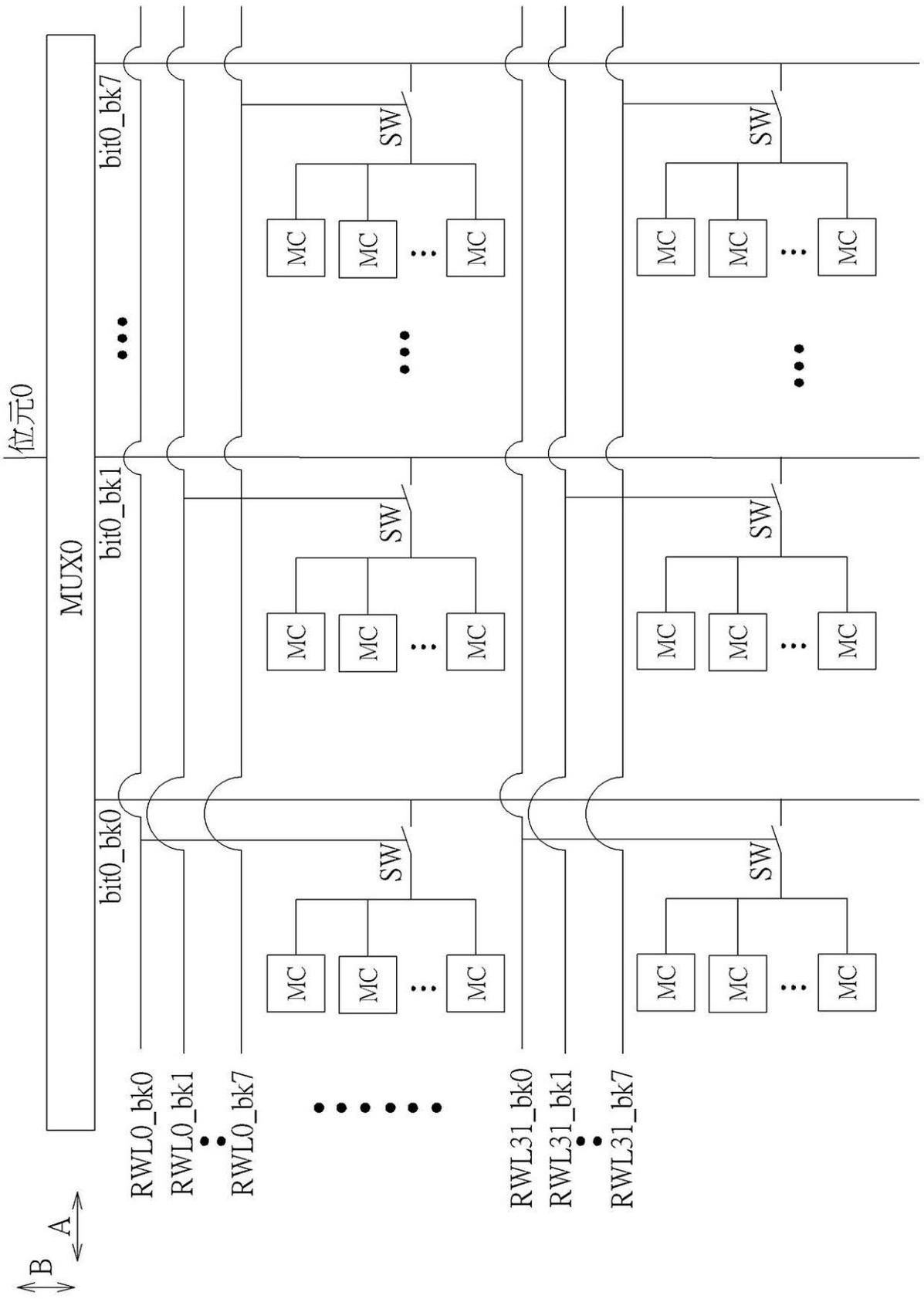


图 14

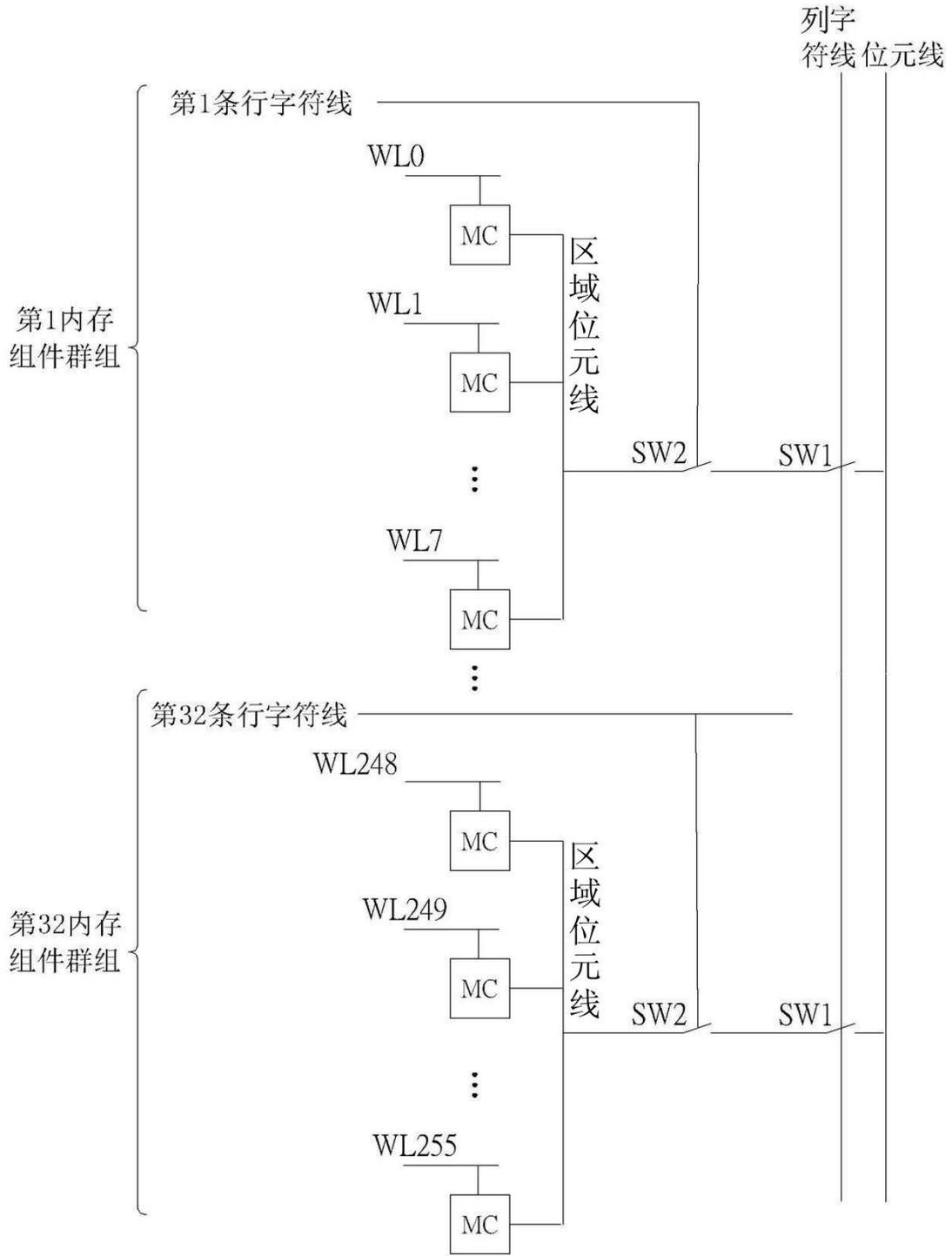


图 15

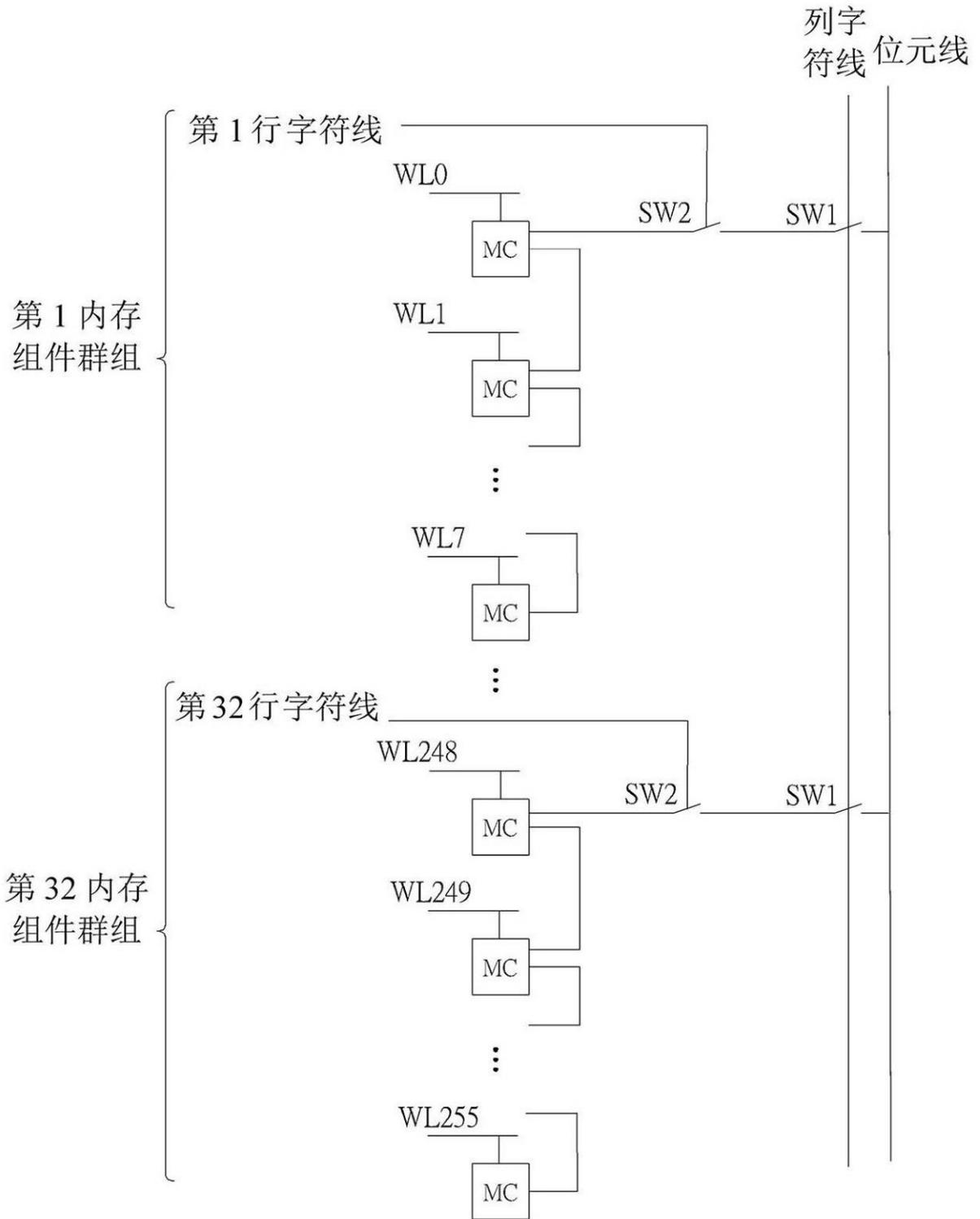


图 16

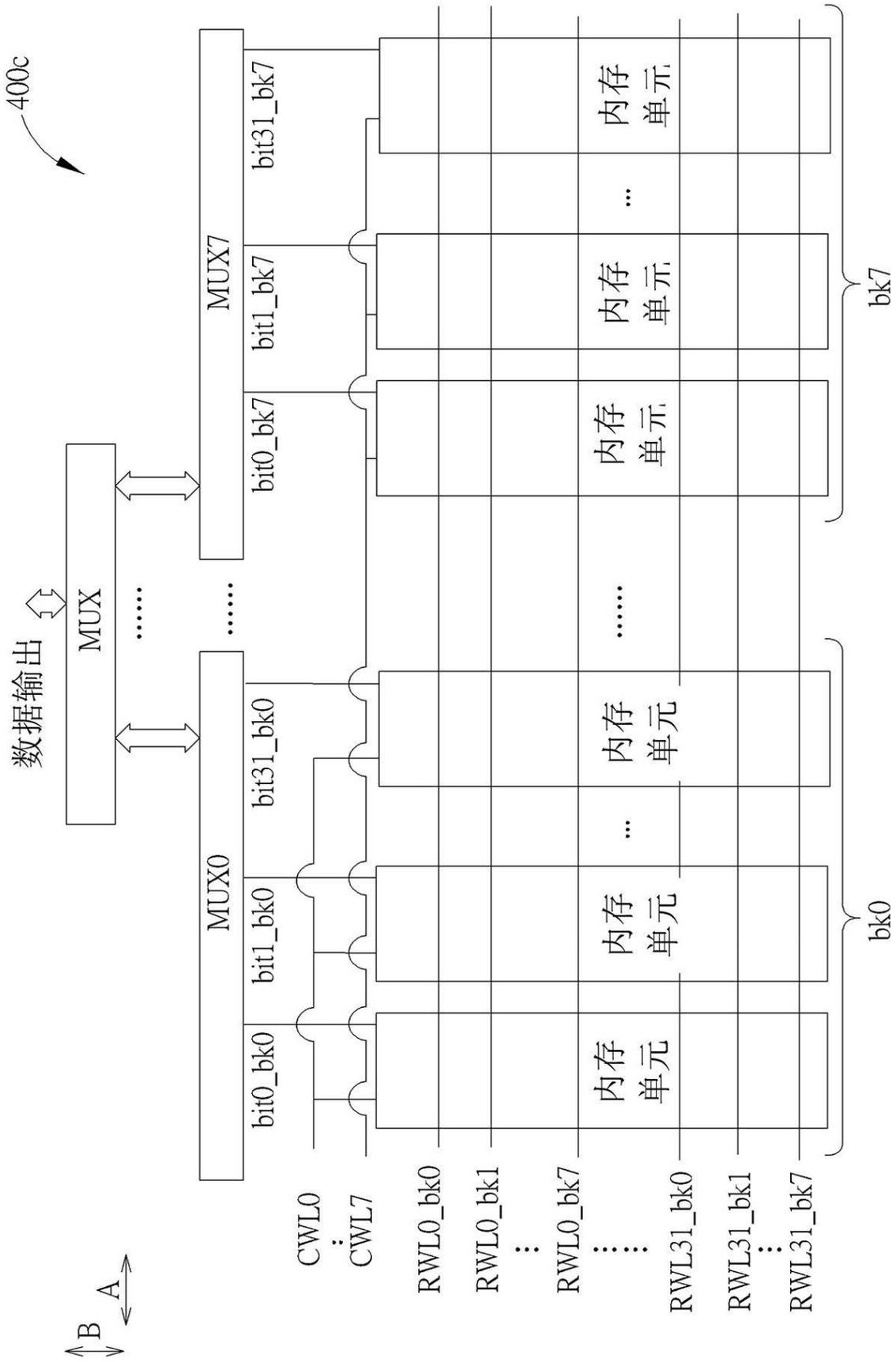


图 17

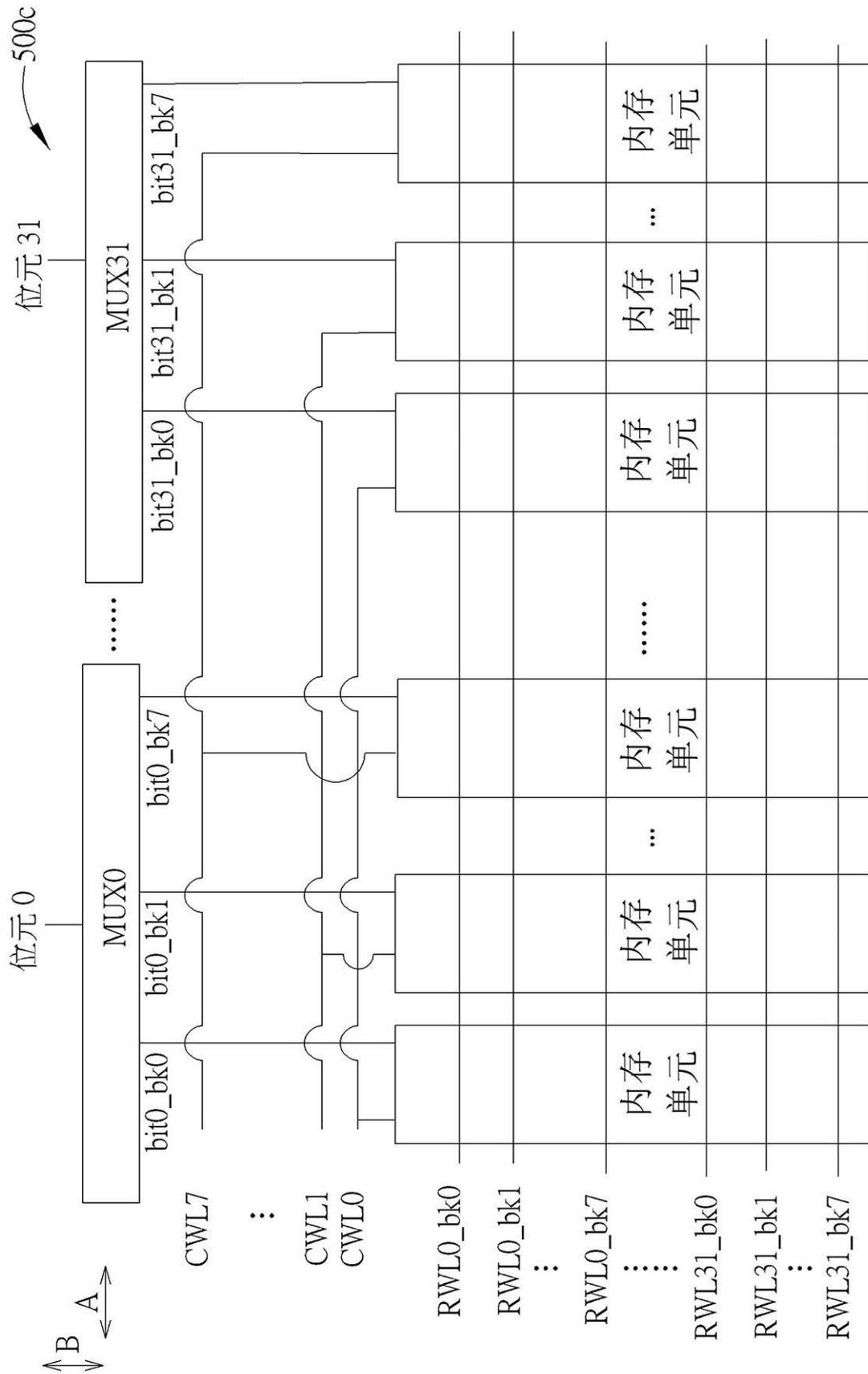


图 18

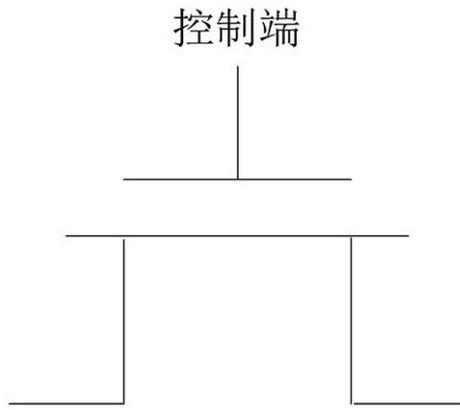


图 19

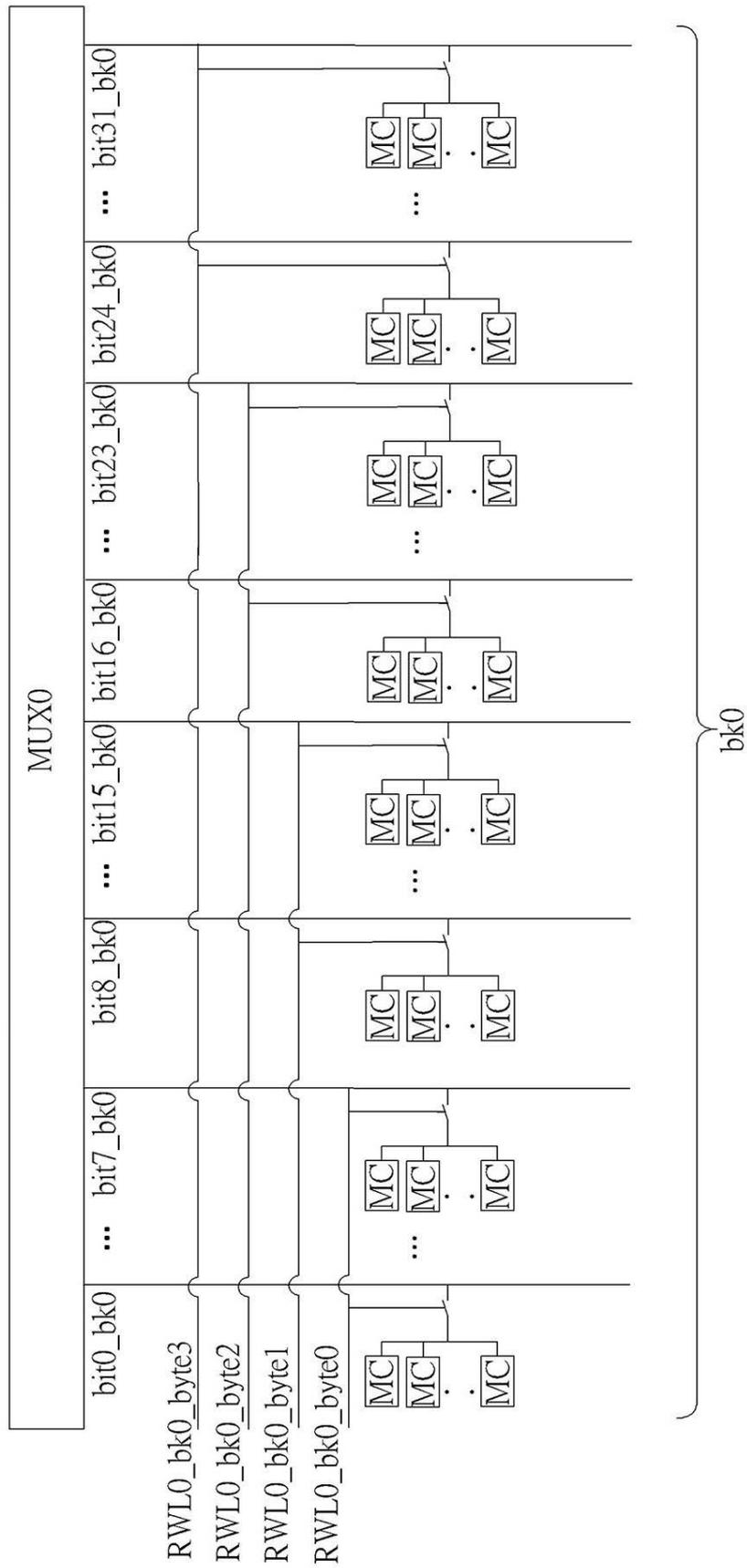


图 20



图 21

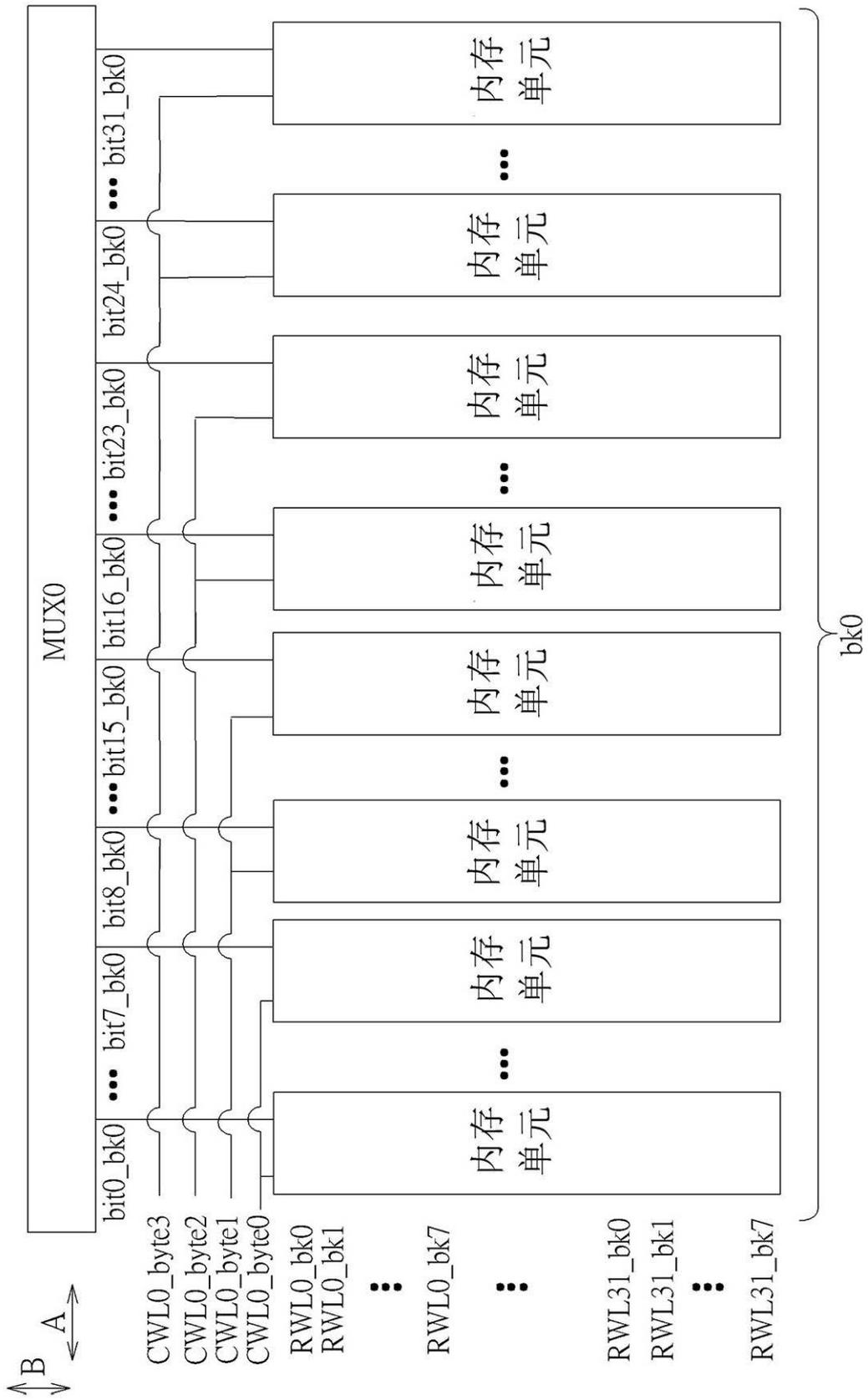


图 22