

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成23年2月24日 (2011.2.24)

【公開番号】特開2008-177565(P2008-177565A)

【公開日】平成20年7月31日 (2008.7.31)

【年通号数】公開・登録公報2008-030

【出願番号】特願2008-3657(P2008-3657)

【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 29/49 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/41 (2006.01)

H 0 1 L 29/417 (2006.01)

H 0 1 L 27/11 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/78 (2006.01)

【 F I 】

H 0 1 L 27/10 6 7 1 A

H 0 1 L 29/58 G

H 0 1 L 29/44 L

H 0 1 L 29/50 M

H 0 1 L 27/10 3 8 1

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 4 8

H 0 1 L 29/78 3 7 1

H 0 1 L 29/78 3 0 1 X

【手続補正書】

【提出日】平成23年1月5日 (2011.1.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

下部ソース／ドレイン領域と上部ソース／ドレイン領域を分離する垂直方向のチャンネルと、

前記チャンネル上に具備されるゲート絶縁パターンと、

前記ゲート絶縁パターンを横切って前記チャンネルを連結する一体型ゲート電極／連結ラインと、を含み、

前記一体型ゲート電極／連結ラインは前記ゲート絶縁パターンと隣接するように具備され、前記下部ソース／ドレインの一部と少なくともオーバーレイ ( o v e r l a y ) され

るディセンディングリップ領域 ( d e s c e n d i n g   l i p   p o r t i o n ) を含むことを特徴とするアクセス素子。

【請求項 2】

前記絶縁膜パターンは下部側面領域を含み、前記下部側面領域は前記チャンネルから延長され、前記下部ソース/ドレイン領域から前記ディセンディングリップ領域を分離していることを特徴とする請求項 1 記載のアクセス素子。

【請求項 3】

前記一体型ゲート電極/連結ラインは一体型ゲート電極/ワードラインであり、前記下部ソース/ドレイン領域は埋め込みビットライン構造 ( b u r i e d   b i t   l i n e   s t r u c t u r e ) 内に配置されていることを特徴とする請求項 1 記載のアクセス素子。

【請求項 4】

前記埋め込みビットライン構造はオフセットステップ領域 ( o f f s e t   s t e p   r e g i o n ) を含むことを特徴とする請求項 3 記載のアクセス素子。

【請求項 5】

前記下部ソース/ドレイン領域は、第 1 ソース/ドレイン領域及び第 2 ソース/ドレイン領域を含むマルチレベルソース/ドレイン領域であり、前記第 1 ソース/ドレインは前記オフセットステップ領域の上部領域に配置され、前記第 2 ソース/ドレイン領域は前記オフセットステップ領域の下部領域に配置されていることを特徴とする請求項 4 記載のアクセス素子。

【請求項 6】

前記下部ソース/ドレイン領域は第 1 ソース/ドレイン領域及び第 2 ソース/ドレインを含み、前記第 1 ソース/ドレインは前記チャンネルを少なくとも一部取り囲む周辺領域に配置され、前記第 2 ソース/ドレイン領域は前記埋め込みビットラインの長手方向に延長する側面領域に配置されていることを特徴とする請求項 3 記載のアクセス素子。

【請求項 7】

前記上部ソース/ドレイン領域と電氣的に連結されたコンタクトパッドを更に含むことを特徴とする請求項 6 記載のアクセス素子。

【請求項 8】

前記チャンネルはシリコン物質の垂直ピラーを含み、前記コンタクトパッドは前記シリコン物質からエピタキシャル成長させたシリコンコンタクトパッドであることを特徴とする請求項 7 記載のアクセス素子。

【請求項 9】

前記一体型ゲート電極/連結ラインは一体型ゲート電極/ワードラインであり、前記下部ソース/ドレイン領域は埋め込みビットライン内に配置され、

前記一体型ゲート電極/ワードライン、前記チャンネル、前記下部ソース/ドレイン及び前記上部ソース/ドレインは、メモリセル内電界効果トランジスタ ( F E T ) として結合され駆動することを特徴とする請求項 1 記載のアクセス素子。

【請求項 10】

前記一体型ゲート電極/連結ラインは、前記チャンネルの少なくとも一部を完全に取り囲むことを特徴とする請求項 1 記載のアクセス素子。

【請求項 11】

基板上に隣接するように配置され、下部ソース/ドレイン及び上部ソース/ドレインを分離する垂直方向のチャンネル及び前記チャンネル上に形成されるゲート絶縁パターンを含む第 1 アクセス素子及び第 2 アクセス素子と、

前記基板上に配置され、前記第 1 及び第 2 アクセス素子を分離する第 1 層間絶縁膜と、前記第 1 層間絶縁膜上に具備され、前記第 1 及び第 2 アクセス素子のチャンネルを連結する一体型ゲート電極/連結ラインと、を含み、

前記一体型ゲート電極/連結ラインはディセンディングリップ領域を含み、前記ディセンディングリップ領域は前記第 1 又は第 2 アクセス素子のゲート絶縁パターンと隣接する

ように配置され前記第 1 又は第 2 アクセス素子の結合された下部ソース / ドレインの少なくとも一部とオーバーレイされていることを特徴とする半導体素子。

【請求項 1 2】

前記ゲート絶縁パターンは前記チャンネルから延長し、前記下部ソース / ドレイン領域から前記一体型ゲート電極 / 連結ラインのディセンディングリップ領域を分離する下部側面領域を含むことを特徴とする請求項 1 1 記載の半導体素子。

【請求項 1 3】

前記半導体素子は半導体メモリ素子であり、前記一体型ゲート電極 / 連結ラインは一体型ゲート電極 / ワードラインであり、それぞれの前記下部ソース / ドレイン領域はそれぞれの埋め込みビットライン構造内に配置されることを特徴とする請求項 1 1 記載の半導体素子。

【請求項 1 4】

前記それぞれの下部ソース / ドレイン領域は、第 1 ソース / ドレイン領域及び第 2 ソース / ドレイン領域を含むマルチレベルソース / ドレインであり、前記第 1 ソース / ドレインはオフセットステップ領域の上部領域に形成され、前記第 2 ソース / ドレインは前記オフセットステップ領域の下部領域に形成されていることを特徴とする請求項 1 1 記載の半導体素子。

【請求項 1 5】

それぞれの前記下部ソース / ドレイン領域は第 1 ソース / ドレイン領域及び第 2 ソース / ドレイン領域を含み、前記第 1 ソース / ドレイン領域は前記チャンネルを少なくとも一部取り囲む周辺領域に形成され、前記第 2 ソース / ドレイン領域は埋め込みビットラインの長手方向に延長される側面領域に形成されていることを特徴とする請求項 1 1 記載の半導体素子。

【請求項 1 6】

前記それぞれの一体型ゲート電極 / 連結ラインはゲート電極 / ワードラインであり、それぞれの前記下部ソース / ドレインは埋め込みビットライン構造内に配置され、前記第 1 及び第 2 アクセス素子は各メモリセルの電界効果トランジスタとして動作することを特徴とする請求項 1 1 記載の半導体素子。

【請求項 1 7】

前記半導体素子は、DRAM、SRAM、PRAM、NOR 型フラッシュメモリ、及び NAND 型フラッシュメモリで構成されたグループから選択された 1 つであることを特徴とする請求項 1 6 記載の半導体素子。

【請求項 1 8】

メモリの作動を制御するために前記メモリと連結されるメモリコントローラを含み、

前記メモリはメモリセル領域を含み、前記メモリセル領域はメモリセルアレイを含み、前記アレイ内のそれぞれのメモリセルはアクセス要素及び保存要素を含み、それぞれの前記アクセス要素は、下部ソース / ドレイン領域及び上部ソース / ドレイン領域を分離する垂直方向のチャンネル、前記チャンネル上に配置されるゲート絶縁パターン及び前記ゲート絶縁パターンを横切って前記チャンネルを連結する一体型ゲート電極 / ワードラインを含み、前記一体型ゲート電極 / ワードラインは前記ゲート絶縁パターンと隣接するように具備され前記下部ソース / ドレイン領域に少なくとも一部オーバーレイされたディセンディングリップ領域を含むことを特徴とするメモリシステム。

【請求項 1 9】

前記ゲート絶縁パターンは下部側面領域を含み、前記下部側面領域は前記チャンネルから延長され、前記下部ソース / ドレイン領域から前記一体型ゲート電極 / ワードラインのディセンディングリップ領域を分離していることを特徴とする請求項 1 8 記載のメモリシステム。

【請求項 2 0】

前記下部ソース / ドレイン領域は、オフセットステップ領域を含む埋め込みビットライン構造内に配置されていることを特徴とする請求項 1 8 記載のメモリシステム。