



(12) 发明专利申请

(10) 申请公布号 CN 115956304 A

(43) 申请公布日 2023.04.11

(21) 申请号 202180050375.7

(74) 专利代理机构 北京市中咨律师事务所
11247

(22) 申请日 2021.07.28

专利代理师 王英杰 于静

(30) 优先权数据

16/994,813 2020.08.17 US

(51) Int.Cl.

H01M 4/1395 (2006.01)

(85) PCT国际申请进入国家阶段日

2023.02.16

(86) PCT国际申请的申请数据

PCT/EP2021/071199 2021.07.28

(87) PCT国际申请的公布数据

WO2022/037916 EN 2022.02.24

(71) 申请人 国际商业机器公司

地址 美国纽约

(72) 发明人 T·K·托多洛夫 J·柯林斯

A·阿夫扎利-阿尔达卡尼

J·德索萨 D·萨达纳

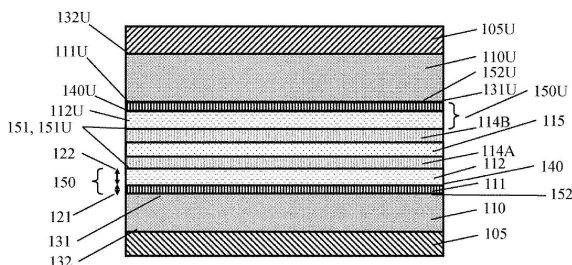
权利要求书2页 说明书13页 附图9页

(54) 发明名称

低电阻复合硅基电极

(57) 摘要

硅基电极与层对形成界面,所述层对为:1. 由锂(Li)化合物,例如氟化锂LiF,制成的薄的半介电层,其设置在硅基电极的电极表面上并与其粘附,和2.含锂盐的熔融离子导电层(锂盐层),其设置在半介电层上。一个或多个器件层可以设置在层对上以制造诸如能量存储装置的装置,如电池。该界面具有低电阻率,其减少了能量损失和器件产生的热量。



1. 一种复合电极,包括:
硅基电极;
半介电层,所述半介电层直接设置在所述硅基电极上,所述半介电层具有15纳米(nm)至30nm之间的半介电层厚度;以及
设置在所述半介电层上的熔融离子导电层,所述熔融离子导电层和半介电层形成层对,所述熔融离子导电层由对锂离子高度导电的含锂盐制成,
其中所述复合电极具有小于 $40\text{欧姆}\cdot\text{cm}^2$ 的电阻率。
2. 根据权利要求1所述的复合电极,其具有小于 $2.25\text{E}-6$ 秒的电荷转移时间常数。
3. 根据权利要求1的复合电极,其中所述半介电层厚度在18nm和23nm之间。
4. 根据权利要求1的复合电极,其中所述半介电层由锂化合物制成。
5. 根据权利要求4的复合电极,其中锂化合物是一种或多种下列物质:氟化锂、LiF、氧化铌锂、铝酸锂(LiAlO_2)、钛酸锂(Li_2TiO_3)和铌酸锂(LiNbO_3)。
6. 根据权利要求4的复合电极,其中所述锂化合物是一种或多种下列物质的锂化形式:二氧化钛、氧化铌、氧化钪、氧化钨、氧化铝、氧化锌和氧化锆。
7. 根据权利要求1的复合电极,其中所述半介电层由下列材料中的一种或多种制成:二氧化钛、氧化铌、氧化钪、氧化钨、氧化铝、氧化锌和氧化锆。
8. 根据权利要求1的复合电极,其中含锂盐为一种或多种下列材料:六氟磷酸锂、高氯酸锂、三氟甲磺酸锂、氟化锂、 LiBF_4 、 LiBF_6 、氯化锂、磷酸锂化合物、溴化锂化合物、双(三氟甲磺酰基)酰亚胺锂(LiTFSI)、二氟(草酸)硼酸锂(LiDFOB)和双(草酸)硼酸锂(LiBOB)。
9. 根据权利要求1的复合电极,其中所述熔融离子传导层具有1nm到50nm之间的熔融离子传导层厚度。
10. 根据权利要求1所述的复合电极,其中所述硅基电极由以下材料中的一种或多种制成:体硅、晶体硅、非晶体硅、掺杂硅、掺硼硅、多孔硅、非多孔硅、硅锆合金和掺碳硅基合金。
11. 根据权利要求1所述的复合电极,还包括由以下一种或多种制成的电极接触:导电材料、金属、金属氮化物、钨(W)、铜(Cu)、钛(Ti)、铂(Pt)、镍(Ni)、铝(Al)、金(Au)和氮化钛(TiN)。
12. 根据权利要求1所述的复合电极,其中所述层对直接设置在硅基电极上,使得所述层对的对底表面与所述硅基电极的电极对表面直接物理和电接触,并且其中所述电极界面是所述对底表面和所述电极对表面接触的地方。
13. 一种能量存储装置,包括:
根据权利要求1所述的复合电极,其中所述层对在所述硅基电极中的沟槽的沟槽底部上;
阳极,其设置在所述复合电极上并且在所述沟槽内;
设置在所述阳极上的电解质层;
设置在所述电解质层上的阴极;以及
防止所述阳极和所述阴极之间的电极流动的隔膜层。
14. 根据权利要求13所述的装置,其中所述电解质层是下列之一:固体聚合物电解质(SPE)、固体电解质、杂化聚合物/固体电解质和液体电解质。
15. 根据权利要求13的装置,由所述复合物组成,具有小于 $2.25\text{E}-6$ 秒的电荷转移时间

常数。

16. 根据权利要求13所述的装置,其中所述硅基电极由硼掺杂的晶体硅制成,所述半介电层由LiF制成,所述熔融离子导电层由双(三氟甲烷磺酰基)酰亚胺(LiTFSI)制成,并且所述电解质层由固体聚合物电解质(SPE)制成,所述固体聚合物电解质进一步由聚己内酯、丁二腈(SN)和双(三氟甲烷磺酰基)酰亚胺锂(LiTFSI)的混合物制成。

17. 一种制造蓄电装置的方法,包括以下步骤:

在硅基电极上沉积半介电层:

通过在所述半介电层上沉积熔融离子导电层来产生对层,所述对层硅基电极形成复合电极;

在所述对层上堆叠一个或多个器件层。

18. 根据权利要求17的方法,其中所述器件层包括下列的一种或多种:阳极、电解质、隔膜层和阴极。

19. 根据权利要求17所述的方法,其中,所述半介电层被沉积为具有15纳米(nm)和30nm之间的厚度。

20. 根据权利要求17的方法,其中复合电极具有小于35欧姆-厘米²的电阻率和小于2094欧姆-厘米²的质量传输电阻率。

低电阻复合硅基电极

技术领域

[0001] 本发明涉及具有界面电阻/阻抗减小的硅基层的界面。更具体地说,本发明涉及与硅基层界面连接的组合的含锂导电和结构增强层,以降低能量储存装置中的界面电阻和电荷转移电阻。

背景技术

[0002] 在微处理器和存储器芯片中集成能量存储装置(例如,电池)是对IoT(物联网)装置的重要要求。除了IoT应用之外,集成车载下一代能量存储装置的新兴应用包括移动设备;电信装置,远程电源,用于:无人机、车辆、机器人、传感装置;自主的环境、生物和社会功能机器;智能尘埃;和/或生物医学传感/药物递送装置。

[0003] 此外,需要在将电化学活性材料和电化学工艺与常规应用集成的同时对其进行缩放,所述常规应用例如为电动车辆、移动计算和电信装置、电网存储等。

[0004] 随着人控制和自主装置日益小型化,对电子装置供电的能源的总能量消耗需求将降低。然而,即使对于这些集成器件预期功耗低于1瓦,对于小型化器件每单位体积的能量和功率密度也将继续增加,因为小型化也会导致器件体积减小。

[0005] 为了实现这种更高的能量和功率密度/单位体积,由于锂(Li)金属的极高理论比容量($\sim 3860\text{mAh/g}$),锂电材料被整合到半固体或全固态储能装置的整体电池结构中。在许多应用中,锂基能量存储器件将嵌入互补金属氧化物半导体(CMOS)电路中和/或与之接合,因此一个或多个锂基部件将与硅(Si)层接合。还假设,无论什么高能量/功率密集存储设备可以以小型化规模制造和大量生产,都可直接应用于可扩展的应用,诸如移动电子设备、电动车辆、可再生电网存储等。

[0006] 在硅基层和锂基部件之间需要低电阻界面,特别是在具有高能量密度和功率密度的储存装置中。需要这些低电阻界面以降低功率损耗、提高效率和/或防止含有硅活性电极的器件由于体积膨胀、过热或这些器件内Li-枝晶形成而劣化。

发明内容

[0007] 根据本发明的实施例,公开了一种复合电极,其包括具有组合的两个层(层对)的硅基电极。层对包括:1.由锂(Li)化合物,例如氟化锂LiF,制成的薄的半介电Li导电层,其设置在硅基电极的电极表面上并粘附到硅基电极的电极表面上,和2.设置在半介电层上的含锂盐的熔融Li离子浓缩导电层(锂盐层)。锂盐层对锂离子(Li^+)具有高导电性。

[0008] 一个或多个器件层可以设置在层对上。器件层的非限制性实例包括一个或多个阴极电极、一个或多个固体聚合物电解质(SPE)层或液体电解质层、一个或多个阳极层和/或一个或多个其它内部电池部件层。

[0009] 由于层对降低硅界面以及电解质/层对界面上的电荷转移电阻的作用,层对在器件层和硅基电极之间产生具有令人惊讶的低阻抗/电阻的界面。该层对在具有硅基电极的器件中具有用途,包括微电阻器、下一代基于离子的模拟存储器件和能量存储器件(例如,

锂离子电池)。

附图说明

[0010] 下面将参考附图更详细地描述本发明的各种实施例,现在简要地描述附图。附图示出了与本发明的实施例相关的各种装置、结构和工艺步骤。

[0011] 图1是对称基元 (cell) 的一个实施例的横截面图,该对称基元包含对称地设置在两个硅基电极之间并围绕分隔层的两个层对。

[0012] 图2是基元的可选实施例的横截面图,该基元包含设置在硅基电极上的层对,在固体聚合物电解质 (SPE) 层和设置在该层对上的一些器件层之间具有分隔层。

[0013] 图3是显示由锂 (Li) 化合物,例如氟化锂LiF,制成的薄的半介电层的显微照片,该锂 (Li) 化合物位于并附着于硅基电极的电极表面。

[0014] 图4是显示设置在硅基电极上的层对以及设置在层上的一个或多个器件层的显微照片。

[0015] 图5是用于拟合电化学阻抗谱 (EIS) 谱的能量存储装置 (例如对称电池能量存储装置) 的RC (电阻器/电容器) 模型。

[0016] 图6是使用图5的拟合RC模型的奈奎斯特图,用于确定对称基元的分量值。

[0017] 图6A是来自图6中的奈奎斯特图的高到中频数据点的放大图。

[0018] 图7是显示设置在用于锂电池的硅基电极上的层对的框图。

[0019] 图8是使用层对来实质上降低与硅基电极的界面处的电阻的制造锂电池的工艺的流程图中。

具体实施方式

[0020] 应当理解,本发明的实施例不限于这里公开的说明性方法、装置、结构、系统和设备,而是相反,更广泛地适用于其它替代的和更广泛的方法、装置、结构、系统和设备,这些对于给出本公开的本领域技术人员来说将变得显而易见。

[0021] 另外,应当理解,附图中所示的各个层、结构和/或区域不是按比例绘制的,并且通常使用的类型的一个或多个层、结构和/或区域可以不在给定的附图中明确地示出。这并不意味着从实际器件中省略了未明确示出的层、结构和/或区域。

[0022] 另外,为了清楚和/或简单起见,当解释不必集中在这些省略的元件上时,某些元件可以从视图中省略。此外,在所有附图中使用的相同或相似的附图标记用于表示相同或相似的特征、元件或结构,因此,对于每个附图将不重复相同或相似的特征、元件或结构的详细解释。

[0023] 根据本发明的实施例所公开的半导体器件、结构和方法可以用于应用、硬件和/或电子系统中。用于实现本发明的实施例的合适的硬件和系统可以包括但不限于半导体、个人计算机、通信网络、电子商务系统、便携式通信设备 (例如,蜂窝电话和智能电话)、固态媒体存储设备、专家和人工智能系统、功能电路、神经网络等。在半导体器件和结构中结合本发明的系统和硬件是本发明的预期实施例。

[0024] 如本文所用,“高度”是指元件 (例如,层、沟槽、孔、开口等) 在横截面或正视图中从元件的底表面到顶表面测量的和/或相对于元件所位于的表面测量的垂直尺寸。

[0025] 相反,“深度”是指元件(例如,层、沟槽、孔、开口等)在横截面或正视图中从元件的顶表面到底表面测量的垂直尺寸。在指示的情况下,诸如“厚”、“厚度”、“薄”或其派生词的术语可以用于代替“高度”。

[0026] 如本文所用,“侧向”、“侧向侧”、“侧”和“侧向表面”是指元件(例如,层、开口等)的侧表面,诸如附图中的左侧表面或右侧表面。

[0027] 如本文所用,“宽度”或“长度”是指图中元件(例如,层、沟槽、孔、开口等)从元件的侧表面到相对表面测量的尺寸。在指示的情况下,诸如“厚”、“厚度”、“薄”或其派生词的术语可以用于代替“宽度”或“长度”。

[0028] 如本文所用,诸如“上”、“下”、“右”、“左”、“竖直”、“水平”、“顶部”、“底部”及其派生词等术语应涉及所公开的结构和方法,如附图中所定向的。例如,如本文所用,“垂直”是指在正视图中垂直于基底的顶部表面的方向,并且“水平”是指在正视图中平行于基底的顶部表面的方向。

[0029] 如本文所用,除非另外指明,术语诸如“上”、“上覆”、“顶上”、“在顶上”、“定位在”或“定位在顶上”是指第一元件存在于第二元件上,其中中间元件可存在于第一元件和第二元件之间。如本文所用,除非另外指明,与术语“上”、“上覆”、“顶上”、“顶上”、“位于”或“位于顶上”、“设置在”或术语“接触”或“直接接触”结合使用的术语“直接”是指第一元件和第二元件在第一元件和第二元件之间没有任何中间元件的情况下连接,所述中间元件例如为中间导电、绝缘或半导体层。

[0030] 应当理解,这些术语可能受到所述设备的取向的影响。例如,虽然如果设备被上下颠倒旋转,这些描述的含义可能改变,但是这些描述保持有效,因为它们描述了本发明的特征之间的相对关系。

[0031] 现在参考附图。

[0032] 图1是对称基元100的一个实施例的横截面图,该对称基元包含对称地设置在两个硅基电极105/105U之间并围绕分隔层115的两个层对(150/150U)。对称基元100用于下面描述的电化学阻抗谱(EIS)分析。

[0033] 每个层对150/150U分别由半介电层111/111U和熔融离子传导层112/112U制成。熔融离子传导层112/112U每个具有与半介电层111/111U的相应界面140/140U。每个半介电层层111/111U具有半介电层层厚度121,每个熔融离子导电层112/112U具有熔融离子导电层厚度122。

[0034] 每一硅基电极105/105U与各自的层对150/150U结合以形成复合电极105/150。

[0035] 分隔层115使分隔层115一侧上的层对150和硅基电极110与分隔层115另一侧上的层对150U和硅基电极110U电绝缘。换句话说,分隔层115基本上防止了在分隔层115的相对侧上的层对150/150U和硅基电极110/110U之间的电子流动。这防止了基元100的电短路。然而,分隔层115允许离子,例如锂离子(Li⁺)通过。因此,分隔层115允许离子电流流动,同时防止绝大部分电子电流。

[0036] 包括固体聚合物电解质(SPE)层114。在该实施例100中,分隔层115将固体聚合物电解质(SPE)层114分成在分隔层115上方的上部SPE层114B和在分隔层115下方的下部SPE层114A。SPE层114A/114B也通过分隔层115饱和。

[0037] 在一些实施例中,电解质层114(例如114A/114B)由石榴石/聚合物电解质复合物

(例如 $\text{Li}_{6.5}\text{La}_3\text{Zr}_{1.5}\text{Ta}_{0.5}\text{O}_{12}$ /PEO复合物)构成,该复合物既用作固体聚合物电解质114又用作隔膜115。在其它实施例中,如果电解质比Li-金属硬(例如,溅射LiPON,则不需要隔膜,因为电解质既充当隔膜又充当电解质。

[0038] 在该图1中,参考数字中的“U”表示该层相对于参考数字中没有“U”的层处于分隔层115上方(或与其相对)且围绕其对称的相对位置。在以下讨论中,在不失一般性的情况下,当描述共同且对称的层时,为了清楚起见,可以省略共同数字指示符中的“U”。

[0039] 层对150具有一对上表面151(隔膜115侧表面)和一对下表面152(电极侧表面152/152U)。层对150直接设置在硅基电极110上,使得该对底表面152与硅基电极110的电极对表面131(半介电层111侧)直接物理和电接触。电极界面131/152(分别为131U/152U)是该对底表面152(电极侧表面152/152U)和该电极对表面131/131U分别直接接触的地方。

[0040] 在一些实施例中,硅基电极110/110U分别设置在电极接触105/105U上。基于硅基电极110具有与电极接触105/105U电接触的基于硅的电极表面132/132U,且电极对表面131/131U在电极界面131/152(分别为131U/151U)处与半介电层111和对底部表面152(或半介电层底部表面152,即电极接触105侧)电接触。在一些实施例中,硅基电极110是直径为约15.5毫米(mm)的圆盘,并且电极对表面131的面积为约 1.88cm^2 。

[0041] 可选的电极接触105/105U由导电材料制成,例如金属,例如铜(Cu)、钛(Ti)、铂(Pt)、镍(Ni)、铝(Al)、金(Au)、钨(W)或氮化钛(TiN)。电极接触105/105U可包括单层导电金属,例如导电金属氮化物,或包括至少两种不同导电金属和/或导电金属氮化物的材料堆叠。在一个示例中,电极接触105可以包括从底部到顶部的钛(Ti)、铂(Pt)和钨(W)的堆叠(未示出)。电极接触105可以利用本领域技术人员公知的沉积技术形成。

[0042] 如果存在,电极接触105可以机械或化学地附着、粘附或结合到硅基电极110的硅电极表面132。

[0043] 硅基电极110/110U可包括半导体材料和/或具有半导体特性的任何其它材料以及硅。在一个实施例中,硅基电极110/110U是体半导体衬底。“体”是指基础衬底完全由至少一种半导体材料例如晶体硅组成。在一个实例中,硅基电极110/110U可完全由硅组成,其可为单晶。在一些实施例中,体半导体可以包括多层半导体材料堆叠,该多层半导体材料堆叠包括至少两种不同的半导体材料,其中一种是硅。在一个示例中,多层半导体材料叠置体可以以任何顺序包括Si和硅锆合金的叠层。在另一实施例中,多层半导体材料可以以任何顺序包括Si和单个或多个硅基合金的叠层,所述硅基合金例如为硅锆或碳掺杂的硅基合金。

[0044] 根据本申请,硅电极110由含硅材料构成,即硅电极110是基于硅的。术语“基于硅的”在本申请中通篇用于表示至少包括硅并且具有半导体材料性质的材料。可以用作硅基电极110的硅基材料的例子包括硅(Si)、硅锆合金或碳掺杂的硅基合金。典型地,硅基电极110完全由硅(Si)构成。

[0045] 提供于硅基电极110中的硅基材料可为非晶半导体材料或结晶半导体材料。硅基电极110可以是完全无孔的、完全多孔的或包含一些无孔的区域和其它多孔的区域。含硅材料可以是未掺杂的、掺杂的,或者包含一些掺杂的区域和其它未掺杂的区域。掺杂剂可以是p型掺杂剂或n型掺杂剂。

[0046] 术语“p型”是指将杂质添加到本征半导体中,这会产生价电子的缺陷。在含硅半导体材料中,p型掺杂剂即杂质的实例包括但不限于硼、铝、镓和铟。提供硅基电极110的含硅

材料内的p型掺杂剂的浓度范围可从 $1E16$ 原子/ cm^3 到 $3E20$ 原子/ cm^3 。

[0047] 术语“n型”是指向本征半导体中加入贡献自由电子的杂质。在含硅半导体材料中，n型掺杂剂即杂质的实例包括但不限于锑、砷和磷。在硅基电极110/110U的含硅材料内的n型掺杂剂的浓度范围可以是 $1E16$ 原子/ cm^3 到 $1E21$ 原子/ cm^3 。

[0048] 可用作硅基电极110/110U的含硅材料的说明性实例包括非多孔硅、部分多孔晶体硅、单晶非多孔硅、晶体硅、低电阻掺杂晶体硅、硼掺杂晶体硅或硼掺杂晶体多孔硅。在一个实施例中，使用具有 1×10^{19} 原子/ cm^3 到 3×10^{20} 原子/ cm^3 的硼掺杂剂浓度的硼掺杂结晶硅作为基于硅的电极110。

[0049] 术语“低电阻掺杂晶体硅”表示具有整体构造(即，整块结构)并且包括非多孔区和多孔区的硅基电极110，如2018年7月3日提交的标题为“具有包含多孔区的阳极结构的电池结构和操作方法”的美国序列号16/026,461中定义的，其全部内容和公开内容通过引用并入本文。

[0050] 可用作硅基电极110/110U的低电阻掺杂晶体硅可以使用阳极化工艺来制造，在该阳极化工艺中，将已经使用标准有机清洗工艺清洗的包括p型硅材料的至少上部区域的衬底浸入浓HF(49%)溶液中，同时施加电流，其中铂作为阳极，衬底作为阴极。阳极化过程利用在 $0.05mA/cm^2$ 至 $150mA/cm^2$ 的电流密度下操作的恒流源进行，其中mA为毫安。在一些实例中，电流密度为 $1mA/cm^2$ 、 $2mA/cm^2$ 、 $5mA/cm^2$ 、 $50mA/cm^2$ 或 $100mA/cm^2$ 。在优选的实施例中，电流密度为 $1mA/cm^2$ 至 $10mA/cm^2$ 。电流密度可以施加1秒至5小时。在一些示例中，电流密度可以被施加5秒、30秒、20分钟、1小时或高达3小时。在实施例中，电流密度可以施加10秒至4800秒，特别是对于 10^{19} 原子/ cm^3 范围内的掺杂水平。阳极化过程通常在(20°C)至30°C的标称室温下进行，或在从室温稍微升高的温度下进行。阳极化处理之后，通常用去离子水冲洗该结构，然后干燥。

[0051] 半介电层111(111U)是薄层121，其在电极对表面131、电极界面131/151(分别为131U/151)处很好地粘附到硅基电极110(分别为110U)。半介电层层111的厚度121涉及折衷。由于半介电层111是电绝缘体，所以使用与电极对表面131接触的介电材料通常将增加电极界面131/152处(131U/152U)以及硅基电极110与熔融离子导电层112之间的电阻/阻抗。然而，保持半介电层层111非常薄121减小了电极界面131/152处的电阻。半介电层层111的厚度121仍然必须足够大，以便能够牢固地粘附到硅基电极110并在整个电极对表面131上保持均匀的接触。在一些实施例中，半介电层层111的厚度121在15纳米(nm)和30nm之间。在其它实施例中，厚度121在15nm和23nm之间，并且在其它实施例中，厚度121在18nm和23nm之间。

[0052] 在一些实施例中，半介电层111由含锂的电介质制成。在一些实施例中，半介电层111由氟化锂(LiF)制成。氟化锂半介电层111可通过在电极对表面131上蒸发而沉积在硅基电极110上，形成直接设置在硅基电极110电极对表面131上的非晶氟化锂层111并形成电极界面131/152。

[0053] 半介电层111可以由其它材料制成，包括但不限于二氧化钛、氧化铌、氧化铷、氧化钨、氧化铝、氧化锌、氧化锆和任何前述的锂化形式。

[0054] 蒸发包括提供氟化锂源材料。然后在真空中蒸发源材料。真空允许氟化锂LiF的蒸气粒子移动到硅基电极110，在那里蒸气粒子凝结回固态。该蒸发包括蒸发设备，该蒸发设

备至少包含真空泵和能量源,该能量源蒸发待沉积的源材料,例如LiF。蒸发工艺可以包括但不限于电子束蒸发、使用Ni、Ta、Mo或W舟的热蒸发或射频(RF)溅射。沉积期间的压力通常控制在 $10E-8$ 至 $10E-4$ 托,温度控制在 875°C 至 1180°C ,半介电层111的厚度121可通过预先测量蒸发材料的质量或通过石英微量天平速率监测器来控制。

[0055] 在一些实施例中,在25秒和60秒之间,在4%到10%浓度的氢氟酸中蚀刻直径为的结晶硼掺杂(以上述定义的浓度)硅盘110、5/8",以去除天然氧化层。然后将这些硅盘立即安装到钢板105上,并在位于氮气环境手套箱内部的蒸发系统中真空密封为目标物体。使用称量的预定量的3.5至6.5毫克(mg)的LiF热蒸发氟化锂LiF层,并将其沉积到导电粉末样品支架中,所述支架连接到蒸发系统的用户控制的电源。LiF粉末在钨舟中进行电阻加热,并在低于 2×10^{-5} 巴的真空下通过施加20安培至50安培的电流将舟加热至超过 1100°C 而完全蒸发。

[0056] 然后,在半介电层层111上沉积熔融离子导电层112,以完成层对150。熔融离子导电层112的沉积在半介电层层111和熔融离子导电层112之间形成对界面对140。对顶表面151是熔融离子传导层112的与对界面140相对的表面。

[0057] 熔融离子传导层112由对离子具有高传导性的材料制成,特别是由对锂离子(Li^+)具有高传导性的材料制成。在一些实施例中,熔融离子导电层112由含锂盐制成。在一些实施例中,熔融离子传导层112由以下含锂盐中的一种或多种制成:六氟磷酸锂、高氯酸锂、三氟甲磺酸锂、氟化锂、 LiBF_4 、 LiBF_6 、氯化锂、磷酸锂化合物、溴化锂化合物、双(三氟甲磺酰基)亚胺锂(LiTFSI)、二氟(草酸)硼酸锂(LiDFOB)或双(草酸)硼酸锂(LiBOB)。

[0058] 在一些实施例中,熔融离子传导层112由双(三氟甲磺酰基)酰亚胺(LiTFSI)制成。

[0059] 以通过半介电层层111上沉积如上所定义的含锂盐层来形成熔融离子导电层112。含锂盐层的沉积可以包括任何常规沉积技术,例如滴涂,然后使用刮刀在半介电层111的表面上提供均匀一致的含锂盐层。接着,将含锂盐层加热至提供熔融含锂盐的温度。在本申请的一些实施例中,加热可以在大于 350°C 的温度下进行以提供熔融锂离子。加热可以在惰性环境中进行,例如氦(He)、氖(Ne)、氩(Ar)和/或氮(N_2)。在一个实例中,在 415°C 下在氮气手套箱中进行加热。熔盐具有高浓度的可移动锂在半介电层层111上的增加的粘附(润湿),从而提供均匀的层厚度122。然后冷却熔融的含锂盐以形成由熔融的含锂盐组成的熔融离子传导层112。从加热温度到标称室温进行冷却,该标称室温可以在 15°C 至 25°C 或更低的范围内。一旦冷却,熔融离子传导层112是在对界面140处形成在半介电层层111上的固体连续层。

[0060] 在一些实施例中,熔融离子传导层112可具有1nm至500nm之间的厚度122。在其他实施例中,熔融离子传导层112可具有1nm至50nm之间的厚度122。可以设想其它厚度。

[0061] 当在分隔层115的相对侧上时,层沉积的顺序可以颠倒。

[0062] 图2是设置在硅基电极110上的单层对150的可选实施例200的截面图,其中一个或多个器件层175设置在层对150上。

[0063] 包括固体聚合物电解质(SPE)层114。在该可选实施例200中,分隔层115将固体聚合物电解质(SPE)层114分成在分隔物层115上方的上部SPE层114B和在分隔物层115下方的下部SPE层114A。

[0064] 在一些实施例中,电解质层114由石榴石/聚合物电解质复合物(例如

$\text{Li}_{6.5}\text{La}_3\text{Zr}_{1.5}\text{Ta}_{0.5}\text{O}_{12}$ /PEO复合物)构成,其既用作固体聚合物电解质114又用作隔膜115。在其它实施例中,如果电解质比Li-金属硬(例如,溅射LiPON,则不需要隔膜,因为电解质既充当隔膜又充当电解质。

[0065] 在图2中,形成在对顶表面151上的层175(例如114(114A和114B)、115、116、118、120)被称为器件层,通常为175。器件层175可以采用多种形式,并且可以根据器件/实施例100的结构而处于多种组合中。如下所述,硅基电极110、层对150和一个或多个器件层175的组合将具有通过整个结构的减小的电阻/阻抗,这是由于在对层150和硅基电极110之间的电极界面131/152处的减小的电阻/阻抗造成的。

[0066] 在一个电池实施例中,电解质层114设置在对顶表面151上作为器件层175。电解质层114可以是现有技术电池中使用的任何已知的电解质。在一个实施例中,电解质层114由固体电解质或固体聚合物电解质(SPE)制成。

[0067] 固体聚合物电解质层(SPE)114的非限制性实施例包括可以传导Li离子的任何固体聚合物材料。在一个实施例中,固体聚合物电解质层114由聚合物结构主体材料、Li传导/增塑材料和含锂盐的混合物组成。

[0068] 在这样的实施例中,混合物包括35重量%至50重量%的聚合物结构主体材料、15重量%至25重量%的导电/增塑材料和30重量%至45重量%的含锂盐。在一些实施例中,聚合物主体材料和导电/塑化材料溶解于具有固体的无水乙腈中:溶剂比为1:2-1:10,优选1:3。该混合物可以利用本领域技术人员公知的技术制备。

[0069] 聚合物结构主体材料的说明性实例包括聚(环氧乙烷)(PEO)、聚(环氧丙烷)(PPO)、聚(二甲基硅氧烷)、聚(氯乙烯)或聚己内酯中的至少一种。

[0070] Li传导/塑化材料的说明性实例包括丁二腈(SN)、聚(乙二醇)(PEG)、非质子(aprotic)有机溶剂和/或二甲基亚砷(DMSO)中的至少一种。

[0071] 可用于形成固体聚合物电解质层的示例性含锂盐包括但不限于六氟磷酸锂、高氯酸锂、三氟甲磺酸锂、氟化锂、 LiBF_4 、氯化锂、磷酸锂化合物、溴化锂化合物、双(三氟甲磺酰基)酰亚胺锂(LiTFSI)、二氟(草酸)硼酸锂(LiDFOB)或双(草酸)硼酸锂(LiBOB)。

[0072] 存在于固体聚合物电解质(SPE)层114中的含锂盐可以与用于提供熔融离子导电层112的含锂盐相同或不同。通常,固体聚合物电解质层114中使用的含锂盐与用于熔融离子导电层112的含锂盐相同。在一个实施例中,用于固体聚合物电解质层114和熔融离子导电层112中的含锂盐均由双(三氟甲磺酰基)酰亚胺锂(LiTFSI)制成。

[0073] 在一个示例性实施例中,硅基电极110由掺杂硼的晶体硅构成,半介电层111由LiF制成,熔融离子导电层112由双(三氟甲磺酰基)酰亚胺(LiTFSI)制成,固体聚合物电解质层114由聚己内酯、丁二腈(SN)和双(三氟甲磺酰基)酰亚胺锂(LiTFSI)的混合物制成。

[0074] 固体聚合物电解质层114可以利用沉积工艺形成,例如滴铸、旋涂、刮刀等。

[0075] 在一些实施例中,可在固体聚合物电解质层114上形成任意的界面层116。可选的界面层116可以具有从1nm到50nm的厚度。在一些实施例中,省略界面层116。当存在时,界面层116形成固体聚合物电解质层114和对电极118之间的界面116。

[0076] 在一些实施例中,界面层116是在电化学反应时在阴极/电解质界面上形成的固体电解质界面(SEI)层。界面层116传导Li离子但不传导电子。

[0077] 在一些实施例中(通常在反电极118由与制造硅基电极110的材料类似或相同的含

硅材料制成时使用),界面层116由含锂盐构成。构成界面层116的含锂盐可以是用于上述熔融离子传导层112中的含锂盐中的一种或多种。在一个实施例中,界面层116和熔融离子传导层112由相同的含锂盐制成。在替代实施例中,制造熔融离子传导层112和界面层116的含锂盐是不同的材料。在一实施例中,熔融离子传导层112与界面层116皆由双(三氟甲烷磺酰)亚胺锂(LiTFSI)所构成。

[0078] 在一些实施例中,(通常在反电极118由与制造硅基电极110的材料类似或相同的含硅材料制成时使用),界面层116由混合在聚合物内的含锂盐组成。在一个实施例中,界面层由与LiTFSI锂盐混合的聚苯胺组成。

[0079] 在一些实施例中(通常在对电极118由阴极材料或电极材料制成时使用),界面层116由界面添加材料构成,例如碳(C)基材料、金(Au)或电介质氧化物材料,例如氧化铝。制造界面层116的材料可以是具有电绝缘以及Li离子传导成分的任意组合的混合物,例如但不限于 LiNbO_3 、 LiZrO_2 、 Li_4SiO_4 或 Li_3PO_4 。

[0080] 根据所选择的界面层116材料,界面层116可以使用沉积工艺形成,包括例如化学气相沉积(CVD)、等离子体增强化学气相沉积(PECVD)、蒸发、电化学电镀、滴铸、旋涂或原子层沉积(ALD)。

[0081] 在硅基电极110具有电极极性的实施例中,反电极118具有与电极极性相反的反电极极性。在本申请的一些实施例中,硅基电极110可以是阳极电极,而反电极118是阴极电极。在本申请的其它实施例中,硅基电极110可以是阴极电极,而反电极118是阳极电极。

[0082] 反电极118可以形成在固体聚合物电解质(SPE)层114上,或者可选地形成在界面层116上。反电极118可以用作阳极电极或阴极电极,但是通常,反电极118是锂宿主电极,例如阴极。

[0083] 在硅基电极110是阳极电极的实施例中,反电极118是阴极电极。在这样的实施例中,阴极电极(即,反电极118)也可以由硅基材料制成。当反电极118由硅基材料制成时,反电极118材料可在组成上与制造硅基电极110的材料相同或不同,并且可为上文所列的硅基电极110材料中的一种。

[0084] 在一些实施例中,在反电极118充当阴极118的情况下,制造阴极118的材料是含锂阴极材料。含锂阴极材料可以包括含锂材料,例如锂基混合氧化物。可用作含锂阴极材料的锂基混合氧化物的实例包括但不限于锂钴氧化物(LiCoO_2)、锂镍氧化物(LiNiO_2)、锂锰氧化物(LiMn_2O_4)、锂锰氟氧化物($\text{Li}_2\text{MnO}_2\text{F}$)、五氧化二钒锂(LiV_2O_5)、锂镍锰钴(NMC)、镍钴铝氧化物(NCA)、硫基材料与锂和其它结构支撑元素如铁的任何组合、或磷酸铁锂(LiFePO_4)。

[0085] 在一些实施例中,例如,当使用聚合物或液体电解质114时,可使用沉积工艺(例如,浆料浇注、层压和压延或电镀)来形成含锂阴极(反电极118)材料的层。在一个实施例中,当使用非液体基电解质时,使用任何常规前体源材料或前体源材料的组合,通过溅射形成含锂阴极材料的层。在一个实例中,锂前体源材料和钴前体源材料用于形成锂钴混合氧化物。

[0086] 溅射可以在惰性气体和氧气的混合物中进行。在这样的实施例中,惰性气体/氧气混合物的氧气含量可以是0.1原子%至70原子%,混合物的其余部分包括惰性气体。可以使用的惰性气体的例子包括氩、氦、氖、氮或其与氧的任意组合。

[0087] 在一些实施例中,含锂阴极118材料层可以通过浆料浇铸形成,其可以含有电化学

活性的[阴极材料、电子传导材料(例如,碳基材料)]和非活性的(粘合剂材料)组分的混合物。这些层的厚度可以在 $5\mu\text{m}$ 至 $500\mu\text{m}$ 的范围内。这些浆料还可以在混合物中具有电解质组分,以及锂基盐。

[0088] 在硅基电极110是阴极电极的实施例中,反电极118是阳极电极。在这样的实施例中,阳极电极(即,反电极118)可以是第二硅基电极。该第二硅基电极118可在成分上与硅基电极110相同或不同。

[0089] 在一些实施例中,阳极电极(即,反电极118)包括锂离子源材料或锂嵌入活性材料。可用作阳极118的材料实例包括但不限于锂金属、锂基合金例如 Li_xSi 、预锂化的碳基材料、预锂化的硅基材料或锂基混合氧化物例如锂钛氧化物(Li_2TiO_3)。阳极电极可以利用本领域技术人员公知的沉积技术形成。在一些实施例中,阳极电极可通过溅射形成。

[0090] 集电体120或反电极118接触120可形成在反电极118的顶上。集电体120/反电极接触120由一种或多种与制造电极接触105的那些材料相似或相同的导电材料制成。在一些实施例中,反电极接触120可以使用本领域技术人员公知的技术形成。

[0091] 在图2所示的实施例中,固体聚合物电解质层具有下部区域14A和上部区域14B,并且隔膜(或介电区域)115存在于下部区域114A和上部区域114B之间。隔膜(或介电区域)115可以由聚丙烯腈(PAN)、聚环氧乙烷(PEO)基共聚物基体或结构膜、四元聚砜膜、电纺聚偏二氟乙烯、或甲基丙烯酸甲酯(MMA)/聚乙烯(PE)复合物中的至少一种组成。

[0092] 隔膜层115使硅基电极110与反电极118电绝缘。换句话说,隔膜层115基本上防止了硅基电极110和反电极118之间的电子流动。然而,隔膜层115允许离子,例如锂离子(Li^+)通过。因此,隔膜层115允许离子电流流动,同时基本上防止任何电子电流。在一些使用液体电解质116的实施例中,隔膜材料可由液体渗透膜制成,例如Nafion。

[0093] 在一些实施例中,基元200可以用作微电阻器。例如,当锂嵌入电极时,基元的电阻发生变化。通过控制移动到电极110中的锂的量并保持该量恒定,基元200具有特定的电阻或电阻状态。通过创建或改变基元的电阻状态,该器件可以用作基于电阻器的计算器件,其中存储器被存储为基元内保持的电阻状态。在一些实施例中,可变电阻状态基元具有阴极118、电解质114和主体阳极(例如,硅、碳)110。

[0094] 图3是显微照片300,显示了由锂(Li)化合物,例如氟化锂 LiF 制成的薄的半介电层111,其被置于并粘附于硅基电极110的电极对表面131上。半介电层层111的厚度121是 23.29nm 。在该显微照片300中没有示出熔融离子传导层112并且没有形成层对150。

[0095] 显微照片300确实显示半介电层111对硅基电极110的优异粘附。

[0096] 如上所述,通过在蒸发系统中在 $30\text{-}33\text{amp}$ 之间蒸发 5.7mg 的 LiF 粉末,并在电极对表面131的表面152上冷凝 LiF ,制备半介电层111。

[0097] 图4是显示设置在硅基电极110上的层对150以及设置在层对150上的一个或多个器件层175的显微照片400。显微照片表示在EIS测试后对称基元(即100)的解剖之后的结构400。在对称基元100的分裂期间分离对称基元100的上半部分(由“U”表示),借此仅展示对称基元100的一半。

[0098] 半介电层111通过如图3所示蒸发和冷凝 LiF 粉末制成,另外,熔融离子导电层112通过沉积 LiTFSI 盐层并加热直至熔融相在半介电层111上产生良好粘附的熔融离子导电层112以形成层对150而制成。如上所述,层对150形成在硅基电极110上。半介电层111的厚度

121为26.04nm,熔融离子传导层112的厚度122为39.75nm。示出了电极界面131/152。

[0099] 一旦基元完成,界面(interphase)层425、器件层175通过材料、离子和电子在整个结构400中的移动而形成,并且包含器件结构400中的两个电极之间的固有电压差。另外,在EIS测量中使用的小的施加电势振幅也可促进系统中Li离子的移动,并因此也促进界面层425的形成。通常,由于电解质材料114与电极表面110/110U反应而产生界面层425,从而形成界面425。固体电解质界面(SEI)层425使电极电绝缘,同时离子化地促进离子电荷迁移。在这种情况下,界面层425为42.49nm厚。

[0100] 图5是对称基元能量存储装置的RC模型500,例如硅/层对/SPE-PAN/层对/硅,用于拟合电化学阻抗谱(EIS)产生的谱。

[0101] 通常,在EIS分析中, R_s 被测量/估计为在如图6所示的奈奎斯特图中的较高或最高频率(最左边的数据点)处的阻抗的实部。 R_s 是在电池的电极例如阳极和阴极之间的纯电阻分量,表示为欧姆或串联型电阻,并且由于电解质的导电性,其通常可与基元的接触电阻和/或基元内的电解质电阻相关。

[0102] 通常,模型500中的电阻器组件是指基元的电化学模型组成中的类电阻器元件;电容器元件是指基元的阻抗部件,其在给定频率的分量AC电流响应中具有相对于流经电阻元件的电流的电压/电流相位变化(朝向-90度)。例如,具有高度电容特性的EIS元件(例如“C”元件)对应于通常与层相关的基元100/200中的一个或多个表面,例如非亲密接触(分层的层)。恒定相位元件(CPE)是基元阻抗中的元件,其可以在给定频率范围(通常与原位生长或建立的过渡层相关联)上维持AC电流响应的恒定相位。当界面层原位形成和/或界面添加剂层原位或异位粘附时,这些元件通常用于最佳拟合的RC模型中。

[0103] 该模型包括串联或欧姆相关电阻 R_s ;与电阻器R1、电容器元件C1的并联组合及与其相关阻抗的串联;依次与电阻器R2和恒定相位元件CPE2的并联组合串联。“瓦尔堡(Warburg)”阻抗元件 W_s1 也是串联的。

[0104] 假定RC模型500中的组合元件R1和C1示出了在给定施加电压(例如,50mV)下在高(1MHz)到中(~100Hz)频率范围内作为电流检测的阻抗的实部和虚部的效应,表示电极界面131/152,即与半介电层层111和对底面152(或半介电层层底面152)电接触的电极对表面131。因此,RC模型中存在的R1/C1时间常数表示层对/硅界面上的电荷转移电阻。电阻器R2和恒定相位元件的组合的阻抗,电容CPE2,被认为表示相间425和SPE 114的接口。预期R2/CPE2时间常数代表由于原位界面形成而导致的较高阻抗量值。

[0105] 瓦尔堡阻抗 W_s1 模拟了由于离子扩散,例如锂离子扩散通过电极和电解质基元部件而产生的100/200阻抗效应。通常,在具有高性能离子扩散的基元的EIS分析中,对于电极110/118和/或与电解质相关的质量传输(电解质迁移),在从中(~100Hz)到低(200mHz)频率范围的电池的Warburg阻抗分量被观察为奈奎斯特图的接近45度“直的、对角”部分。

[0106] 串联电阻 R_s 代表与基元的接触电阻和/或由于电解质的导电性而在基元内产生的电解质电阻相关的阻抗的纯电阻分量。因此,电阻器的值 R_s 对电池/基元100/200产生的功率损耗和热量具有重要影响,因为它影响基元内电荷粒子移动性的容易程度。本发明包括包含在层对150中的薄半介电层111,与目前已知的结构相比,电阻器 R_s 的电阻和单位面积电阻(电阻率)值显著降低了5到10倍。因此,在层对150内使用薄半介电层111减少了电池/基元100/200产生的功率损耗和热量。

[0107] 图6是奈奎斯特图600以及来自图5中描述的EIS分析中使用的RC模型500的拟合图625、615。

[0108] 用于奈奎斯特图600的电池结构是对称的基元,包括具有层对150的硅基电极110、具有聚丙烯腈(PAN)隔膜的固体聚合物电解质(SPE),该电池与具有层对150的互补硅基电极110夹在一起。层对150的半介电层111是23nm厚的 LiF 层。熔融离子导电层112由被带至接近或超过其熔融温度的LiTFSI盐制成。SPE层114是聚己内酯(PCI)、丁二腈(SN)和双(三氟甲磺酰基)亚胺锂(LiTFSI)的混合物,并包含饱和聚丙烯腈(PAN)隔膜。

[0109] 奈奎斯特图600是一系列点的图,其中每个点,通常是605,在基元100两端的激励电压的给定频率下测量,例如100。在每个频率,奈奎斯特图600上的相关点表示基元(100,200)的总阻抗的实分量 Z' (在x轴624上以欧姆为单位测量)与总阻抗的虚分量 Z'' (在奈奎斯特图600的y轴626上以欧姆为单位测量)的关系。通常,虚分量 Z'' 是负值(指示电容),如图所示。在较低频率处测量的点605在奈奎斯特图600的右侧,其中向左的更多初始扫描/绘制的点具有较高频率,其中最高频率通常最接近0/0顶点。每个点605是在一个独立频率处测量的阻抗。

[0110] 曲线610是拟合在相应点605处测量的精确阻抗的线性曲线。曲线615是曲线610上点605的“最佳拟合”曲线,由图5的RC模型产生,曲线615上的区域625近似线性,斜率接近45度。这表明离子(如锂离子 Li^+)通过基元100/200的传输/扩散在宽频率范围内是有效的,从而保证使用图5中所示的Warburg阻抗元件。

[0111] 在该说明性示例中,所施加电压的频率从1兆赫变化到200毫赫,其中激励电势幅度为50毫伏,其中整个基元被偏置在0伏。

[0112] 图6A是图6的放大部分650的曲线图,示出了在大的奈奎斯特图600的高频到中频中的点605和RC模型线拟合615。同样,在每个频率,奈奎斯特图650上的相关点表示基元(100,200)的总阻抗的实分量 Z' (在x轴664上以欧姆测量)与总阻抗的虚分量 Z'' (在奈奎斯特图650的y轴665上以欧姆测量)的关系。

[0113] 在该曲线图中, R_1 的值675表示硅基电极110和层对界面电阻,其被确定为17欧姆。该值从高频区域中的小半圆的直径提取,如从 R_1 指向的黑色箭头所示。 R_2 的值685被确定为1114欧姆。建议通过减小SPE电解质和可能的层对的厚度121,可以进一步减小 R_2 的值,即表示通过电解质和电极的质量传输(mass transport)和扩散阻力的电池体电阻。 R_s 被估计为来自第一、最高频率数据点的实际电阻(X轴值)。

[0114] 在硅基电极110和SPE 114之间没有层对150的相同尺寸的现有技术对称基元/电池组具有在大约150欧姆范围内的 R_1 值和在大约4527欧姆范围内的 R_2 值。因此,通过包括层对1500, R_1 的值提高了接近10倍, R_2 的值提高了约4倍。

[0115] 换句话说, R_1 和 R_2 的电阻值可相对于硅基电极110的 1.88cm^2 面积而归一化,导致基元/电池100/200具有 $32\text{欧姆}\cdot\text{cm}^2$ (或小于 $40\text{欧姆}\cdot\text{cm}^2$)的 R_1 硅基界面电阻率和 $2094\text{欧姆}\cdot\text{cm}^2$ (或小于 $2\times 10^3\text{欧姆}\cdot\text{cm}^2$)的 R_2 体单元电阻率。另外, R_1/C_1 和 R_2/CPE_1 并联RC组件的时间常数(充电电流通过代表性材料所花费的时间量)为 $2.25\text{E}-6$ 秒和 $1.26\text{E}-2$ 秒;其中来自 CPE_1 的电容($1.137\text{E}-5\text{F}$)由下式计算: $C_{CPE} = R\left(\frac{1-n}{n}\right)Q_n^{\frac{1}{n}}$;其中 $R=R_2$, n =指数前因子(来自RC拟合的CPE-P)和 Q =伪电容(来自RC模型拟合的CPE-T)。

[0116] 图7是示出设置在3D图案化全锂电池组基元700中使用的硅基电极上的层对110的框图。

[0117] 图7是具有活性阳极材料(LiTFSI-PANI&石墨浆料)的新型能量存储装置700的框图,该活性阳极材料层叠在硅基电极衬底110/760中的活性硅区域760A/110上。活性阳极材料777在沟槽750的基部处和沟槽侧壁754上,其在初始电流循环期间和在形成锂金属阳极层740之前形成在部分原位结构700中。

[0118] 在该实施例中,作为示例,结构700具有完全在衬底110/760的3D沟槽750的界限内的阳极777。在该非限制性实例中,阴极接触785/118、隔膜735/115和电解质(732A/732B)在沟槽750的外部并设置在场756上。场756是衬底760/110在沟槽750外的表面。另外,活性阳极材料777、聚合物770以及在循环或原位时锂金属阳极层740被层叠在沟槽侧壁754和沟槽基底771上。示出了在循环之后的结构700,例如暴露于通过电池700的变化幅度的电流,以在电池700内形成结构和部件。

[0119] 电池结构700部分地封装在衬底760/110的沟槽750中。衬里/绝缘体754覆盖沟槽750的侧壁751,并且可以在场756上重叠。衬里754由通过已知方法沉积的电介质、电绝缘材料(如二氧化硅 SiO_2)或氮化硅 Si_3N_4)或多个绝缘层的组合制成。

[0120] 衬里754不覆盖沟槽基底771的有源表面760A/110,沟槽750的侧壁751上的衬里754层之间的沟槽底部区域770的表面。在沟槽771处的电活性表面760A/110是这样的区域,在电流循环导致这些表面处的转变以在沟槽771上形成锂化衬底区域760A和锂金属层740之前,沟槽750最初与衬底760/110交界的区域。

[0121] 在一些实施例中,在有源表面725上以及部分或全部在侧壁751上的绝缘层754上沉积成对层150。在其它实施例中,对层150完全沉积在绝缘层754上和衬底760/110的场756上。通过已知的掩模沉积技术来执行对层150的不同分层。

[0122] 在一些实施例中,粘合区770是覆盖沟槽750的沟槽基底771和侧壁751的层。

[0123] 在一些实施例中,阳极组合物(例如,石墨混合物和锂/电子导电粘合剂)777也覆盖沟槽750的侧壁751。

[0124] 在一些实施例中,电池结构700具有电解质层732A/114A和732B/114B以及隔膜层735/115。在一些实施例中,电解质层732A/732B是例如如上所述的固体聚合物电解质(SPE)。然而,任何电解质材料将在结构700中起作用。

[0125] 阴极755/118电连接至阴极接触785/120,其为导电材料,例如金属如铝(Al),和/或上述其它导电材料。在一些实施例中,阴极触头785/120连接到另一个顶部外侧触头705,如纽扣电池导电间隔件和/或壳体。

[0126] 在一些实施例中,底部外侧接触710,如纽扣电池壳体,附接到衬底760/110。

[0127] 图8是制造或加工800锂电池的方法的流程图,该方法使用层对150,使得该电池具有小于40欧姆-厘米²(对应于 $2.25\text{E}-6$ 秒的电荷转移时间常数)的电极界面电阻率R1和小于 2×10^3 欧姆-厘米²的体基元电阻率R2。(对应于 $1.26\text{E}-2$ 秒的电荷转移时间常数)。

[0128] 工艺800开始于步骤810,其在硅基电极110上形成薄的半介电层111,如上所述。薄半介电层111具有15纳米(nm)和30nm的薄半介电层厚度121。

[0129] 在步骤820中,如上所述,在薄半介电层111上沉积熔融离子导电层112以形成层对150。

[0130] 在步骤830中,一个或多个器件层堆叠在层对150上以形成器件100/200/700。

[0131] 已经出于说明的目的给出了本发明的各种实施例的描述,但是其不旨在是穷尽的或限于所公开的实施例。在不背离所描述的实施例的范围的情况下,许多修改和变化对于本领域的普通技术人员将是显而易见的。例如,根据本发明的实施例公开的半导体器件、结构和方法可以用于应用、硬件和/或电子系统中。用于实现本发明的实施例的合适的硬件和系统可以包括但不限于个人计算机、通信网络、电子商务系统、便携式通信设备(例如,蜂窝电话和智能电话)、固态媒体存储设备、专家和人工智能系统、功能电路等。结合半导体器件的系统和硬件是本发明的预期实施例。

[0132] 选择本文所使用的术语来解释实施例的原理和实际应用或对市场上存在的技术改进,或者以其它方式使本领域的其它普通技术人员能够理解本文所公开的实施例。以不同术语描述的执行基本相同的功能、以基本相同的方式工作、具有基本相同的用途和/或执行类似的步骤的设备、组件、元件、特征、装置、系统、结构、技术和方法被认为是本发明的实施例。

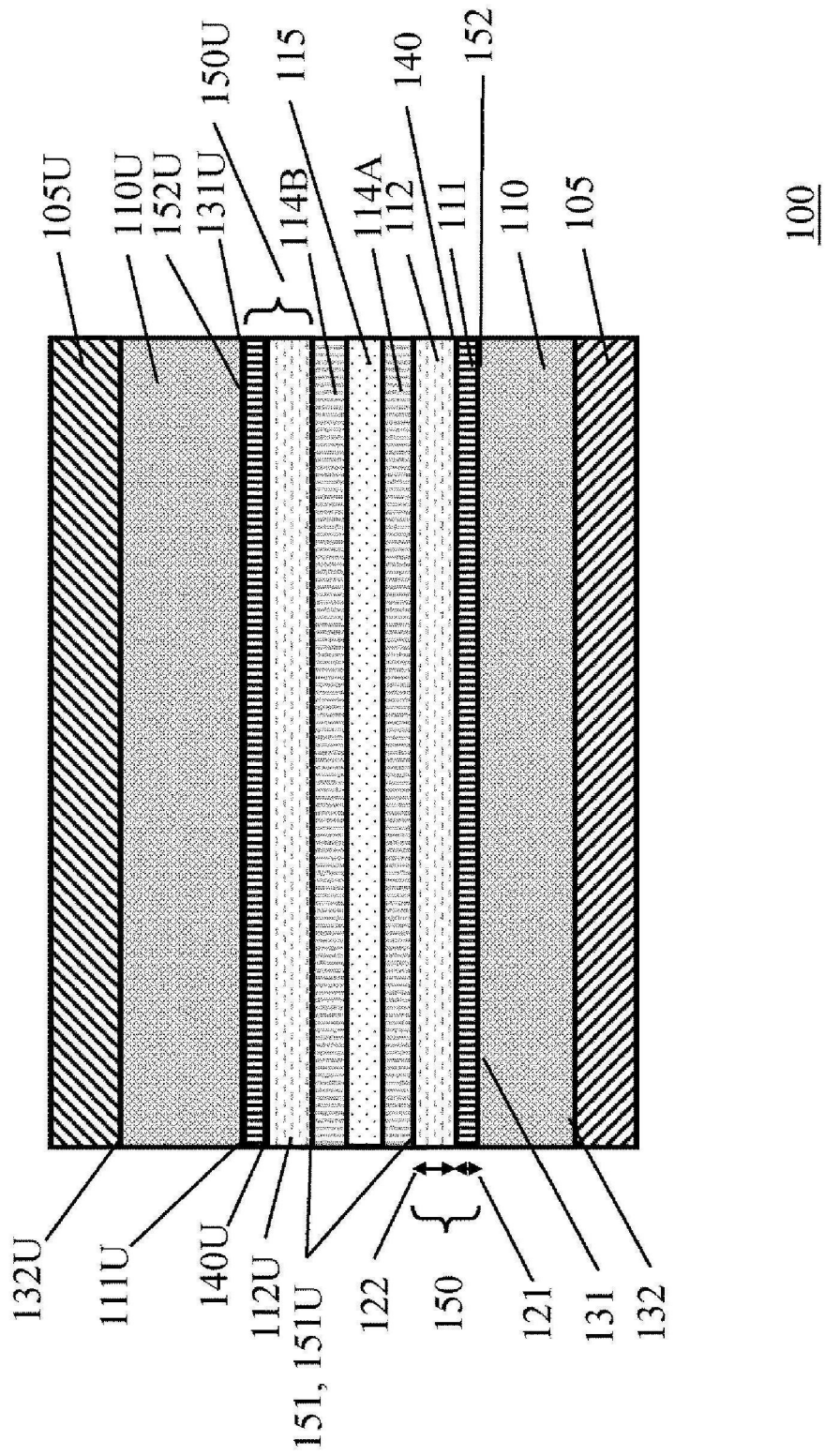
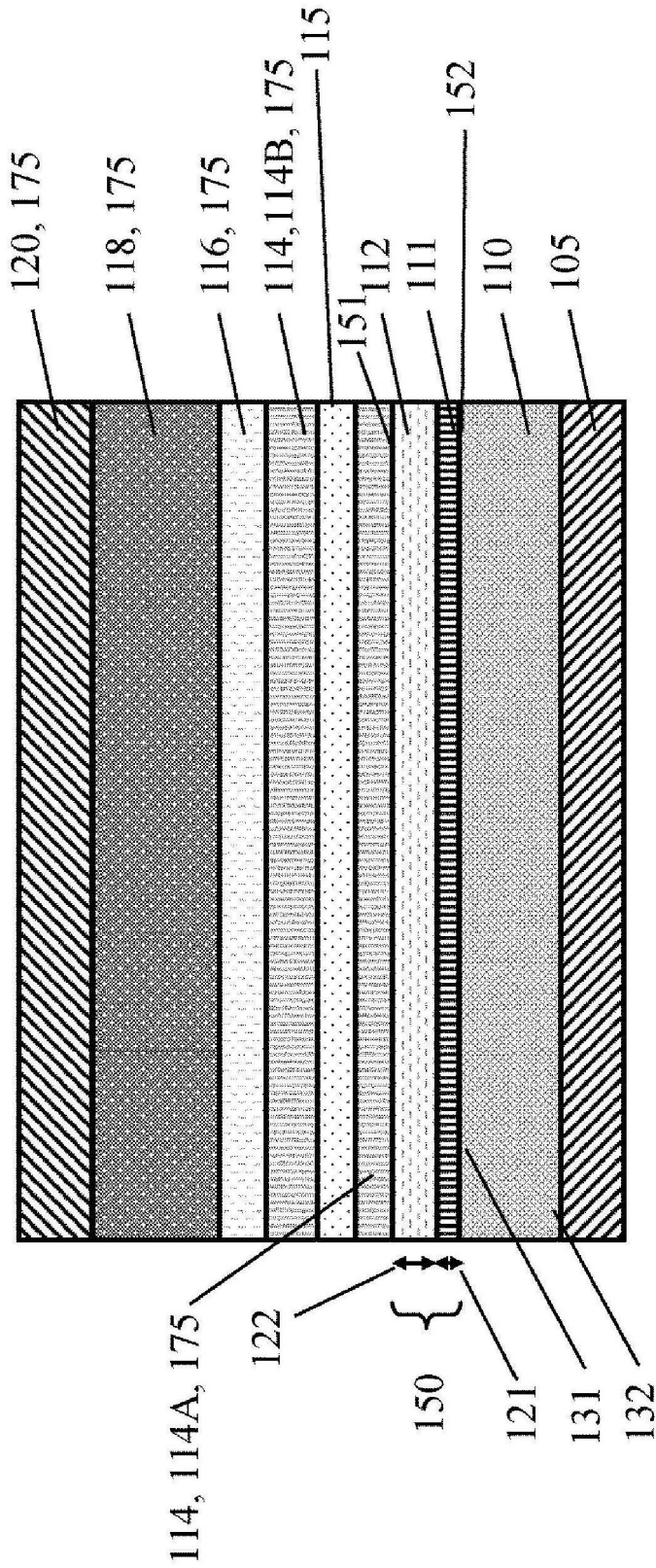


图1



200

图2

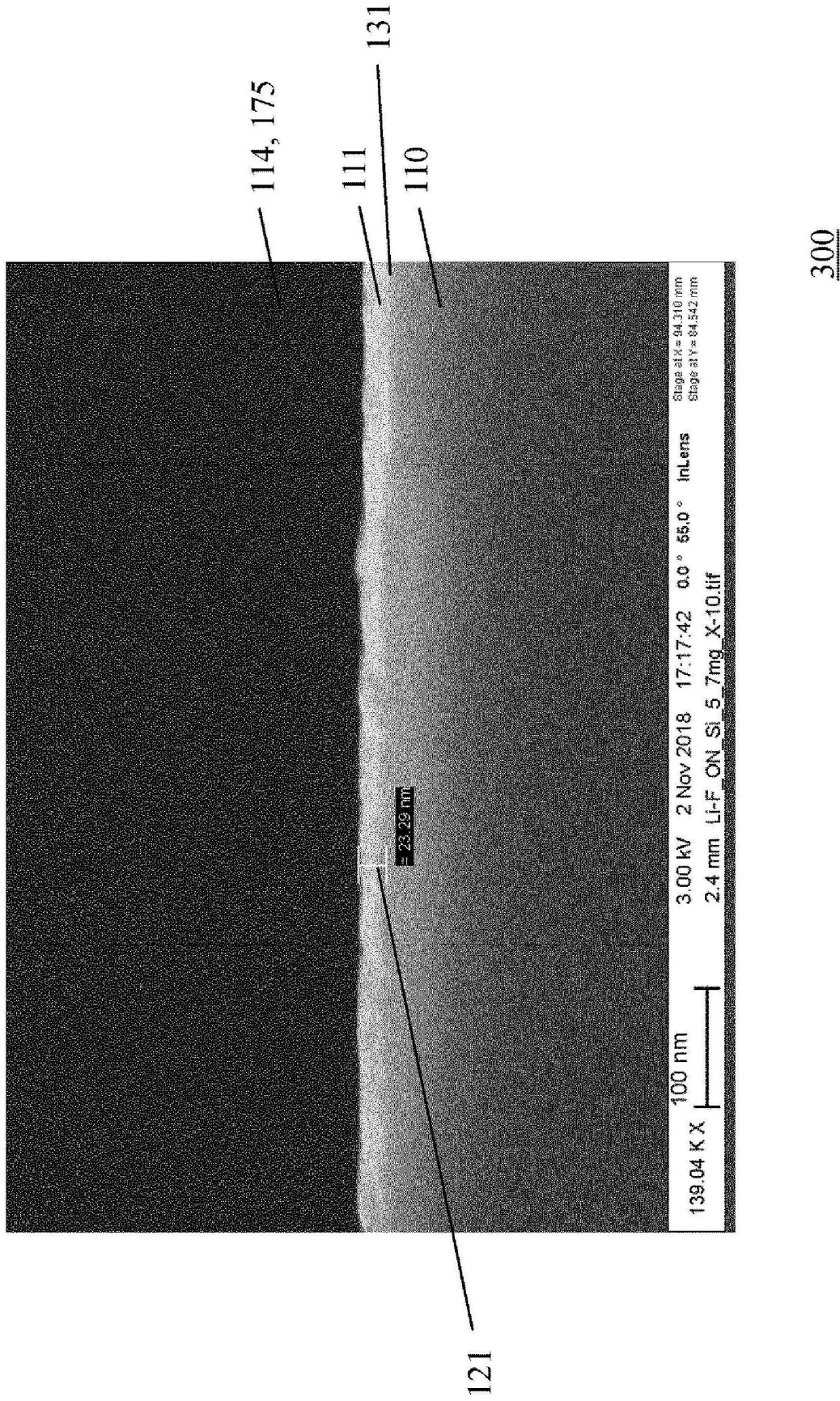
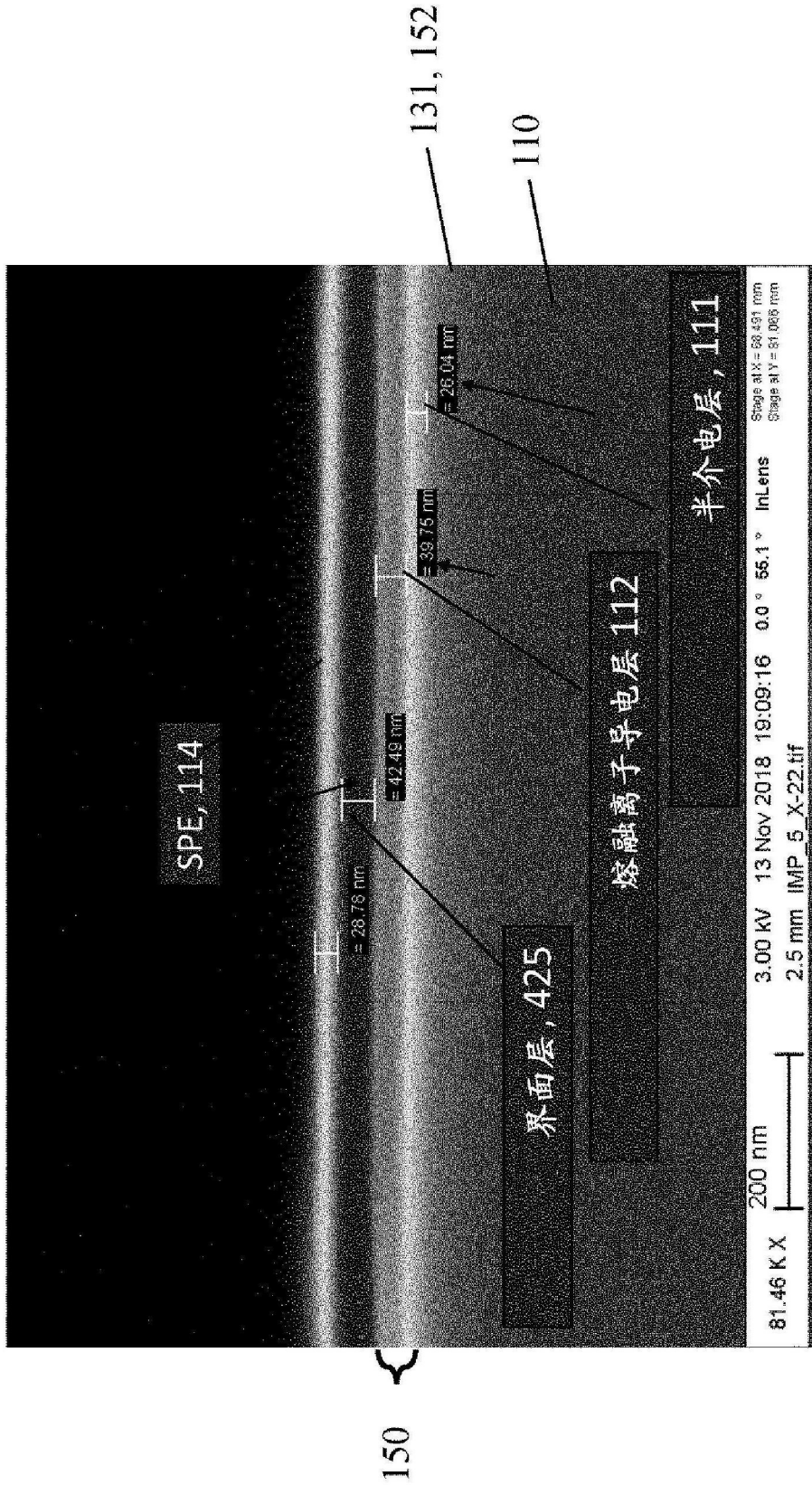


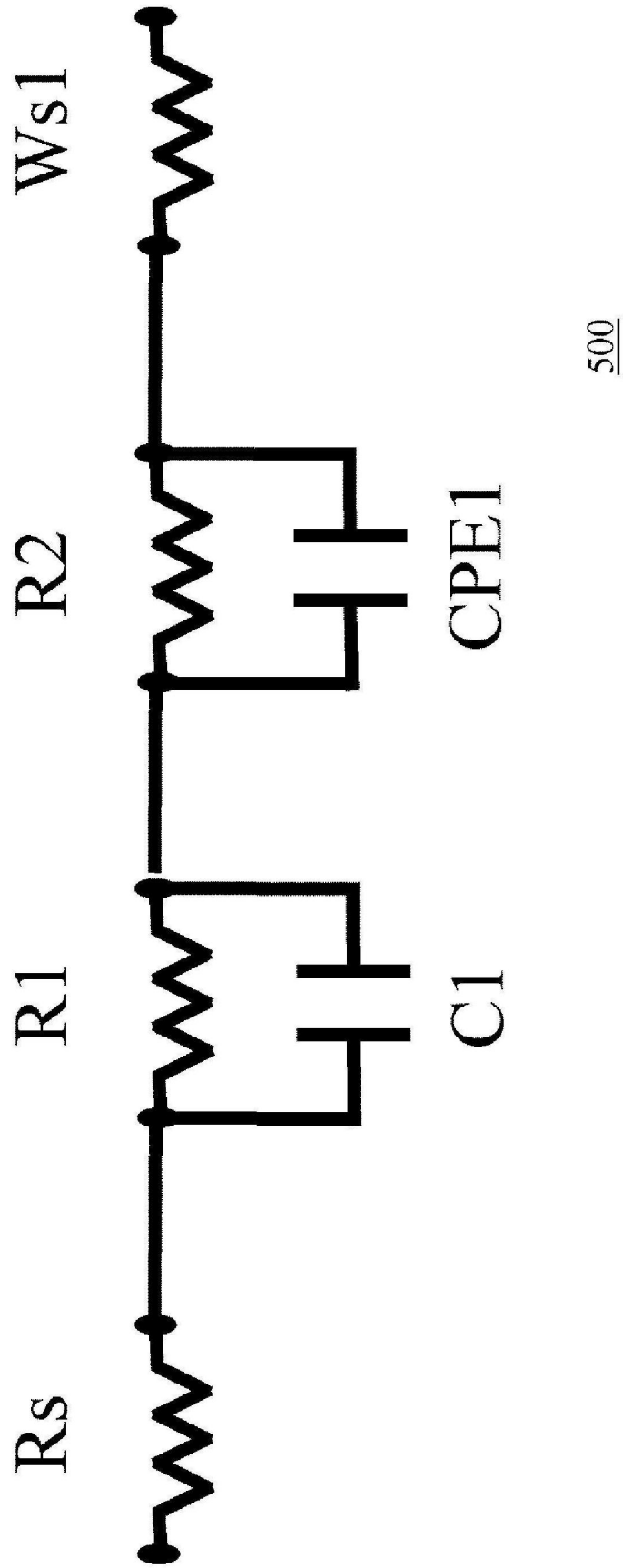
图3



150

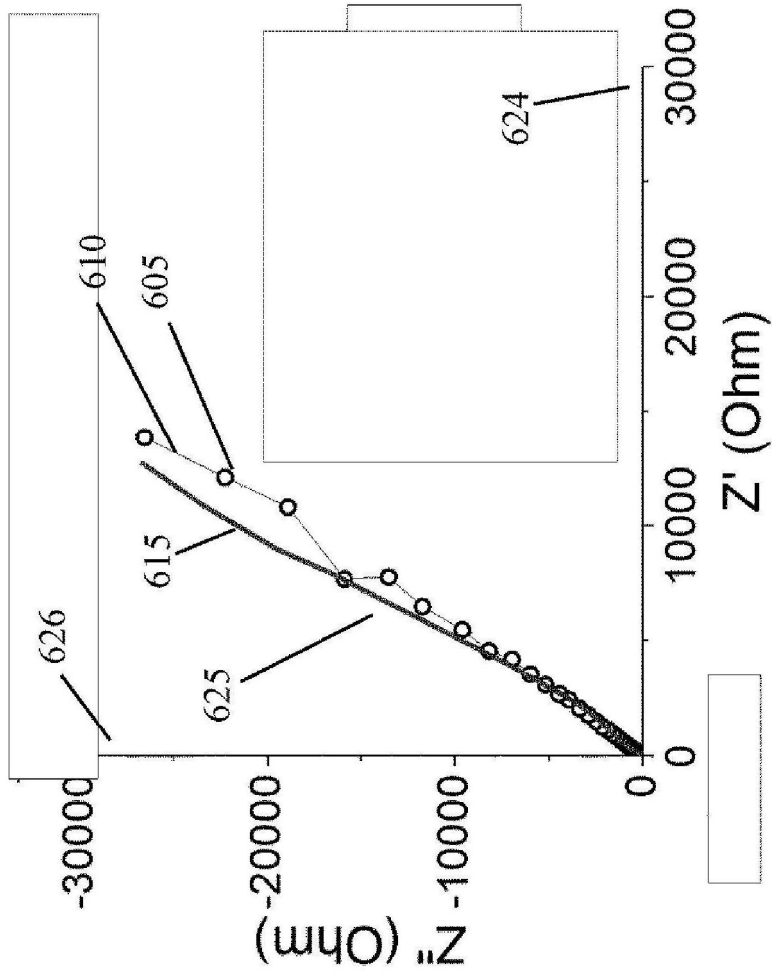
图4

400



500

图5



600

图6

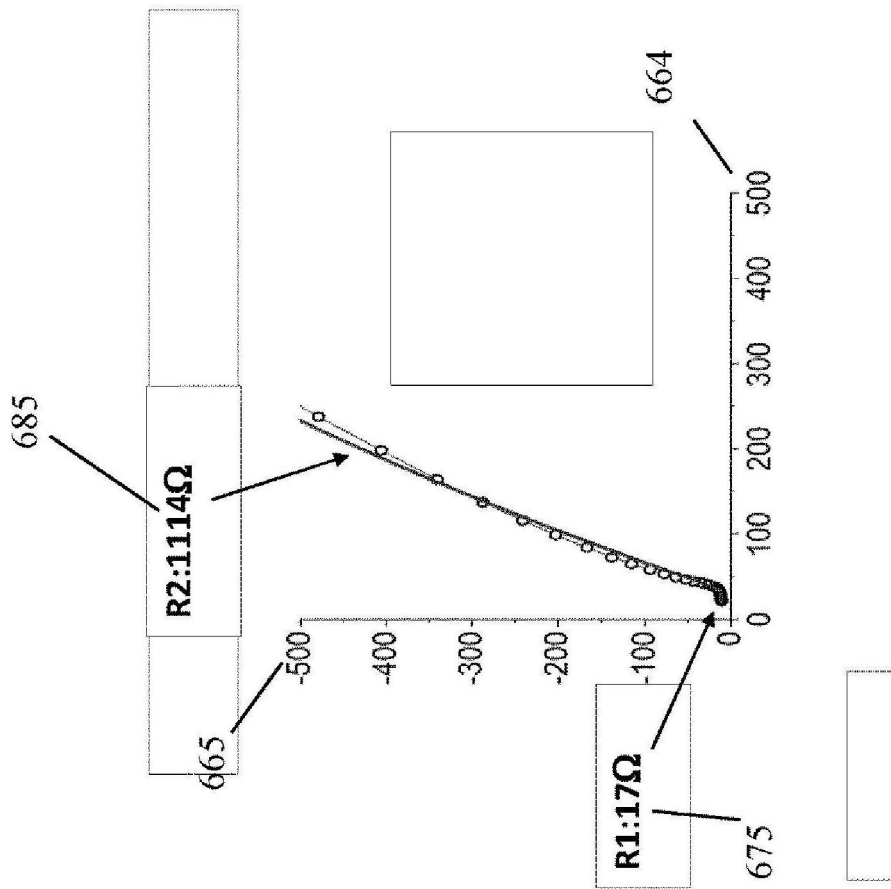
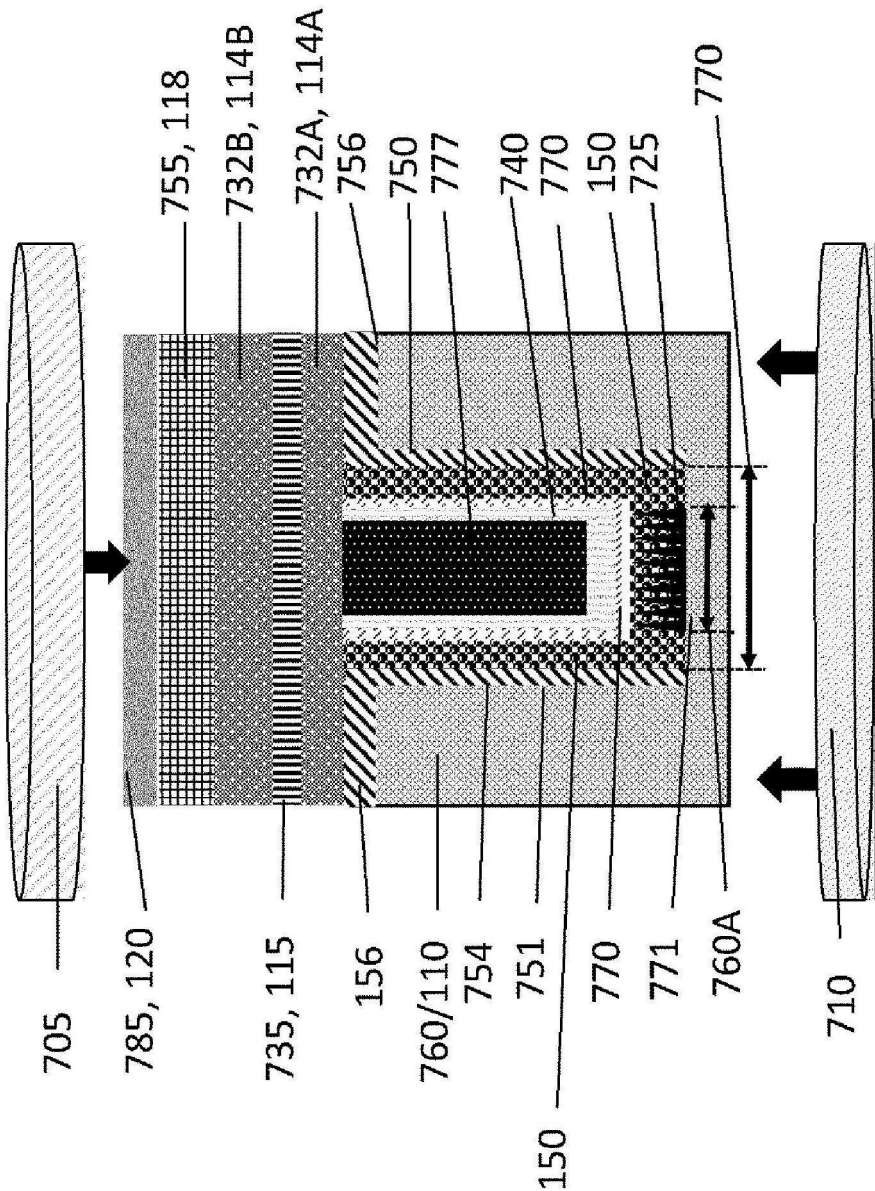


图6A

650



700

图7

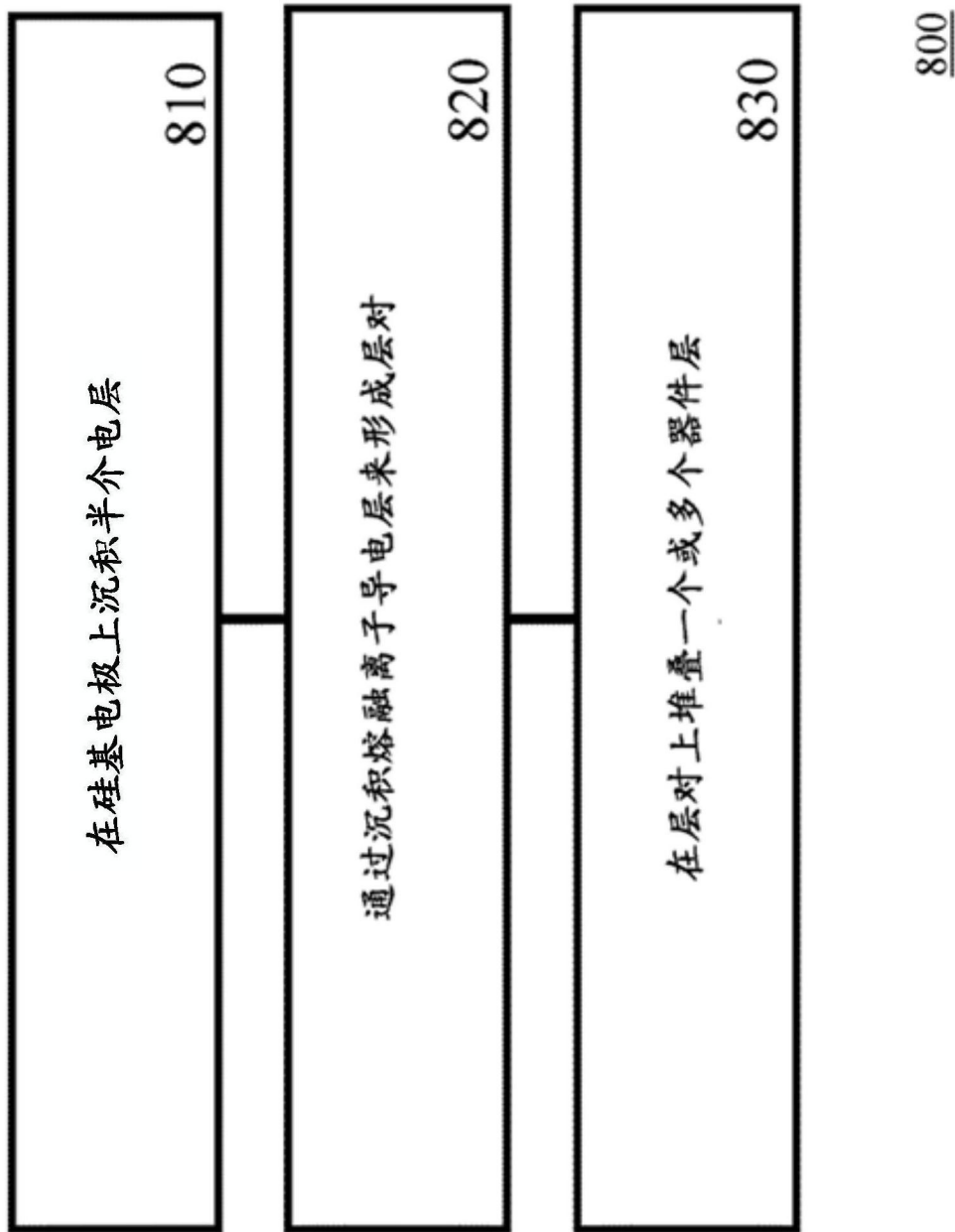


图8