

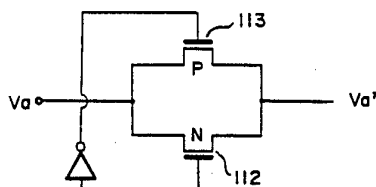
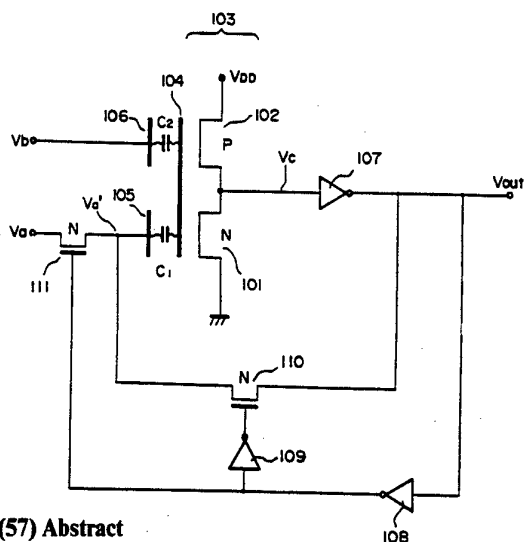


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5 H01L 27/10, 29/78	A1	(11) 国際公開番号 WO 94/03929 (43) 国際公開日 1994年2月17日 (17.02.1994)
(21) 国際出願番号 PCT/JP93/01071 (22) 国際出願日 1993年7月29日 (29. 07. 93) (30) 優先権データ 特願平4/222166 1992年7月29日 (29. 07. 92) JP (71) 出願人 ; および (72) 発明者 柴田 直 (SHIBATA, Tadashi) [JP/JP] 〒980 宮城県仙台市太白区日本平5番2号 Miyagi, (JP) 大見忠弘 (OHMI, Tadahiro) [JP/JP] 〒980 宮城県仙台市青葉区米ヶ袋2丁目1番17号301 Miyagi, (JP) (74) 代理人 弁理士 福森久夫 (FUKUMORI, Hisao) 〒160 東京都新宿区本塩町12 Tokyo, (JP) (81) 指定国 AT (欧州特許), BE (欧州特許), CH (欧州特許), DE (欧州特許), DK (欧州特許), ES (欧州特許), FR (欧州特許), GB (欧州特許), GR (欧州特許), IE (欧州特許), IT (欧州特許), LU (欧州特許), MC (欧州特許), NL (欧州特許), PT (欧州特許), SE (欧州特許), US . 添付公開書類 国際調査報告書		

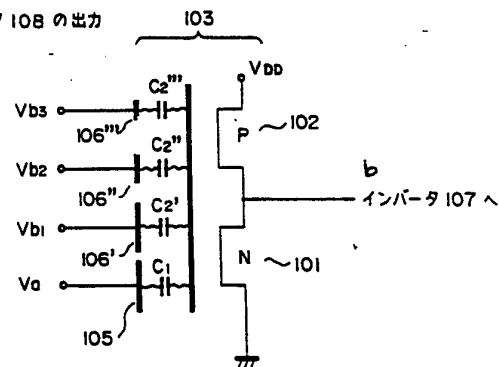
(54) Title : SEMICONDUCTOR DEVICE

(54) 発明の名称 半導体装置



a... output of inverter 108
 b... to inverter 107

図 インバータ 108 の出力



(57) Abstract

A semiconductor device of simple circuit capable of comparing the magnitudes of plural data at a high speed. This device has an inverter circuit group containing one or more inverter circuits formed by neuron MOS transistors; means for applying to a first input gate of the inverter circuit a first signal voltage which is common to the inverters belonging to the foregoing inverter circuit group; means for applying predetermined second signal voltage to one or more second input gates other than the first input gate of the inverter; and means for detecting the variation of the output voltage in at least one inverter circuit of the inverter circuit group due to the variation with time of either the first or the second signal voltage or both, and for applying positive feedback to given inverters of the inverter circuit group according to the detection.

(57) 要約

本発明は、簡単な回路を用いて高速に複数のデータの大小比較の演算を行うことのできる半導体装置を提供することを目的としている。

ニューロンMOSトランジスタにより構成されたインバータ回路を一個以上含むインバータ回路群を有し、前記インバータ回路の第1の入力ゲートに前記インバータ回路群に属する一個以上のインバータに対し共通の第1の信号電圧を加える手段を有し、前記インバータ回路の前記第1の入力ゲート以外の一個以上の第2の入力ゲートに各々所定の第2の信号電圧を加える手段を有し、前記第1及び第2の信号電圧のいずれか、もしくは双方の信号電圧の時間変化によって前記インバータ回路群中の少なくとも一つのインバータ回路において生じる出力電圧の変化を検知し、これにより前記インバータ回路群中の所定のインバータに対し正帰還をかける手段を有したことを特徴とする半導体装置。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	CS	チェッコスロヴァキア	KR	大韓民国	PL	ポーランド
AU	オーストラリア	CZ	チェッコ共和国	KZ	カザフスタン	PT	ポルトガル
BB	バルバドス	DE	ドイツ	LI	リヒテンシュタイン	RO	ルーマニア
BE	ベルギー	DK	デンマーク	LK	スリランカ	RU	ロシア連邦
BF	ブルキナ・ファソ	ES	スペイン	LU	ルクセンブルグ	SD	スーダン
BG	ブルガリア	FI	フィンランド	LV	ラトヴィア	SE	スウェーデン
BJ	ベナン	FR	フランス	MC	モナコ	SI	スロヴェニア
BR	ブラジル	GA	ガボン	MG	マダガスカル	SK	スロヴァキア共和国
BY	ベラルーシ	GB	イギリス	ML	マリ	SN	セネガル
CA	カナダ	GN	ギニア	MN	モンゴル	TD	チャード
CF	中央アフリカ共和国	GR	ギリシャ	MR	モーリタニア	TG	トーゴ
CG	コンゴ	HU	ハンガリー	MW	マラウイ	UA	ウクライナ
CH	スイス	IE	アイルランド	NE	ニジェール	US	米国
CI	コート・ジボアール	IT	イタリア	NL	オランダ	UZ	ウズベキスタン共和国
CM	カメルーン	JP	日本	NO	ノルウェー	VN	ヴェトナム
CN	中国	KP	朝鮮民主主義人民共和国	NZ	ニュージーランド		

明細書

半導体装置

技術分野

- 5 本発明は、半導体装置に係り、特に多数の入力データの大小比較をハードウェアを用いて高速に行うことのできる高機能半導体集積回路を提供するものである。

背景技術

- 10 情報処理や自動制御の分野では、数値で表現されたデータを比較して、その大小を判別することが非常に重要な役割を果たしている。

例えば、2つの数のうち大きな方をみつけることや、複数の入力データの中から最大の値をもったデータを選び出すこと、あるいは複数のデータをその数値の大きな順番に並びかえるいわゆるソーティング等々である。

- 15 このような操作は、通常計算機を用いて行うことができるが、数多くの演算を必要とするため、時間がかかり実時間制御に用いることは非常に困難であった。特にロボット等の制御に用いる場合には、ロボットにとりつけて計算する必要があるため、小さなLSIチップで実現することが要求される。

- そこで、マイクロプロセッサを用いて、そのプログラミングで行おうとすると
20 膨大な時間がかかってしまい実用化はほとんど不可能である。そこでハードウェアで直接大小比較を行う回路をつくろうと研究・開発が行われているが、回路実現のためには数多くの素子を必要とし、且つ何段もの回路を通して演算を行うため、小型で高速演算可能なLSIはまだ実現されていない。

- そこで本発明は、簡単な回路を用いて高速に複数のデータの大小比較の演算を
25 行うことのできる半導体装置を提供することを目的としている。

発明の開示

本発明の半導体装置は、基板上に一導電型の半導体領域を有し、この領域内に設けられた反対導電型のソース及びドレイン領域を有し、前記ソース及びドレイ

ン領域を隔てる領域に絶縁膜を介して設けられた電位的にフローティング状態にあるフローティングゲート電極を有し、前記フローティングゲート電極と絶縁膜を介して容量結合する複数の入力ゲート電極を有するニューロンMOSトランジスタを一個以上用いて構成された半導体装置において、ニューロンMOSトランジスタにより構成されたインバータ回路を一個以上含むインバータ回路群を有し、前記インバータ回路の第1の入力ゲートに前記インバータ回路群に属する一個以上のインバータに対し共通の第1の信号電圧を加える手段を有し、前記インバータ回路の前記第1の入力ゲート以外の一個以上の第2の入力ゲートに各々所定の第2の信号電圧を加える手段を有し、前記第1及び第2の信号電圧のいずれか、もしくは双方の信号電圧の時間変化によって前記インバータ回路群中の少なくとも一つのインバータ回路において生じる出力電圧の変化を検知し、これにより前記インバータ回路群中の所定のインバータに対し正帰還をかける手段を有したことを特徴とする。

15 図面の簡単な説明

図1 (a) は本発明の第1の実施例を示す回路図、図1 (b) はCMOSスイッチを用いた変形例、図1 (c) はアナログ信号 V_b にかわり3bitのデジタル信号を用いた変形例である。

図2 (a) は入力のNチャネル μ MOSトランジスタ (N- μ MOS) の断面構造の一例を示したものの、図2 (b) は μ MOS動作を解析するために簡略化した図面である。

図3 (a) は本発明の第2の実施例を示す回路図、図3 (b) は時間とともに0Vから5V (V_{DD}) まで直線的に上昇する信号入力を示すグラフ、図3 (c) は第2の実施例の変形例を示す回路図、図3 (d) はそれにより得られる出力波形図、図3 (e) は第2の実施例の他の変形例を示す回路図、図3 (f) は V_R としての入力信号を示す図、図3 (g) は他の変形例を示す図である。

図4 (a) は、本発明のWinner-Take-All回路をCMOS、二層ポリシリコンプロセスにより、シリコン基板上に試作した集積回路の顕微鏡写真であり、図4 (b) はその実験結果を示す図である。

図5は、本発明の第3の実施例を示す回路図である。

図6(a)は本発明の第4の実施例を示す回路図、図6(b)は本発明の第5の実施例を示す回路図である。

図7は、図6(a)の回路を2層ポリシリコンのCMOSプロセスでシリコン
5 チップ上に実現した例である。

図8は、本発明の第6の実施例を示す回路図である。

図9は、本発明の第7の実施例を示す回路図である。

(符号の説明)

- 101 NチャネルニューロンMOSトランジスタ、
102 PチャネルニューロンMOSトランジスタ、
104 フローティングゲート、
105, 106 入力ゲート、
107, 108, 109 通常のインバータ回路、
110, 111 NMOSトランジスタ。

15

発明を実施するための最良の形態

以下に実施例をあげ本発明を詳細に説明するが、本発明がこれら実施例に限定されるものではないことはいうまでもない。

(実施例1)

20 本発明の第1の実施例を図1(a)の回路図を用いて説明する。

図において101, 102はそれぞれNチャネルニューロンMOSトランジスタ及びPチャネル・ニューロンMOSトランジスタである。ニューロンMOSトランジスタは、脳を構成する神経細胞であるニューロンと同様の働きをするトランジスタであり、ニューロンコンピュータを実現するために発明された全く新しい概念のMOS型トランジスタである(発明者: 柴田直、大見忠弘、特開平3-6679号公報)。以下、このトランジスタを ν MOSと略称する。

25

この ν MOSは、非常に強力な機能を有するトランジスタであり、本発明は、この ν MOSを基本素子として用いたところに大きな特徴がある。 ν MOSの構造、及び機能については、別途図2を用いて説明する。

Nチャネル μ MOS (N- μ MOSと略) 及びPチャネル μ MOS (P- μ MOSと略) は各々、ドレインが互に接続されており、ニューロンMOSを用いたCMOS構成のインバータ回路となっている。これをComplimentary μ MOSインバータ、又は略してC- μ MOSインバータと呼ぶ。104はフローティングゲートであり、二つの μ MOS (101, 102) に共通のゲートとなっている。105, 106はそれぞれ入力ゲートであり、 C_1 , C_2 は各入力ゲートとフローティングゲート間の容量結合係数である。

107, 108, 109は通常のインバータ回路であり、110, 111はNMOSトランジスタでありスイッチの働きをしている。

この回路には、 V_a , V_b 2つの信号電圧が入力されており、 V_a は例えば回路の動作を決める参照電圧であり、 V_b は任意に時間変化する信号電圧である。この回路は、あらかじめ、 V_a によって指定されたピーク値より V_b の値が大きくなると V_{out} が V_{DD} 即ち「1」に固定される回路である。

つまり、 V_a が例えば温度を表す信号だとすれば、温度が規定の値をオーバーすると V_{out} が1となり、アラームを出すシステム等に応用できる。

図1 (a) の回路の動作を説明するために、まず最初に μ MOSの構造と動作原理について説明する。図2 (a) は4入力のNチャネル μ MOSトランジスタ (N- μ MOS) の断面構造の一例を示したものであり、201は例えばP型のシリコン基板、202, 203は N^+ 拡散層で形成されたソース及びドレイン、204はソース・ドレイン間のチャンネル領域205上に設けられたゲート絶縁膜 (例えば SiO_2 膜) 206は電氣的に絶縁され電位的にフローティングの状態にあるフローティングゲート電極、207は例えば SiO_2 等の絶縁膜、208a, 208b, 208c, 208dは入力ゲートで電極である。図2 (b) は μ MOS動作を解析するためにさらに簡略化した図面である。各入力ゲート電極とフローティングゲート間の容量結合係数を図の様に C_1 , C_2 , C_3 , C_4 , フローティングゲートとシリコン基板間の容量結合係数を C_0 とすると、フローティングゲートの電位 Φ_F は次式で与えられる。

$$\Phi_F = (1/C_{TOT}) (C_1 V_1 + C_2 V_2 + C_3 V_3 + C_4 V_4)$$

但し、 $C_{TOT} \equiv C_0 + C_1 + C_2 + C_3 + C_4$

V_1, V_2, V_3, V_4 はそれぞれ入力ゲート 208a, 208b, 208c, 208d に印加されている電圧であり、シリコン基板の電位は 0 V、すなわちアースされているとした。

- 5 今、ソース 202 の電位を 0 V とする。即ちすべての電極の電位をソース基準として測定した値とする。そうすれば、図 2 に示した ν MOS は、フローティングゲート 206 を通常のゲート電極とみなせば通常の N チャネル MOS トランジスタと同じであり、そのゲート電位 Φ_F が閾値 (V_{TH}^*) より大となるとソース 202, ドレイン 203 間の領域 205 に電子のチャネル (N チャネル) が形成
- 10 され、ソース・ドレイン間が電氣的に接続される。即ち、

$$(1/C_{TOT}) (C_1 V_1 + C_2 V_2 + C_3 V_3 + C_4 V_4) > V_{TH}^*$$

の条件が満たされたとき ν MOS は導通 (ON) するのである。

- 以上は N チャネル ν MOS トランジスタについての説明であるが、図 2 (a) においてソース 202, ドレイン 203 及び基板 201 をすべて反対導電型にし
- 15 たデバイスも存在する。即ち、基板は N 型であり、ソース・ドレインが P^+ 拡散層で形成された ν MOS であり、これを P チャネル MOS トランジスタ (P- ν MOS) と呼ぶ。

次に、図 1 (a) の C- ν MOS インバータ 103 の動作について説明する。

フローティングゲート 104 の電位を Φ_F とすると、

$$20 \quad \Phi_F = \frac{C_1 V_a + C_2 V_b}{C_{TOT}} \quad (1)$$

となり、 Φ_F がフローティングゲートからみたインバータの反転電圧 V_1^* より大となったとき、即ち

$$25 \quad \Phi_F = \frac{C_1 V_a + C_2 V_b}{C_{TOT}} > V_1^* \quad (2)$$

が満たされたとき、インバータ 103 はオンして、その出力が反転する (但し、

トランジスタ 111 はオン状態にあり、 $V_a = V_{a'}$ であると仮定した)。

今、説明を簡単にするため

$C_0 \ll C_1 + C_2$ の条件が満たされており、 C_0 が無視できると仮定する。

即ち $C_{TOT} = C_1 + C_2$

- 5 と仮定する。 C_0 が $C_1 + C_2$ と同程度の値をとっても、以下の説明は全く同様になり立つことは言うまでもない。

図 1 (a) の回路では、例えば $C_1 = C_2$ と設計されている。

また V_1 の値は例えば、 $V_{DD}/2$ 即ち、 V_{DD} を 5 V として 2.5 V に設定されている。これらの値も、必要に応じてその他の設定値に変更してもよいことは言

- 10 うまでもない。

以上の条件下では、C- μ MOS インバータ 103 がオンする条件は、(2) 式より

$$V_a + V_b \geq 5 \text{ [V]} \quad (3)$$

となる。

- 15 今、例えば、 $V_a = 2 \text{ V}$ が入力されており、 V_b は 0 V であったと仮定する。
(3) 式は満たされていないから、インバータ 103 はオフで、その出力電圧 V_c は 5 V となっている。

従って $V_{OUT} = 0 \text{ V}$ であり、NMOS 110 のゲート電圧は 0 V でスイッチはオフ、NMOS 111 のゲート電圧は 5 V でスイッチはオンとなっている。

- 20 V_b が時間とともに変動しているとすると、 $V_b \geq 3 \text{ V}$ となったときに (3) 式が成り立ち、インバータ 103 がオンして V_c は 5 V から 0 V に向かって変化をはじめ。

この変化は、インバータ 107 によって増幅され V_{OUT} は急速に 0 から 1 (5 V) に立ち上る。

- 25 これにより、トランジスタ 110 のゲート電圧は 5 V となりトランジスタはオンして導通する。即ち、インバータ 103 に対しては出力 V_{OUT} が入力ゲート 105 にフィードバック (帰還) されるのである。これは、いうまでもなく正帰還であり、回路は $V_{OUT} = 1$ を記憶することになる。即ち、 μ MOS インバータ 103 のオンとともに正帰還ループが自動的に閉じられ、 μ MOS インバータを

用いた、いわゆるフリップ・フロップ回路が現出するのである。

以上の説明から明らかなように、図1 (a) に示した本発明の第一の実施例の回路は、 V_b が設定値 (3 V) を越えたときにのみ出力 V_{OUT} が1に固定される回路となっている。

- 5 このような簡単な構成で、ピーク値を検出してアラームを出す回路が実現できる。例えば、 V_{OUT} をランプやブザーのスイッチ制御に用いればよい。アラームをリセットするには $V_b = 0$ に落としてやればよい。

10 以上は、 μ MOSインバータ103をたった1つだけ用いた最も簡単な応用であるが、 μ MOSインバータを複数個用いることにより、さらに高度な応用が可能となる。これらについては第2の実施例以降で説明する。

- 15 尚、 V_a を参照信号電圧で一定値とし、 V_b をモニターする信号の入力としたが、これは逆にしても全く同様に動作する。即ち、 V_b を一定の参照信号とし、 V_a をモニター信号としてもよい。また V_a 、 V_b が同時に時間的に変動する信号入力であってもよいことは言うまでもない。また、スイッチ110、111としてNMOSトランジスタを用いたが、このスイッチの出力電圧、例えば V_a' の
20 最大値は、 $V_{DD} - V_{TH}$ (V_{TH} はNMOS111の閾電圧) であり、 V_a がこの値より大きいときは、第1の入力ゲート105への入力信号は、 $V_{DD} - V_{TH}$ の一定値となる。

- 20 V_a' の値として、必ず V_a と等しい値を得るためには、トランジスタ111のかわりに例えば図1 (b) に示したようなCMOSスイッチを用いればよく、このときはインバータ108の出力が V_{DD} である限り、NMOS112、PMOS113のいずれか一方が必ずオンしているので常に $V_a = V_a'$ となる。

スイッチ110に関してもNMOSではなく図1 (b) のCMOSスイッチを用いた方がよいことは言うまでもない。

- 25 これらのスイッチトランジスタに関しては図1 (a) のようにNMOSのまま、例えばブートストラップ回路の手法を導入して、ゲート電圧を十分に高くし、出力電圧が大きくなったときのトランジスタのカットオフを防止してもよい。またインバータ108は必ずしも必要ではない。このときは V_{OUT} を直接、NMOS110のゲート電極に接続し、その反転信号をNMOS111のゲート

に投入してやればよい。図1 (a) の回路のようにインバータ108を挿入し、このインバータに時間で τ の遅れをもたせると、インバータ103の出力が十分に安定した状態でフィードバックがかかるためノイズマージンが上昇するという効果がある。またトランジスタ111は省略してもよい。

- 5 この場合は、 V_a を出力している回路のトランジスタよりもインバータ107のトランジスタの電流駆動力を十分大きくしておけばよい。あるいはトランジスタ111の代りに抵抗を挿入し、その抵抗値をインバータ107のNMOSやPMOSのON抵抗よりも十分大きくしておけばよい。

- また、図1 (a) の回路では、 V_b の入力としてアナログ信号の場合についてのみ述べたが、これは例えばデジタル信号で与えてもよい。図1 (C) は、アナログ信号 V_b にかわり、3 b i t のデジタル信号、 V_{b1} 、 V_{b2} 、 V_{b3} (V_{b3} が最下位ビット) を加えた場合の実施例であり、C-MOSインバータ103の部分のみとり出して書いてある。他の部分はすべて図1 (a) と同様である。図1 (a) の C_2 を3つのコンデンサ C_2' 、 C_2'' 、 C_2''' に分割し、それぞれに各ビット信号が入力されている。このとき $C_2' : C_2'' : C_2''' = 4 : 2 : 1$ とすると、(3) 式に相当する式は、

$$V_a + 1/7 (4 V_{b1} + 2 V_{b2} + V_{b3}) \geq 5 \quad (4)$$

となり3ビットのバイナリ信号をD/A変換した値が入力信号となる。

(実施例2)

- 20 図3 (a) は本発明の第2の実施例を示す回路図であり、WINNER-TAKE-ALL回路と呼ばれる。つまり V_1 、 $V_2 \cdots V_n$ の n 個の入力信号に対し、それぞれ出力 V_{01} 、 $V_{02} \cdots V_{0n}$ が対応しており、最大入力に対応する出力のみ「1」となり、その他はすべて「0」となる回路である。勝者のみが「1」となって生き残り、他のものはすべて0となるのでこの名前がつけられている。これは、ニューラルネットワークをはじめとし、様々な画像処理で極めて重要な働きをする回路である。

図3 (a) の回路は、図1 (a) と同様の回路ブロック301a、301b、 $\cdots$ を複数個並べた回路であり、図には代表として2個のブロックのみ示したが、必要に応じて任意の個数に増やしてよい。(n個あるとする。)

301のブロックにおいて、302はC- μ MOSインバータであり、303は入力端子であり V_1 なる信号が入力されている。

304は制御記号入力端子であり、他のブロックと共通の信号 V_R が入力されている。

- 5 305は μ MOSインバータ302の出力電圧を反転増幅するためのインバータであり、306aは正帰還ループ開閉用のスイッチングトランジスタである。

図1(a)の回路と異なるのは、インバータ108の代りに、多入力(n入力)NOR回路307が用いられていることであり、このNOR回路には V_{01} , $V_{02} \dots V_{0n}$ とすべてのブロックの出力信号が入力されている。NOR
10 回路の出力 V_N は、各ブロックに備えられたインバータ308で反転され、トランジスタ306のオン、オフを制御するとともに V_R 信号をカットするためのトランジスタ309のゲートに入力されている。

本回路の動作は、図1(a)の回路動作と基本は全く同じであり容易に理解することが出来る。

- 15 図1(a)と同様に μ MOSインバータ302に於いて $C_1 = C_2$ であり、さらにフローティングゲートからみた反転電圧 $V_I = V_{DD}/2 = 5$ [V]、 $C_1 + C_2 = C_{TOT}$ であると仮定すると μ MOSインバータ302がオンするための条件は、(3)式より

$$V_1 + V_R \geq 5 \text{ [V]} \dots\dots\dots (5)$$

- 20 となる。(5)式の条件は他のすべてのブロックについても同様であり、

$$V_i + V_R \geq 5 \text{ [V]} \quad (i = 1, 2, \dots, n) \dots\dots (6)$$

となる。

- 次に V_R としては、例えば図3(b)のように、時間とともに0Vから5V (V_{DD})まで直線的に上昇する信号入力を用いる。 V_R は、すべてのブロックに
25 共通に加えられているので、 V_i の最も大きな値の入力されているブロックで最初に(6)式が満たされる。今、説明の都合上、 V_1 が $V_1, V_2, \dots, V_n$ の中で最大値をもっており、例えば $V_1 = 3.2$ Vであったとする。そうすると $V_R = 1.8$ Vとなったときに(5)式が成り立ち、 μ MOSインバータ302がオンし、その出力電圧 V_{x1} は V_{DD} (5 V)から0Vに向って減少をはじめる。

この変化はインバータ305によって増幅され、インバータ305の出力 V_{01} は急速に0Vから5Vに立ち上る。

307はn入力のNOR回路であり、どれか1つでも入力が1となると出力が0に落ちる回路である。つまり、301aのブロックの出力 V_{01} が1になったのを検知して V_N を0に下げる。この結果、NMOSトランジスタ306a, 306b, ……等がオンし、すべてのブロックのフィードバックループが閉じられることになる。この時、各ブロックでは、そのブロックが出力している電圧(V_{01} , V_{02} , …… V_{0n})をそのままフリップ・フロップに記憶する。

従って V_{01} のみ1となり、これ以外の出力(V_{02} , V_{03} , …… V_{0n})はすべて0となるのである。つまり最大入力のセルのみ生きのこり、他はすべて0となる。

このようにして最大入力を極めて容易に検出することができるのである。

従来、このようなWinner-Take-All機能実現には、コンピュータを用いて行うのが普通であった。即ち、各入力信号を、アナログからデジタルに変換した後、各データの比較をすべて行うことにより最大値をみつけていた。

n個のデータから最大値をみつけるには、n回の比較操作が必要であり、データ数の増加とともに非常に多くの演算処理を要し、多大な時間を要していた。従って、マイクロコンピュータ等で高速に処理することは不可能であり、ロボット等の制御のための実時間処理実現は非常に困難であった。

CMOSを用いた本発明では、図3(b)のランプ電圧を1回掃引するだけで、回路が自動的に最大値をみつけてくれる為、非常に高速に処理することが可能となった。しかも、図3(a)に示したように、極めて数少ない素子数で実現できるため、小さなチップ上に集積可能となった。さらに、このWinner-Take-All回路以外にメモリやマイクロコンピュータさらにD/A, A/D変換器をすべて同一チップ上に集積することも可能であり、ロボット等に組み込んで非常に高度な情報処理を高速に行うことができ、その結果自動制御技術、情報処理技術に限りない大きなインパクトを与えている。数多くの応用の一例として、連想メモリチップがあり、これは、本発明の第4の実施例として後に述べる。

尚、上記実施例では、 V_R として図3 (b) の様に直線的に増加するランプ電圧信号を用いたが、これに限る必要はなく、時間とともにその電圧値が増加する信号であればよい。例えば図3 (c) のような回路を用いれば図3 (d) のような V_R の出力波形が得られる。これは、抵抗 R を通してコンデンサー C を充電する回路であり、その立上り時間はおおよそ RC である。

図3 (d) より明らかなように、時間が RC を経過した後は V_R の変化がゆるやかになっているため、 $V_1, V_2, \dots, V_n$ の入力電圧がいずれも小さく、わずかな差で大小比較を行う際には、このような V_R を用いる方が精度が上がる。

図3 (c) では R と C を用いたが、例えば R を省略し、PMOS 310 のオン抵抗を NMOS 311 のオン抵抗に較べ十分大きくしてやってもよい。また図3 (e) に示したように、NMOS 312 を通してコンデンサー C に充電するようにしてもよい。こうすれば V_R が V_{DD} に近づくに従いトランジスタ 312 がオフに近づくため益々その抵抗値が大きくなり、 V_R の増加の割合は極めてゆるやかなものとなり、さらに精度のよい比較を行うことができる。このとき $V_{DD}' - V_{TH} > V_{DD}$ としておくと V_R の最大値は V_{DD} となる。

また、 V_R としては、図3 (f) に示したような階段状の信号を入力してもよい。こうすると最大入力との差が ΔV の範囲にあるすべてのブロックを同時に1に固定することができる。つまり2つ以上の入力が非常に接近している場合は、同時にそれらのブロックを勝者 (winner) と同定できるのである。これは、ノイズ等による誤動作も防ぐという効果もある。 ΔV の値を任意に設定することにより、様々な最大値検索範囲の幅を選ぶことができる。

同様の効果は、例えば図3 (g) のような回路を図3 (a) に追加することでも得られる。

307は図3 (a) の n -入力のNOR回路であり、どれか1つの入力が1になると出力 V_N が0に落ちる。しかし次段のインバータ 313 の入力電圧が下がるのには $R_f C_f$ の時定数程度の時間を要するため、その出力 V_M は0のままである。即ち、どれか1つのブロックが1を出力してから $R_f C_f$ の時間が経過してから V_M が0から1に変化する。

この V_M を 306 a, 306 b の NMOS トランジスタのゲートに入力すると

ともに、一段インバータを通してから、トランジスタ309のゲートに入力してやれば、フィードバックループを閉じるとともに、 V_R をカットすることができる。

- この場合、 V_R として例えば図3 (b) のような信号を用いる場合には、 R_f
5 C_f をTよりも十分小さくしておくといよい。そうすれば最大値に対し $V_{DD} \times$
($R_f C_f / T$) 程度の範囲にある入力ブロックを1に固定することができる。また、 V_R としては、どのような波形を用いてもよい。例えば、図3 (f) のような階段状のものと組合わせてもよい。このとき $C_f R_f$ を各インバータが反転する時間より十分大きくとり且つ $C_f R_f < \Delta t$ としておく正確に ΔV の
10 巾で最大値をとらえることができる。

図4 (a) は、本発明のWinner-Take-All回路をCMOS、二層ポリシリコンプロセスにより、シリコン基板上に試作した集積回路の顕微鏡写真である。その内容は、図3 (a) と同等の回路である。(但し、 $C_1 : C_2 = 0.4 : 0.6$ に設定されている)

- 15 この回路を用いた実験結果を図4 (b) に示す。 V_R として図3 (b) のようなランプ電圧を加えた結果であり、上の2つの図面は、 V_R の入力ゲート304の電位 V_{y1} , V_{y2} であり、下の2つは V_{01} , V_{02} である。 $V_R = 2.2V$ となったとき、入力2.5Vの入っているブロック1では1が固定され、入力2.0Vのブロック2では0が固定されているのが分る。

- 20 尚、その他のブロックは、入力は2V以下に設定して実験を行った。尚 V_{y1} の出力が最大値で3.5Vにまでしか上っていないのは、NMOSトランジスタ306aにより閾値分の電圧低下によるものであり、例えば図1 (b) のようなCMOSスイッチを用いれば5Vの最大出力が得られる。以上のことから設計通りの結果が得られていることが分かる。

- 25 尚、上記実施例では、各インバータにおいて V_R は常に1つのゲートにのみ加えているが、例えば304の入力ゲートを2つもしくは3つに分割し、それぞれに別の信号を加えてもよい。即ち1つには直流電圧を加え、もう1つのゲート V_R を加えてもよい。こうすることにより、より範囲を限定した最大値の検索をすることができる。

また例えば、304のゲートを C_1' 、 C_1'' 、 C_1''' の3つに分割し、 $C_1' : C_1'' : C_1''' = 4 : 2 : 1$ の比にしておくと、それぞれのゲートに3ビットにコーディングされたバイナリカウンタ信号を入力することにより、実効的に階段状の信号を加えることができる。

5 (実施例3)

図5は、本発明の第3の実施例を示す回路図である。これは V_1 、 $V_2 \dots$ 、 V_n の入力のうち、もっとも小さな入力を検索する回路である。回路構成は図3(a)とほとんど同じであり、同一の箇所には同じ番号が付してある。図3(b)と異なるのは、307のn入力NOR回路にかわり、n入力のNAND回路
10 507が用いられている点、及びインバータ308がなくなり、かわりにインバータ508が入れられている点である。そして、 V_R としては、 V_{DD} より時間とともに0Vに向って単調減少する信号が用いられることである。

$V_R = V_{DD}$ では、すべてのブロックにおいて(6)式($V_i \neq 0$ と仮定)が成り立っており、すべての V_{0i} ($i = 1 \sim n$)は1となっている。

15 従って $V_N = 0$ であるが、 V_R が減少しはじめると最も小さな入力の入っているブロックでインバータが反転し、出力が1から0に落ち、 V_N は1にかわる。従って一番小さな入力をもつブロックのみ0が固定され、他はすべて1が固定されることになる。この様にして、もっとも小さな入力を検索することができる。

(実施例4)

20 本発明の第4の実施例を図6(a)に示す。この実施例は、連想メモリの回路図の主要部分を示したものであり、非常に簡単な構成で、高速アクセス可能な連想メモリチップが実現できるものである。

図において、601～604は1または0を記憶できる記憶素子である。これは例えば、スタティックRAMのメモリセルと同様のフリップ・フロップを用い
25 ればよい。あるいは、ダイナミックRAMのメモリセルでもよいし、EPROM、 E^2 PROM等の不揮発性メモリセルであってもよい。ここでは、原理説明のため4セル分のみ示してあるが、これはもっと多くてもよいことは言うまでもない。

例えば、横に8ビット分のセルを並べておき、縦には必要なデータ数を並べて

おいてもよい。また各フリップ・フロップにデータ書き込みを行うには、データライン605a, 605bにデータをセットするとともに、セレクトトランジスタ606a, 606b等をオンしてデータを取りこめばよい。セレクトトランジスタをオンするにはワード線607をHIGHにすればよい訳であるが、本図に
5 はそのための回路が描かれていない。このようなデータの選択書き込みは、公知の技術であり、本発明の主旨とは直接関係しないため、説明を簡単にするため省略した。

608, 609は図1(a)と同様の回路であり、610, 611等の回路とともに、図3(a)と同様のWinner-Take-All回路を構成してい
10 る。

次に、この回路の動作について説明する。まず参照データ A_2 , A_1 を612b, 612aのラインより入力し、各メモリセルのデータとの比較が行われる。たとえば、 A_1 とメモリセル602のデータ X_1 との比較は、613のXOR回路で、両者の排他的論理和をとることで行われる。その演算結果 Y_1
15 は、コンデンサ C_a を介してフローティングゲート614に伝えられる。

つまり、608の ν MOSインバータのフローティングゲート電位 Φ_F は、

$$\Phi_F = C_a Y_1 + C_b Y_2 + C_R V_R \dots\dots (7)$$

与えられる。これは、609の ν MOSインバータについても同様である。従って、 V_R に図3(a)の様な信号を加えると、 $C_a Y_1 + C_b Y_2$ が最大値をもつインバータが最初に反転する。
20

例えば608が最大値をもっているとする V_{01} が1になる。これをうけてOR回路610が1を出力し $V_L = 1$ となる。これによりMOSトランジスタ615, 616がオンして、各インバータのフィードバックループが閉となり、その時の出力値が固定される。即ち $V_{01} = 1$, $V_{02} = 0$ が固定される。 V_{01} の電位は、607のワード線を介して、606a, 606b等のトランジスタのゲートに伝えられ、これらのトランジスタをオンするため、メモリセル602, 601のデータ X_1 , X_2 が出力線605a, 605bに出力される。即ち
25 $B_1 = X_1$, $B_2 = X_2$ となるのである。

これが参照データ入力 A_1 , A_2 に最も近いデータである。なぜなら613の

XOR回路は、 A_1 と X_1 即ち、参照信号とメモリの内容が一致したときのみ1を出力する回路であり、参照信号との一致が多い程、(7)式の値は大きく、これに対応するインバータが最初に反転するからである。

- 5 以上のように、極めて簡単な回路構成で連想メモリが構成できる。従来技術で連想メモリを構成しようとする、各データを1つ1つ比較し、その差分を計算するとともに、その差分の最小値をさがすという演算が必要となり、非常に複雑な回路が要求されたばかりでなく、演算に多大の時間を要していた。

- 本発明により、連想メモリが簡単にLSIチップ上に高集積化できるようになったばかりか、高速演算が可能となり、ロボット等の実時間制御が極めて容易に行えるようになった。

- 尚、 C_a 、 C_b 等の容量の大きさは、たとえばすべて等しく $C_a = C_b = \dots$ と設定してもよい。そうすると、参照入力データ A_1 、 A_2 、……とメモリセル内のデータ X_1 、 X_2 、……の間で一致するビットの数が最も多いデータがよみ出されることになり、いわばデータ間のハミング距離の最も小さいデータがとり
15 出せることになる。

あるいは、 C_a 、 C_b 等の大きさを $C_a : C_b : C_c : \dots = 1 : 2 : 4 : \dots$ のように、2のべき乗の比にしてやると、それぞれ2進表現された数に対し、最も差の小さな数をみつけ出す回路となる。あるいは、任意の大きさの比にしてやり、それぞれのビットのデータに重要度に応じた重みを割りあててもよい。

- 20 以上は簡単のために、参照データとの距離が最小のものが、ただ1つしかない場合の説明をしたが、2つ以上ある場合でも同様に簡単に読み出すことができる。

- この場合は、図6(a)の回路ではなく、例えば最も近いデータのインバータで1が固定された後、1の固定されている行のメモリセルのデータのみ順次読み
25 出す制御回路が必要である。これには例えば、同時に反転が生じた場合には、それぞれのブロックに1を書き込む余分のメモリセルを装備しておき、この信号が1のときは順次読み出しを行う回路をとりつければよい。このような制御は従来技術で簡単に行える。

図6(a)の回路中、XOR回路は構成するのに通常数多くのトランジスタを

必要とするが、 ν MOSを用いれば4個で実現することができる（特願平3-83152号）。従来のトランジスタで構成してもよいが、 ν MOSを応用することにより、さらに全体の構成が簡略化される。

図6(a)の回路では、参照データ A_1 、 A_2 とメモリセル602、601に保護されているデータ X_1 、 X_2 の間のXORをとった値 y_1 、 y_2 を ν MOSインバータ608等の入力ゲートに入れているが、このXOR回路613は例えばXNOR（排他的論理和の否定）回路に変えても良い。このときは、参照データとの一致の最も少ないデータが選出されることになる。即ち差が最大となるデータを読みだすことができる。

10 以上のように、様々な機能が簡単に実現できるのである。

また、 C_a 、 C_b 、 C_c ……等に1:2:4:8……等の2のべき乗の大きさの比をもたせた場合、入力データのビット数が大きくなるにしたがい大小比較の精度が小さくなる。特に最下位ビットのみ異なる2つの大小比較が難しくなる。これを解決するには、例えば、図6(b)に示したように本発明の第5の実施例を用いれば良い。

(実施例5)

図6(b)は、例えば9ビットのデータ n 個の保持されているメモリで、連想を行う場合の回路構成の概略を示した図である。上から順に $(A_8, A_7, A_6, \dots, A_0)$ 、 $(B_8, B_7, B_6, \dots, B_0)$ 、 $(C_8, C_7, C_6, \dots, C_0)$ 、……
20 $(Z_8, Z_7, Z_6, \dots, Z_0)$ というデータが保持されているとする。

620、621、622はデータの上位より3ビット分ずつのデータをそれぞれ保持している。623aはこの上位3ビット分のデータだけでA~Z、 n 個のデータの中の最大値を見つけるWinner-Take-All回路であり、信号 V_{R1} 最大値にもつセルにのみ1が固定される。624はそのための0から5V
25 までを掃引することにより1ビットのメモリセルを示しており、実際にはこれは、図6(a)と同様に ν MOSインバータにフィードバックをかけることで1を固定する。

同様の大小比較を、同時に他の下位ビットのデータについても、 V_{R1} を0から5Vまで掃引することにより行くと、それぞれの大小に応じて1又は0が各々の

場所に記憶される。625はこれらの記憶された各々3ビットのデータについて比較を行うWinner-Take-All回路であり V_{R2} を掃引することにより最大のデータに相当する出力線626を1に固定する。これにより9ビットのデータn個中の最大データを見つけ出せるのである。この出力線を例えば図6

5 (a)のワード線607に戻してやれば、参照データに最も近いデータを読み出すことができる。

この実施例では3ビットを1組としたが、これは精度の保てる範囲であれば、もっと増やしても良い。また、Winner-Take-All回路は V_{R1} と V_{R2} 2つの信号で駆動されるものを2段使ったが、これももっと増やしても良い

10 ことはいうまでもない。mビットを一組のデータとし、r段、Winner-Take-All回路を組み合わせることにより、 m^r ビットのデータ比較を正確に行うことができる。

図7は、図6(a)の回路を2層ポリシリコンのCMOSプロセスでシリコンチップ上に実現した例である。6個のフリップ・フロップを一行にならべ、これ

15 を4段重ねたテスト回路であり、設計通りに動作することが確かめられた。

(実施例6)

図8は、本発明の第6の実施例を示す回路図で、データを大きな順番に並べかえるソーティング回路である。

例えば1つのバイナリ表現されたデータが一行のフリップフロップ（ここでは

20 例示のため2個だけを示した）801, 802にたくわえられており、別のデータが下の一行のフリップ・フロップ803, 804にたくわえられている。

801, 802のデータ Y_1 , Y_2 は、それぞれ入力ゲート801', 802'から容量結合により ν MOSインバータ806のフローティングゲート805に伝達されている。

25 ν MOSインバータ806のフローティングゲート805には、もう1つの入力ゲート807より信号 V_R が入力されている。このフローティングゲートの電位 Φ_F は、(7)式と全く同じである。

808の回路は、本発明は第1の実施例(図1の(C))と同様のものであり、 Φ_F がインバータの閾値を越えたときにインバータが反転し、そのとき出力

V_{01} に1が固定される。

次にこの回路の動作について説明する。

809は例えば4ビットのバイナリカウンタであり、 $(Z_4, Z_3, Z_2, Z_1) = (0, 0, 0, 0,)$ から $(1, 1, 1, 1,)$ 、即ち、0から15までカウントアップする回路である。

この出力をまず、D/Aコンバータ810でアナログ信号に変換し、これを V_R とする。こうすれば V_R の信号波形は、例えば図3 (f) のような階段状の信号となる。

今、 $C_b = 2 C_a$ 、 $C_R = C_a + C_b$ と設計したとする。またインバータ
10 806, 806' の反転電圧を $V_{DD}/2 (= 2.5 V)$ とすると、インバータ
806, 806' が反転する条件は

$$\{ (1/3) \cdot (5/2) \cdot (2Y_2 + Y_1) \} + \{ (1/15) \cdot (5/2) \cdot (8Z_4 + 4Z_3 + 2Z_2 + Z_1) \} \geq 5 \dots (8)$$

ここで、 $Y_1, Y_2, Z_1 \dots Z_4$ は0又1のバイナリ信号である。

15 (8) 式左辺の $\{$ でくくられた第一項は各メモリ例に記憶されているデータの大きさに相当し、第二項はカウンタ出力である。従って、カウンタがカウントアップして行ったとき最大データの記憶されている列のインバータが最初に反転して、例えば V_{01} が1に固定される。一方、811はバイナリーカウンタ回路である。最初、例えば $(P_4, P_3, P_2, P_1) = (0, 0, 0, 1)$ にリセッ
20 トされているとする。これらの値は、4本のデータ線811a (図では簡単のため一本の矢印で表示してある) によって各ブロックにそれぞれ配置されている4ビットのメモリセル (812, 812') にパストランジスタ812b,
812b' を通して入力されている。各列の $V_{01}, V_{02} \dots$ が0のときは、イン
バータ812a, 812a' でその出力が反転されてトランジスタ812b,
25 812b' のゲート電極に入力されているため、これらのトランジスタはオンしているが、例えば V_{01} が最初に1に固定されるとパストランジスタ812bはオフとなり、001というカウンタの出力が4ビットのメモリ812に保存される。この後は V_{01} は1に固定されたままだから、812bトランジスタはずっと
オフしつづけており、3のメモリ内部のデータが変化することはない。つまりメ

メモリ 812 には、3 のブロックのデータが最大値、即ち一番 (001) であることが記録されるのである。

トランジスタ 812b がオフして、カウンタ 811 のデータを取りこんだあと、カウンタを 1 つカウントアップして、 $(P_4, P_3, P_2, P_1) = (0, 5 \quad 0, 1, 0)$ に即ち 2 にする。

さらにカウンタ 809 のカウントアップをすすめ、 V_R を大きくして行くと次々と大きい順にインバータが反転して順次その出力が 0 から 1 にかわっていく。それと同時に各列に付随する 4 ビットのメモリセルにその順位が記録されて行くことになる。つまりバイナリカウンタ 809 を 0 から 15 までカウントアップしおわると、すべてのデータに順位番号がふれたことになる。あとは、カウンタ 811 をリセットし 1 から 15 までもう一度カウントアップするとともに、各列に付随する順位番号のメモリ (812, 812') のデータとの比較で行い丁度一致したときにワード線 813, 813' を 1 にするようにすれば、大きさの順番に各メモリのデータが、データ線 814, 814' によみ出せる。ここで回路 M815 はマッチング回路でありバイナリカウンタ 811 とメモリ 812 の内容が一致したときにのみ 1 を出力する論理回路である。

ここではバイナリカウンタ 809, 811、マッチング回路 815 やこれらの回路の制御方法については、詳しく述べなかったが、これらのすべて公知の技術で実現できることは言うまでもない。

20 以上のように CMOS の Winner-Take-All 回路を用いると、従来多大な時間を要したデータのソーティングが極めて簡単に且つ高速に実行できるようになり、自動制御の分解への応用に大きくインパクトを与えている。

(実施例 7)

図 9 に本発明の第 7 の実施例である、9 ビットの 2 進数の大小を即座に判定する回路について、その回路図を示す。

$A_0, A_1, \dots, A_8, B_0, B_1, \dots, B_8$ はそれぞれ 9 ビットの 2 進数であり A_0, B_0 が最も下位のビットである。

通常このような 9 ビットのデータを、図 1 (C) と同様の CMOS インバータにおいて、その入力ゲート 106''', 106'', 106' の数をふやし、これら

に直接入力してやると、ノイズ・マージンが小さくなるという問題が生じる。これを解決する一例が本実施例である。

901は図1(C)のインバータ103と同じものであり、フィードバックループが設けられており、ブロック902aはブロック902dとペアで、図3
5 (a)と同様のWinner-Take-All回路を構成している。902a～902hのブロックはすべて同じ回路なので図では詳細は省略してある。図3(a)と異なるのは、n入力のNOR回路307に対し、2入力のNOR903が用いられていること、及び V_{R1} カット用トランジスタ904が各ブロック内に各々設けられていることである。

10 また、902bと902e、902cと902f、902gと902hはそれぞれペアで同じWinner-Take-All回路を構成しているが、その為の配線は902a、902dのペアと全く同様なので、これらも簡単の為、図では省略されている。

まず、信号 V_{R1} を増加するすることにより、各ペア中で大きい方の出力が1となり、小さい方の出力が0なる。即ち下位より3ビットずつまとめて大小を比較
15 をし、それぞれ大小に応じて V_{A1} 、 V_{A2} 、 V_{A3} 、及び V_{B1} 、 V_{B2} 、 V_{B3} にそれぞれ0または1が振り分けられる。これらの出力を、もう一度ブロック902g、902hのペアで大小比較をしてやれば、最終的な結果が V_A 、 V_B に出力信号として出てくる。 V_{R2} はそのための V_{R1} と同様のコントロール信号である。例え
20 ば $B_0 \cdots B_8$ の方が $A_0 \cdots A_8$ より大きいときは、 $V_B = 1$ 、 $V_A = 0$ となる。このように9ビットの2進数の比較がWinner-Take-All回路を2段配置することで極めて高速に実行できる。

ここでは各MOSインバータ901への入力は3ビットとしたがこれはもっと増やしてもよいことは言うまでもない。例えば4ビット入力とするとこのこの
25 実施例のように2段構成で $4^2 = 16$ ビットの比較ができる。3段重ねれば64ビットのデータの比較ができる。

以上のようにロボット等の自動制御で非常に重要とされる数値大小比較が極めて簡単に実行できるのである。

2つのデータが完全に一致するときは、ノイズの影響でどちらかが大と判定さ

れる場合があるが、これは例えば、全く同じ場合のみを、従来技術で検出し、これと組合せてもよいことは言うまでもない。

以上、すべての実施例において ν MOSインバータはすべてCMOS構成としたが、これはNMOS E/E やE/Dインバータでもよいことは言うまでもない。

- また、すべての ν MOSインバータのフローティングゲートは常にフローティングの状態で作動させる場合についてのみ説明したが、フローティングゲートにスイッチングトランジスタを接続し、このトランジスタのオン・オフによりフローティングゲートの電位を適宜所定の値に固定してもよい。
- これにより、 ν MOSインバータの閾値を変化させたり、あるいは動作中にフローティングゲートに注入された電荷をリフレッシュさせることができる。

産業上の利用可能性

- 本発明により、複数のデータの大小比較を非常に高速に行うことが可能となった。

しかも、極めて小数の素子で実現できるため、LSI化が容易である。従って高速・実時間処理の要求される自動制御の分野をはじめとし、広範な応用分野を開拓することができた。

請求の範囲

1. 基板上に一導電型の半導体領域を有し、この領域内に設けられた反対導電型のソース及びドレイン領域を有し、前記ソース及びドレイン領域を隔てる領域に絶縁膜を介して設けられた電位的にフローティング状態にあるフローティング
- 5 ゲート電極を有し、前記フローティングゲート電極と絶縁膜を介して容量結合する複数の入力ゲート電極を有するニューロンMOSトランジスタを一個以上用いて構成された半導体装置において、ニューロンMOSトランジスタにより構成されたインバータ回路を一個以上含むインバータ回路群を有し、前記インバータ回路の第1の入力ゲートに前記インバータ回路群に属する一個以上のインバータ
- 10 に対し共通の第1の信号電圧を加える手段を有し、前記インバータ回路の前記第1の入力ゲート以外の一個以上の第2の入力ゲートに各々所定の第2の信号電圧を加える手段を有し、前記第1及び第2の信号電圧のいずれか、もしくは双方の信号電圧の時間変化によって前記インバータ回路群中の少なくとも一つのインバータ回路において生じる出力電圧の変化を検知し、これにより前記インバー
- 15 タ回路群中の所定のインバータに対し正帰還をかける手段を有したことを特徴とする半導体装置。
2. 前記第2の入力ゲートを2つ以上有し、その各々に0もしくは1のバイナリ信号が入力されるよう構成されたことを特徴とする請求項1に記載の半導体装置。
- 20 3. マトリクス状に配置された、0もしくは1のバイナリ信号を記憶するメモリセルを有し、その列もしくは行に属する所定のメモリセルの出力に対し、所定の論理演算を行った結果を前記第2の入力ゲート入力するように構成されたことを特徴とする請求項2に記載の半導体装置。
4. 前記所定の論理演算が、外部より入力されたデータとの排他的論理和を計算する演算であることを特徴とする請求項3に記載の半導体装置。
- 25 5. 前記所定の論理演算が、外部より入力されたデータとの排他的論理和の否定を計算する演算であることを特徴とする請求項3に記載の半導体装置。
6. 前記メモリセルの各々に、メモリセル内のデータを外部に読み出すためのスイッチングトランジスタが設けられ、前記第2の入力ゲートを有するインバー

タの出力データが所定の値をもったときにのみ、前記トランジスタがオンして、前記メモリセル内のデータが外部に読み出されるよう構成されたことを特徴とする請求項 3 乃至 5 に記載の半導体装置。

5

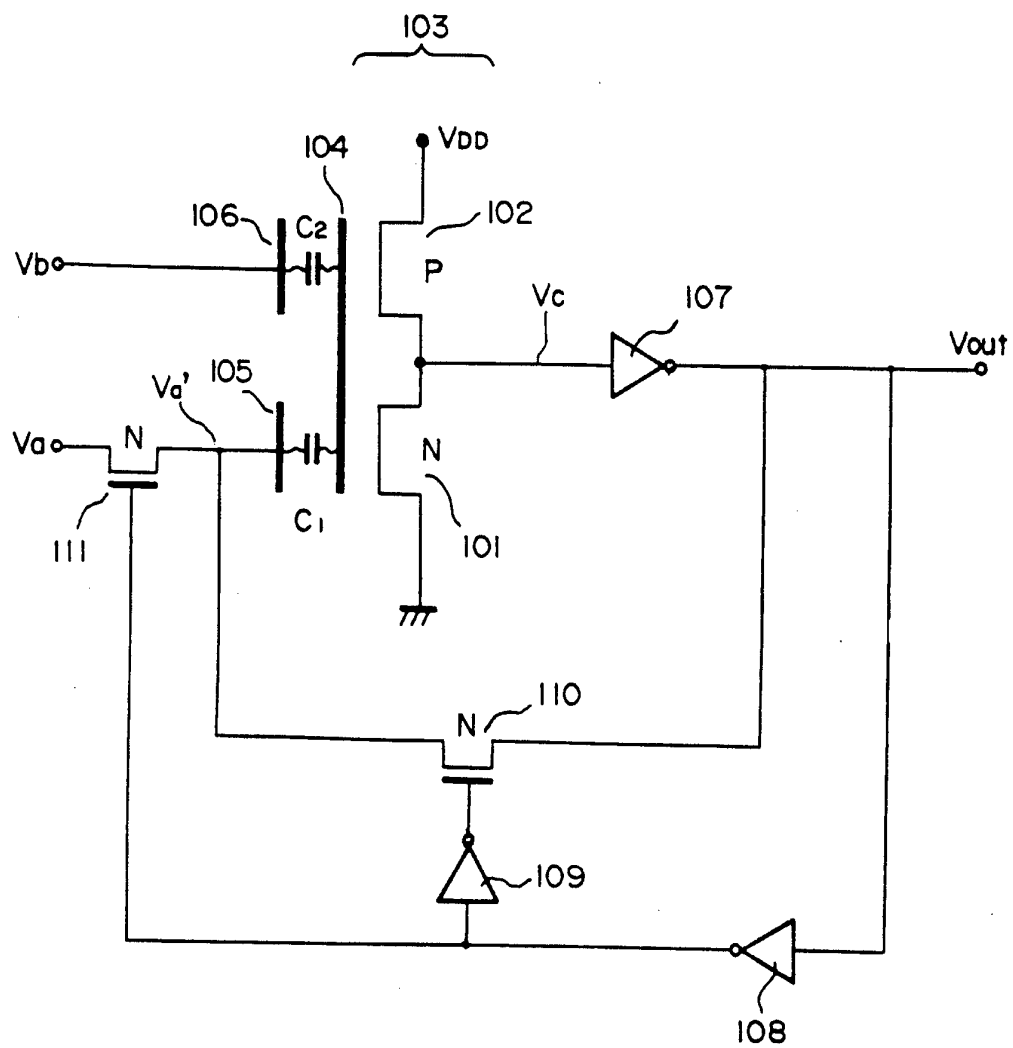
10

15

20

25

Fig. 1 (a)



2/14

Fig. 1 (b)

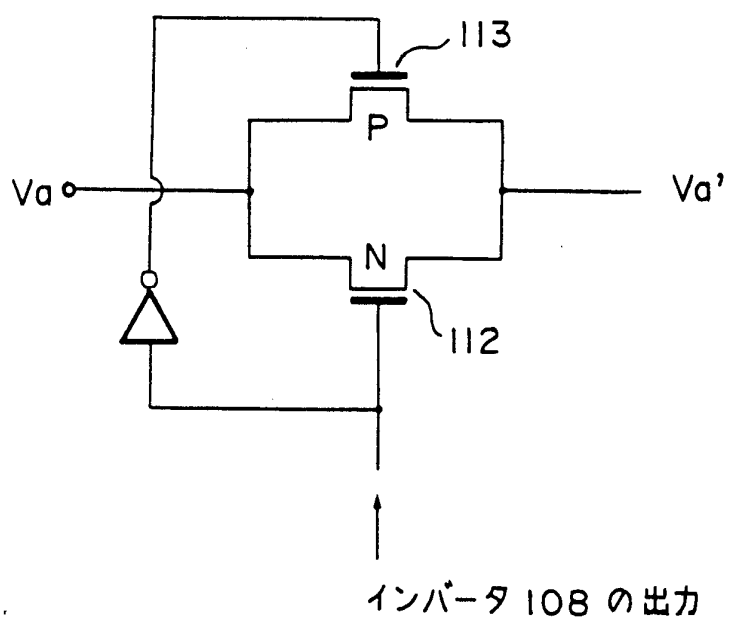


Fig. 1 (c)

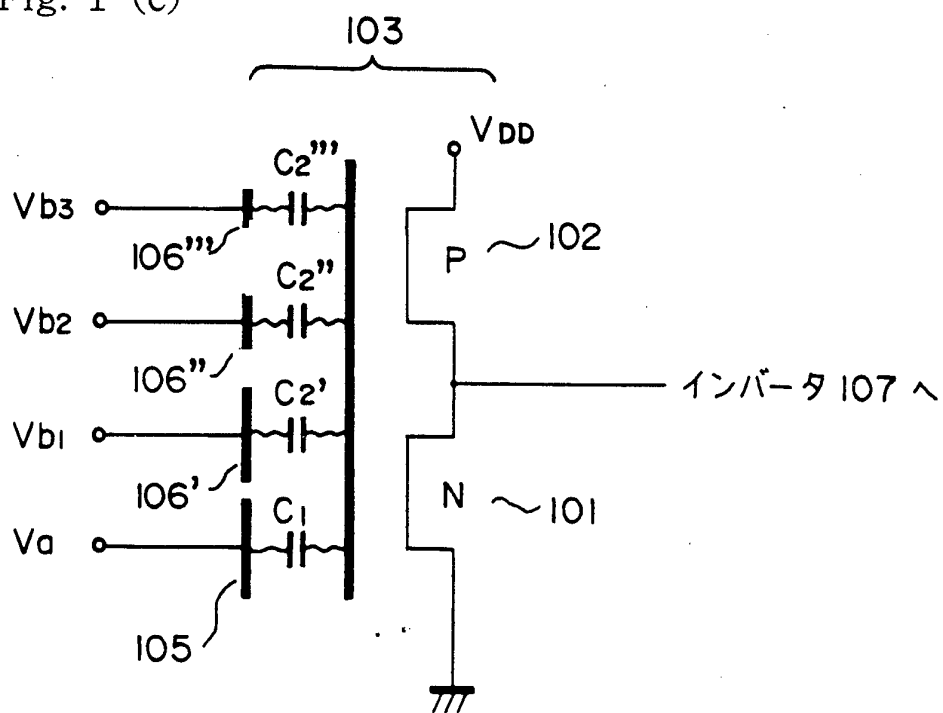


Fig. 2 (a)

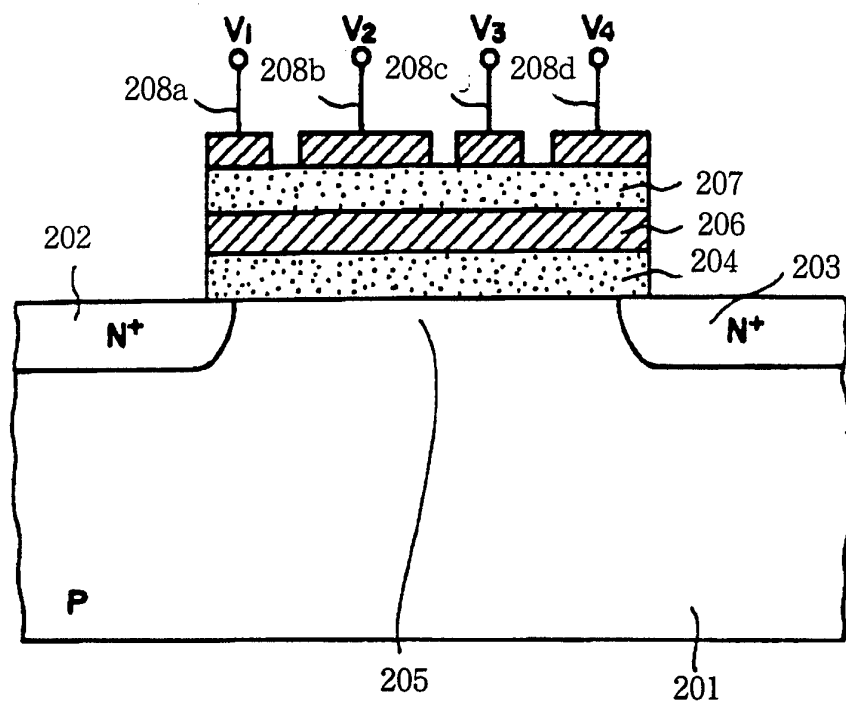


Fig. 2 (b)

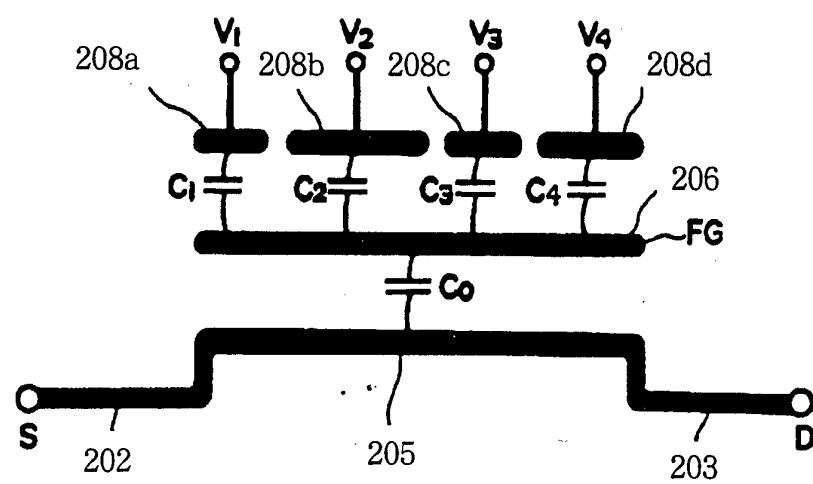
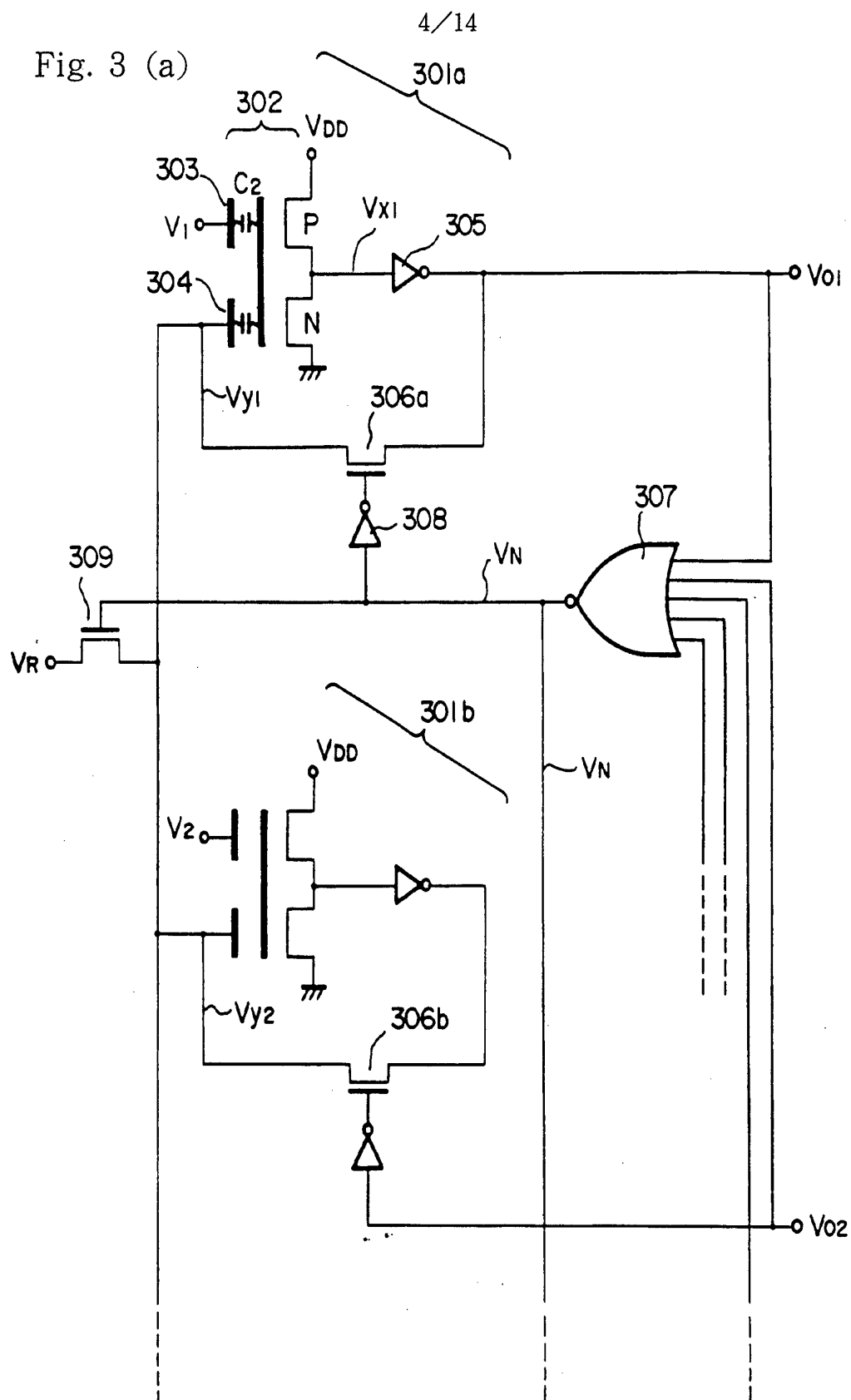


Fig. 3 (a)



5/14

Fig. 3 (b)

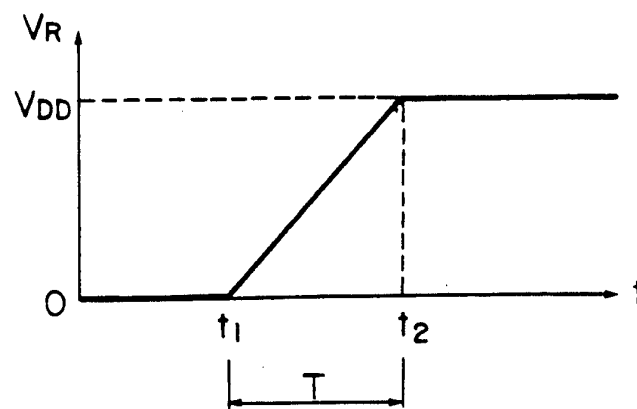


Fig. 3 (c)

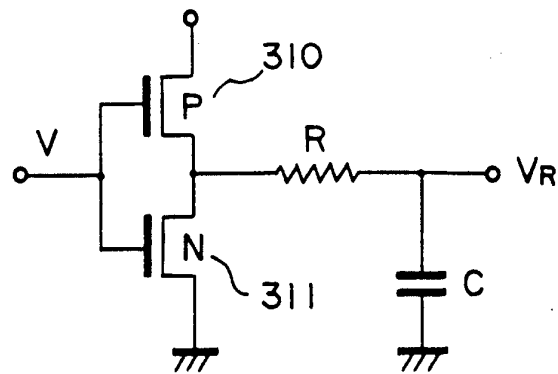
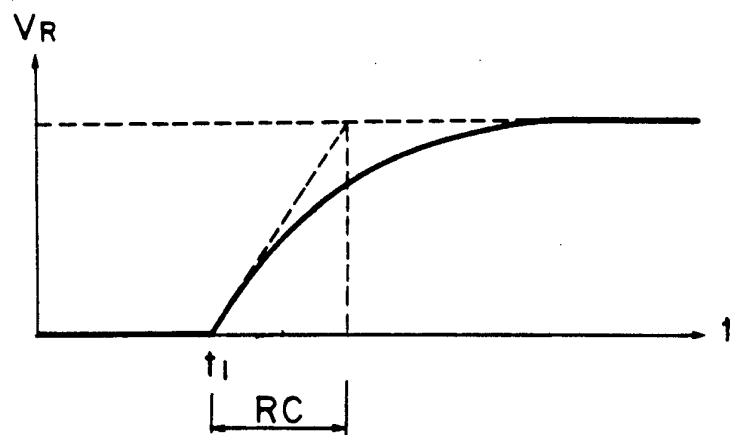


Fig. 3 (d)



6/14

Fig. 3 (e)

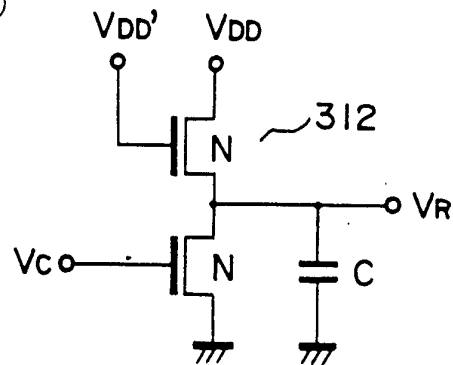


Fig. 3 (f)

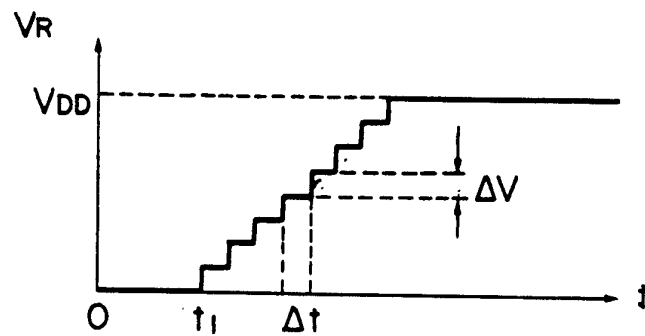
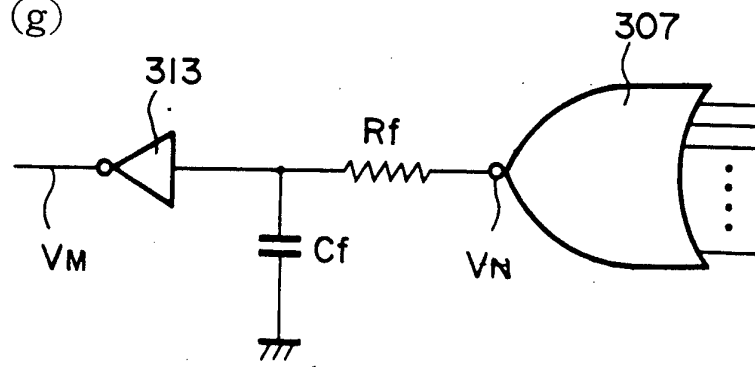


Fig. 3 (g)



7/14

Fig. 4 (a)

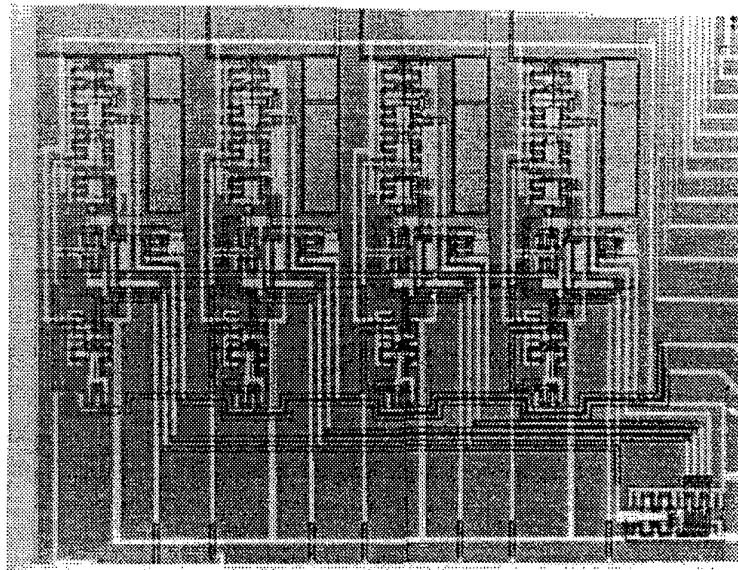
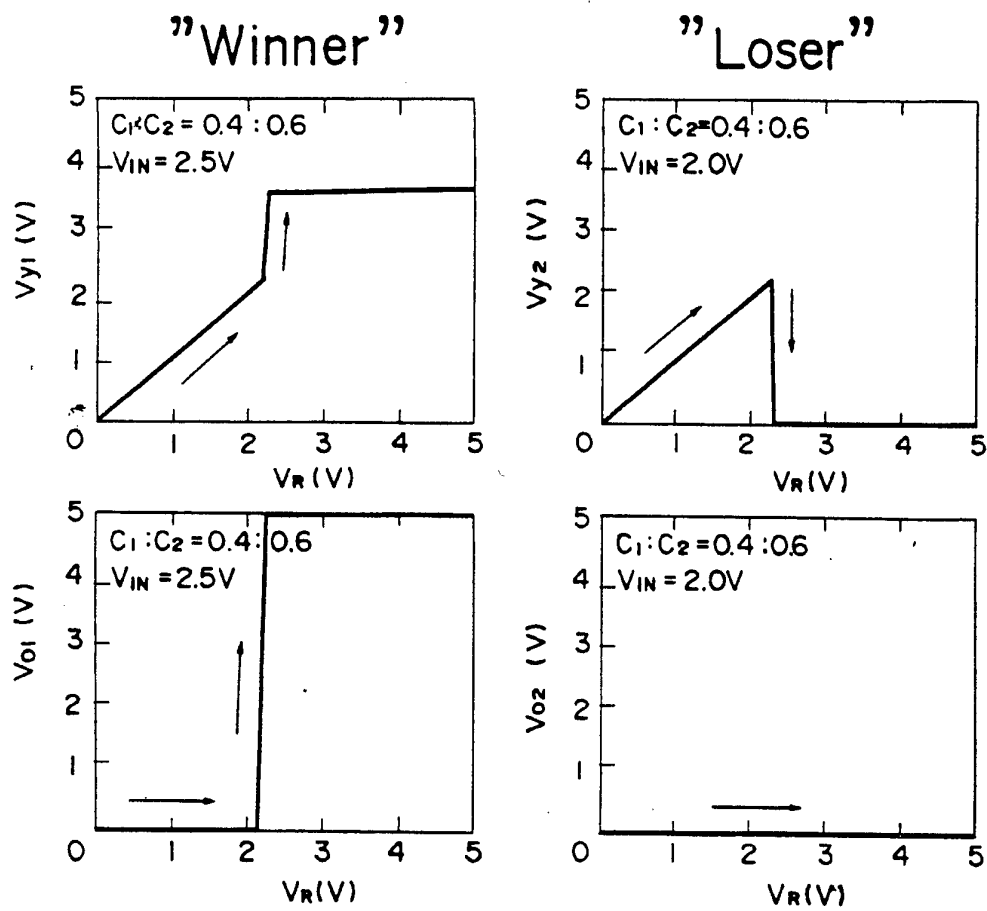
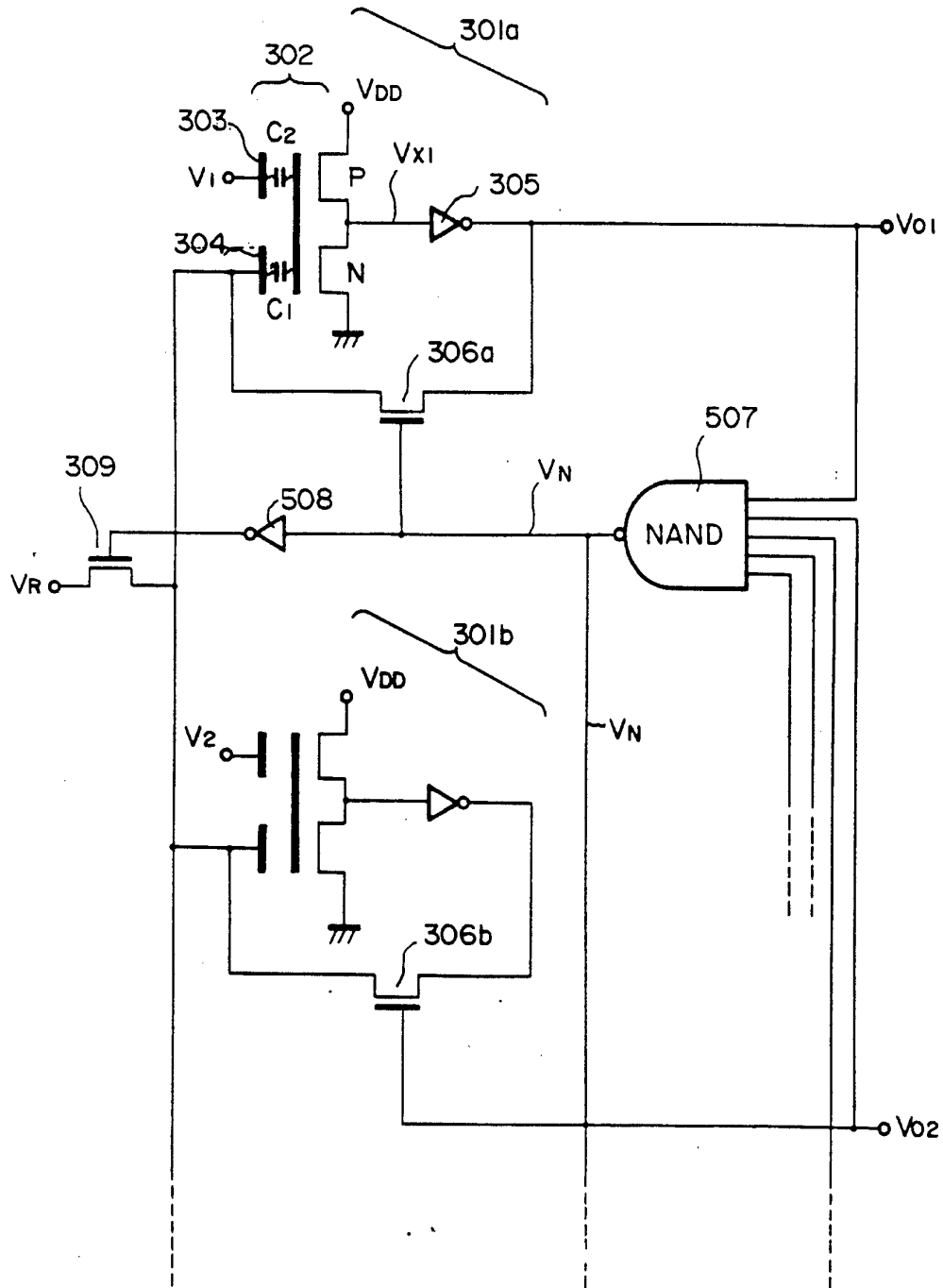


Fig. 4 (b)



9/14

Fig. 5



10/14

Fig. 6 (a)

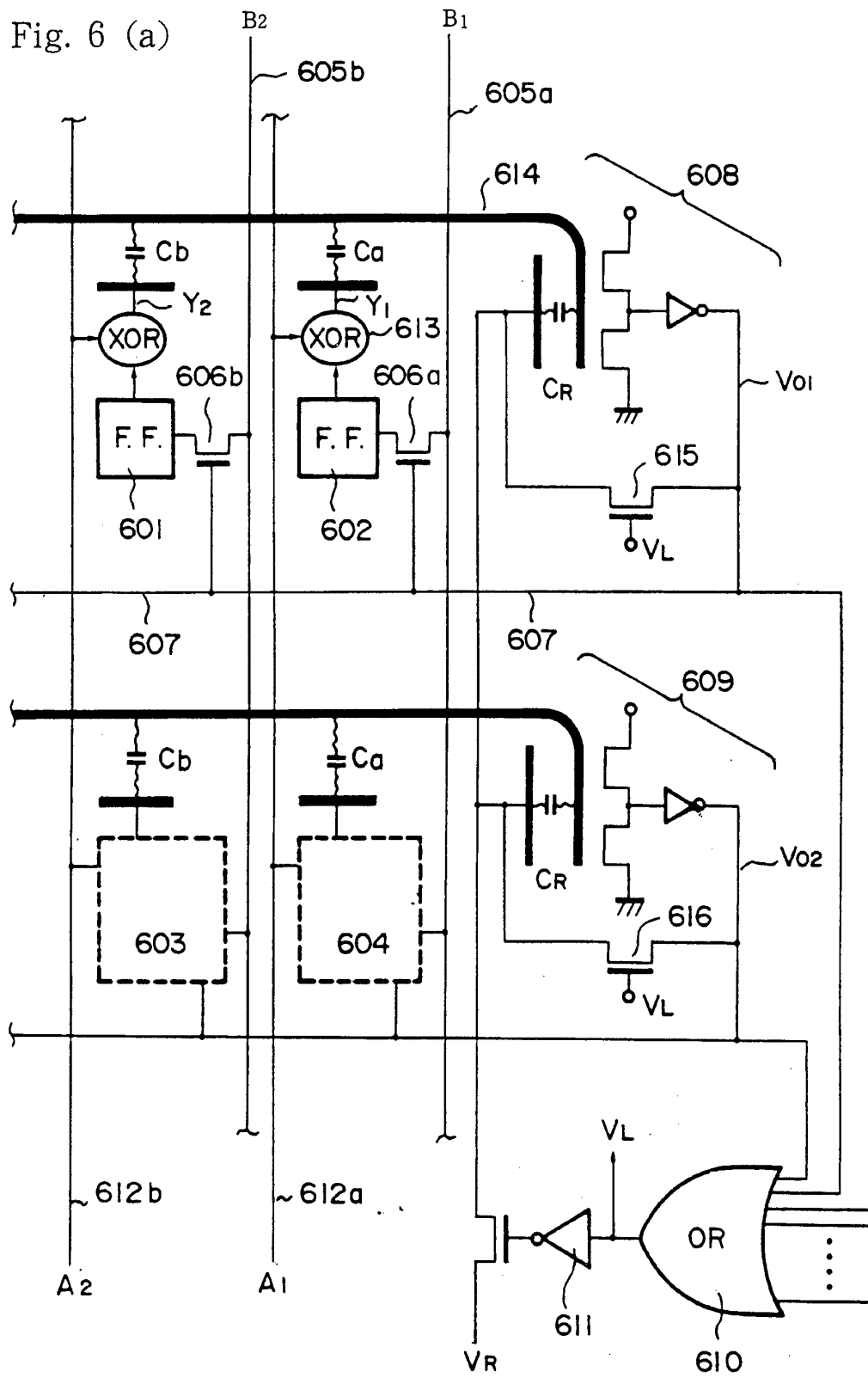


Fig. 7

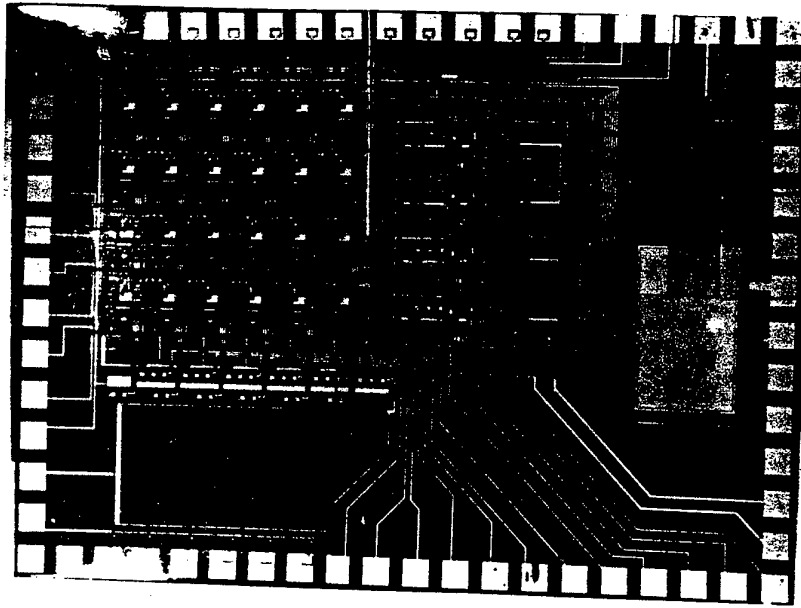
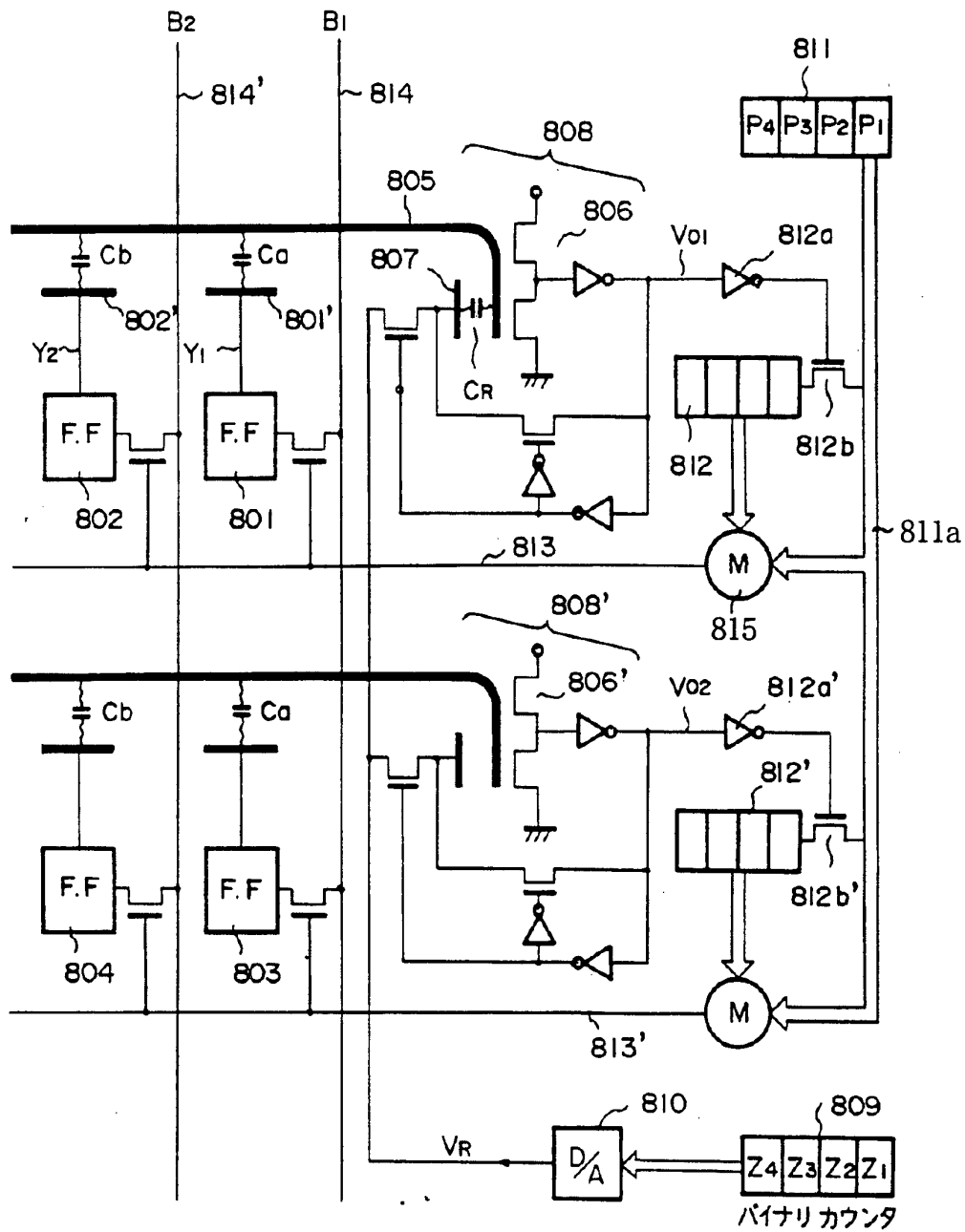
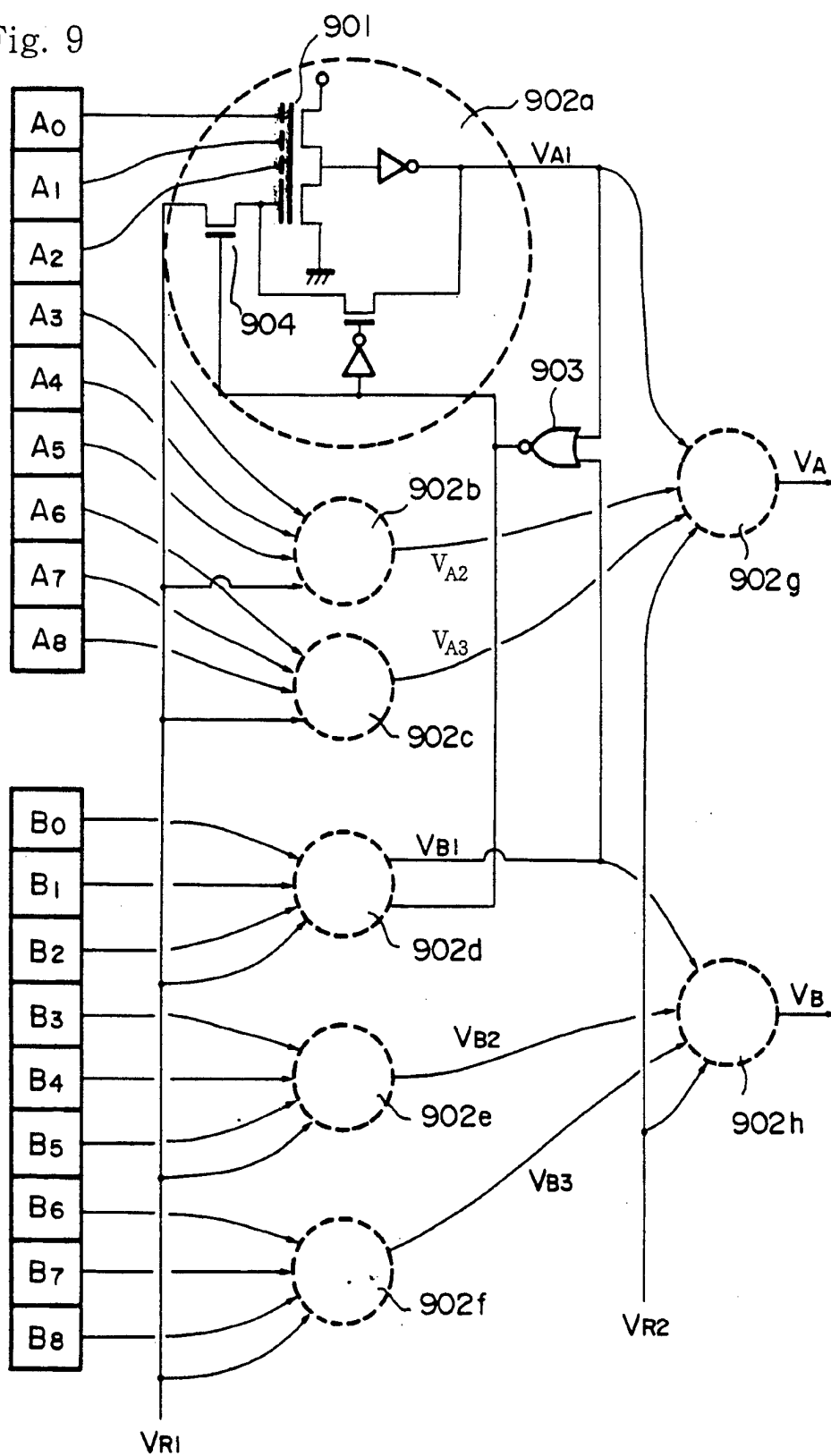


Fig. 8



14/14

Fig. 9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP93/01071

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁵ H01L27/10, H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁵ H01L27/10, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, A, 3-6679 (Tadashi Shibata), January 14, 1991 (14. 01. 91), & WO, A1, 9015444	1
Y	JP, A, 3-63996 (Casio Computer Co., Ltd.), March 19, 1991 (19. 03. 91), (Family: none)	1-6
Y	JP, A, 2-281759 (Sony Corp.), November 19, 1990 (19. 11. 90), (Family: none)	1-6
Y	JP, A, 2-224190 (American Telephone and Telegraph Co.), September 6, 1990 (06. 09. 90), & US, A, 5093803	1-6
Y	JP, A, 2-74053 (Intel Corp.), March 14, 1990 (14. 03. 90), & US, A, 4950917 & US, A, 5055897	1-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
October 15, 1993 (15. 10. 93)

Date of mailing of the international search report
November 2, 1993 (02. 11. 93)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁵ H01L27/10. H01L29/78		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁵ H01L27/10. H01L29/78		
最小限資料以外の資料で調査を行った分野に含まれるもの		
国際調査で使した電子データベース (データベースの名称、調査に使した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP.A.3-6679 (柴田 直) 14. 1月. 1991 (14. 01. 91) &WO.A1.9015444	1
Y	JP.A.3-63996 (カシオ計算機株式会社) 19. 3月. 1991 (19. 03. 91). (ファミリーなし)	1-6
Y	JP.A.2-281759 (ソニー株式会社) 19. 11月. 1990 (19. 11. 90). (ファミリーなし)	1-6
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
15. 10. 93	02.11.93	
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 後 谷 陽 一	4 M 8 7 2 8
電話番号 03-3581-1101 内線		3464

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP.A.2-224190 (アメリカン テレフォン アンド テレグラフ カムパニー) 6. 9月. 1990 (06. 09. 90) &US.A.5093803	1-6
Y	JP.A.2-74053 (インテル コーポレイション) 14. 3月. 1990 (14. 03. 90) &US.A.4950917&US.A.5055897	1-6