(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G01S 5/14 (2006.01)

(45) 공고일자 2006년05월23일
(11) 등록번호 10-0576959
(24) 등록일자 2006년04월28일

(21) 출원번호 10-2000-7011429
(22) 출원일자 2000년10월13일
번역문 제출일자 2000년10월13일
(86) 국제출원번호 PCT/US1998/007471
국제출원일자 1998년04월14일

(65) 공개번호 10-2001-0052253
(43) 공개일자 2001년06월25일

(87) 국제공개번호 WO 2000/10030
국제공개일자 2000년02월24일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르키즈스탐, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크맨, 터어키, 트리니아드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 가나, 감비아, 크로아티아, 인도네시아, 시에라리온, 세르비아 앤 몬테네그로, 짐바브웨,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 가나, 감비아, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탐, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우,

(73) 특허권자 스냅트랙, 인코포레이티드
미국 캘리포니아 샌디에고 모어하우스 드라이브 5775 (우:92121)

(72) 발명자 크라스너,노맨,에프.
미국94070캘리포니아산칼로스컨벤트리코트117

(74) 대리인 남상선

심사관 : 이귀남

(54) 고속 포착, 고감도 G P S 수신기

요약

고속 포착 및 고감도로 위성 위치 확인 시스템 신호를 포착하고 트래킹하는 방법 및 장치가 개시된다. 의사 랜덤 잡음 매칭 필터 연산은 현재 매칭 필터 결과를 제공하도록 위성 위치 확인 시스템 신호의 샘플에 수행된다. 현재 매칭 필터 결과는 위성 위치 확인 시스템으로부터의 이전 매칭 필터 결과와 함께 누산되어 누산된 매칭 필터 결과를 형성하도록 한다. 매칭 필터를 효율적으로 구현하는 수단이 개시된다.

대표도

도 2

명세서

기술분야

본 출원은 본 출원과 동일한 발명자인 Norman F. Krasner에 의해 1997년 2월 11일에 제출된 "고속 포착, 고감도 GPS 수신기"라는 명칭의 미국 임시 특허 출원 제60/037,904의 연속 출원이며, 본 발명의 양수인에게 양수된다.
본 발명은 위성 위치 확인 시스템(GPS)에 관한 것이며, 특히 통합된 고속 포착, 고감도 수신기에서 위성 신호를 수신하고 트래킹하는 것에 관한 것이다.

배경기술

가장 통상적인 위성 위치 확인 시스템(GPS) 수신기는 네브스타(Navstar) 위성으로부터 전송된 신호를 포착 및 트래킹 및 복조하기 위하여 일련의 상관기를 이용한다. 각각의 전송된 GPS 신호는 직접 시퀀스 스펙트럼 확산 신호이다. 상업적으로 이용할 수 있는 신호는 표준 측위 시스템(SPS)과 관련된 것이며 1575.42MHz에서 반송파 상에 놓인 초당 1.023Mchip 확산 레이트로 직접 시퀀스 2위상(biphase) 확산 신호를 이용한다. 의사 랜덤 잡음(PN) 시퀀스 길이는 1023 칩이며 1msec 시간 주기에 상응한다. 각각의 위성은 상이한 PN 코드(골드 코드)를 전송하는데, 상기 PN 코드는 신호가 서로 거의 간섭하지 않고 몇 개의 위성으로부터 동시에 전송되게 하고 수신기에 의하여 동시에 수신되도록 한다. 또한, 각각의 신호 상에 중첩된 데이터는 50 보드(baud) 이진 위상 편이 변조(BPSK) 데이터이며, 비트 경계는 PN 프레임의 시작부에 정렬되고; 20개의 PN 프레임이 1 데이터 비트 주기(20msec) 동안 발생된다.

GPS 수신기의 일차 목적은 PN 코드의 도착 시간을 결정하는 것이다. 이는 국부적으로 발생된 PN 기준 신호와 수신된 신호를 비교하고(각각의 수신된 신호에 대하여) 그리고 수신된 신호와 시간적으로 정렬될 때까지 국부 기준 신호를 시간적으로 "슬라이딩"시킴으로써 얻어진다. 두 개의 신호는 상관 프로세서로 알려진 곱셈 및 적분 프로세스에 의하여 서로 비교된다. 두 개의 신호가 시간적으로 정렬될 때, 상세한 출력 결과가 얻어진다. 표준 GPS 수신기에 이용되는 일반적인 직렬 상관기는 주어진 시간에서 국부 신호와 수신된 신호를 한번의 오프셋으로 비교한다. 상기와 같은 비교가 매 1/2 칩 간격으로 수행되면, 하나의 PN 주기에 대하여 완전한 탐색을 수행하기 위해서는 2046회의 비교(또는 테스트)가 요구된다. 상기와 같은 탐색은 계획된 몇 개의 위성에 대하여 수행되어야 한다. 또한, 수신된 신호 주파수의 에러는 신호 주파수의 여러 가지 가설에 대하여 추가의 탐색이 이루어질 것을 요구한다. 상기 탐색을 수행하는데 걸리는 시간은 특히 낮은 입력 신호 대 잡음비의 환경에서 매우 길 수 있다. 통상적인 GPS 수신기는 병렬로 동작하는 상기와 같은 다수의 상관기를 이용하여 포착 프로세스의 속도를 증가시킨다. 그럼에도 불구하고, 탐색 및 포착 프로세스는 많은 시간을 소모하며, 특히 낮은 수신 신호 대 잡음 비를 가질 경우 심하다.

따라서, 현재의 통상적인 GPS 수신기의 포착 속도 및 감도를 향상시키는 하드웨어 구조를 제공할 것이 요구된다. 상기와 같은 구조는 수신기가 매우 낮은 입력 신호 대 잡음 비에서 동작하도록 한다. 또한 포착 절차 이후에 상기 신호를 트래킹하는 방법을 통합할 것이 요구되는데, 여기서 공통적인 하드웨어가 수신된 GPS 신호를 포착 및 트래킹하기 위하여 이용된다.

발명의 상세한 설명

본 발명은 고속 포착 속도 및 고감도를 가지고 위성 위치 확인 시스템 신호를 포착하고 트래킹하는 방법 및 장치를 제공한다. 본 발명의 방법에서, 제 1의사 랜덤 잡음 매칭 필터 연산은 위성 위치 확인 시스템 신호의 현재 샘플상에 수행되어 현재 매칭 필터 결과를 제공하도록 한다. 현재 매칭 필터 결과는 위성 위치 확인 시스템 신호의 이전 샘플로부터의 이전의 매칭 필터 결과와 함께 누산되어 누산된 매칭 필터 결과를 형성하도록 한다.

본 발명의 일 실시예에서, 매칭 필터 및 검출 회로는 선검출 루프 적분기 및 후검출 루프 적분기와 결합된다. 루프 적분기는 수신된 위성 위치 확인 시스템 신호를 포함하는 다중 데이터 프레임의 포착 및 트래킹을 가능하도록 한다. 이는 고속 포착 성능 및 고감도를 얻도록 한다. 매칭 필터의 구현을 위한 효율적인 수단이 개시된다.

본 발명의 다른 특징은 다음의 상세한 설명 및 첨부된 도면으로부터 명확해진다.

이하 첨부된 도면을 참조로 본 발명을 설명한다.

도면의 간단한 설명

도 1은 종래 위성 위치 확인 시스템 상관 회로의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 위성 위치 확인 시스템 포착 회로의 블록도이다.

도 3은 도 2의 포착 회로의 여러 처리 스테이지에서의 신호에 대한 파형을 도시한다.

도 4는 본 발명의 선택적인 실시예에 따른 트래킹 기능을 수행하는 위성 위치 확인 시스템 포착 회로의 블록도이다.

도 5는 도 4의 포착 회로의 여러 처리 스테이지에서 신호에 대한 파형을 도시한다.

도 6a는 본 발명의 일 실시예에 따른 도 4의 포착 회로에 이용되는 매칭 필터의 블록도이다.

도 6b는 PN 프레임 당 가능한 출력 서브세트가 형성되는 본 발명의 선택적인 실시예에 따른, 도 4의 포착 회로에 의하여 이용되는 매칭 필터의 블록도이다.

도 7은 본 발명의 일 실시예에 따른 도 6a의 매칭 필터의 가장 복잡한 부분의 선택적으로 도시한다.

도 8은 본 발명의 일 실시예에 따른 도 7의 매칭 필터의 특정 구성 엘리먼트를 상세히 도시한다.

도 9는 본 발명의 일 실시예에 따른 포착 및 트래킹 동작을 구현하는 위성 위치 확인 시스템의 블록도를 도시한다.

도 10은 본 발명의 선택적인 실시예에 따른 포착 회로를 구현하는 원격 위성 위치 확인 시스템의 블록도를 도시한다.

제 11도는 본 발명의 일 실시예에 따른 감소된 레지스터 카운트의 특징을 갖는 위성 위치 확인 시스템 포착 회로의 블록도이고, 그리고

제 12도는 본 발명의 일 실시예에 따른 제 11도의 포착 회로를 활용한 매칭 필터의 블록도이다.

실시예

고속 포착, 고감도 수신기를 통해 위성 위치 확인 시스템(Global Positioning System) 신호를 수신하기 위한 장치 및 방법이 개시된다. 후술하는 설명에서, 용이한 설명을 위하여, 충분한 본 발명의 이해를 제공하기 위한 다양하고 구체적인 상세한 내용들이 설명된다. 그러나, 이러한 구체적인 설명이 없더라도 당업자들이 본 발명을 실시할 수 있다는 것은 명백하다. 경우에 따라서, 공지된 구조 및 장치들은 설명을 더욱 용이하게 하기 위하여 블록도의 형태로 도시된다.

위성 위치 확인 시스템(GPS) 수신기들은 궤도의 GPS 위성들로부터 전송된 GPS 신호들을 수신하며, 수신된 신호와 내부에서 발생된 신호 사이의 시간 편이를 비교함으로써 적절한 코드들의 도착 시간을 결정한다. 신호 비교는 수신 신호와 발생 신호를 곱셈 및 적분하는 것을 수반하는 상관 프로세스에서 수행된다. 일반적인 GPS 수신기들에서 사용되는 통상적인 종래의 직렬 상관기 회로가 제1도에 도시되어 있다. 상관기(100)는 입력 GPS 신호(102)를 수신하여 곱셈기(104)에서 수신 신호(102)와 PN 발생기(110)에 의해 내부적으로 발생된 PN 코드를 결합한다. 누산된 결합 신호 샘플 세트에 대하여 크기 제곱(magnitude squaring)(또는 기타의 검출) 연산(106)이 수행된다. 마이크로제어기(108)는 PN 발생기(110)에 의

해 생성되는 PN 칩들의 시퀀싱을 제어한다. 상관기(100)의 시스템에 따라, 수신 신호(102)는 긴 시퀀스 PN 칩들과 한 번에 한 타임 오프셋씩 비교되기 때문에, 한 PN 프레임에 해당하는 모든 오프셋들에 걸친 매우 긴 기간의 탐색 시간이 필요하다.

포착 회로

본 발명의 일 실시예에 따른 GPS 수신기들에서 사용되는 개선된 포착 회로는 GPS 신호의 고속 포착과 고감도를 얻기 위하여 전처리 및 후처리 기능들을 가지는 하나 또는 그 이상의 매칭 필터들을 사용한다. 특히, 후-매칭(post-matched) 필터 루프 적분기("콤브 필터(comb filter)"라고도 함)는 수신기가 낮은 신호대 잡음비 환경에서도 동작할 수 있도록 하는 매우 높은 감도를 얻는데 필수적인 적분을 제공한다. 제 2도는 다수의 입력 채널들을 위한 독립적인 포착 회로들을 포함하는 GPS 입력 신호 포착 회로(200)를 도시한다. GPS 포착 회로의 단일 채널(201)에 대한 포착 회로의 블록도는 본 발명의 한 측면에 따라 도시된다.

입력 기저대역 신호(202)는 포착 회로(200) 내의 수 개의 매칭 필터들(204)에 병렬로 입력된다. 입력 기저대역 신호(202)는 독립적인 동상(I) 및 직교(Q) 성분으로 구성된다. 각 채널 내의 각 필터들의 탭(tap)들은 시간상 플립된(flipped) 동일한 또는 서로다른 PN 전송 파형들의 표본화된 표현들이 되도록 정렬된다. 일반적으로, 입력 표본화 레이트는 칩 레이트의 배수이며, 따라서 M이, 통상적으로는 2인, 작은 정수일 때, 통상적으로 매칭 필터에 1023M 개 탭들이 존재한다. 만약 입력 신호가 주어진 매칭 필터에 매칭된 전송 파형을 포함하고 있다면, 그 출력은 약 한 칩 기간의 좁은 스파이크 폭을 포함하게 된다. 한 스파이크는 각 프레임 기간 동안 발생할 것이며 도착 시간(time-of-arrival) 정보 즉, 모듈로 일 PN 프레임 주기를 제공한다. 신호는 직교 표현되므로, 스파이크는 실제로 복소수이다. 그 극성(polarity)은 전송 데이터의 스트림에 따라 데이터 보(boud) 경계들에서 위상의 역전이 일어난다. 또한, 위상의 각도는 수신 신호 반송파 주파수 및 국부적으로 발생된 주파수 사이의 작은 주파수 차이 때문에 시간상 서서히 진척되거나 지연될 수 있다.

예를 들어, 나무나 빌딩과 같은 물건에 의하여 차단되어 신호가 매우 약할 때, 이들 스파이크의 각각은 잡음으로 해석될 수 있고 따라서 도착 시간 측정에 직접적으로 사용될 수 없게 된다. 스파이크의 에너지를 향상시키기 위하여, 매칭 필터의 출력은 제곱법칙(square-law) 또는 다른 검출 연산(206)을 통하여 검출될 수 있어서, 전술의 위 각도들의 변화를 제거할 수 있다. 그리고 한 PN 프레임으로부터의 에너지는 지연 라인 적분기(210)를 통하여 이전 프레임의 에너지와 가산된다. 한 PN 프레임의 지연에 대하여, 이전 프레임으로부터의 스파이크는 정확히 한 PN 프레임만큼 지연될 것이며, 따라서 다음 프레임으로부터의 스파이크가 지연 라인 회로(211)에 들어가려하는 순간에 이 에너지는 지연 라인 회로(211)를 나오게 된다. 그리고 두 스파이크들은 합산 회로(208)에 의해 함께 가산되어 더 강한 스파이크를 생성한다. 잡음의 랜덤 부분들은 인코히어런트하게 가산될 것이며(DC 레벨은 증가할 것이다), 따라서 그렇게 합산된 프레임들의 수의 제곱근에 따라서만 증가할 것이다. 잡음과 관련된 DC 레벨은 적분기 출력에서의 평균화 프로세스를 통하여 결정될 수 있고 이 최종 출력에서 감산될 것이다. 이는 적정한 검출 임계값의 결정을 용이하게 해준다.

제 2도에 도시된 바와 같이, 루프 적분기(210)으로부터의 피드백은 1이 아니며, 1-e(여기서 e는 1에 비하여 작은 수이다)이다. 따라서 루프 적분기(210)는 "리키(leaky)" 합산 회로로서 효율적으로 동작할 것이며, 사실상 동작시 다수의 프레임의 평균은 1/e와 같다. 본 발명의 선택적인 실시예에서, 지연 및 감산 회로 뒤에 오는 1의 피드백을 갖는 루프 적분기(210)가 사용될 수 있다. 이 경우에 지연은 MT_f와 같도록 설정될 것이다. 이것은 마지막 M개의 프레임들을 직접 함께 가산하는 "박스카(boxcar)" 형의 필터를 구현한다. 그리고 데이터의 M개 프레임을 수용하기 위한 저장장치는 엄격하다.

포착 회로(200)의 다른 구현예에서, 루프 적분기(210)는 1의 피드백을 이용하며 M개의 프레임 후마다 게이트(212)를 통해 피드백을 게이팅 아웃함으로써 데이터의 M개 프레임들을 각각 합산한다. 이러한 방식에서, 루프 적분기의 출력은 매 M번째 프레임에서만 유효한 출력(즉, 데이터의 M개 프레임들 중의 하나의 대표)을 가진다. 많은 경우에, 이 최신 주파수는 포착을 위해 수용가능하다.

포착 회로(200)의 루프 적분기(210) 내의 지연 라인 회로(211)는 회로를 통한 신호의 전파를 지연시키기 위하여 쉬프트 레지스터들을 사용하여 구현된다. 선택적으로, 쉬프트 레지스터를 대신해 (단일 또는 이중 포트의)랜덤 액세스 메모리 장치가 사용될 수 있다. 이 경우에, 메모리는 루프 적분 기능에서 쉬프트 레지스터의 동작을 에뮬레이트(emulate)하는 방식으로 로딩되거나 또는 액세스될 것이다.

제 3도는 포착 회로(200) 내의 단일 포착 회로(201) 내의 다양한 처리 포인트들에서의 신호 파형들을 보여주고 있다. 도시의 목적상, 제 3도는 일반적인 GPS 신호에서와 같이 PN 프레임 당 1023개의 칩 대신에 오직 7개의 칩들만을 가지는 단순

화된 PN 신호를 도시한다. 제 3도의 파형들의 범위는 비트당 4개의 PN 프레임들(302)을 가지는 3개의 데이터 비트들(304,306,308)에 대해 확장된다. 단순화를 위하여, 잡음은 도시되지 않았으며, 동상 채널에 대한 신호들만이 도시되어 있다. 또한, 루프 필터(210)는 1의 피드백을 사용하는 것으로 가정한다.

기저대역 PN 신호(310) 파형은 포착 회로(200)에 입력된 대표적인 I/Q 입력 신호(202)를 도시한다(단지 I 및 Q만이 도시된다). 매칭 필터 파형 다음의 출력(312)은 I/Q 입력 신호(202)가 매칭 필터(204)에 의해 처리된 후의 신호 파형을 보여준다. 매칭 필터(204)로부터, 신호가 크기 제곱 회로(206)로 전파되고, 이는 제곱 파형 후의 출력(314)을 생성한다. 크기 제곱 회로(206)로부터, 신호는 루프 적분기(210)로 전파되어, 여기에서 루프 적분 파형 후의 출력(316)을 생성한다. 루프 적분 파형 후의 출력(316)은 제곱 검출기의 연산 및 루프 적분기(210)를 통한 반복 전파로 인한 시간을 사용하여 신호 피크 크기의 증가를 나타낸다. 도 3은 루프 적분 파형 후 출력(316) 상에 중첩된 검출 임계 레벨을 도시한다. 검출 임계 레벨은 포착 회로(200)의 임계 비교기(214)에 의해 설정된 임계 신호 레벨을 표시한다.

비록 신호의 기저 라인이 시간과 함께 성장할지라도, DC 성분은 출력을 평균화함으로써 쉽게 제거된다. 피크의 폭이 총 프레임 주기에 비해 작기 때문에, 실제 GPS 신호에서 상기 피크의 효과는 평균적으로 작다. 피크의 위치가 수신된 GPS 신호 모듈로의 도착 시간에 일 프레임 주기를 제공한다는 것이 주지된다. 도 3의 파형에 대한 크기 스케일은 서로에 대해 필수적으로 스케일링될 필요가 없다는 것이 주지된다.

본 발명에 따른 단일 채널 GPS 포착의 다른 실시예가 도 4에 도시되어 있다. 도 4의 포착 회로(400)는 도 2와 유사한 단일 채널을 포착하지만, 부가적인 처리 엘리먼트를 포함한다. 이들 부가적인 엘리먼트는 도플러 및 LO 샘플링 비율 오프셋, 및 선검출 루프 필터(410)에 대해 보상하는 도플러 및 LO 주파수 오프셋, 디지털 리샘플러(406)를 위하여 보상하는 디지털 주파수 변환 회로(404)를 포함한다.

도 4를 참조하여, 본 발명의 일 측면에 따른 신호 트래킹 및 데이타 복조 프로세스가 기술될 것이다. 디지탈 주파수 변환(404) 회로는 $\exp(-j2\pi nf_dT_s)$의 지수를 I/Q 입력 신호(402)에 간단히 곱셈한다. 여기서 f_d는 조합된 도플러 및 LO 주파수 오프셋이고, Ts는 샘플 주기이며 n은 실행 시간 인덱스이다. 잔류 신호 주파수 오차가 PN 프레임 레이트(1㎑)보다 훨씬 작기 위해서는 이 보상이 필요하다. 그렇지 않으면, 주파수 오프셋의 효과가 매칭 필터(matched filter)(408) 출력 신호의 진폭을 $|\sin(\pi f_dT_f)/\pi f_dT_s|$ 만큼 감소시키게 된다. 예를 들어, $f_d=1/T_s$ 이면, 매칭 필터의 신호 출력의 진폭은 0이 될 것이다.

도플러 샘플 레이트 정정 신호(430)는 디지탈 리샘플러(406)에 입력되고, 이는 도플러 시프트의 결과, 시간적으로 "팽창" 또는 "수축"하는 수신된 I/Q 입력 신호(402)로 인한 작은 오차를 정정한다. 예를 들어, 2μs/sec 의 도플러 오차(이는 관찰된 GPS 위성의 도플러 내의 범위)는 1 초의 주기 동안 2 칩의 시간 시프트를 나타낸다. 이러한 시간 시프트는 수행될 수 있는 루프 적분의 수를 제한하게 되는데, 이는 이후 시간 주기에서의 검출 스파이크(spikes)가 이전 시간 주기에서의 검출 스파이크들과 함께 정렬되지 않기 때문이며, 따라서 증가된 적분 시간과 관련하여 처리 이득이 동일 수준으로 된다(또는 사실상 감소된다). 게다가, 루프 적분기로부터의 상관피크(correlation peak)가 넓어져서, 측정된 도착 시간(또는 "의사범위")의 오차의 원인이 된다.

디지탈 리샘플러 회로(406)는 특정 샘플 레이트 정정치(correction)에 의해 제공되는 것에 따라 샘플링 순간에 원래의 샘플 포인트들 사이에 있는 새로운 데이터 샘플들을 계산하기 위해 포착 회로(400)로 제공되는 데이터를 이용한다. 예를 들어, 회로(400)로 제공되는 샘플 레이트가 칩당 2 샘플이고 원하는 샘플 레이트가 칩당 2-d 샘플이면, 새로운 샘플 간격은 $T_c/(2-d)$가 될 것이고, 따라서 새로운 샘플들은 원래 데이터의 대응하는 시간 후의 위치들에서 획득될 것이다. 결국, 편차는 $T_c/2$ 즉, 하나의 완전한 샘플 시간 주기가 될 것이다. 이는 회로(400)로부터 하나의 샘플 클럭을 탈락시킴(dropping)으로써 신속하게 다루어진다. 디지탈 리샘플링은 디지탈 분수 보간법(digital fractional interpolation)이라 불리는 프로세스를 통해 이루어진다. 간단한 형태로서 관심 있는 새로운 샘플 시간의 위치에 대한 몇몇 샘플들이 적절한 시간에서의 신호 값을 계산하기 위해 다항식 또는 키 맞춤(polynomial or spline fit)과 같은 적절한 보간 알고리즘으로 제공된다.

회로(400)의 다른 실시예에서는 디지탈 리샘플러(406)가 생략되고, 매칭 필터를 작게 추가된 시간 지연을 효과적으로 포함하는 새로운 계수들로 리로딩(reloading)하는 프로세스로 대체된다. 따라서, 디지탈 리샘플러(406)는 필터 가중치(weights) 상에 지연 동작을 일으키도록 하는 방식으로 매칭 필터의 필터 가중치를 업데이팅함으로서 대체될 수 있다. 이 방법은 정확한 구현을 위해서는 각각 한 비트 이상씩의 크기를 갖는 필터 계수를 필요로 하며, 따라서 회로의 복잡성을 증가시킨다. 한편, 매칭 필터의 계수를 좌 또는 우로 한 위치 이동시키는 것이 샘플의 탈락 또는 추가의 대안이 된다.

포착 회로(400)는 두 개의 루프 적분기 회로를 포함한다. 검출 연산(416)에 앞서 선검출 루프 적분기 회로(410)가 사용되며, 검출 연산(416) 이후에 후검출 루프 적분기 회로(420)가 사용된다. 이중 루프 적분기 회로는 데이터 주기가 20개의 PN 프레임과 동일하다는 것을 이용한다. 따라서, 존재하는 데이터가 신호의 극성을 전환하기 전에 PN 신호가 여러 번 반복된다. 따라서, 도플러 정정이 우수하면, 매칭 필터 연산의 수행 전 또는 후에 PN 프레임들을 서로 코히어런트하게 가산할 수 있다. 분명히 단지 최대 20개의 그런 프레임들만이 데이터 극성 전환이 성능을 저하시키기 전에 부가될 수 있다. 그러한 코히어런트 가산은 인코히어런트(후검출) 적분 대신에 개선된 감도를 제공하는데, 이는 코히어런트 적분이 제곱 연산(416)의 수행 전에 스파이크의 위치에서 신호 대 잡음 비를 형성하기 때문이다.

도 5는 회로(400) 내의 여러 처리 포인트에서의 신호 파형을 도시하고 있다. 설명 목적상, 도 4는 통상적인 GPS 신호에서처럼 PN 프레임당 1023개 대신에 단지 7개의 칩을 가진 간단한 PN 신호를 도시하고 있다. 도 4에서의 파형의 범위는 비트 당 4개의 PN 프레임(502)을 가진 3개의 데이터 비트(504, 506, 508)로 확장된다. 간단히 하기 위해, 잡음은 도시되지 않았으며 단지 동상 채널에 대한 신호만이 도시되어 있다. 또한 선검출 루프 필터(410)와 후검출 루프 필터(420)가 모두 단일(unity) 피드백을 사용하는 것으로 가정한다. 선검출 루프 필터(410)는 실행 면에서 마지막 4개 프레임을 누산하는 것으로 가정한다.

기저대역 PN 신호(510) 파형은 포착 회로(400)로 입력되는 대표적 I/Q 입력 신호(402)를 나타낸다. 매칭 필터 파형 이후의 출력(512)은 I/Q 입력 신호(402)가 매칭 필터(408)에 의해 처리된 이후의 신호 파형을 도시하고 있다. 신호는 매칭 필터(408)로부터 선검출 루프 필터(410)를 통해 전파되며, 선검출 루프 필터 파형 이후의 출력(514)을 생성한다. 이어서 신호는 제곱 회로(416)로 입력되고, 이는 제곱 연산 파형 이후의 출력(516)을 생성한다.

신호는 제곱 회로(416)로부터 후검출 루프 적분기(420)로 전파되어 루프 적분 파형 이후의 출력(518)을 생성한다. 루프 적분 파형 이후의 출력(518)은 제곱 검출기의 연산과 루프 적분기(420)를 통한 반복적 전파로 인해 시간에 따른 신호 피크 진폭의 증가를 나타낸다. 도 5는 또한 루프 적분 파형(518) 이후의 출력에 중첩된 검출 임계 레벨을 도시하고 있다. 검출 임계 레벨은 포착 회로(400)의 임계 비교기(426)에 의해 설정되는 임계신호 레벨을 나타낸다. 루프 적분 파형 이후의 출력(518)의 피크가 도 3에 도시된 바와 같이 단일 루프 적분 회로(200)에 대한 경우와는 달리 선형적으로 증가하지 않음에 유의해야 한다. 그러나, 검출전 필터 메모리에 대응되는 매 네 번째 피크의 진폭은 거의 선형적으로 증가한다. 도 3에서는, 또한 도 5의 파형에 대한 진폭 스케일이 반드시 서로에 대해 스케일링되지 않는다는 것에 유의해야 한다.

포착 회로(400)의 연산에 관한 여러 변수에 대한 입력 대 출력 신호 대 잡음비를 분석하면 아래와 같은 식이 유도된다.

$$(S/N)out = L(S/N)_i^2 \times F \times npostd \times npred/(1/(F\ npred) + 2(S/N)_i)$$

상기 식에서, 변수들은 다음의 값을 가진다.

$$L = L_{dopp} \times L_{data}$$

$$L_{dopp} = sinc^2(freq\_offset \times npred \times 0.001)$$

$$L_{data} = (1-0.315 \times npred/20)^2$$

상기 식에서, 변수들은 다음의 값을 가진다.

npred : 합산된 검출전 프레임들의 수

npostd : 합산된 독립적인 검출후 프레임들의 수 = 전체 프레임 수/npred

F : 1023으로 취해진, PN 프레임당 독립적 샘플들의 수

L_{dopp} : 도플러에서의 오차에 기한 손실

L_{data} : 코히어런트 적분을 약화시키는 데이터 전이(transitions)에 기한 손실
freq_offset : 수신 신호와 수신기의 평가치(국부 발진기와 도플러 오차 포함) 사이의 반송파 주파수 오차

삭제

상기 식에서, $(S/N)_{out}$ 는 피크 출력 신호 전력을 평균 제곱 배경 잡음 전력으로 나눈 것이며, $(S/N)_{in}$ 은 평균 신호 전력을 칩 레이트과 동일한 대역폭(대략 1㎒)에서 측정된 평균 잡음 전력으로 나눈 것이다. (npred x npostd)가 적분된 전체 PN 프레임 수와 같다는 것에 유의해야 한다. 따라서, 상기 식은 최대 출력 SNR(통상 15dB를 초과하거나 또는 우수한 검출 가능성과 낮은 오동작 검출 레이트(false detection rates)를 위해 약 30의 인자임)을 얻기 위한 변수 npostd 와 npred를 선택하는데 사용될 수 있다. 도플러 오차가 큰 어떤 경우에는 검출이 일어날 때까지 마이크로제어기(428)로부터의 출력을 천천히 스텝(step)하거나 도플러 제어 라인을 조정할 수 있다.

도 4의 포착 회로(400)는 또한 레지스터 뱅크(418)를 포함한다. 레지스터 뱅크(418)는 후검출 루프 적분기(420) 또는 선검출 루프 적분기(410)로부터 데이터를 수신할 수 있는 회로 요소이다. 후검출 루프 적분기(420)로부터의 검출후 데이터는 포착 모드에 대응한다. 신호 트래킹 복조 동안, GPS 수신기는 반송파 주파수와 위상 및 PN 코드 위상을 트래킹하고 50 보드(baud) 데이터 메시지를 복조해야 한다. 이 모두는 신호 피크 및 그 근처에서 매칭 필터의 I 와 Q 샘플 출력을 이용함에 의해 수행될 수 있다. 이 경우, 선검출 루프 적분기(410)는 약 10개의 데이터 프레임(즉, 1½(one-half) 비트 주기)를 효과적으로 코히어런트하게 가산하며, 그 결과를 피크와 그 근처에서 레지스터 뱅크로 보낸다. 다시 말해, 전형적인 업데이트 레이트는 초당 100 업데이트이다. 마이크로프로세서는 이 결과를 판독하고 반송파, 코드, 및 비트 트래킹 루프를 소프트웨어로 구현하고 제어 신호를 보내어(예를 들어, 마이크로제어기(428)로부터) 적절한 트래킹을 유지하게 된다. 이러한 트래킹 루프의 설계는 당업계에 공지되어 있다. 도 4에 도시된 바와 같은 두 개의 루프 적분기 대신에 단지 하나의 루프 적분기를 사용하는 것도 가능하다. 단일 루프 적분기는 포착 또는 트래킹 목적을 제공한다. 그러나, 이 경우에는 포착 동안의 어떠한 선검출 적분이나 트래킹 동안의 어떠한 후검출 적분도 수행되지 않는다. 그러나, 마이크로프로세서는 트래킹 동안 후검출 적분을 수행할 수 있다.

매칭 필터

도6a는 본 발명의 일 실시예에 따른 포착 회로(400)의 매칭 필터(408)의 상세도이다. 매칭 필터(408)는 가중된 탭(tapped) 지연 라인 구조를 사용한다. 매칭 필터(408)는 두개의 개별 섹션으로 분리된다. 하나의 섹션은 개별 칩의 시간 파형에 매칭된 칩 매칭 필터(604)를 포함한다. 칩 매칭 필터(604) 다음에는 의사 랜덤 신호 패턴의 실제 패턴에 매칭된 탭(tapped) 필터(608)가 존재한다. 이러한 방식으로 필터를 분리함으로써, 탭 필터는 단지 ±1의 값을 갖는 탭을 포함하고 또한 다른 모든 탭들이 제로로 설정된다. 도6a에 예시된 매칭 필터에서, 탭 필터(608)에 제공된 샘플 레이트는 다운샘플러(downsampler; 606)에 의해 발생되는 바와 같이 칩 당 두개의 샘플을 갖게 된다.

탭 필터(608)는 또한 가산기 트리(adder tree; 610)와 곱셈기(612)를 포함한다. 도6a의 시스템에서, 가산기 트리(610)는 합산을 완결하는데 약 512개의 가산기를 필요로 한다. 이 실시예에서, 가산기의 크기는 q 내지 q+ 10 비트의 범위이며, 여기서 q는 입력 양자화(통상 2 내지 4 비트의 I 및 Q)이다. 그 결과, 복잡도는 곱셈기(612)로부터 연속적인 출력 세트를 합산하는데 고속 누산기(accumulator) 세트를 사용함에 의해 크게 감소될 수 있다. 예를들어, 하나의 누산기는 곱셈기 w1 내지 w16의 출력을 합산할 수 있고 두번째 누산기는 곱셈기 w17 내지 w32의 출력을 합산할 수 있는 식이다. 이것이 도7 및 도8에 나타나 있다. 누산기를 이용한 직접적인 접근에서 16:1 멀티플렉서가 사용되며, 이 입력은 레지스터 G1 내지 G16(도8에 도시)에 각각 접속되어 이들 레지스터의 출력을 차례로 선택하여 이들을 누산한다. 이 경우, 매우 큰 게이트 카운트가 발생된다.

도7은 16 탭의 연속 그룹에 대해 가중과 합산을 제공하기 위하여 일련의 16-탭 필터/누산기(710)을 사용한 탭 필터(608)를 나타낸다. 유사한 구조(706 및 712)가 이들 엘리먼트(710)의 출력의 합산을 행한다.

도8은 필터/누산기(710)를 보다 상세히 나타낸다. 도8의 회로는 가중치 곱셈기와 누산기에 데이터를 제공하는 두개의 루프에 배치된 두개의 시프트 레지스터(802, 804)를 각각 포함하는 일련의 서브 블럭을 사용한다. 서브 블럭(802)은 멀티플렉서(806)를 포함하며, 서브 블럭(804)은 멀티플렉서(808)를 포함한다. 이러한 배치는 일부 구현에 있어서 게이트에 매우 집중된 시스템을 야기하는 16:1 멀티플렉서 세트가 데이타를 선택하는데 요구되는 것을 피할 수 있다. 하나의 2.046MHz 클럭 사이클 도중에 시프트 레지스터는 오른쪽으로 일회 시프트되고 15회 순환적으로 시프트되어 이 마스터 클럭 레이트에 16배인 클럭을 이용하여 16 레지스터의 데이터 가치에 대응되는 필터링 연산을 완결한다. 서브 블럭(802) 및 서브 블럭

(804)을 포함하는 쉬프트 레지스터는 짝수 또는 홀수 갯수의 데이터 샘플들에 상응한다. 위쪽 절반인 서브 블럭(802)이 하나의 2.046MHz 사이클 동안 프로세싱되며, 아래쪽 서브 블럭(804)은 다음 2.046MHz 사이클 동안에 프로세싱된다. 이러한 이중 블럭 구조는 탭 레지스터(608)의 단지 절반의 레지스터가 임의의 일회에 가산기 트리(610)에 접속된다는 이점을 갖는다.

회로(800) 내의 두개의 시프트 레지스터의 동작은 다음과 같다. 짝수 2MHz f_0 클럭 범위에서, 멀티플렉서(806)는 'A' 위치에 존재하고 멀티플렉서(810)는 'A'위치에 존재하고, 레지스터(G16)는 탭 가중치(814)가 곱셈되고 누산기(812)에 저장되며, 모든 'G' 레지스터가 오른쪽으로 시프트된다. 레지스터(G16)으로부터의 데이터가 다음 블럭의 레지스터(G1)에 공급된다. 다음, 멀티플렉서(806)가 'B' 위치에 놓이게 되고 레지스터(G2 내지 G16)의 상부 세트(802)의 데이타가 순환적으로 시프트되어 탭 가중치(814)가 곱셈되고, 누산기(812)에 누산된다. 홀수 2MHz f_0 클럭 범위에서, 멀티플렉서(808)가 'A' 위치에 놓이고 멀티플렉서(810)는 'B' 위치에 놓이며, 레지스터(H16)에 탭 가중치(814)가 곱셈되고 누산기(812)에 저장되며, 모든 'H' 레지스터가 오른쪽으로 시프트된다. 레지스터(H16)로부터의 데이터가 다음 블럭의 레지스터(H1)(미도시)에 제공된다. 다음, 멀티플렉서(808)가 'B' 위치에 놓이고 레지스터(H2 내지 H16)의 하부 세트(804)의 데이터가 순환적으로 시프트되고, 탭 가중치(814)가 곱셈되어 누산기(812)에 누산된다. 다음, 이 프로세스가 반복된다.

탭에 대한 가중치 값은 시프트 레지스터(814)를 통하여 시프트된다. 가중치 값이 시프트됨에 따라, 이들은 누산기(812)의 입력 전에 곱셈기(816)에서 멀티플렉서(810)으로부터의 출력과 결합된다. 가중치 값은 +/-1이며, 따라서 곱셈기(816)는 선택가능 인버터와 같이 동작한다. 이 시프트 레지스터는 32 스테그(stag) 길이를 갖는다. 이것은 f_0 클럭 사이클 당 16회 시프트된다.
도 7을 참조로 하여, 필터에 대한 입력 레이트는 약 2.046MHz로 가정된다. 이러한 입력 레이트에서, 누산 레이트는 약 32.736MHz이며, 이것은 저가 집적 회로 기술의 수용 범위에서 우수한 것이다. 이와 같이, 도 7의 위쪽 열의 블럭(702)("16 탭 필터/누산기"로 표시됨)으로 도시된 탭 필터(608)의 주요 프로세싱이 각각 q+4 비트의 64개의 누산기에 의해 수행된다. q=4는 약 512개의 전가산기(full adder)에 대응되는 것이며, 이것은 두개의 16x16 멀티플렉서(누산기의 부분인 레지스터는 포함되지 않았음)의 복잡도와 동등한 것이다. 이와 같이, 하나의 I와 하나의 Q 매칭 필터 채널은 다수의 약 17500 크기(4 비트 I와 Q 양자화에 대하여)의 저장 비트가 더해진 약 네개의 16x16 멀티플렉서의 게이트 복잡도를 갖는다. 다음, 이 숫자에 사용된 매칭 필터 채널의 갯수가 곱셈된다. 물론, 누산기가 보다 고속으로 동작하는 경우에, 요구되는 게이트 갯수가 보다 감소될 수 있다.

위의 실시예에 대한 도 7의 64개 누산기(702)의 출력은 2.046MHz의 레이트로 출력된다. 이러한 신호는 64개 레지스터 세트에 위치하고, 다시 16개 레지스터의 네개의 세트로 묶일 수 있다. 이들 연산이 블럭(712)에서 수행된다. 출력 레이트가 32.736MHz이기 때문에, 각 16개 레지스터 그룹의 출력이 도 8(일체로 설정된 탭 가중치를 갖는)과 유사한 구조에 의해 누산될 수 있다. 네개의 이러한 누산기가 요구된다. 이것 다음은 16개 탭 누산기와 유사한 4개의 탭 누산기(706)가 존재할 수 있으나, 이들 장치의 1/4 클럭 레이트를 사용하며 16이 아닌 4의 길이의 시프트 레지스터를 갖는다. 이와 같이, 합산을 완결하는데 요구되는 하드웨어가 64개의 필터/누산 연산의 최초 세트를 수행하는데 요구되는 하드웨어의 단지 약 10% 이상이라는 점이 주지되어야 한다. 단지 하나의 칩 레벨 매칭 필터(604)가 모든 이러한 PN 레벨 매칭 필터를 서비스하는데 이용되는 것이 필요하게 된다.

본 발명의 또다른 실시예에서, 매칭 필터는 고속 퓨리어 변환(FFT) 알고리즘을 구현하는 회로에 의해 구현될 수 있다. 이 경우, 포착 회로(400)의 탭 지연 라인 필터(408)는 고속 콘볼루션을 위해 FFT 연산을 수행한다. 도 6a에서 FFT 회로가 탭 지연 라인 필터(608)를 되돌리는 것으로 이해한다면, FFT 연산은 신호 데이터(602)와 가중치 벡터(612)에 수행된다. 다음, 이 기술 분야의 당업자에게 주지된 바와 같이, 이들 둘이 서로 곱셈되고 그 결과가 회전(circular) 콘벌루션을 계산하기 위해 역변환된다. 이러한 일련의 연산이 각 PN 프레임에 대해 수행될 수 있으며 결과 데이타가 누산되고 엘리먼트(410, 416, 및 420)에 의해 검출된다.

회전 콘볼루션 대신에, 다른 접근으로서 "오버랩 가산" 또는 "오버랩 저장" 연산을 수행하는 것이 있다. 이들 연산은 이 기술분야의 당업자에 공지되어 있으며, 보다 복잡한 프로세싱을 감수하는 경우에는 회전 콘볼루션을 피할 수 있다. 그러나, 상기 선택적인 접근으로 인해 성능이 개선될 수 있다. 다른 고속 콘볼루션 방법이 이 기술분야에 또한 존재한다. 예를들어, H.J. Nussbaumer의 "고속 퓨리어 변환과 콘볼루션 알고리즘", 뉴욕, Springer-Verlag, 1982에 개시된 것과 같은 방법이 본 발명의 필터 구현 대신에 사용될 수 있다.

본 발명의 또다른 실시예에서, 포착 회로(400)의 매칭 필터(408)가 루프(410)의 코히어런트 적분 연산과 교환된다. 매칭 필터 연산과 코히어런트 적분 연산 모두는 선형의 시간 불변 필터링 함수이며, 충분히 정확한 숫자 정확성을 가정할 경우

에 이러한 교차가 합성 함수의 동일한 출력을 발생할 것이라는 사실이 알려져있다. 이들 연산을 교환하는 것은 각 연산을 구현하는데 사용되는 정확한 방법(예를들어, FFT 매칭 필터 대 탭 지연 라인 합산 네트워크)에 따라 하드웨어를 감소시킨다.

또다른 실시예에서, 제곱(squaring) 연산(206 및 214)이 제곱근 연산 또는 신호 위상을 이 회로에 전달된 누산 신호로부터 제거하는 다른 비선형 검출 연산으로 치환될 수 있다.

복잡도가 감소된 매칭 필터

위의 논의에서, 매칭 필터(408)는 GPS 프레임(1023개 칩, 칩 당 2개 샘플로 통상 2046 샘플)의 모든 PN 칩에 대응되는 각각의 샘플 값을 연속적으로 계산하였다. 그러나, 본 발명의 이점을 유지하면서 매칭 필터의 복잡도를 감소시키는 것이 가능하다.

매칭 필터 섹션의 복잡도를 감소시키는 하나의 방법은 출력을 연속적으로 제공하나 그 길이(즉, 임펄스 응답 지속시간)가 전체 PN 시퀀스 이하인 매칭 필터를 사용하는 것이다. 본 발명의 실시예에 따르면, 도6a의 매칭 필터(408)는 구조적으로 단순하다. 예를들어, 시프트 레지스터(614)가 전체 2045개 레지스터 대신에 단지 127개의 레지스터를 사용하는 것이 가능하며, 가중치 구조(612)는 전체 1023개 가중치 대신에 64개 가중치를 사용할 수 있다. 이것은 매칭 필터(408)의 복잡도를 16 인자만큼 감소시킨다. 본 실시예에서, 가산기 트리(610)는 시프트 레지스터 및 가중치 구조의 감속된 크기와 매칭하기 위하여 감소된다.

이러한 구조적으로 복잡도가 감소된 방법에 따른 매칭 필터는 출력 데이타 워드당 총 적분 시간이 전체 PN 프레임보다 작기 때문에 시스템 감도가 감소된다. 그러나, 일단 모든 PN 프레임마다 피크를 형성하는 것이 보장되고, 다른 방법 이상의 우수한 포착 속도를 특징으로 한다. 상기와 다른 시프트 레지스터, 가중치 구조, 및 매칭 필터(408)의 가산기 트리가 가능하고, 상기 구조들은 균형적으로 변경된 성능 특성을 형성하는 것이 주의된다.

도 6b는 본 발명의 다른 실시예에 따른 복잡성이 감소된 매칭 필터를 도시한다. 매칭 필터 시스템(640)은 PN 프레임당 일부분의 가능한 출력을 형성하지만,PN 프레임 길이와 효과적으로 동일한 매칭 필터 길이를 가진다. 예를들어, 이것은 PN 프레임당 2046개 중 각각 64개의 연속 클럭에 대한 출력을 형성하는 필터를 구성하는 것과 대응한다. 각각의 출력은 잠재적인 의사범위(pseudorange)를 나타낸다.

매칭 필터(620)는 일반적인 매칭 필터(408)와 같은 감도를 가지며, 길이는 PN 프레임 길이와 동일하다 : 그러나, 상기 매칭 필터가 프레임당 전체 출력수의 일부만을 형성하기 때문에, 각 프레임당 피크를 생성할 확률은 PN 프레임 길이에 의해 나뉘어져 생성되는 출력 수의 비이다. 따라서, 100% 포착 확률을 달성하기 위하여, 생성된 출력은 하나의 PN 프레임에 대응하는 전체 시간 오프셋 범위에 걸쳐 "스텝(stepped)"되도록 생성된다. 예를 들어, PN 프레임당 총 2046개의 클럭 중 64개의 출력을 제공하는 경우, 전체 PN 범위를 커버하기 위하여 2046/64 또는 32 스텝이 요구된다. 다른 실시예에 따른 매칭 필터는 상기된 복잡성이 감소된 매칭 필터 방법에 대하여 감도가 우수하다.

매칭 필터 시스템(640)은 PN 프레임당 가능한 출력의 서브세트를 생성하는 매칭 필터(620)를 포함한다. 특히, 도시된 구조는 길이 1023의 PN 프레임당 32 출력을 생성한다. 이후 논의를 명확하게 하기 위하여, 샘플 레이트는 칩당 하나의 샘플, 즉, 1.023 M샘플/초(표준 위치결정 서비스 GPS를 사용하는 C/A 코드에 대해)라는 것이 가정된다. 부가적으로 간략화를 위하여, 도 6b는 한번에 32 데이타 샘플을 처리할 수 있는 단일 매칭 필터(620)를 도시한다. 이 필터는 보다 큰 길이, 특히 길이 1023중 하나를 가진 필터를 구성하기 위하여 루프 적분기(630)를 사용하여 증가될 수 있다.

다음 논의에서, 특정 시간에서 특정하지만 예시적인 값이 시프트 레지스터(622) 엘리먼트 및 가중치 구조(624)에 할당되는 도 6b가 참조된다. 시간 0(t=0)에서, 레지스터(R1 내지 R32)의 데이타 샘플은 각각 x(32), x(31),...,x(1)이고, 여기서 x(1)은 시간에 대한 제 1 입력 데이타 샘플이고, x(2)는 제 2 샘플임을 각각 나타낸다. t=0에서, 필터 구조(620)는 x(1)w1023+ x(2)w(1022)+ ...+ x(31)w(992)를 나타낸다. 유사하게 시간 t=1 내지 t=31에서, 필터 가중치(624)는 동일하지만, 데이타는 하나의 위치만큼 시프트되고 유사한 계산이 발생한다. 다음 데이타는 매칭 필터로부터 출력되어 제1의 32개의 클럭 사이클(각각의 라인은 하나의 연속적인 출력 데이타 샘플을 나타낸다)동안 루프 적분기(630)에 저장된다 :

블럭 1 매칭 필터 계산

x(1)w(1023)+ x(2)w(1022)+ ...+ x(32)w(992)

x(2)w(1023)+ x(3)w(1022)+ ...+ x(33)w(992)

.

.

.

x(32)w(1023)+ x(33)w(1022)+ ...+ x(63)w(992)

이때, 32개의 샘플들이 처리된후, 가중치는 32 인덱스들을 가지는 가중치로 대체되어 본래의 값(즉, w(991)...,w(960))보다 작아지고 매칭 필터는 다음 32 샘플에 대한 결과를 형성한다(시간 t=32 내지 t=63) :

<u>블럭 2 매칭 필터 계산</u>

x(33)w(991)+ x(34)w(990)+ ...+ x(64)w(960)

x(34)w(991)+ x(35)w(1022)+ ...+ x(65)w(960)

.

.

.

x(64)w(991)+ x(65)w(990)+ ...+ x(95)w(960)

그러나, 루프 적분기(630)의 효과는 상기 두개의 어레이의 대응 로우와 함께 가산하는 것이고, 그것에 의해, 저장 레지스터 내에 각각의 시간 t=32 내지 t=63에 대해 전체적인 결과를 형성한다:

<u>블럭 2 루프 적분기 출력</u>
x(1)w(1023)+ x(2)w(1022)+ ...+ x(64)w(960)

x(2)w(1023)+ x(3)w(1022)+ ...+ x(65)w(960)

.

.

.

x(32)w(1023)+ x(33)w(1022)+ ...+ x(95)w(960)

이런 추후 어레이의 각각의 로우는 출력 시간 t=0, 1, ..., 31에 해당하는 길이 64의 매칭 필터에 대해 형성된 것과 동일하다. 따라서, 루프 필터는 매칭 필터가 보다 긴 길이 매칭 필터로서 작동하게 하도록 요구된 기능을 수행한다. 유사하게, 모든 부가적인 32개의 샘플 이후, 새로운 가중치 세트가 이전 세트보다 작은 값 32의 인덱스들로 제공된다. 상기 분석은 적용되고, 매 부가적인 32개의 샘플 이후 루프 적분기의 출력은 보다 긴 매칭 필터에 대해 발생하는 시간 t=0 내지 t=31에서의 필터 출력을 나타낸다. 상기 32개의 주기 후, 매칭 필터(620)에 의해 형성된 데이타 세트는 다음과 같다 :

<u>블럭 32 매칭 필터 계산</u>

x(993)w(31)+ x(994)w(30)+ ...+ x(1024)w(0)

x(994)w(31)+ x(995)w(30)+ ...+ x(1025)w(0)

.

.

.

x(1024)w(31)+ x(1025)w(30)+ ...+ x(1055)w(0)

이런 데이타는 연산을 완료하기 위하여 이전 데이타에 부가된다. 각각의 시간 루프 적분기(630)는 이런 최종 블럭에서 업데이트되고, 그 내용은 다른 버퍼로 보내진다. 다음 시간 루프 적분기(630)는 업데이트되고, 그 초기 상태는 만약 몇몇 프레임상에서 적분하기를 원하지 않는다면, 0으로 설정될 수 있다.

상기 실시예의 방법과 관련된 한가지 단점은 PN 프레임당 단지 1023개의 가중치만이 있기 때문에 크기 w(0)의 가중치가 없다는 것이다(만약 샘플 레이트가 PN 길이와 등가이면). 그러나, 만약 w(0)가 w(1023)으로 설정되면, 1024의 적당한 필터 길이는 효과적으로 형성된다. 이런 방법은 PN 신호의 주기성을 이용한다.

상기 실시예의 방법과 연관된 제 2 단점은 블럭 32의 최종 로우가 x(1024)에서 시작하는 것이다. 그러나, 만약 이 워드가 다음 PN 프레임에 대한 블럭 1의 제 1 워드이면, 동일한 세트의 매칭 필터 출력이 각각의 프레임에 대하여 모듈로 프레임 길이 1023를 계산하도록 하는 것이 바람직하다. 여기서 문제는 32가 1023으로 나누어지지 않는다는 것이다. 이런 피크 정렬 문제는 매칭 필터가 블럭 32의 최종 로우를 계산하고 그것을 루프 적분기(630)에 가산하지 못하게 함으로써 해결될 수 있다. 이것은 잘못된 루프 내에서 32번째 양을 효과적으로 이용하여, 단지 31개의 연속적인 매칭 필터 출력이 유효하도록 한다. 매칭 필터(620)에서, 가중치 w(1023), w(1022)+ ...+ w(992)는 사이클 32에서보다 블럭 32의 시작부 다음 31번째 사이클에서 가중치 구조(624)에 간단히 로딩된다. 게다가, 루프 적분기 카운터는 이런 시간에 리셋된다. 다른 정정은 길이(31 또는 33)의 매칭 필터를 사용하는 것이고, 그중 하나는 1023으로 똑같이 분할한다.

도 6b의 감소된 매칭 필터 구조(640)에 관련하여 몇몇 변형이 가능하다. 첫째, 매칭 필터(620)는 단일 곱셈기/누산기만을 사용하는 도 8의 회로(800)에 의해 실행될수있다. 게다가, 필터 가중치는 시프트 레지스터를 통하여 제공될수있다. 이 경우, 상기 방법에 의해 요구된 동작 순서는 순차적으로 순서 w(1023), w(1022), ..., w(1)에 가중치를 제공하는 것과 일치한다.

보다 긴 길이(예를들어, 64 또는 128)의 매칭 필터를 구성하기 위하여 도 6b의 누산기와 도 7의 두개 이상의 필터/누산기를 결합하는 것이 가능하다. 실질적으로, 대부분의 임의의 매칭 필터 구조는 매칭 필터(620)의 직선 탭 지연 라인 구조(622)의 적소에 사용될수있다. 물론, 몇몇 수단에 의해 매치 필터 출력중 인접하지 않은 세트를 계산하는 것이 가능하다. 예를들어, 매칭 필터(620)의 시프트 레지스터(622)는 모든 제 4 매칭 필터 출력을 제공하기 위하여 각각 매칭 필터 계산당 4번 시프트될수있다.

GPS 수신기

도 9는 본 발명의 일실시예에 따른 통상적인 GPS 수신기(900)의 포착 회로(400)의 구현을 도시한다. GPS 신호는 GPS 안테나(902)에 의해 수신되어 입력회로(904)를 통해 GPS 수신기(900)에 입력된다. 수신된 GPS 신호내의 PN 코드는 도 4-8와 관련하여 앞서 설명된 연산에 따라 외부 프로세서(910)와 함께 회로(400a)에서 포착된후 트래킹된다. 포착(400a)의 출력은 신호가 수신되는 각각의 GPS 위성으로부터 수신된 신호에 대응하는 의사범위 데이터(908)를 포함한다. 각각의 위성은 입력회로(904)에 의해 수신되고 회로(400b)에 의해 복조되는 추산 위치(ephemeris) 데이터를 전송한다. 프로세서(910)는 수신기의 위치를 결정하기 위하여 추산 위치 및 의사범위 데이터를 처리한다. 프로세서(910)의 출력은 유니트의 위치를 그래프로 또는 문자로 디스플레이하는 디스플레이 장치(912)와 같은 입력/출력 장치를 구동한다. 이러한 구성에서, 도 4의 회로는 프로세서(910)와 함께 포착 및 트래킹 기능을 수행한다.

도 10은 본 발명의 다른 실시예에 따른 GPS 수신기(1000)의 포착 회로의 구현을 기술한다. GPS 수신기(1000)는 결합된 GPS 및 통신 수신기 및 송신기이다. 수신기(1000)는 포착 회로(400) 및 통신 트랜시버부(1020)를 포함하는 GPS 수신기 스테이지를 포함한다. GPS 신호는 GPS 안테나(1002)를 통해 수신되고 다양한 수신 위성에 대한 PN 코드를 포착하는 포착 회로(400)에 입력된다. 포착 회로(400)에 의해 발생된 의사범위 데이터는 트랜시버(1020)에 의해 전송하기 위하여 프

로세서(1012)에 의해 처리된다. 트랜시버(1020)는 통신 안테나(1004) 및 수신기(1000)로 그리고 통신 안테나(1004) 및 수신기(1000)로부터 통신신호(전형적으로 RF)를 루틴하는 송신/수신 스위치(또는 듀플렉서)(1008)를 포함한다. 수신된 통신신호는 통신 수신기(1010)에 입력된 다음, 처리를 위해 프로세서(1012)에 전송된다. 프로세서(1012)로부터 전송될 통신신호는 변조기(1014) 및 주파수 변환기(1016)에 전파된다. 전력 증폭기(1018)는 기지국(1006)에 전송하기 위한 적절한 레벨로 신호의 이득을 증가시킨다. 수신기(1000)의 결합된 GPS/통신 시스템에서, 트래킹 회로(400)에 의해 발생된 의사범위 데이터는 통신링크를 통해 기지국(1006)에 전송된다. 기지국(1006)은 원격 수신기로부터의 의사범위 데이터와 그 자체의 GPS 수신기 또는 다른 데이터원으로부터 수신된 추산 위치 데이터에 기초하여 수신기(1000)의 위치를 결정한다. 데이터의 위치는 GPS 수신기(1000)에 다시 전송되거나 또는 다른 원거리의 위치에 전송될 수 있다. 수신기(1000) 및 기지국(1006)사이의 통신링크는 직접 링크 또는 셀룰라 전화링크를 포함하는 다수의 다양한 실시예로 실행될 수 있다.

레지스터 카운터를 감소시키기 위한 방법

GPS 포착 회로(예컨대 도 2의 포착 회로(200))에 대한 이전에 설명된 실시예에서는 입력 데이터를 저장하는 개별 시프트 레지스터 각각에 평행하게 다중 매칭 필터가 배치되어 있다. 이들 회로에서, 다수의 채널, 예컨대 8개의 채널이 평행하게 구현된다면, 레지스터의 갯수는 증가되며 시스템의 전체 게이트 카운트를 조절할 수 있다. 게다가, 다수의 레지스터와 연관된 적절한 전력 드레인이 존재할 수 있다. 본 발명의 일 실시예에서, 입력 GPS 신호 데이터를 유지하는 GPS 포착 회로는 입력 스테이지에서 단일 시프트 레지스터를 이용한다.
다중 매칭 필터 채널이 다중 시프트 레지스터를 필요로하는 이유는 도플러 반송파 정정 및 도플러 시간 정정(즉,샘플 클럭 변동)을 수행하는 요건이 채널마다 변화하기 때문이다. 그러므로, 만일 도플러 반송파 정정이 입력 데이터에 수행된다면, N개의 채널에 대하여 N개의 다른 도플러에 대응하는 N개의 새로운 데이터 스트림이 발생된다. 유사하게, 신호의 가변 칩 레이트를 트래킹하기 위하여, 데이터를 유지하는 시프트 레지스터에 공급되는 클럭은 특정 채널과 연관된 도플러에 의해 요구되는 사항에 따라 변경된다. 이는 통상적으로 개별 시프트 레지스터가 각각의 채널에 대하여 데이터를 유지하기 위하여 사용된다는 것을 의미한다.

본 발명의 일 실시예는 매칭 필터 다음에 반송파 정정을 적용함과 동시에 규칙적으로(예컨대, PN 프레임마다 한번씩 또는 밀리초마다 한번씩) 매칭 필터의 가중치를 변경함으로써 변화하는 반송파를 보상한다. 따라서, 이러한 실시예는 개별 시프트 레지스터를 사용해야하는 필요요건을 제거한다. 유효 샘플링 시간을 변화시키는 방법은 매칭 필터 연산 다음에 데이터 신호를 재샘플링하는 것과 동시에 규칙적으로 매칭 필터 가중치를 다시 변경하는 것이다.

도 11은 본 발명의 일 실시예에 따른 감소된 레지스터 GPS 포착 회로의 블럭도이다. 이 회로(1100)에서, 입력 데이터는 단일 데이터 시프트 레지스터(1102)에 공급된다. 입력 시프트 레지스터의 크기는 칩당 샘플의 수에 따라 길이 1023 또는 2046이다. 시프트 레지스터(1102)의 출력은 N개의 매칭 필터 채널(1104, 1106, 1108)에 동시에 공급된다. 제 1 매칭 필터 채널(1104)을 포함하는 회로를 상세히 설명한다; 그러나, N개의 매칭 필터 채널은 동일한 회로를 포함하고 있다. 각각의 채널은 반송파 계수값의 저장장치(1112), 및 PN 계수값의 저장장치(1114)를 포함한다. 반송파 계수는 반송파 가중치 회로(1118)에 입력된다. 마찬가지로, PN 계수는 PN 가중치 회로(1120)에 입력된다. 가중된 반송파 및 PN 계수는 합산 네트워크(1122)에서 조합된다.

따라서 시프트 레지스터(1102)로부터의 데이터는 각각 PN 및 주파수 계수에 대한 가중치를 조합하는, N개의 매칭 필터 네트워크를 통해 전파된다. 본 장치의 목적은 입력 신호의 단일 PN 프레임이 $s(t)=P(t-d)\exp(j2\pi ft)$이고, P(t)가 1023 칩 길이의 PN 시퀀스이고, f가 잔류 도플러 주파수이며 d가 상대적 지연을 나타내는 경우, 상기 신호에 매칭 필터는 플립된(flipped) 시간을 제외하고는 s(t)와 동일한 임펄스 응답을 갖는다. 이러한 가중치 함수는 2개 부분으로 나뉘며, 그중 제 1 부분은 PN 시퀀스 P(t-d)에 해당하며 제 2 부분은 0 내지 필터 임펄스 응답 길이(전형적으로 일 밀리초)의 범위에 있는 t를 포함하는, 반송파 가중치 함수 $\exp(j2\pi ft)$에 해당한다. f 및 d는 채널에서 채널로 변하고 시간과 관련하여 천천히 변하기 때문에, 이들 가중치 함수들은 규칙적으로 업데이트될 필요가 있다. 가장 일반적인 경우, 밀리초당 한번의 업데이팅(PN 프레임)이 적합하며, 이는 반송파 주파수(전형적으로 1Hz이하)가 거의 변하지 않고 일 밀리초 주기 내에서 PN 위상(0.003 칩 이하)이 거의 변하지 않기 때문이다.

반송파 가중치 회로(1118) 및 PN 가중치 회로(1120)의 연산을 도 12에서 보다 상세히 설명한다. 도 11 및 도 12에서 사용된 조합된 "w" 및 "c" 필터 계수는 기저대역에서가 아니라 주파수(f)에서의 필터 전달 함수에 해당한다. 따라서, 매칭 필터로부터 출력되는 데이터는 기저대역에서 이루어지는 것이 아니다. 따라서, 매칭 필터로부터의 연속적인 PN 프레임들이(예를 들어, 도 4의 지연-라인 적분기들이) 서로 코히어런트하게 가산되는 경우, 매칭 회로에서 출력된 신호의 반송파 주파수는 한개 프레임에서 다음 프레임으로 위상이 정렬하도록 보상될 필요가 있다. 상기 보상은 도 11의 채널 1의 출력에서

곱셈기(1124)에 의해 수행된다. 가장 일반적인 형태는, 곱셈기(1124)로 입력되는 국부 발진기(local oscillator)(1116)는 간단히 exp(j2πft)이며, 여기서 f는 정정되는 도플러 주파수이고 t는 연속적으로 증가하는 시간이다. 이는 필터 출력에서 신호를 0의 주파수로 하향 변환시켜 프레임 단위의 적분을 허용한다.

코히어런트 프레임 대 프레임 가산의 목적은 회로(1100)의 반송파 위상 합성기(1116)를 연속적으로 구동시키기 위해 필요한 것이 아니라, 1개의 위상 대신에 전체 프레임을 위해 사용될 수 있도록 하기 위한 것이다. 위상은 프레임당 누산된 도플러 위상의 양, 즉, $2\pi FT_f$ 만큼 다음 프레임에 대해 증가되야 하며, T_f는 프레임 지속기간(1 밀리초)이다. 이러한 방법은 반송파 위상 합성기(1116)의 연산 레이트를 감소시킨다. 상기 주파수 변환 이후에 매칭 필터로부터의 인접한 샘플들의 출력은, 이 경우에 위상이 약간 다르다, 즉 $2\pi fT_c$이고 T_c는 칩 존속기간이다. 일반적으로 비논리적인 상기 상이한 위상에서는 GPS 위성과 관련된 작은 도플러 에러 (전형적으로 3500Hz이하)는 비논리적인 위상 차이(1 도(degree) 이하)를 발생한다.

반송파 위상 합성기(1116)의 출력은 디지탈 리샘플러 회로(1126)로 공급된다. 상기 회로는 ±1/2 샘플 범위에 걸쳐 입력 신호를 지연시킬 수 있는 가변 지연 라인으로서의 역할을 한다. 이는 한 측면상에서 가장 가까운 2개 샘플 시간의 시간을 기준으로 원하는 샘플링 시간의 시간차에 비례하여 2개의 인접한 샘플을 간단히 가중하는 선형 보간기에 의해 간단한 방식으로 행해진다. 선형 보간은 신호 스펙트럼의 롤오프(rolloff)를 야기시킨다; 그러나, 이는 예를 들어 도 12의 칩 매칭 필터(1202)의 일부로서, 매칭 필터 앞에 위치된 등화(equalizing) 필터에 의해 보상될 수 있다. 1/2 샘플의 초과 지연이 요구되는 경우, 이는 도 11에 도시된 것처럼 "앞섬/뒤짐(advance/retard) 명령"을 통해 저장 유닛(1114)(전방 또는 후방)에 저장된 PN 계수를 간단히 순환적으로 시프트시킴으로서 수행되고, 리샘플러 회로의 보간을 미세하게 조절함으로써 달성된다. 이러한 방식으로 PN 계수의 업데이트는 GPS 인공위성과 관련하여 상대적으로 작은 도플러 시간으로 인해(전형적으로 2700nsec/sec), 초당 3회 이하로 요구되는 상대적으로 드문 동작이다. 모든 상기 연산들의 제어는 종래의 마이크로제어기에 의한 회로(1100) 또는 마이크로프로세서(1110)에서 수행될 수 있다.

도 12는 PN 및 반송파 주파수를 각각 가중하는 것이 본 발명의 실시예들에 수행되는 방법의 일례를 도시한다. 매칭 필터(1200)는 가중치 탭 지연 라인 구조를 활용한다. 동상 또는 직교(quadrature) 데이터 입력은 각각의 칩의 시간 파형에 매칭되는 칩 매칭 필터(1202)로 입력된다. 칩 매칭 필터(1202)로부터의 출력은 다운샘플러(1204)에서 칩당 2개 샘플로 다운 샘플링된다. 다운 샘플링된 신호는 의사 랜덤 신호 패턴의 실제 패턴과 매칭되는 탭 지연 라인 필터로 공급된다. "w" 계수(1206) 탭 필터는 이들의 PN 계수에 해당하며 "c" 계수(1208)는 이들의 반송파 주파수에 해당한다. 가중된 신호로부터의 출력은 매칭 필터(1200)로부터 출력을 산출하는 가산기 트리(adder tree)(1210)에서 조합된다. 도 12의 회로는 도 6A에 도시된 직선적인 실시예의 변형을 나타낸다. 그러나, 회로(1200)의 가중치 방법은 도 6B, 7,및 8에서 처럼, 본 명세서에서 개시된 다양한 효율적인 매칭 필터 구조에서 유사하게 사용될 수 있다.

알수 있듯이, 도 12의 가중치를 조합할 수 있으며, 즉 w 및 c 가중치는 d1=w1×c1, d2=w2×c2등의 가중치를 산출하도록 조합될 수 있다. 이러한 조합은 2번의 곱셈 연산을 방지한다. 그러나, 회로(1200)으로 도시된 장치는 이러한 방법을 능가하는 장점이 있다. 먼저, 많은 경우에서 PN 계수(w)는 전체적으로 실수(real)이고, 이들은 직교(quadrature) 성분을 갖지 않는다. 따라서, 도 12에서 w 계수는 출력된 동상 또는 직교 포인트 당 단지 1023 워드의 저장 및 1023회의 곱셈만이 요구된다. 복잡한 주파수 계수(c)는 동상 및 직교 성분 모두를 갖는다. 따라서, 상기 계수는 출력된 동상 또는 직교 포인트 당 2046 워드의 저장 및 4092회의 곱셈 및 2048회의 덧셈이 요구된다. 다량의 주파수 계수 저장은 다수의 c 계수의 연속하는 값이 예를 들어 16으로 부여되는 경우 크게 감소될 수 있다. 이는 도플러 정정이, 수 kHz로 매우 작고 연속하는 계수에 의해 가중된 샘플들 사이의 유효 간격이 약 1MHz이기 때문에 다양한 경우에서 행해질 수 있다. 따라서, 연속하는 주파수 계수는 최대 0.003의 위상 변화, 또는 약 1 도(degree)에 해당한다. 열(row)에 있는 16개의 주파수 계수가 동일한 경우, 최대 위상 에러는 약 8도이며, 0.09dB 이하로 신호 에너지 손실을 야기시킨다.

대부분의 경우에, 상기 PN 가중치는 GPS에 대한 시간 도플러(Doppler)가 초당 3개의 칩을 초과하지 않기 때문에 거의 업데이트될 필요가 없다. 그러나, 상기 반송파 도플러 가중치 c는 대략 초당 100회 정도로 더 자주 업데이트 되어야 하며, 이는 도플러가 초당 1 Hz의 레이트로 변화하기 때문이다. 상기 업데이트 프로세스는 상기 가중치들은 이 업데이트 프로세스 동안에 방해되므로(고가의 더블 버퍼 어프로치(double buffer approach)가 사용되지 않는다면), 약간의 신호 에너지 손실을 일으킬 수도 있다. PN 가중치보다 더 적은 도플러 가중치가 많이 있기 때문에(한 열에 16개의 도플러 가중치가 모두 동일하다고 가정하면), 방해(즉, 새로운 데이터를 반송파 계수 저장 장치(1112)에 로딩)의 기간은 도 12에 보여진 바와 같은 가중 절차를 분리함으로써 최소화 된다.

어떤 GPS 수신기에서는, 제어가 잘 안되는 기준 국부 발진기 때문에 주파수와 샘플링 레이트가 매우 크다. 예를 들어, 10 PPM(parts per million)의 수정 발진기가 사용된다면, 대략 15750 Hz의 주파수 에러가 상기 모든 채널에 나타날 것이고

(도플러 주파수 에러는 그 크기가 훨씬 작기 때문에 무시한다), 마찬가지로 초당 십만분의 1초의 샘플링 시간 에러가 발생할 것이다. 도 11과 12의 회로 1100과 1200이 각각 그런 큰 에러를 조정하지만, 그런 큰 주파수 에러는 시스템 성능 또는/및 복잡성에 부정적인 영향을 미칠 것임은 앞선 설명에 의해 충분히 짐작할 수 있다. 이것은 특히 많은 연속된 주파수 가중치가 동일한 것이 바람직한 경우이다. 이러한 모든 채널에 공통인 종류의(즉, 공통 모드의) 큰 주파수 에러는 도 11의 매칭 필터에 앞서(예를 들면, 데이터 쉬프트 레지스터 이전 또는 이후) 단일 디지탈 주파수 변환 회로를 사용함으로써 쉽게 보상된다. 이는 연속하는 회로가 상기와 같은 큰 에러를 보상해야 하는 필요성을 제거한다. 상기 샘플링 시간 에러는 여전히 비교적 작기 때문에, 유사한 방법으로 분리시켜 보상될 필요는 없다.

본 발명에 따른 방법과 장치가 GPS 위성을 참조하여 설명되기는 하였으나, 본 발명의 기술은 의사위성(pseudolites) 또는 위성과 의사위성의 조합을 사용하는 위치 측정 시스템에도 적용 가능하다. 의사 위성들은 일반적으로 GPS 시간에 동기화된 L-밴드 반송파 신호상에서 변조된 PN 코드(GPS 신호에 유사한)를 방송하는 지상 기반의 전송기이다. 각 전송기는 유일한 PN 코드가 할당되고 원거리 수신기에 의해 확인이 수행된다. 의사 위성들은 터널, 탄광, 건물, 또는 다른 봉쇄된 영역에서와 같이 궤도 위성으로부터의 GPS 신호를 사용할 수 없는 상황에서는 유용하다. 여기서 "위성"이라는 용어는 의사위성이나 의사위성의 등가물들을 포함하고, 여기서 사용되는 GPS 신호의 의미는 의사 위성이나 의사 위성의 등가물들로부터 나온 GPS 유사 신호를 포함한다.

앞선 설명에서, 본 발명은 미국 GPS 시스템에 기초한 응용을 참조하여 설명되었다. 그러나 이러한 방법들은 러시아 위치 측정 시스템(Russian Glonass System)과 같이 유사한 위성 위치 측정 시스템에도 동등하게 적용가능하다는 것은 명백하다. 용어 "GPS"는 러시아 위성 위치 측정 시스템을 포함하는 상기 선택적인 위성 위치 측정 시스템을 포함한다. 용어 "GPS 신호"는 유사한 위성 위치 측정 시스템으로부터의 신호들도 포함한다.

앞에서, 고속 포착, 고감도 포착 회로를 통해 GPS 신호를 수신하는 시스템이 설명되었다. 본 발명이 특정 실시예를 참조하여 설명되기는 하였으나, 청구범위에 개시된 발명의 사상과 범위를 벗어나지 않고 다양한 변형과 변화가 이러한 실시예에 가해질 수 있다. 따라서, 명세서와 도면들은 한정의 의도가 아니고, 예시의 의미로 이해된다.

(57) 청구의 범위

청구항 1.

위성 위치 확인 시스템(GPS) 신호들의 샘플을 수신하도록 동작하는 입력;

상기 입력에 접속되며, 다수의 탭핑된 지연 출력들을 가지는 데이터 쉬프트 레지스터; 및

상기 데이터 쉬프트 레지스터의 상기 다수의 탭핑된 지연 출력들에 접속된 다수의 매칭 필터 채널들을 포함하며,

상기 다수의 매칭 필터 채널들 중 각각의 매칭 필터 채널은 상기 GPS 신호들의 샘플에 개별 매칭 필터 연산을 수행하여 개별 출력을 제공하고,

상기 각각의 매칭 필터 채널은 의사랜덤 시퀀스에 상응하는 제 1 가중치 계수 시리즈와 반송파 주파수 시퀀스에 상응하는 제 2 가중치 계수 시리즈를 매칭 필터 가중치들로서 제공하도록 동작하는 매칭 필터 네트워크를 더 포함하는 것을 특징으로 하는 매칭 필터 회로.

청구항 2.

제 1항에 있어서, 상기 데이터 시프트 레지스터의 길이는 상기 다수의 매칭 필터 채널들로의 병렬 데이터 입력들의 최대 길이와 일치하는 것을 특징으로 하는 매칭 필터 회로.

청구항 3.

제 1항에 있어서, 상기 제 2 가중치 계수 시리즈의 개별 계수들의 길이는 상기 제 1 가중치 계수 시리즈의 개별 계수들의 길이 미만인 것을 특징으로 하는 매칭 필터 회로.

청구항 4.

제 1항에 있어서, 상기 다수의 매칭 필터 채널들 중 상기 각각의 매칭 필터 채널은,

상기 제 1 가중치 계수 시리즈의 하나 또는 그 이상의 가중치 계수들을 일정 시간 주기 동안 변경하도록 동작하는 제 1 회로; 및

상기 매칭 필터 연산 이후에 상기 GPS 신호들의 샘플에 시간 보정을 적용하도록 동작하는 제 2 회로를 더 포함하는 것을 특징으로 하는 매칭 필터 회로.

청구항 5.

제 4항에 있어서, 상기 다수의 매칭 필터 채널들 중 상기 각각의 매칭 필터 채널은,

상기 제 2 가중치 계수 시리즈의 하나 또는 그이상의 가중치 계수들을 일정 시간 주기 동안 변경하도록 동작하는 제 3 회로; 및

상기 매칭 필터 연산 이후에 상기 GPS 신호들의 샘플에 반송파 보정을 적용하도록 동작하는 제 4 회로를 더 포함하는 것을 특징으로 하는 매칭 필터 회로.

청구항 6.

제 1항에 있어서, 상기 다수의 매칭 필터 채널들 중 상기 각각의 매칭 필터 채널은,

상기 제 2 가중치 계수 시리즈의 하나 또는 그 이상의 가중치 계수들을 일정 시간 주기 동안 변경하도록 동작하는 제 1 회로; 및

상기 매칭 필터 연산 이후에 상기 GPS 신호들의 샘플에 반송파 보정을 적용하도록 동작하는 제 2 회로를 더 포함하는 것을 특징으로 하는 매칭 필터 회로.

청구항 7.

제 1항에 있어서, 상기 데이터 쉬프트 레지스터의 상기 탭핑된 지연 출력들은 임의의 순간에 데이터 워드들이 상기 GPS 신호들의 하나의 칩 간격 만큼 시간상 구분되도록 고정하는 것을 특징으로 하는 매칭 필터 회로.

청구항 8.

제 7항에 있어서, 상기 데이터 쉬프트 레지스터의 입력에 접속되며, 상기 GPS 신호들의 개별 칩의 파형에 매칭되는 필터를 더 포함하는 것을 특징으로 하는 매칭 필터 회로.

청구항 9.

제 1항에 있어서, 상기 데이터 쉬프트 레지스터는 다중 비트 쉬프트 레지스터이며, 다중 비트 산술 포맷 내에 표시된 데이터 워드들과 연관된 모든 비트들을 평행하게 쉬프트할 수 있는 것을 특징으로 하는 매칭 필터 회로.

청구항 10.

위성 위치 확인 시스템(GPS) 신호들을 포착 및 트래킹하는 방법으로서,

GPS 신호들의 샘플을 수신하는 단계;

상기 GPS 신호들의 샘플을 쉬프트 레지스터의 다수의 탭핑된 지연 출력들을 통해 다수의 매칭 필터 채널들에 제공하는 단계; 및

상기 다수의 매칭 필터 채널들의 각각의 매칭 필터 채널 내에서, 의사랜덤 시퀀스에 상응하는 제 1 가중치 계수 시리즈 및 반송파 주파수 시퀀스에 상응하는 제 2 가중치 계수 시리즈를 매칭 필터 가중치들로서 제공하는 단계를 포함하는 GPS 신호 포착 및 트래킹 방법.

청구항 11.

제 10항에 있어서, 상기 쉬프트 레지스터의 길이는 상기 다수의 매칭 필터들로의 병렬 데이터 입력들의 최대 길이와 일치하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 12.

제 10항에 있어서,

상기 제 1 가중치 계수 시리즈의 하나 또는 그 이상의 가중치 계수들을 일정 시간 주기 동안 변경하는 단계; 및

상기 다수의 매칭 필터 채널들 중 적어도 하나의 매칭 필터 채널에서, 상기 GPS 신호들의 샘플을 제공하는 단계 이후에 상기 GPS 신호들의 샘플에 시간 보정을 적용하는 단계를 더 포함하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 13.

제 12항에 있어서,

상기 제 2 가중치 계수 시리즈의 하나 또는 그 이상의 가중치 계수들을 일정 시간 주기 동안 변경하는 단계; 및

상기 다수의 매칭 필터 채널들 중 적어도 하나의 매칭 필터 채널에서, 상기 GPS 신호들의 샘플을 제공하는 단계 이후에 상기 GPS 신호들의 샘플에 반송파 보정을 적용하는 단계를 더 포함하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 14.

제 10항에 있어서,

상기 제 2 가중치 계수 시리즈의 하나 또는 그 이상의 가중치 계수들을 일정 시간 주기 동안 변경하는 단계; 및

상기 다수의 매칭 필터 채널들 중 적어도 하나의 매칭 필터 채널에서, 상기 GPS 신호들의 샘플을 제공하는 단계 이후에 상기 GPS 신호들의 샘플에 반송파 보정을 적용하는 단계를 더 포함하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 15.

위성 위치 확인 시스템(GPS) 신호들을 포착 및 트래킹하는 방법으로서,

GPS 신호들의 현재 샘플 세트에 의사랜덤 잡음 매칭 필터 연산을 수행하여 현재 매칭 필터 출력의 데이터 블럭을 제공하는 단계;

상기 현재 매칭 필터 출력의 데이터 블럭과 적어도 하나의 이전 매칭 필터 출력의 데이터 블럭의 제 1 세트를 선형 조합하여 제 1 선형 조합 출력의 데이터 블럭을 발생하는 단계;

상기 제 1 선형 조합 출력의 데이터 블럭에 비선형 연산을 수행하여 제 1 검출 데이터 블럭을 제공하는 단계;

상기 현재 샘플 세트 이후의 GPS 신호들의 샘플 세트에 의사랜덤 잡음 매칭 필터 연산을 수행하여 후속 매칭 필터 출력의 데이터 블럭을 제공하는 단계

상기 후속 매칭 필터 출력의 데이터 블럭과 적어도 하나의 이전 매칭 필터 출력의 데이터 블럭의 제 2 세트 - 상기 제 2 세트의 각각의 블럭의 시작은 상기 GPS 신호들의 다수의 프레임 간격과 동일한 상기 후속 매칭 필터 출력의 데이터 블럭과 상대적인(relative) 시간에 발생함 - 를 선형 조합하여 제 2 선형 조합 출력의 데이터 블럭을 발생하는 단계;

상기 제 2 선형 조합 출력의 데이터 블럭에 비선형 연산을 수행하여 제 2 검출 데이터 블럭을 제공하는 단계;

상기 제 2 검출 데이터 블럭과 상기 제 1 검출 데이터 블럭을 선형 조합하여 조합된 검출 블럭을 제공하는 단계; 및

상기 조합된 검출 블럭을 사용하여 상기 GPS 신호들의 적어도 하나의 성분 신호의 도달 시간 추정치를 결정하는 단계를 포함하는 GPS 신호 포착 및 트래킹 방법.

청구항 16.

제 15항에 있어서, 상기 현재 매칭 필터 출력의 데이터 블럭은 상기 GPS 신호들의 제 1 프레임 주기의 일부분과 동일한 시간 간격 동안 발생하는 적어도 하나의 데이터 세트를 포함하며, 상기 제 1 프레임 주기의 일부분은 1/256을 초과하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 17.

제 16항에 있어서, 상기 제 1 선형 조합 출력의 데이터 블럭을 미리결정된 위치들의 세트에 저장하는 단계를 더 포함하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 18.

제 16항에 있어서, 상기 현재 매칭 필터 출력의 데이터 블럭을 상기 적어도 하나의 이전 매칭 필터 출력의 데이터 블럭의 제 1 세트와 선형 조합하는 단계는 선형 스케일링 및 합산 연산을 포함하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 19.

제 16항에 있어서, 상기 제 2 검출 데이터 블럭과 상기 제 1 검출 데이터 블럭을 선형 조합하는 단계는 선형 스케일링 및 합산 연산을 포함하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 20.

제 15항에 있어서, 상기 제 1 검출 데이터 블럭은 상기 GPS 신호들의 다수의 프레임 간격의 양만큼 상기 제 2 검출 데이터 블럭과 관련하여 시간상 쉬프트되는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 21.

제 15항에 있어서, 상기 비선형 연산은 크기-제곱 연산 또는 엔벨로프 연산 중 하나인 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 22.

제 15항에 있어서, 상기 GPS 신호들의 현재 샘플 세트에 대한 상기 매칭 필터 연산은 다수의 매칭 필터 서브-연산들을 포함하며, 상기 서브 연산들의 각각은 개별 유니트에 의해 수행되고, 상기 유니트들의 출력들은 상기 현재 매칭 필터 출력의 데이터 블럭을 발생하기 위해 추가 조합되는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 23.

제 22항에 있어서, 상기 서브-연산들은 데이터 및 필터 가중치들의 서브세트들에 수행되며, 상기 서브-연산들은 상기 다수의 매칭 필터 서브-연산들의 각각이 수행되는 상기 데이터 및 필터 가중치들을 제외하면 동일한 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 24.

제 22항에 있어서,

상기 다수의 매칭 필터 서브-연산들의 각각은 신호 가중 및 누산 유니트를 사용하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 25.

제 15항에 있어서, 상기 GPS 신호들의 현재 샘플 세트에 대한 상기 매칭 필터 연산은 그 응답이 전체 의사랜덤 프레임의 일부분에 매칭되는 매칭 필터를 사용하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 26.

제 15항에 있어서, 상기 GPS 신호들의 샘플들의 현재 세트에 대한 상기 매칭 필터 연산은 전체 의사랜덤 프레임에 매칭되는 매칭 필터를 사용하며, 상기 매칭 필터는 상기 GPS 신호들의 전체 프레임 길이에 상응하는 길이 미만의 다수의 워드들을 출력으로 제공하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 27.

제 15항에 있어서, 상기 GPS 신호들의 현재 샘플 세트에 대한 상기 매칭 필터 연산은 전체 의사랜덤 프레임의 일부분에 매칭되는 매칭 필터를 사용하며, 상기 매칭 필터는 상기 GPS 신호들의 전체 프레임 길이에 해당하는 길이 미만의 다수의 워드들을 출력으로 제공하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 방법.

청구항 28.

위성 위치 확인 시스템(GPS) 수신기에서 수신된 GPS 신호들을 포착 및 트래킹하기 위한 회로로서,

GPS 신호들을 수신하기 위한 입력 신호 포트;

상기 입력 신호 포트에 접속되며, 필터링된 데이터 세트를 발생하는 매칭 필터;

상기 매칭 필터 출력에 접속되며, 출력을 가지는 제 1 루프 적분기;

상기 제 1 루프 적분기의 상기 출력에 접속되며, 출력을 가지는 비선형 연산기; 및

상기 비선형 연산기의 상기 출력에 접속된 제 2 루프 적분기를 포함하며,

상기 제 1 루프 적분기는 상기 매칭 필터로부터의 제 1 필터링된 데이터 블럭과 상기 매칭 필터로부터의 후속 필터링된 데이터 블럭을 조합하고, 상기 제 1 데이터 블럭의 시작부 및 상기 후속 데이터 블럭의 시작부는 상기 GPS 신호들의 다수의 프레임 간격 만큼 시간상 구분되어 발생하는 GPS 신호 포착 및 트래킹 회로.

청구항 29.

제 28항에 있어서,

상기 입력 신호 포트에 접속된 디지털 주파수 변환 회로;

상기 디지털 주파수 변환 회로에 접속된 디지털 리샘플러 회로; 및

상기 제 2 루프 적분기 및 상기 제 2 루프 적분기에 접속된 레지스터 뱅크를 더 포함하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 회로.

청구항 30.

제 29항에 있어서, 상기 GPS 신호 포착 및 트래킹 회로는 상기 수신된 GPS 신호들의 성분 신호들 중 적어도 하나를 트래킹하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 회로.

청구항 31.

제 30항에 있어서,

상기 제 1 루프 적분기와 상기 제 2 루프 적분기 중 적어도 하나는 단위 이득을 가지는 피드백 회로를 구현하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 회로.

청구항 32.

제 29항에 있어서, 상기 제 1 루프 적분기와 상기 제 2 루프 적분기 중 적어도 하나는 단위 이득 미만의 이득을 가지는 피드백 회로를 구현하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 회로.

청구항 33.

제 29항에 있어서, 상기 레지스터 뱅크는 랜덤 액세스 메모리에 의해 구현되는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 회로.

청구항 34.

제 28항에 있어서, 상기 매칭 필터 출력 및 상기 제 1 루프 적분기의 입력에 접속된 제 3 루프 적분기를 더 포함하는 것을 특징으로 하는 GPS 신호 포착 및 트래킹 회로.

청구항 35.

위성 위치 확인 시스템(GPS) 신호들을 수신하기 위한 시스템으로서,

GPS 신호를 수신하는 수단;

상기 수신된 GPS 신호에 매칭 필터 연산을 수행하는 수단:

상기 매칭 필터의 출력에 제 1 루프 적분 연산을 수행하는 수단;

상기 제 1 루프 적분 연산의 출력 신호에 비선형 연산을 수행하는 수단; 및

상기 비선형 연산의 출력에 제 2 루프 적분 연산을 수행하는 수단을 포함하며,

상기 제 1 루프 적분 연산은 상기 제 1 필터링된 데이터 블럭과 상기 후속 필터링된 데이터 블럭을 조합하며, 상기 제 1 데이터 블럭의 시작 및 상기 후속 데이터 블럭의 시작은 상기 GPS 신호들의 다수의 프레임 간격 만큼 시간상 구분되어 발생하는 GPS 신호 수신 시스템.

청구항 36.

위성 위치 확인 시스템(GPS) 신호들의 샘플을 수신하도록 동작하는 매칭 필터 회로 입력;

상기 매칭 필터 회로 입력에 접속된 제 1 입력과 출력을 가지는 멀티플렉서;

상기 멀티플렉서 출력에 직접 접속된 입력을 가지는 쉬프트 레지스터;

상기 쉬프터 레지스터의 최종 출력단에 접속된 곱셈기-누산기 조합; 및

상기 쉬프트 레지스터의 상기 최종 출력단에 직접 접속된 상기 멀티플렉서로의 제 2 입력을 포함하는 매칭 필터 회로.

청구항 37.

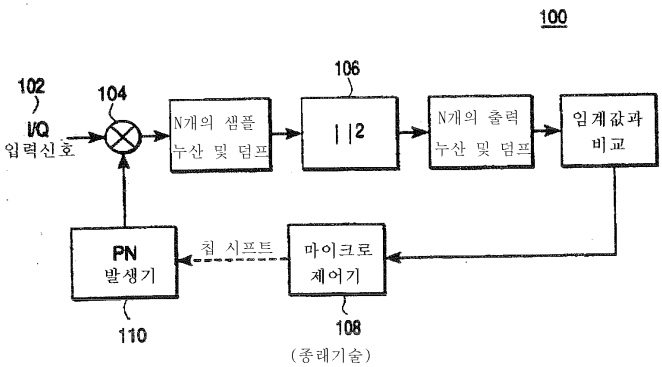
제 36항에 있어서, 상기 매칭 필터 회로는 상기 GPS 신호의 샘플에 매칭 필터 연산을 수행하는 것을 특징으로 하는 매칭 필터 회로.

청구항 38.

제 36항에 있어서,상기 쉬프트 레지스터는 다중 비트 쉬프트 레지스터이며, 다중 비트 산술 포맷내에 표시된 데이터 워드들과 연관된 모든 비트들을 평행하게 쉬프트할 수 있는 것을 특징으로 하는 매칭 필터 회로.

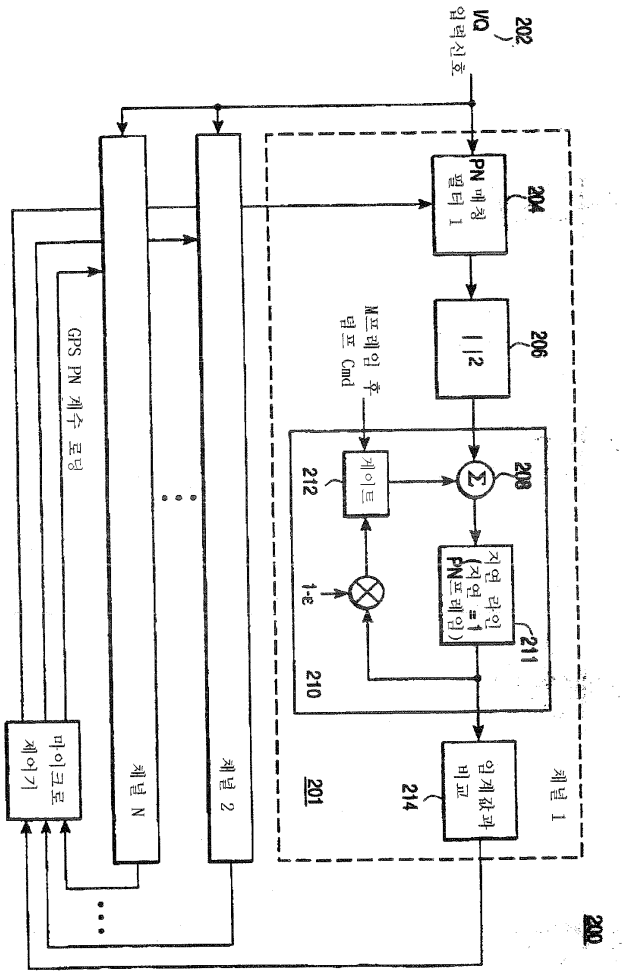
도면

도면1

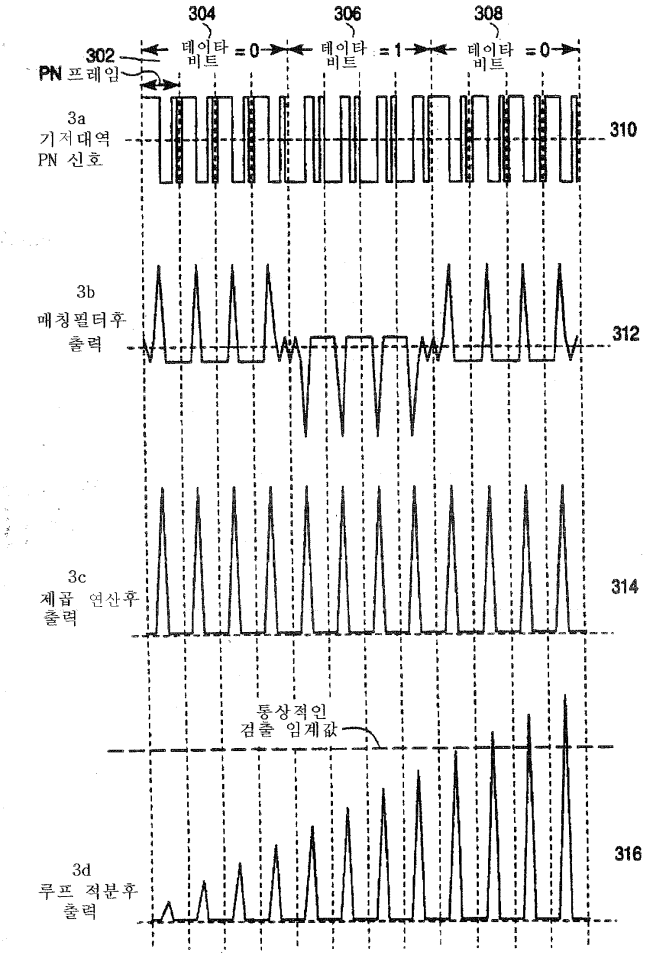


(종래기술)

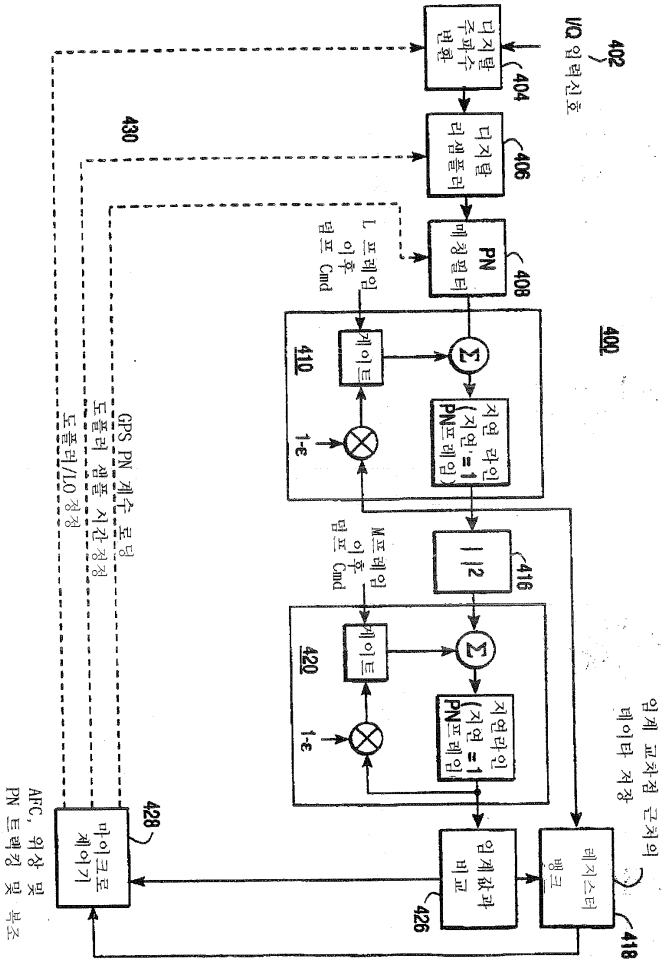
도면2



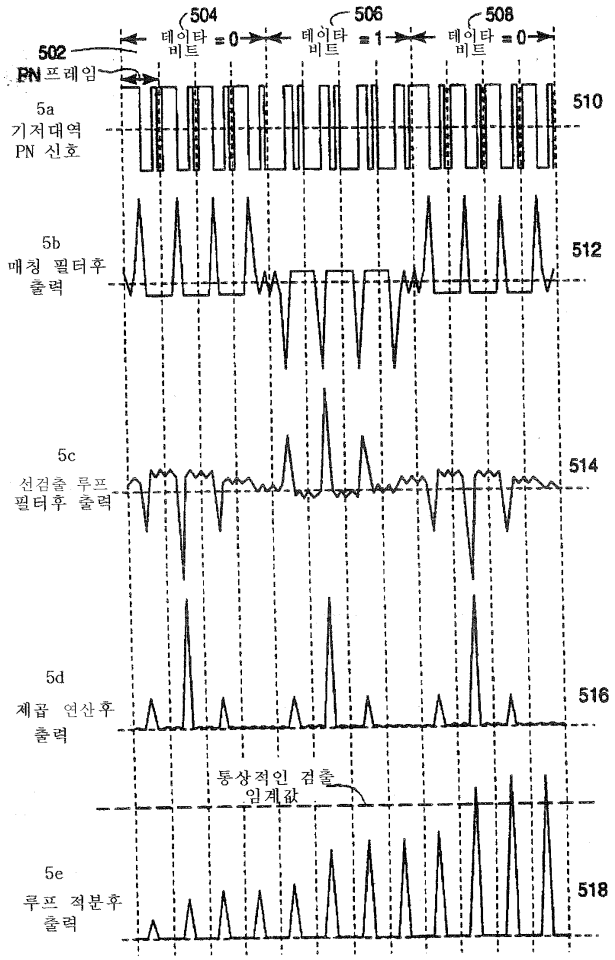
도면3


304
306
308
302
PN 프레임
데이타 비트 = 0
데이타 비트 = 1
데이타 비트 = 0
3a
기저대역
PN 신호
310
3b
매칭필터후
출력
312
3c
제곱 연산후
출력
314
통상적인
검출 임계값
3d
루프 적분후
출력
316

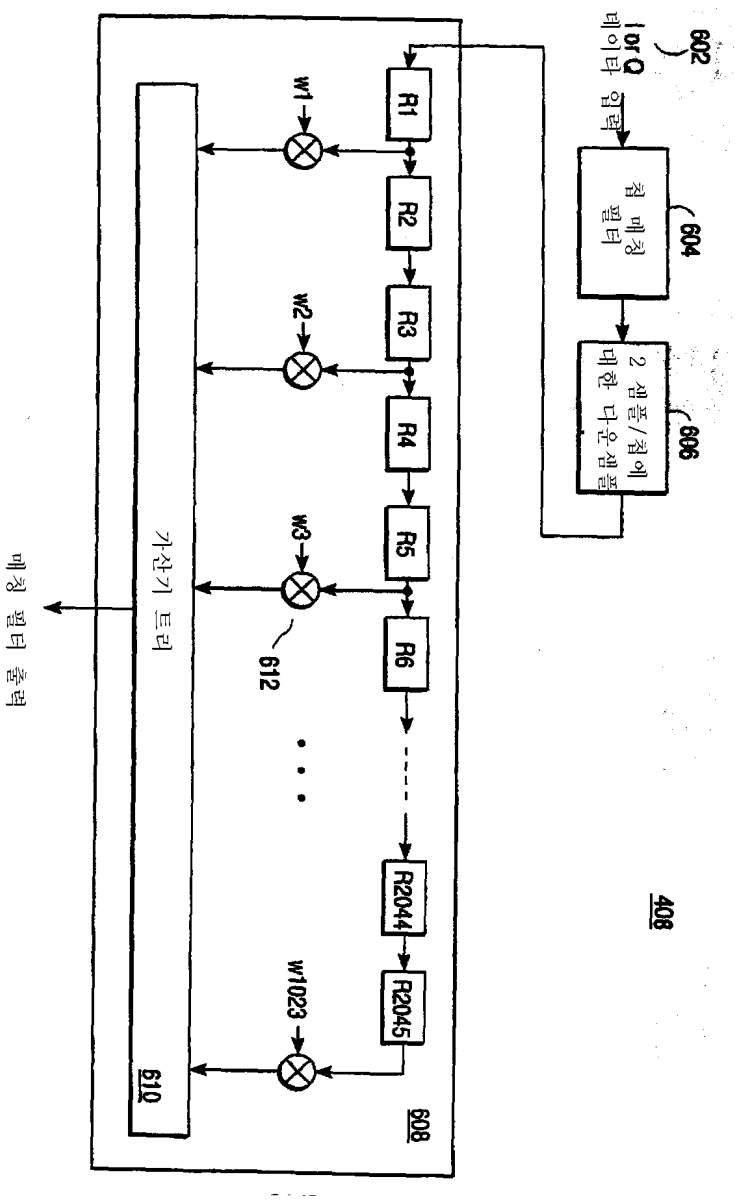
도면4


I/Q 입력신호
402
디지털 주파수 변환
404
디지털 리샘플러
406
PN 매칭필터
408
L 프레임 이후 덤프 Cmd
게이트
410
Σ
지연 라인 (지연 = 1 PN프레임)
1-ε
400
M프레임 이후 덤프 Cmd
| |2
416
게이트
420
Σ
지연라인 (지연 = 1 PN프레임)
1-ε
임계 교차점 근처의 데이타 저장
레지스터 뱅크
418
임계값과 비교
426
마이크로 제어기
428
430
GPS PN 계수 로딩
도플러 샘플 시간 정정
도플러/I,Q 정정
AFC, 위상 및 PN 트랙킹 및 복조

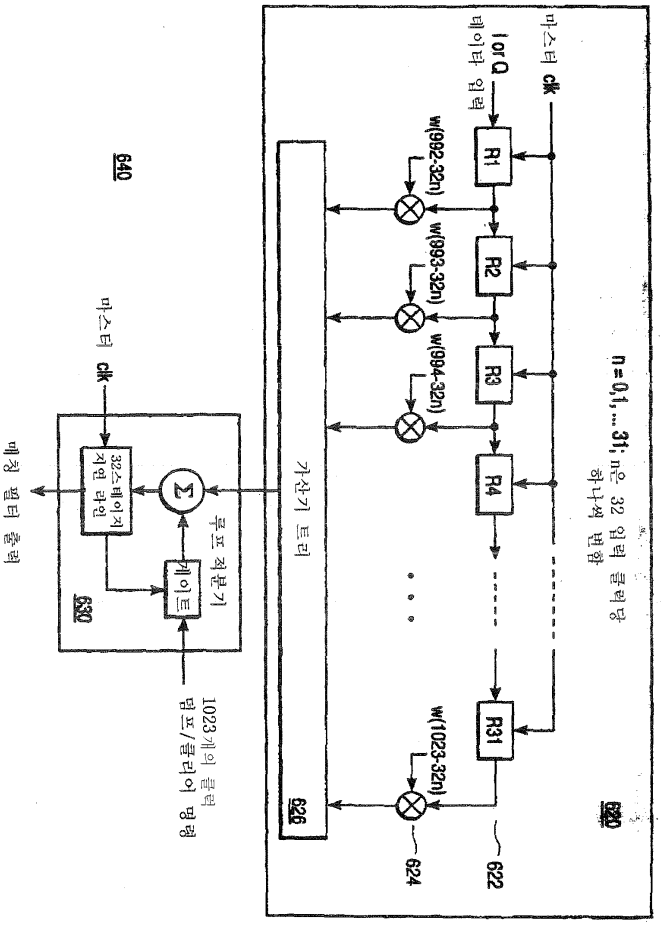
도면5


504
506
508
데이타 비트 = 0
데이타 비트 = 1
데이타 비트 = 0
502
PN 프레임
5a
기저대역 PN 신호
510
5b
매칭 필터후 출력
512
5c
선검출 루프 필터후 출력
514
5d
제곱 연산후 출력
516
통상적인 검출 임계값
5e
루프 적분후 출력
518

도면6a

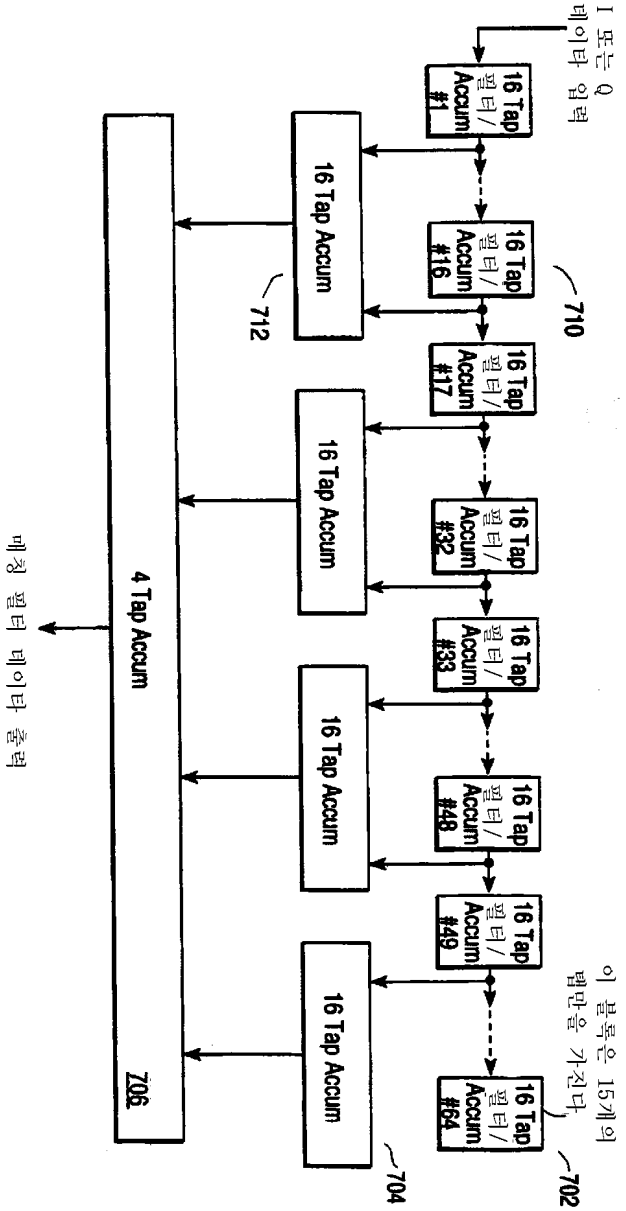

602
I or Q 데이터 입력
칩 매칭 필터
604
2 샘플/칩에 대한 다운샘플
606
408
R1
R2
R3
R4
R5
R6
R2044
R2045
w1
w2
w3
w1023
612
가산기 트리
610
608
매칭 필터 출력

도면6b

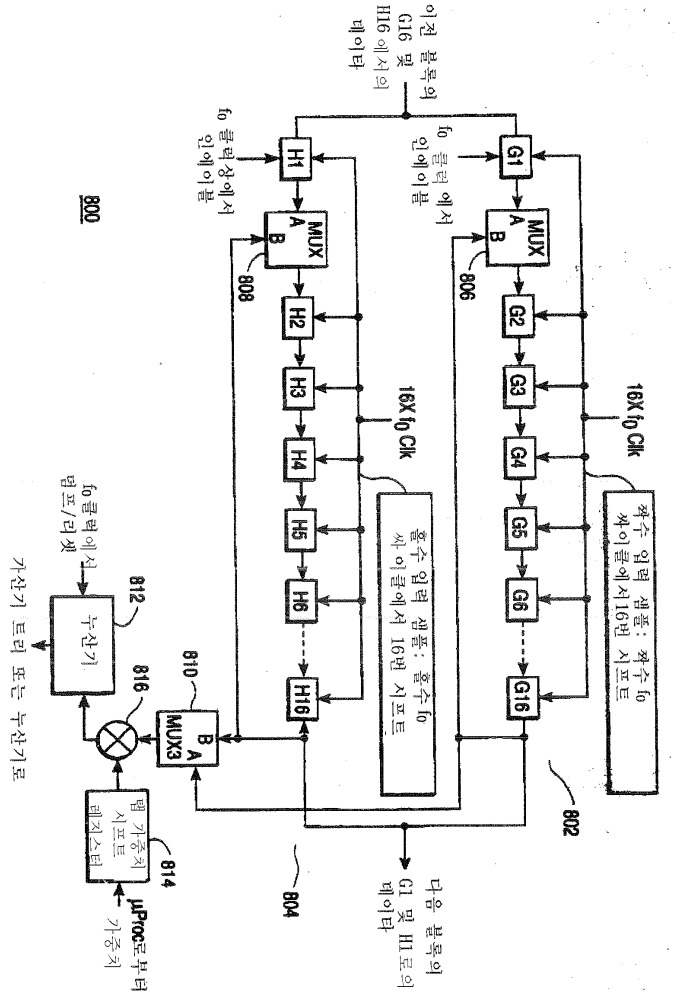


마스터 clk
I or Q
데이타 입력
R1
R2
R3
R4
R31
w(992-32n)
w(993-32n)
w(994-32n)
w(1023-32n)
n=0,1,...31; n은 32 입력 클럭당 하나씩 변함
620
622
624
626
가산기 트리
640
마스터 clk
32스테이지 지연 라인
Σ
루프 적분기
게이트
630
1023개의 클럭 덤프/클리어 명령
매칭 필터 출력

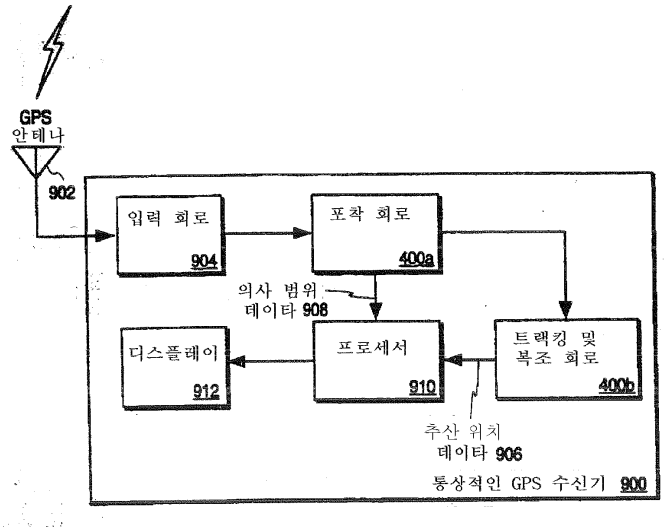
도면7


I 또는 Q 데이타 입력
16 Tap 필터/Accum #1
16 Tap 필터/Accum #16
16 Tap 필터/Accum #17
16 Tap 필터/Accum #32
16 Tap 필터/Accum #33
16 Tap 필터/Accum #48
16 Tap 필터/Accum #49
16 Tap 필터/Accum #64
이 블록은 15개의 탭만을 가진다
702
710
16 Tap Accum
712
16 Tap Accum
704
4 Tap Accum
706
매칭 필터 데이타 출력

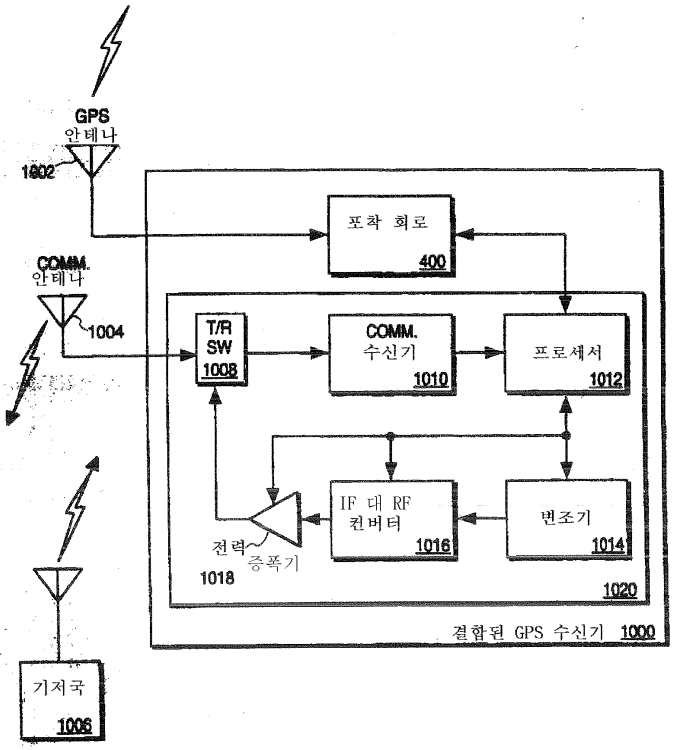
도면8


이전 블록의 G16 및 H16 에서의 데이타
G1
G2
G3
G4
G5
G6
G16
MUX A B
806
H1
H2
H3
H4
H5
H6
H16
MUX A B
808
16X fo Clk
짝수 입력 샘플: 짝수 fo 싸이클에서 16번 시프트
홀수 입력 샘플: 홀수 fo 싸이클에서 16번 시프트
802
804
다음 블록의 G1 및 H1로의 데이타
810
MUX3 B A
816
812
누산기
fo 클럭에서 덤프/리셋
가산기 트리 또는 누산기로
814
탭 가중치 시프트 레지스터
μProc로부터 가중치
800

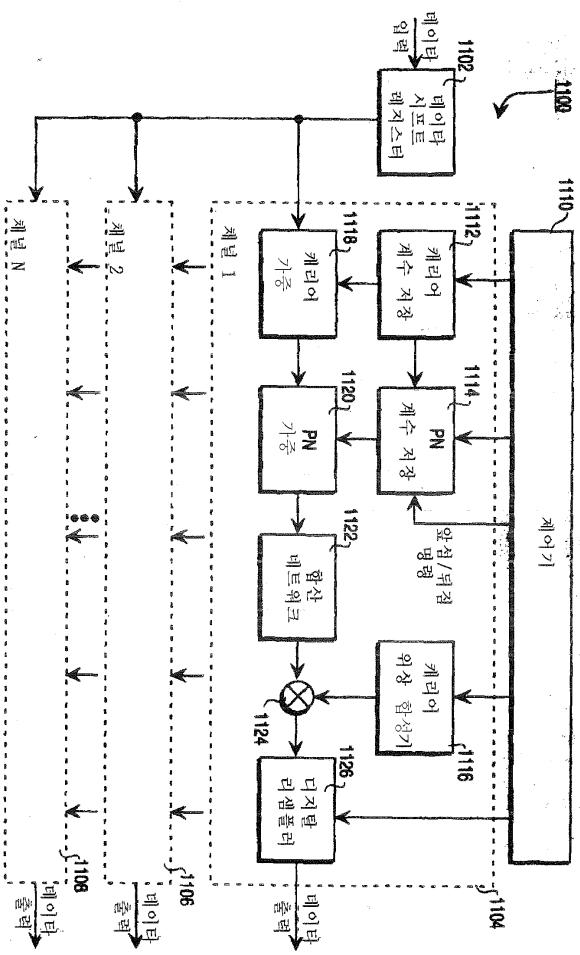
도면9


GPS 안테나
902
입력 회로
904
포착 회로
400a
의사 범위 데이타 908
디스플레이
912
프로세서
910
트랙킹 및 복조 회로
400b
추산 위치 데이타 906
통상적인 GPS 수신기 900

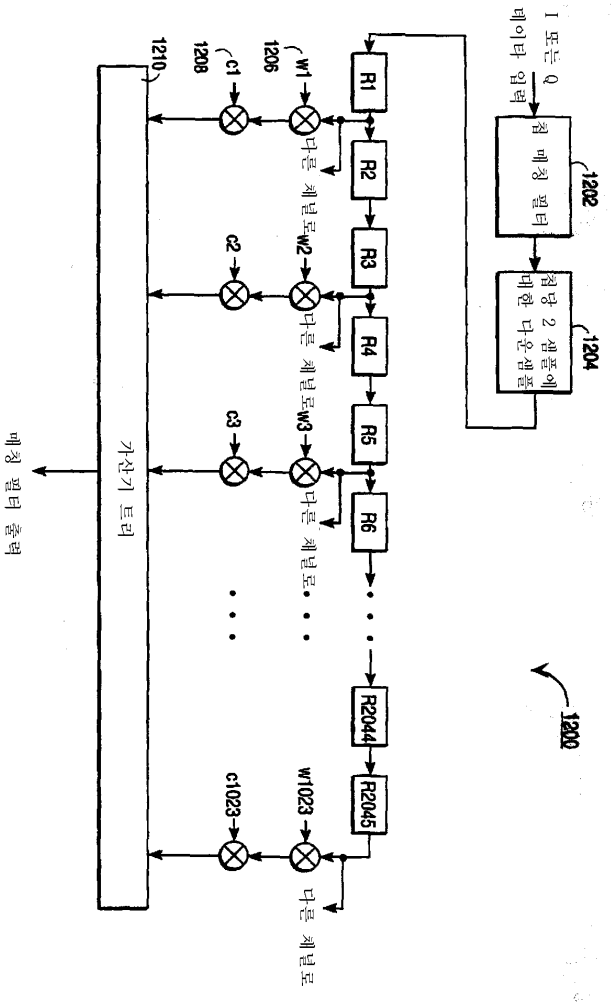
도면10


GPS
안테나
1002
COMM.
안테나
1004
포착 회로
400
T/R
SW
1008
COMM.
수신기
1010
프로세서
1012
IF 대 RF
컨버터
1016
변조기
1014
전력
증폭기
1018
1020
결합된 GPS 수신기 1000
기지국
1006

도면11


데이타 입력
1102
데이타 시프트 레지스터
1100
1110
1112
1118
캐리어 계수 저장
캐리어 가중
1114
1120
PN 계수 저장
PN 가중
앞섭/뒤잡 명령
1122
합산 네트워크
제어기
캐리어 위상 합성기
1116
1124
1126
디지털 리샘플러
1104
채널 1
채널 2
채널 N
1106
1108
데이타 출력
데이타 출력
데이타 출력

도면12


I 또는 Q
데이타 입력
칩 매칭 필터
1202
쿼당 2 샘플에
대한 다운샘플
1204
1200
R1
R2
R3
R4
R5
R6
R2044
R2045
w1
w2
w3
w1023
1206
c1
c2
c3
c1023
1208
다른 채널로
다른 채널로
다른 채널로
다른 채널로
1210
가산기 트리
매칭 필터 출력