[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11C 11/40

[12] 发明专利说明书

[21] ZL 专利号 96103620.6

[45] 授权公告日 2003 年 6 月 25 日

[11] 授权公告号 CN 1112705C

[22] 申请日 1996.3.18 [21] 申请号 96103620.6

[30] 优先权

[32] 1995. 8.17 [33] JP [31] 209655/1995

[71] 专利权人 富士通株式会社

地址 日本神奈川县

[72] 发明人 筱崎直治

审查员 齐 霁

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

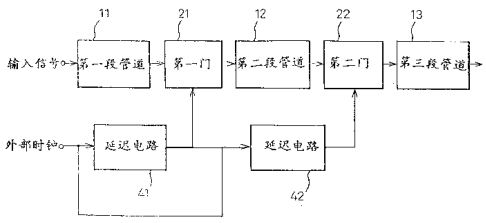
代理人 王以平

权利要求书 2 页 说明书 13 页 附图 8 页

[54] 发明名称 高速同步动态随机存取存储器

[57] 摘要

本发明提供了一个具有提高的运行速度和只需有限布局面积的 SDRAM。 在同步 DRAM 中，至少一部分要连续执行的信号处理分为众多步骤，该众多步骤与外加的外部时钟保持同步而并行地执行，因而提高运行速度。 该同步 DRAM 包括众多用于并行地执行众多步骤的管道，插入于众多管道中每对管道之间并用于控制相邻管道之间信号流通的门，及用外部时钟产生脉冲控制信号并将该控制信号加到门上对门进行控制的门控制装置。



ISSN1008-4274

1. 一种与外部时钟同步的同步 DRAM，包括：

多个管道段，并行地执行信号处理；

多个门，每一个插入在相邻的多个管道段之间并控制所述相邻管道段之间的信号流通；以及

门控制装置，它具有延迟电路，延迟电路延迟时钟信号以产生控制信号并将所述控制信号作用到其中一个门以控制该门，其中延迟电路的延迟时间设置成使得所述门 a)刚好在从前一管道段输出所述信号之前进入传送态，和 b）刚好在来自前一管道段的所述信号被传送到下一个管道段之后进入非传送态。

2. 根据权利要求 1 的同步 DRAM，其中所述门的每一个包括一个所述信号作用其上的传送门。

3. 根据权利要求 2 的同步 DRAM，其中所述门的每一个包括一个触发器，用于锁存和保持已经通过所述传送门的信号。

4. 根据权利要求 1 的同步 DRAM，其中所述门控制电路的每一个包括一个第一延迟电路，用于以第一给定时间延迟所述外部时钟，一个第二延迟电路，用于以第二给定时间延迟所述第一延迟电路的输出，和一个 NAND 门，用于计算所述第一延迟电路和所述第二延迟电路的输出的 NAND。

5. 根据权利要求 1 的同步 DRAM，其中每一个门的传送态的周期短于所述外部时钟的高电平的周期。

6. 根据权利要求 1 的同步 DRAM，其中所述控制信号控制所述门与先前管道段的输出计时同步。

7. 一种同步 DRAM，具有一种方法与外部时钟同步，包括：

第一管道段接收输入信号，在第一时间周期执行信号处理，并在输出节点输出第一输出信号；

传送门操作上与所述输出节点连接，响应控制信号进入传送态以输出一个传送信号；

第二管道段接收所述传送信号，与所述第一管道段并行地执行信号处理；以及

门控制装置具有延迟电路延迟时钟信号以产生控制信号，其中延迟电路的延迟时间设置成所述控制信号使比所述第一时间周期短的所述传送态与所述第一输出信号的输出计时同步。

8. 根据权利要求 7 的同步 DRAM，其中所述控制信号具有与所述外部时钟基本相同的周期。

9. 根据权利要求 8 的同步 DRAM，其中所述第一时间周期长于所述外部时钟的周期。

高速同步动态随机存取存储器

本发明涉及一种同步动态RAM（此后称为SDRAM），其中用于连续执行诸如向存储单元阵列写数据或从其中读数据之类的信号处理的顺序电路分为多段管道，这些管道与外加的外部时钟保持同步而并行操作，因而提高了运行速度。更具体说，本发明涉及具有允许较高运行速度的管道结构的SDRAM。

近年来，即使在动态RAM（DRAM）中也需要提高运行速度。以读操作为例，DRAM完成以下操作：例如，将访问存储单元所需地址信号进行译码，对位线充电，对存储单元阵列内的检测放大器或类似电路加以驱动，然后通过数据输出电路提供检测放大器的输出量。DRAM的运行速度决定于连续进行处理所需全部处理时间。如包括一类处理在内的某些处理可并行执行，则并行执行的操作中所需最长处理时间加到其它操作所需时间上。这样就决定了运行速度。提高DRAM运行速度的一个方法是增加可并行执行的操作与所有其它操作的比例。然而，为了访问字线或位线，需要译码所产生的信号。这类操作无法与任何其它操作并行执行。

提高DRAM运行速度的另一个方法是作如下安排：要连续操作的电路（此后称为顺序电路）分为多段执行，及这些多段与外加的外部时钟同步而并行操作。因而DRAM的运行速度实际上得到提

高。这些段称为管道。此过程因此称为管道化。管道化将简单地描述。

相邻段中管道之间插入门。这些门控制相邻管道间的信号流通，以使上一段管道的输出量根据恰当时序传送下去。控制门的信号是由延迟电路将外部时钟延迟而产生。

在已知SDRAM中应用的门电路中，与外部时钟同步地送至第一段管道的信号被连续地采样。在所有段上完成上述处理后，每隔一个外部时钟周期最后段管道连续提供输出量。提供第一个输出量的等待时间可由通过所有门所需流通时间与所有段管道所需处理时间相加计算而得。此后，每隔一个外部时钟周期最后段管道连续提供处理结果。因此处理速度实际上提高了。

这样一来，管道化对改善SDRAM运行速度作出贡献。然而，在那些主要采用SDRAM的计算机中CPU的运行速度已很显著地提高了。因此必须进一步提高SDRAM的运行速度。原来不需使用门，因它们通常是不安装的。而SDRAM电路的尺寸因使用门而扩大了。结果需要较大面积的芯片以安排SDRAM的电路元件布局。从此观点看，安排门布局所需面积应该尽可能小。

本发明的一个目的是实现一个满足以上要求的SDRAM或实现一个提供具有提高的运行速度同时只需有限布局面积的SDRAM。

在根据本发明的SDRAM中，至少一部分要连续执行的信号处理分为众多步骤，该众多步骤与外加的外部时钟同步而并行地执行。该SDRAM包括众多的并行地执行众多步骤的管道和门，它们的每个门插入于众多管道的每对管道之间，以便控制相邻管道之间的信号流通，还包括门控制电路，每个门控制电路使用外部时钟产生控

制信号并将控制信号加到门上以如下方式控制门：在上一段管道输出量完成之前一瞬间门进入传送状态，而在上一段管道输出量传送至下一段管道之后，门立即进入流通状态。

如上所述，当管道输出量包括众多位时，就需要众多门。

根据本发明，一种与外部时钟同步的同步 DRAM，包括：多个管道段，并行地执行信号处理；多个门，每一个插入在相邻的多个管道段之间并控制所述相邻管道段之间的信号流通；以及门控制装置，它具有延迟电路，延迟电路延迟时钟信号以产生控制信号并将所述控制信号作用到其中一个门以控制该门，其中延迟电路的延迟时间设置成使得所述门 a)刚好在从前一管道段输出所述信号之前进入传送态，和 b）刚好在来自前一管道段的所述信号被传送到下一个管道段之后进入非传送态。

根据本发明，一种同步 DRAM，具有一种方法与外部时钟同步，包括：第一管道段接收输入信号，在第一时间周期执行信号处理，并在输出节点输出第一输出信号；传送门操作上与所述输出节点连接，响应控制信号进入传送态以输出一个传送信号；第二管道段接收所述传送信号，与所述第一管道段并行地执行信号处理；以及门控制装置具有延迟电路延迟时钟信号以产生控制信号，其中延迟电路的延迟时间设置成所述控制信号使比所述第一时间周期短的所述传送态与所述第一输出信号的输出计时同步。

下面参照附图所作描述将使本发明更好地了解，附图中有：

图 1 显示 SDRAM 的已知管道结构；

图 2 显示已知 SDRAM 门电路的例子；

图 3 显示已知 SDRAM 中实现的管道化；

图 4 显示本发明的基本组成；

图 5 显示本发明的基本操作；

图 6 显示本发明实施例的 SDRAM 的总配置；

图 7 显示实施例中的管道结构；

图 8 显示实施例管道结构中完成的操作。

在详细描述本发明最佳实施例之前，将先描述现有技术的 SDRAM 以便更清楚地了解本发明与现有技术之差别。

图 1 显示 SDRAM 中的管道结构。图 1 中，参考数字 11 表示第一段管道，12 表示第二管道，21 表示插入于第一段管道 11 与第二段管道 12 之间的第一门，22 表示插入于第二段管道 12 与第三段管道之间的第二门，及 41 与 42 表示用于延迟外加的外部时钟的延迟电路。在用于描述的图中，为简便起见，具有相同功能的部件使用相同的参考数字。因此描述中的重复部分将予省略。

有各种方法用于组合各段中的管道。每段中并行操作的管道数可能是一个。另一方案中管道可彼此并行连接。此处为简便起见，没有管道与任何其它管道并连。本发明不限于此种模式，可以用于互

相并连的管道再与其它管道串连的模式。

如图 1 所示，用于控制相邻管道之间的信号流通以使前一段管道的输出量按照适当时序传送出去的门 21 或 22 插入于相邻段的管道之间。门 21 和 22 分别由通过延迟电路 41 和 42 将外部时钟延迟所得信号进行控制。在多位SDRAM 中，前一段管道的输出量包括众多位。在此情况下就需要众多门。在下面的描述中，管道的输出量为 1 位长。

图 2 显示已知SDRAM 中所应用的门电路。图 2 中，门具有众所周知的电路，它包括两个传送门 213 和 216，及分别包含两个反相器 214、215 和两个反相器 217、218 的两个触发器。当锁存信号 Lt 为低位时，传送门 216 进入传送态而传送门 213 进入非传送态。来自前一段的输入信号通过传送门 216 而被由反相器 217 和 218 组成的触发器所保持。此时传送门 213 处于非传送态，由反相器 214 和 215 所组成的触发器保持住当前状态。当锁存信号 Lt 变为高住时，传送门 216 进入非传送态。由于由反相器 217 和 218 组成的触发器和前一段输出量隔开，所以它保持住当前状态。同时传送门 213 进入传送态。由反相器 217 和 218 所组成的触发器所保持的信号即传送到由反相器 214 和 215 所组成的触发器并由它保持。

图 3 显示当管道结构包括图 1 所示三个管道及管道结构中的门具有图 6 所示电路时它将要完成的操作。

如图 3 所示，一个如图所示波形的信号送入作为外部时钟。在外部时钟前沿处，一个与外部时钟同步地送入能输入信号 b 在第一段管道被采样。第一段管道 11 中的处理操作要求大于一个外部时钟周期的时间间隔。如图示，在输入信号 b 处理完后，在输入信号 b 采

样时的外部时钟前沿的下一个前沿的随后时刻，第一段管道提供输出量。换言之，在与输入信号 b 相关的输出量由第一段管道提供之前，下一个输入信号即已在第一段管道中采样。然而，由于在第一段管道中处理操作是连续执行的，当将输入信号 C 采样时，输入信号 b 仍在处理中。因此输入信号 b 的处理不会受到不良影响。当第一段管道 11 中的处理操作如上所述地完成后，处理结果即由第一段管道 11 提供。

当处理结果由第一段管道 11 提供时，第一锁存信号变为低位。这使第一门 21 中的传送门 216 进入传送态，而传送门 213 则进入非传送态。由第一段管道 11 所提供的处理结果由反相器 217 和 218 所组成的触发器所保持而不向下一段传送。在反相器 217 和 218 所组成的触发器保持处理结果后，紧接着第一锁存信号变为高位。传送门 216 接着置于非传送态，以使所保持处理结果不受触动。传送门 213 置于传送态，由于此，所保持信号即传送至下一段，并由反相器 214 和 215 所组成触发器所保持。由反相器 214 和 215 所组成触发器所保持的信号在第二段管道 12 进行处理。相类似，当第二段管道 12 提供处理结果时，第二锁存信号变为低位，以便保持住自第二段管道送出的处理结果使之不受能动。此后紧接着第二锁存信号即变为高位。处理结果接着传送至第三段管道 13。

与外部时钟同步地送至第一段管道 11 的信号被连续采样。在上述处理结束后，每隔一个外部时钟周期连续地由第三段管道 13 提供输出量。提供第一个输出量的等待时间是把通过第一和第二门所需流通时间与第一至第三段管道中所需处理时间相加计算而得。此后每隔一个外部时钟周期第三段管道 13 连续地提供处理结果。因此实

际上增加了处理速度。假定第一段管道 11 中所需处理时间为 25ns，第二段管道 12 中所需处理时间为 20ns 及第三段管道 13 中所需处理时间为 15ns，当不采用管道化时自第一至第三段管道所需处理时间为 60ns。当采用管道化时，如通过第一或第二门所需流通时间为 6ns，则在第一至第三段管道中所需处理时间为 24ns。

如上所述，管道化对SDRAM运行速度的提高作出了贡献。尽管如此，还需进一步提高SDRAM的运行速度。管道化要求安装门。原来不需使用门，因它们通常是不安装的。而SDRAM电路的尺寸因使用门而扩大了。结果需要较大面积的芯片用于SDRAM电路元件布局。从此观点看，门的布局所需面积应该尺可能小。

图 4 和 5 显示本发明的SDRAM的原理和配置。

如图 4 所示，本发明的SDRAM中，至少一部分要连续执行的信号处理操作分成众多步骤，这些众多步骤与外加外部时钟同步并行地执行，因此提高了运行速度。该SDRAM包括 11、13 等众多管道，至少一部分要连续完成信号处理的顺序操作分成众多步骤，而该众多管道并行地执行众多步骤还包括 21—A、21—B 等等至 21—M 的门和 22—A、22—B 等至 22—N 的门，其中每一个门插入至 11、12 等众多管道中每对管道之间，以便控制相邻管道间的信号流通，以及还包括 31、32 等的门控制电路，其中每一个电路使用外部时钟产生一个控制信号并将控制信号加到门上对门进行控制，以便在前一段管道的输出量最后完成的前一瞬间使门进入传送态，或在前一段管道输出量传送至下一段管道之后使门立即进入非传送态。

如上所述，当管道输出量包含多位时，需要众多门。

如图 5 所示，在本发明的SDRAM中，在由前一段管道提供处理

结果的前一瞬间每个门置于传送态，而在前一段管道所提供的处理结果传送至下一段之后立即置于非传送态。因此前一段管道提供的处理结果不会被门阻档而将被传送至下一段管道。通过门所需流通时间因此实际上为零。与图 1 和图 2 所示现有技术比较，本发明提高 SDRAM 的运行速度的量就是通过门所需流通时间。

当使用具有如图 2 所示电路的门时，前一段管道所提供的处理结果被门临时也阻挡，然后再对锁存信号的状态变化作出响应，传送至下一段。换言之，具有如图 2 所示电路的门有能力阻挡和保持输入信号及有能力将信号传送至下一段。由于信号被门临时地阻挡和保持，通过门所需流通时间增加了。这导致运行速度的减少。相反，在本发明的SDRAM 中，前一段管道所提供的处理结果不受门任何阻挡即传送至下一段管道。因此通过门所需流通时间是短的。SDRAM 的运行速度因而提高。

在已知SDRAM 中，外部时钟的延迟仅只为了控制门。当管道所需处理时间比外部时钟周期小得多时，例如当管道所需处理时间小于外部时钟周期的一半时，就有可能由于提供下一个信号的处理结果而导致故障。为防止这类故障，具有如图 2 所示电路的门用于临时地阻挡和保持由前一段提供的处理结果并接着将它传送至下一段。然而这导致通过门所需流通时间的增加和运行速度的降低。

根据本发明，外部时钟不但延迟以供使用，而且用于产生短脉冲。在前一段管道提供处理结果的前一瞬间，门与脉冲同步地被置于传送态，从而使处理结果能毫无阻挡地传送至下一段。而在传送完成后，门与另一脉冲同步地立即被置于非传送态。这导致通过门所需流通时间的减少并同时阻止故障。然而外部时钟无法如此应用。

使用外部时钟产生用于控制门的脉冲的电路必须另外安装。尽管如此，为获得更高运行速度，另外的安装也是值得的。

图 6 显示本发明实施例的总配置。

图 6 中参考数字 1 表示一个 SDRAM，2 表示一个存储单元阵列，111 表示一个用于处理外加外部时钟的输入缓存，112 表示一个用于根据外部时钟产生供内部使用的时钟的内部时钟发生器，113 表示一个用于处理外加地址信号的缓存，114 表示一个与内部时钟发生器 112 所产生信号保持同步用于锁存地址信号的外部地址锁存器，115 表示一个负责全面控制的控制单元，116 表示一个对来自控制单元 115 的信号作出响应为每个库将列地址锁存的库列地址锁存器，117 表示一个用于判别列地址信号是否代表冗余地址的冗余判别器，118 表示一个用于将地址信号译码的译码器，119 表示一个检测放大器，120 表示一个检测缓存，121 表示一个缓存线放大器，131 表示一个用于控制输出晶体管的输出晶体管控制电路，132 表示一个数据输入/输出端口，51 表示一个用于把将写数据锁存的写数据锁存器，52 表示一个用于控制写的写控制单元，及 53 表示一个写放大器。这些部件是组成 SDRAM 的已知部件。这些部件的操作与本发明并无直接关系数。因此对这些部件的详细描述将予省略。

本实施例中，读由管道化完成。输入缓存 111，同部时钟发生器 112，地址信号缓存 113，外部地址锁存器 114，控制单元 115，库列地址锁存器 116，冗余判别器 117，译码器 118，检测放大器 119，和检测缓存 120 用于组成第一段管道 11。缓存线放大器 121 用作第二段管道 12。输出晶体管控制电路 131 与数据输入/输出端口 132 用于组成第三段管道。第一门 21 插入于第一段管道 11 与第二段管道

12 之间。第二门 22 插入于第二段管道 12 与第三段管道 13 之间。第一门控制单元 31 对第一门 21 进行控制，及第二门控制单元 32 对第二门 22 进行控制。注意到这只是管道结构的一个例子，及其它不同方案也是可以接受的。当第一段管道 11 和第二段管道 12 的每个输出量包含多位时，第一门 21 与第二门 22 的数量等于位数。此处假定位数为 1。

图 7 显示图 6 总配置中与管道结构有关部分。如图示，第一门 21 包括一个传送门 213 和一个由反相器 214 和 215 组成的触发器。参考数字 211，213，和 216 表示反相器。第二门 22 具有与第一门 21 相同的元件。

第一门控制单元 31 包括第一延迟电路 311，第二延迟电路 312，NAND 门 313 及反相器 314，其中组成第一延迟电路 311 的反相器彼此串连以便将外部时钟延迟一段给定时间，第二延迟电路 312 用于将第一延迟电路 311 输出量延迟一段给定时间，NAND 门 313 用于计算第一延迟电路 311 和第二延迟电路 312 输出量的 NAND 值，以及反相器 314 用于将 NAND 门 313 输出量反相。反相器 314 的输出量加到传送门 213 的一个门上并通过反相器 216 加到它的另一个门上。外部时钟也通过第二门控制单元 32 加到第二门 22 上。由第一门控制单元 31 所产生的脉冲必须在第一段管道 11 提供处理结果的前一瞬间变到高位，并在处理结果传送至第二段管道 12 后立即变为低位。使脉冲变高位的时序决定于由第一延迟电路 311 所提供延迟量。脉冲变高位然后变低位之间的时间间隔也即脉冲宽度决定于由第二延迟电路 312 所提供延迟量。

将图 7 所示第一门 21 与图 2 所示已知门加以比较，显而易见，

在第一门 21 中并无已知门中包括的传送门 216 和由反相器 217 和 218 组成的触发器。已知门将输入信号临时地阻挡并保持，然后再向下传送。相反，在本实施例的第一门 21 中，传送门 213 只当有脉冲加至传送门 213 上的期间才保持为传送态。信号通过传送门 213 后，即为由反相器 214 和 215 所组成的触发器所保持。

图 8 显示图 7 中管道结构所完成操作。本实施例中管道结构所完成的操作将在下面参照图 8 进行描述。

如图 8 所示，一个与外部时钟同步地送入的输入信号 b 在外部时钟的前沿时刻在第一段管道 11 中采样。第一段管道 11 中的处理所需时间间隔比外部时钟的一个周期长。如图示，在完成输入信号 b 的处理后，在输入信号采样时的外部时钟前沿的下一个前沿随后时刻，第一段管道 11 提供与输入信号 b 相关的输出量。在第一段管道 11 提供与输入信号 b 相关的输出量之前，下一个输入信号 c 即在第一段管道内采样。然而，由于在第一段管道 11 中地址信号的处理或任何其它处理是连续执行的，当将输入信号 c 采样时，输入信号 b 仍在处理中。因此输入信号 b 的处理不会受到不良影响。换言之，外部时钟的管道机构或周期如此决定，以免对输入信号 c 的处理产生不良影响。因此当第一段管道 11 中的处理完成时，第一段管道 11 即提供处理结果。

在第一段管道 11 提供处理结果的前一瞬间，将要提供给第一门的第一门信号变为高位。这使第一门 21 中的传送门 213 进入传送态。由第一段管道 11 所提供的处理结果因此由传送门 213 传送，由反相器 214 和 215 所组成的触发器保持，然后再传送至下一个第二段管道 12。来自第一段管道 11 的输出信号传送至第二段管道 12

时，在第一门21处不受任何阻挡。因此通过第一门所需流通时间非常短或实际上为零。

由反相器214和215所组成的触发器所保持的信号在第二段管道12中处理。当由第二段管道12提供处理结果时，将要提供给第二门22的第二门信号变为高位。然后处理结果传送至第三段管道13。第二段管道12中所需处理时间短于一个外部时钟周期。对提供的处理结果作出响应，第二门22进入流通态。在传送出处理结果后，门即关闭。因此绝不会产生故障。与第二段管道12相似，在第三段管道13中对所传送信号进行处理。第三段管道13中所需处理时间也短于外部时钟一个周期。相同处理结果被连续地提供，直至下一个信号处理完后新的处理结果被提供时止。因此在对应于外部时钟一个周期的时间内输出量都保持不受触动。

如上所述，本实施例中来自前一段管道的输出信号传送至下一段管道而在管道 中不受任何阻挡。因此通过每个门所需流通时间非常短。假定通过每个门所需流通时间实际上为零。当第一段管道11中所需处理时间为25ns，第二段管道12中所需处理时间为20ns及第三段管道13中所需处理时间为15ns时，每隔20ns即提供一个输出量。如已描述那样，在结合图5和6描述的现有技术中，每隔一段通过门所需流通时间提供输出量。因此本实施例中的运行时间短于现有技术中的量是通过门所需流通时间。

从图7与2的比较中明显看出，本实施例中门21的电路比已知门的电路简单。此外，所需电路元件数也较少。图3中所示第一门控制电路31由于延迟电路的需要一定要安装。如前所述，当管道输出量包括多位时，门的数量必须等于位数。尽管如此，所需电路元

件总数还是少些。当管道的段数增大时，所需电路元件总数会进一步减少。结果所有电路元件所需布局面积将会较小。

如迄今所描述那样，根据本发明，使用简单电路能提高 SDRAM 的运行速度。此外，SDRAM 所需布局面积将会较小。

图.1

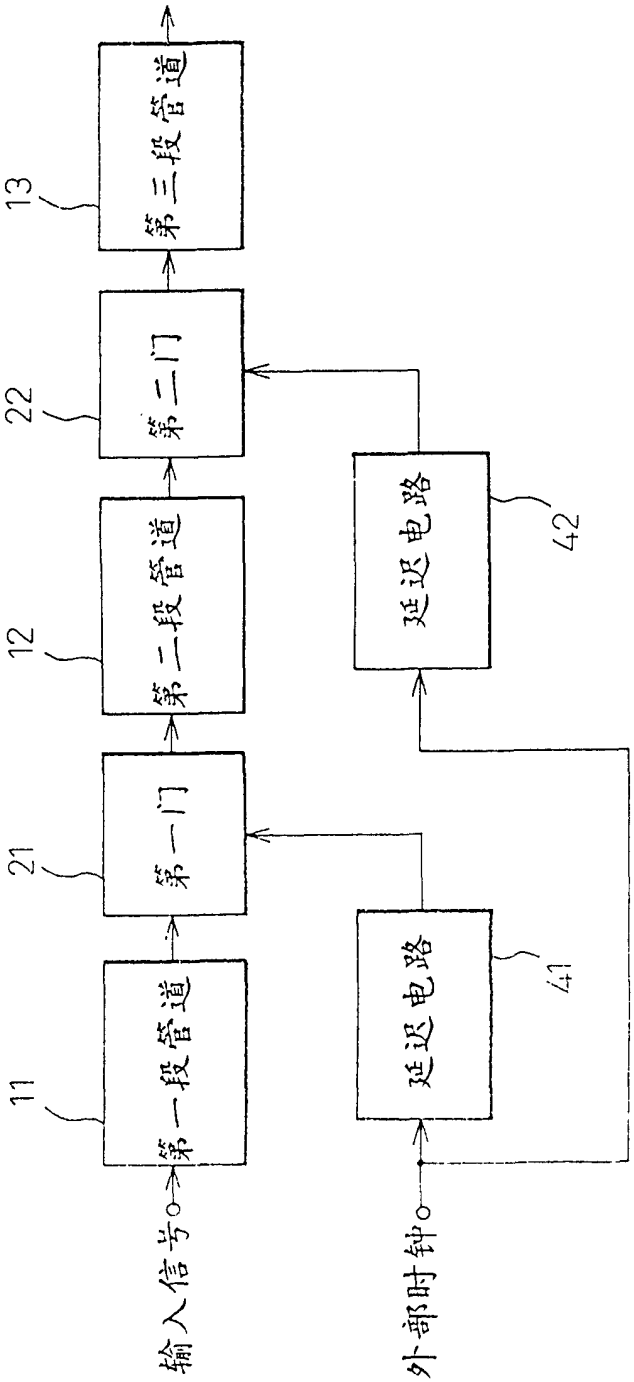

输入信号
外部时钟
第一段管道
第二段管道
第三段管道
第一门
第二门
延迟电路
延迟电路
11
12
13
21
22
41
42

图.2

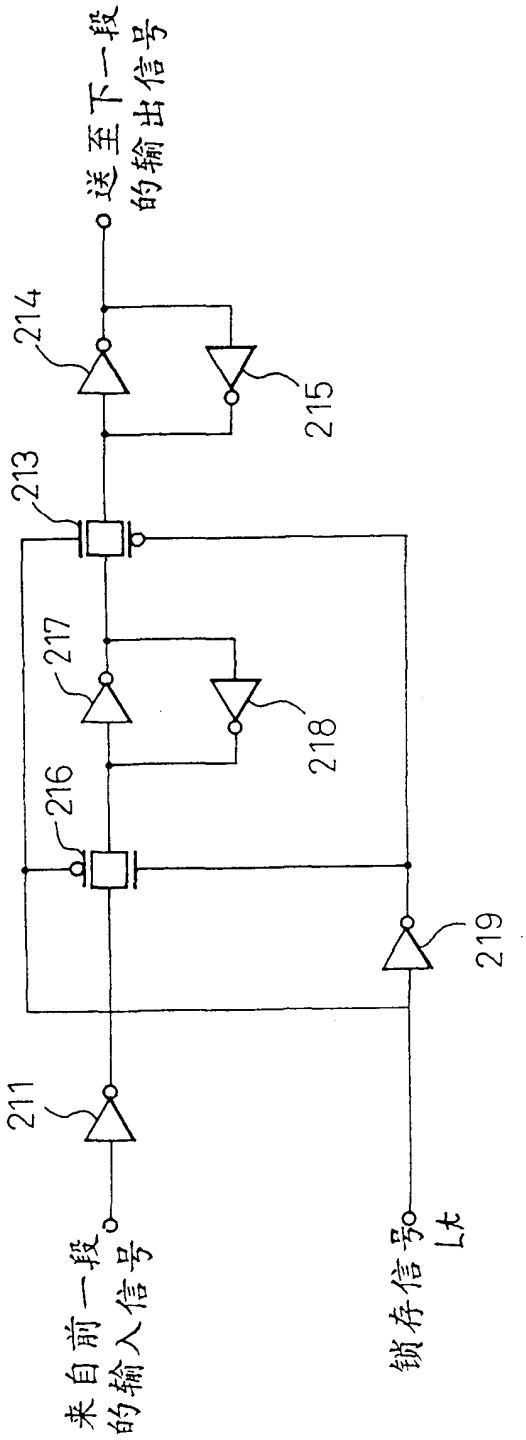

送至下一段的输出信号
214
215
213
217
218
216
219
211
来自前一段的输入信号
锁存信号Lat

图.3

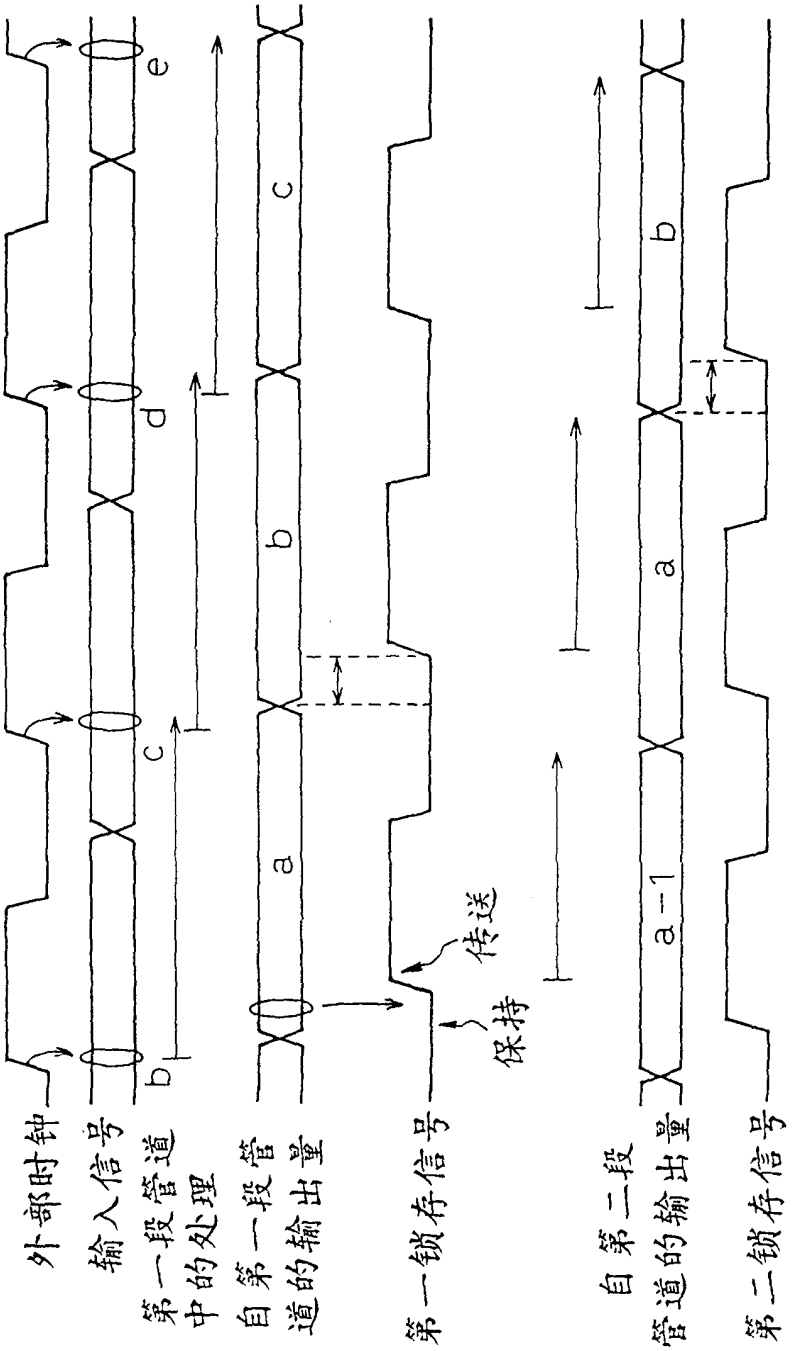

外部时钟
输入信号
第一段管道中的处理
自第一段管道的输出量
第一锁存信号
传送
保持
自第二段管道的输出量
第二锁存信号
a
b
c
d
e
a-1

图.4

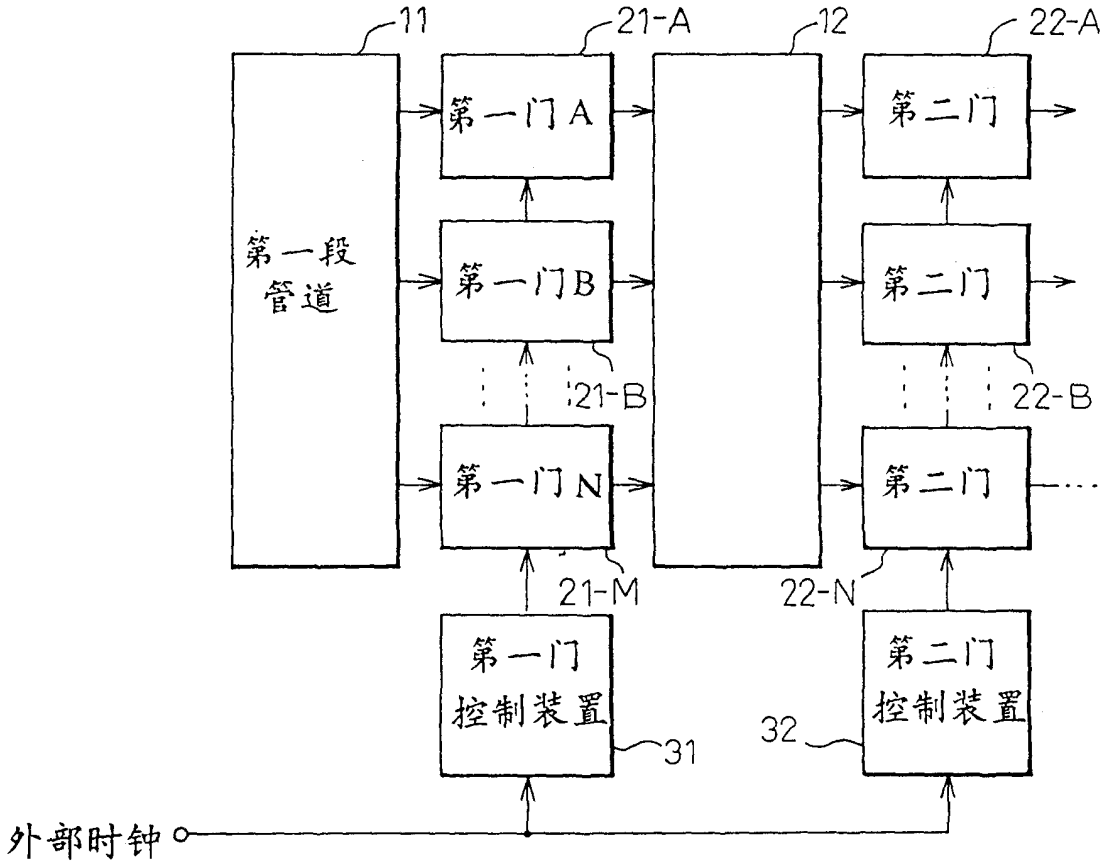

11
21-A
12
22-A
第一段
管道
第一门A
第一门B
第一门N
第二门
第二门
第二门
21-B
22-B
21-M
22-N
第一门
控制装置
第二门
控制装置
31
32
外部时钟

图.5

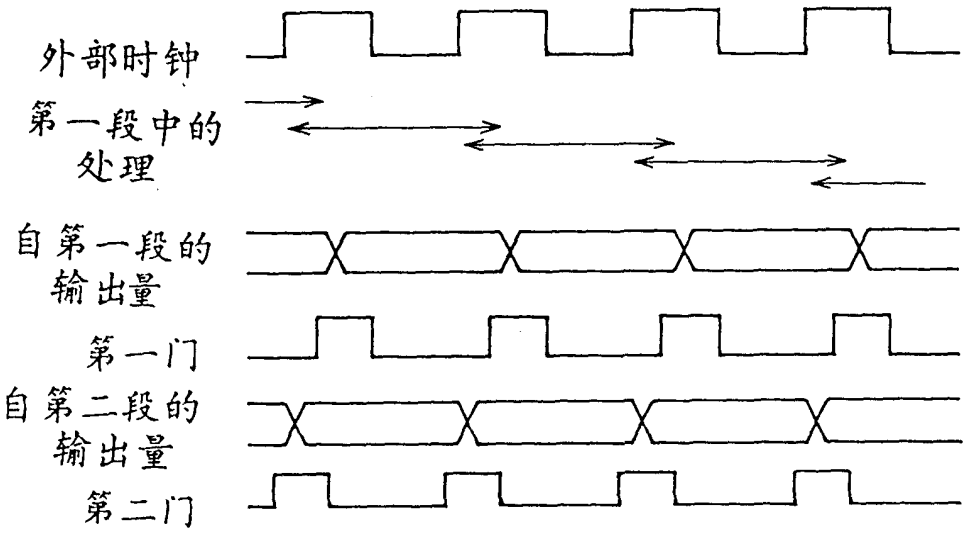


图.6

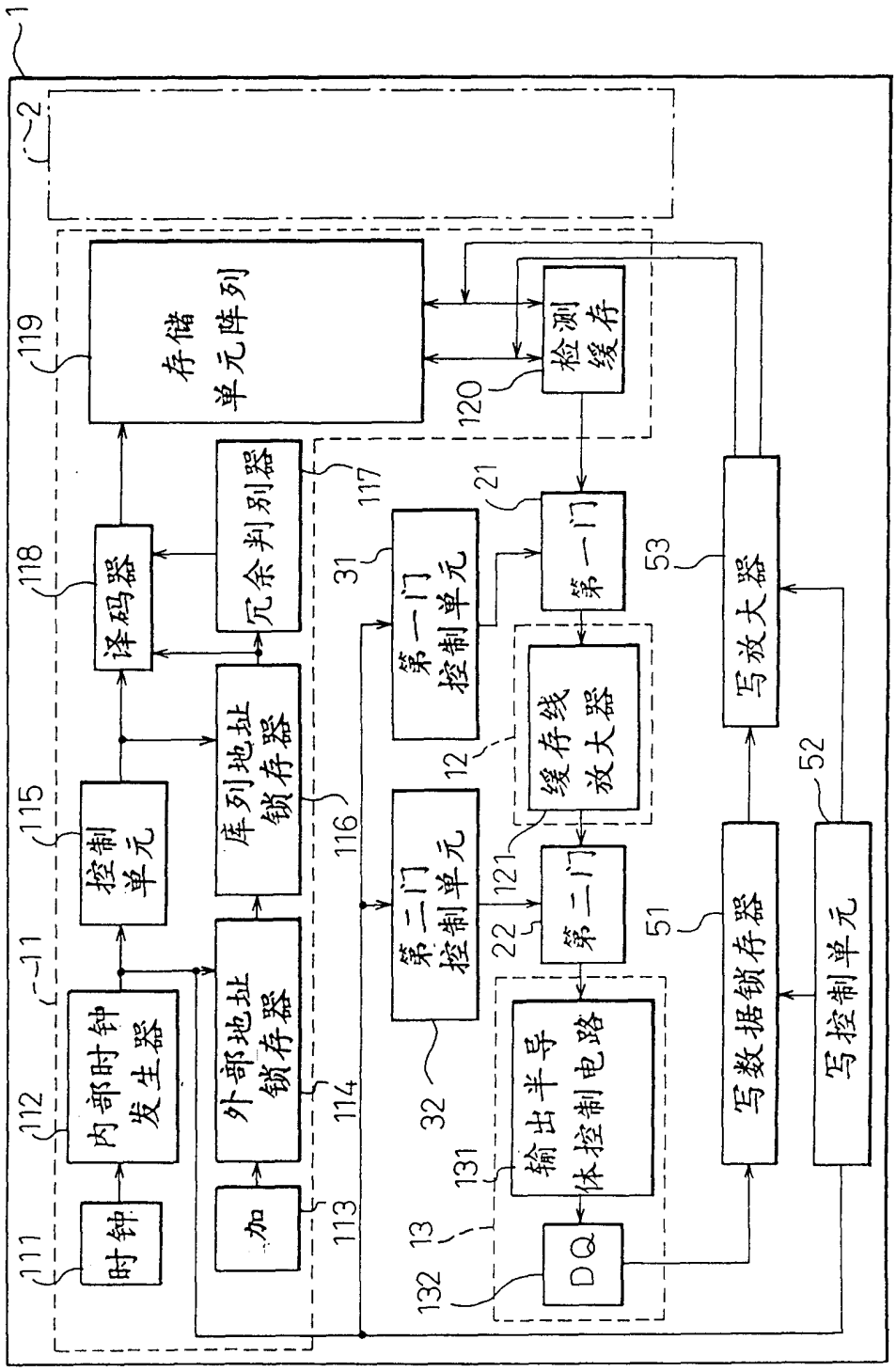

1
2
存储单元阵列
119
检测缓存
120
译码器
118
冗余判别器
117
第一门控制单元
31
第一门
21
控制单元
115
库列地址锁存器
116
缓存线放大器
12
写放大器
53
内部时钟发生器
112
11
外部地址锁存器
114
第二门控制单元
32
第二门
121
22
输出半导体控制电路
131
写数据锁存器
51
写控制单元
52
时钟
111
加
113
DQ
13
132

图.7

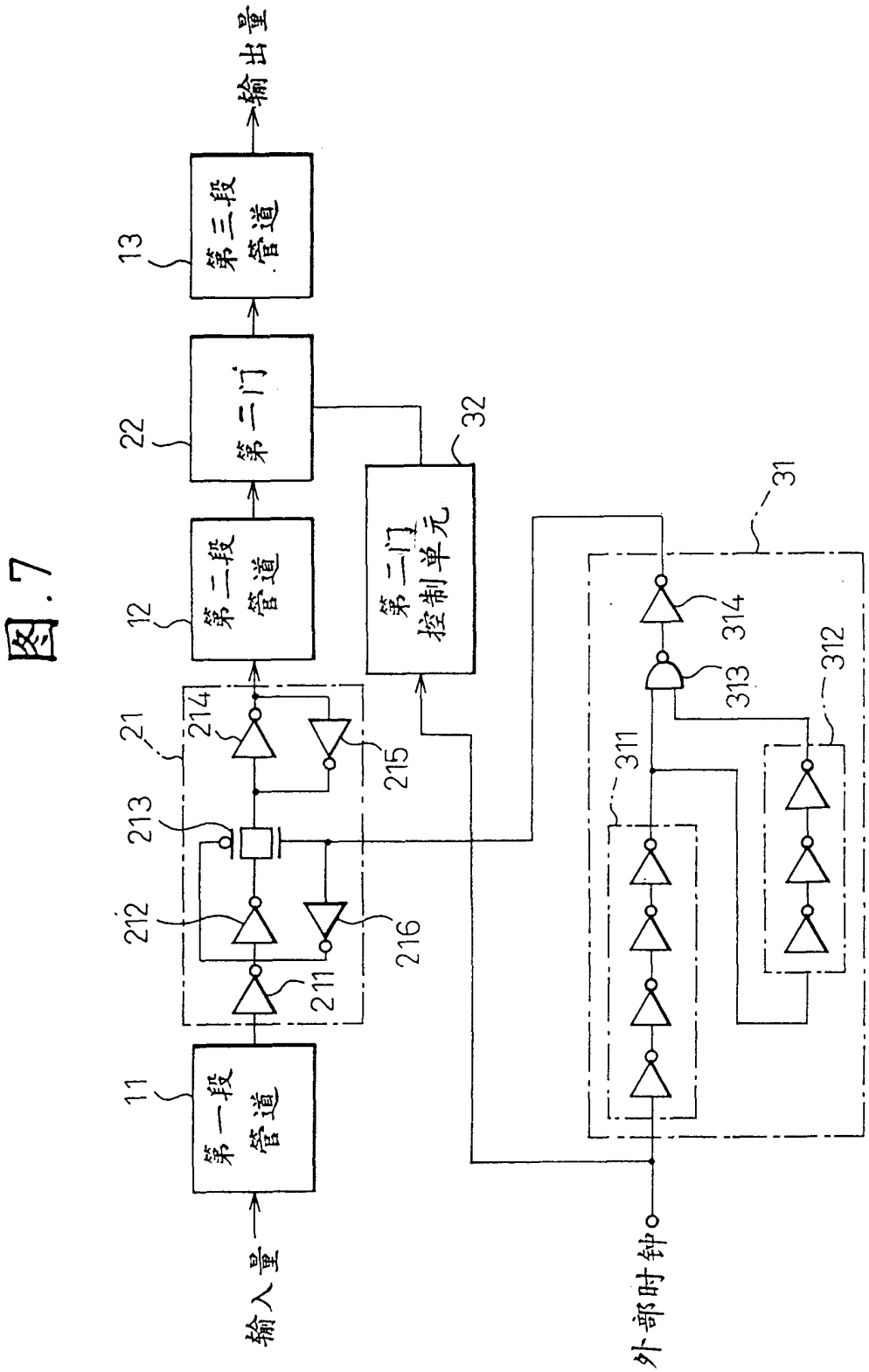
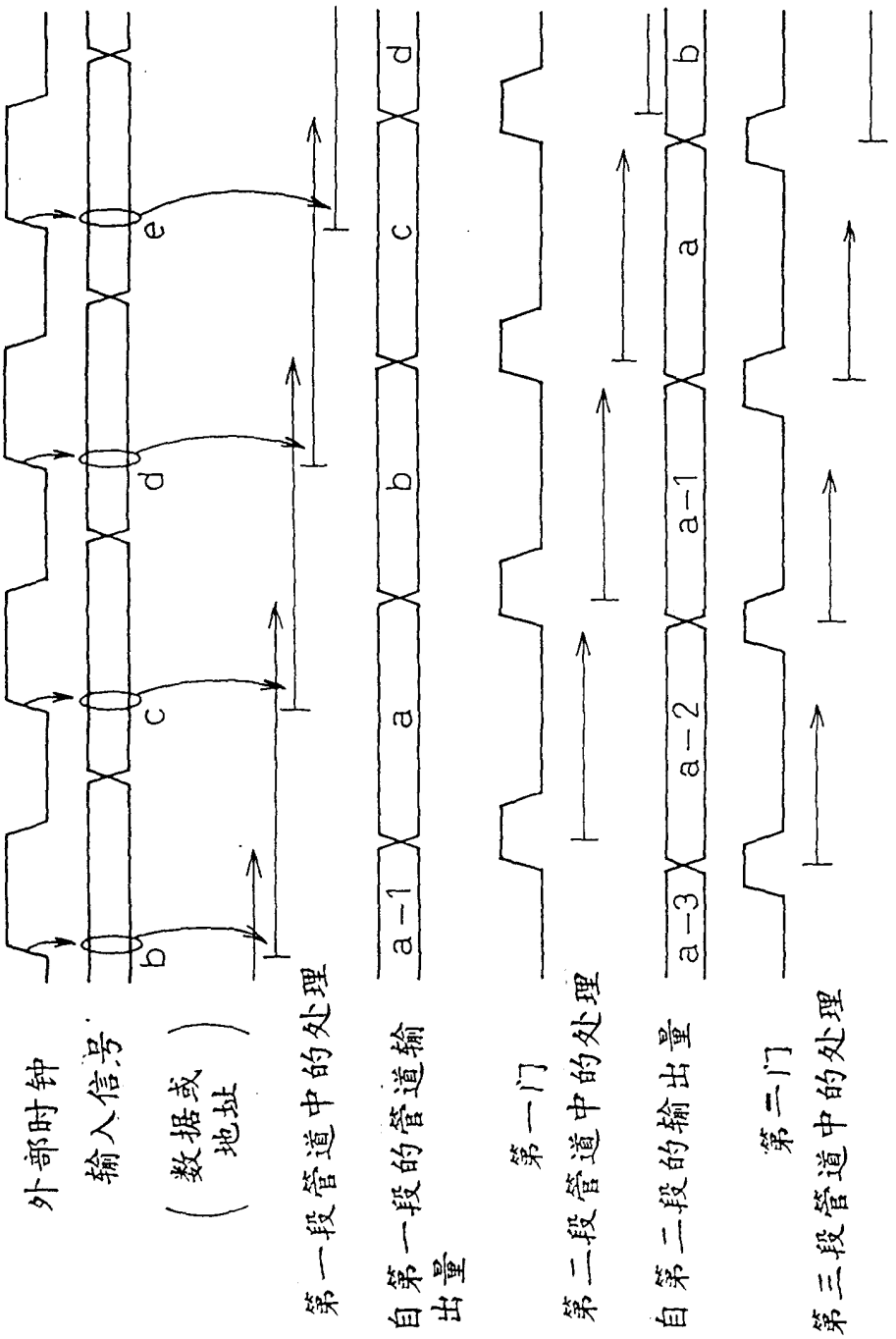

输入量
第一段管道
11
第二段管道
12
第三段管道
13
输出量
第二门
22
第二门控制单元
32
21
211
212
213
214
215
216
31
311
312
313
314
外部时钟

图.8


外部时钟
输入信号
（数据或地址）
b
c
d
e
第一段管道中的处理
自第一段的管道输出量
a-1
a
b
c
d
第一门
第二段管道中的处理
自第二段的输出量
a-3
a-2
a-1
a
b
第二门
第三段管道中的处理