

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H03M 7/30

(45) 공고일자 1999년06월01일

(11) 등록번호 10-0190825

(24) 등록일자 1999년01월21일

(21) 출원번호 10-1995-0040894

(65) 공개번호 특1997-0031377

(22) 출원일자 1995년11월11일

(43) 공개일자 1997년06월26일

(73) 특허권자 주식회사 삼정 이현일
경기도 화성군 태안읍 황계리 152-78

(72) 발명자 이동윤
서울특별시서초구서초2동신동아APT 6동805호
김원찬
서울특별시강남구논현동145-6 101호

(74) 대리인 맹선호

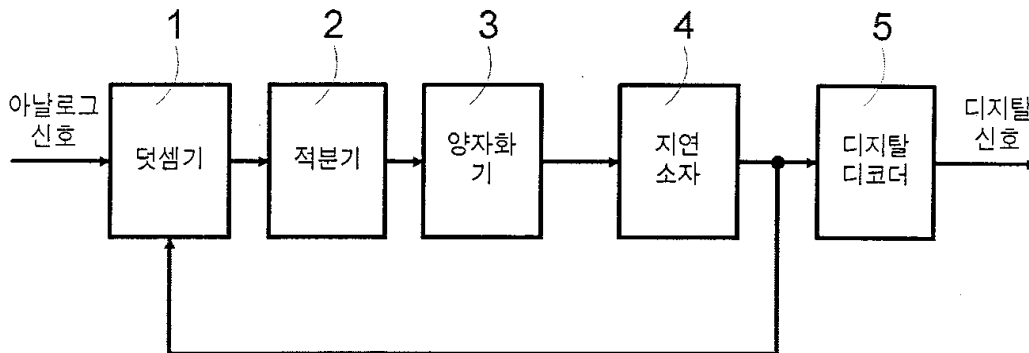
심사관 : 정연용

(54) 가변양자화기를이용한과표본화A/D변환기

요약

본 발명은 과표본화(OVERSAMPLING)A/D 변환기 (ANALOG DIGITAL CONVERTER)에 관한 것으로, 특히, 문턱값을 외부에서 가변시킬 수 있는 가변양자화기(10)와; 상기 가변양자화기(10)의 입력단과 출력단에 접속되어, 입력값과 출력값으로부터 양자화 잡음을 구하고, 이 양자화 잡음을 이용하여 상기 가변양자화기(10)의 문턱값을 조절하는 문턱값조절부(20)와; 상기 가변양자화기(10)의 출력단에 접속되어, 상기 가변양자화기(10)에서 인가되는 신호를 소정의 비트수를 갖는 디지털값으로 변환하여 출력하는 디지털디코더(30)를 포함하여 구성됨을 특징으로 하는 가변양자화기를 이용한 과표본화 A/D 변환기이다.

대표도



명세서

[발명의 명칭]

가변양자화기를 이용한 과표본화 A/D 변환기

[도면의 간단한 설명]

제1도는 종래의 과표본화 A/D 변환기의 구성을 나타낸 블록도,

제2도는 종래의 과표본화 A/D 변환기의 구성을 나타낸 구성도,

제3도는 (a)는, 종래의 과표본화 A/D 변환기의 개략적인 구성을 나타낸 회로도.

(b)는 클럭의 파형을 나타낸 도면.

제4도는 본 발명 가변양자화기를 이용한 과표본화 A/D 변환기의 구성을 나타낸 블록도.

제5도는 본 발명 가변양자화기를 이용한 과표본화 A/D 변환기의 구성을 나타낸 구성도.

제6도는 (a)는 본 발명 가변양자화기를 이용한 과표본화 A/D 변환기의 개략적인 구성을 나타낸 회로도.

(b)는 클럭의 파형을 나타낸 도면.

제7도는 본 발명 가변양자화기를 이용한 과표본화 A/D 변환기의 입력신호의 크기에 따른 신호대 잡음비의

크기를 나타낸 특성곡선.

* 도면의 주요부분에 대한 부호의 설명

- 10 : 가변양자화기
- 20 : 문턱값조절부
- 21 : 덧셈기
- 22 : 적분기
- 23 : 지연소자
- 30 : 디지털디코더
- X_1 : 아날로그 입력신호
- Y_1 : 가변양자화기의 출력신호
- Y'_1 : 지연소자의 출력신호

[발명의 상세한 설명]

본 발명은 과표본화 (OVERSAMPLING) A/D 변환기 (ANALOG DIGITAL CONVERTER)에 관한 것으로, 특히, 입력값과 출력값의 차를 검출하는 문턱값조절부와, 문턱값 (THRESHOLD THRESHOLD VALUE)을 외부에서 가변시킬 수 있는 가변양자화기 (VARIABLE QUANTIZER)로 구성되어, 상기 가변양자화기의 입력값과 출력값의 차를 이용하여 가변양자화기의 문턱값을 가변시키므로 인해, 종래의 장치와 동일한 잡음변형 (NOISE SHAPING) 특성을 지니면서, 구조가 간단하고, 회로의 잡음에 강해 신호대 잡음비의 손실없이 신호의 크기를 증가시킬 수 있음은 물론, 신호의 입력 측에 사용되던 자동이득조절회로 (AUTOMATIC GAIN CONTROL CIRCUIT)의 일부 기능을 수행하므로 인해 상기 자동이득조절회로의 사용조건을 완화한 가변양자화기를 이용한 과표본화 A/D 변환기에 관한 것이다.

일반적으로, 과표본화 A/D 변환기는, 제1도에서 도시되는 바와 같이, 변환하고자 하는 아날로그 입력신호와, 소정의 방법에 의해 되먹임 (FEEDBACK)되는 출력신호와의 합(승) 또는 차(差)를 구하는 덧셈기(1)와; 상기 덧셈기(1)의 출력단에 접속되어, 상기 덧셈기(1)에서 인가되는 신호를 적분하는 적분기(2)와; 상기 적분기(2)의 출력단에 접속되어, 상기 덧셈기(2)에서 인가되는 신호를 기 설정된 문턱값(V_{th})과 비교하여 이진값 (BINARY VALUE)을 출력하는 양자화기(3)와; 상기 양자화기(3)의 출력단에 접속되어, 상기 양자화기(3)에서 인가되는 신호를 지연시키는 지연소자(4)와 ; 상기 지연소자(4)의 출력단에 접속되어, 상기 지연소자(4)에서 인가되는 신호를 소정의 비트(BIT)수를 갖는 디지털값으로 변환하여 출력하는 디지털디코더 (DIGITAL DECODER)(5)로 이루어져, 상기 지연소자(4)의 출력값을 상기 덧셈기(1)에 되먹임하도록 구성된 델타 시그마 ($\Delta\Sigma$)구조를 기본으로 하고 있다.

이와 같이 구성된 종래의 과표본화 A/D 변환기는, 상기 덧셈기(1)를 사용하여 A/D 변환기의 입력값과 출력값 사이의 차를 구하고, 이 차(差)값을 상기 적분기(2)를 사용하여 적분한 후, 양자화 시켜 디지털값으로 변환하는 것으로 이의 변환특성을 제2도를 참조하여 수식 나타내면 다음과 같다.

먼저, 입력되는 아날로그 신호를 X, X의 주파수 대역폭을 B라 하고, 표본화 클럭(SAMPLING CLOCK) 주파수를 f라 하면, 과표본화율(OVERSAMPLING RATIO)N은 식[1]과 같다.

$$N = \frac{f}{2B} \quad \text{----- [1]}$$

또한, 상기의 입력값 X 와 출력값 Y와의 관계를 Z영역(Z DOMAIN)에서 구하면 다음과 같다.

제2도에서,

$$U(z) = X(z) - z^{-1}Y(z) + z^{-1}U(z) \quad \text{-----[2]}$$

$$U(z) = U(z) + E(z) \quad \text{-----[3]}$$

E(z) 는 양자화 과정에서 발생하는 양자화 잡음을 나타낸다.

식[2]를 U(z)에 대해 정리하면,

$$U(z) = \frac{1}{1 - z^{-1}} \{ X(z) - z^{-1}Y(z) \} \quad \text{----- [4]}$$

식[4]를 식 [3]에 대입하면,

$$Y(z) = \frac{1}{1 - z^{-1}} \{ X(z) - z^{-1}Y(z) \} + E(z) \quad \text{----- [5]}$$

식[5]를 정리하면.

$$Y(z) = X(z) + (1 - z^{-1})E(z) \quad \text{----[6]}$$

역기서 양자화 잡음 E(z)를 입력에 무관한 백색잡음이라 가정하면, E(z) = E대체할 수 있으므로,

$$Y(z) = X(z) + (1 - z^{-1})E \quad \text{----[7]}$$

이다.

상기 식[7]에서 양자화 잡음 E의 성분은 $(1-z^{-1})$ 가 곱해진 형태 즉, 미분한 형태가 되어 출력 Y에 나타나고, 입력신호 X는 그대로 출력 Y에 나타난다. 다시 말해, 식[7]에서 보는 바와 같이, 양자화 잡음의 저주파 성분은 줄어들고, 고주파 성분은 증가하게 된다. 그러므로, 출력 Y를 저주파 대역 필터(Low Pass Filter)를 이용하여 처리하면, 상기 고주파 성분을 제거할 수 있어 양자화 잡음을 줄일 수 있는데 이를 잡음변형(Noise Shaping)기법이라하며, 이 특성에 의해, 과표본화 A/D 변환기는 잡음변형 특성을 갖게 된다.

제3도는 종래의 과표본화 A/D 변환기의 개략적인 구성을 나타낸 회로도로서, 양자화기의 문턱값을 0이라 하고, 양자화기의 출력값이 양의 값일 경우엔 b, 음의 값일 경우엔 -b 라하고 그 동작을 설명하면 다음과 같다.

첫번째 동작의 클럭에서, 입력신호 X와 바로 직전의 출력값은 덧셈기(1)에 의해 그 차가 구해져 적분기(2)에 누적되고, 그 누적된 값 U가 상기 양자화기(3)에 입력된다. 이때, 상기 양자화기(3)는 입력되는 적분기(2)의 출력값 U를 양자화 하여, 그 값이 양의 값일 경우에는 b를, 음의 값인 경우에는 -b를 출력하게 된다.

또한, 상기 양자화기(3)의 출력값 Y는 래치회로(4')에 의해 한 클럭주기동안 그 값이 유지되며, 상기 래치회로(4')의 출력값 Y'는 디지털디코더(5)를 통해 디지털 값으로 디코딩된다.

상기 과표본화 A/D 변환기에 인가되는 클럭f를 제3도의 (b)에서 도시되는 바와 같이 (Q1)클럭과 (Q2)클럭으로 나누고, 상기 (Q1)과 (Q2)의 동작에 의해 과표본화A/D변환기의 각 스위치 및 래치회로(4')가 동작된다고 가정 한 후, A/D변환기의 동작을 상세히 설명하면 다음과 같다.

여기서, 상기 (Q1)과 (Q2)클럭은 도면에서 도시되는 바와 같이 동시에 동작할 수 없으며, (Q1)클럭은, 스위치(S1)(S3)를 동작시키고, (Q2)클럭은, 스위치(S2)(S4),(S6)을 동작시키며, 스위치(S5)는, 사익(Q1)클럭이 인가될 경우에는 기준전압(Vth)이 인가되는 단자 쪽으로 온(ON)되고, (Q2)클럭이 인가될 경우에는 상기 적분기(2)의 출력단자 쪽으로 온(ON)이 된다.

먼저, (Q1)클럭이 인가되면, 상기 스위치(S1)(S3)가 온되고, 스위치(S5)가 기준전압(Vth)인가단자에 접속되어, 상기 과표본화 A/D 변환기는, 상기 (Q1)클럭동안에, 신호입력단자를 통해 인가되는 아날로그 신호를 상기 덧셈기(1)의 콘덴서(C10)에 저장함과 동시에, 기준전압(Vth)을 상기 양자화기(3)의 콘덴서(C3)에 저장하는 기능을 수행하게 된다. 즉, (Q1)클럭동안에는 스위치(S1),(S3)를 동작시켜 샘플(SAMPLE)기능을 수행함과 동시에, 스위치(S5)를 기준전압(Vth) 쪽으로 접속시켜 양자화기에 기준전압(Vth)을 인가하는 동작을 수행하게 된다.

또한, (Q2)클럭동안에는 스위치(S2),(S4)를 온 시켜 덧셈기(1)의 덧셈기능과 홀드(HOLD) 기능을 수행함과 동시에, OP앰프(OPERATIONAL AMPLIFIER)(OP1)와 콘덴서(C2)를 통해 적분기능을 수행하고, 스위치(S6)을 온 시키고, 스위치(S5)를 적분기의 출력단자 쪽으로 접속시키므로 인해 양자화 기능을 수행하게 된다.

여기서, 상기 양자화기(3)는, (Q1)클럭동안에 콘덴서(C3)에 저장된 기준전압(Vth)과 (Q2)클럭동안에 상기 적분기(2)를 통해 인가된 전압을 비교하여 +b또는 -b라는 이진값을 출력시키게 된다.

한편, 상기 양자화기(3)에서 출력된 값은 래치회로(4')에 의해 지연된 후, 디지털 디코더인 디시메이션 필터(DECIMATION FILTER)(5')에 의해 소정의 비트수를 갖는 디지털 값으로 출력되게 되는 것이다.

또한, 상기 래치회로(4')에서 출력된 이진화된 값(+b,-b)은 (A)의 스위치에 의해 +C값, 또는 -C값으로 변환되어 상기 덧셈기(1)에 되먹임되게 된다.

즉, 상기 래치회로(4)의 출력값이 +b일 경우에는 +C값을 덧셈기(1)로 되먹임시키고, -b일 경우에는 -c 값을 덧셈기(1)로 되먹임시키게 된다.

여기서, 상기 +c값 또는, -c값은, 과표본화 A/D 변환기가 허용하는 신호범위내에서 과표본화A/D 변환기의 신호대 잡음비가 최대가 되도록 결정된 값이다.

따라서, 상기와 같은 동작을 반복하여 아날로그의 입력신호를 디지털 값으로 변환하게 된다.

그러나, 상기와 같은 종래의 과표본화 A/D 변환기는, 신호의 포화(SIGNAL SATURATION)및 신호의 절단(SIGNAL CLIPPING)효과에 의해 신호대 잡음비가 감소하여 입력신호가 변할 수 있는 영역(DYNAMIC RANGE)이 감소한다는 문제점이 있었다. 즉, 입력신호의 크기가 입력한계의 값 이상을 넘게 되어, 상기의 신호포화효과 및 신호절단효과에 의해 신호대 잡음비가 급격히 감소하게 된다는 문제점이 있었다.

따라서, 일반적으로 입력측에 입력신호의 크기를 제한하는 자동이득조절회로를 사용하여 그 값을 조절하였다. 예를 들어, 과표본화 A/D 변환기를 사용하는 시스템 전체의 신호가 -1 부터 +1까지 변할 수 있다고 할 경우, 최적의 신호대 잡음비를 얻기 위해서는 되먹임되는 값을 +1/2또는, -1/2로하고 입력신호의 최대 크기는 1/2로 제한하여 한다는 문제점이 있었다.

본 발명의 목적은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 특히, 입력값과 출력값의 차를 검출하는 문턱값조절부와, 문턱값을 외부에서 가변시킬 수 있는 가변양자화기로 구성되어, 상기 가변양자화기의 입력값과 출력값의 차를 이용하여 가변양자화기의 문턱값을 가변시키므로 인해, 종래의 장치와 동일한 잡음변형 특성을 지니면서, 구조가 간단하고, 회로의 잡음에 강해 신호대 잡음비의 손실없이 입력신호의 크기

를 증가시킬 수있음은 물론, 신호의 입력 측에 사용되던 자동이득조절회로의 일부 기능을 수행하므로 인해 상기 자동이득조절회로의 사용조건을 완화한 가변양자화기를 이용한 과표본화 A/D 변환기를 제공하는데 있다.

상기와 같은 목적을 달성하기 위하여 본 발명 가변양자화기를 이용한 과표본화 A/D 변환기는 제4도에서 도시되는 바와 같이, 문턱값을 외부에서 가변시킬 수 있는 가변양자화기(10)와; 상기 가변양자화기(10)의

입력단과 출력단에 접속되어, 입력값과 출력값으로부터 양자화 잡음을 구하고, 이 양자화 잡음을 이용하여 상기 가변양자화기(10)의 문턱값을 조절하는 문턱값조절부(20)와; 상기 가변양자화기(10)의 출력단에 접속되어, 상기 가변양자화기(10)에서 인가되는 신호를 소정의 비트수를 갖는 디지털값으로 변환하여 출력하는 디지털디코더(30)를 포함하여 구성됨을 그 기술적 구성상의 특징으로 한다.

또한, 상기 문턱값조절부(2)는 제5도에서 도시되는 바와 같이, 상기 가변양자화기(10)의 신호출력단에 접속되어 출력값을 지연시키는 지연소자(23)와; 상기 지연소자(23)의 출력단과, 가변양자화기(10)의 신호 입력단 사이에 접속되어, 가변양자화기(10)의 출력단과 가변양자화기(10)의 문턱값조절단자(11) 사이에 접속되어, 상기 덧셈기(21)에서 출력된 신호를 적분하여 상기 문턱값조절단자(11)에 인가하는 적분기(22)로 구성됨을 그 기술적 구성상의 특징으로 한다.

상기와 같이 구성된 본 발명 가변양자화기를 이용한 과표본화 A/D 변환기는 상기 문턱값조절부(20)를 사용하여 가변양자화기(10)의 입력값과 출력값과의 차(差)를 구한 후, 이 값을 상기 가변양자화기(10)의 문턱값으로 사용함으로써, 종래의 잡음변형 특성을 지니면서도 구조가 간단하고, 신호대 잡음비의 손실 없이 신호의 크기를 증가시킬 수 있는 것으로, 이의 변환특성을 제 5도를 참조하여 수식으로 나타내면 다음과 같다.

먼저 아날로그 신호로 입력되는 입력신호를 X_1 , 이 입력신호 X_1 의 주파수 대역폭을 B_1 이라 하고, 이 회로의 동작 주파수 클럭을 f_1 이라 하면, 과표본화를 N_1 은 식 [8]과 같다.

$$N_1 = \frac{f_1}{2B_1} \quad \text{----- [8]}$$

또한, 상기의 입력값 X_1 와 출력값 Y_1 와의 관계를 Z영역(Z DOMAIN)에서 구하면 다음과 같다.

먼저, 잡음변형 특성에 대해 설명한다.

제5도에서,

$$R(z) = -X_1(z) = z^{-1}R(z) \quad \text{----[9]}$$

$$Y_1(z) = X_1(z) - R(z) + E(z) \quad \text{- ---[10]}$$

식 [9]를 $R(z)$ 에 대해 정리하면,

$$R(z) = \frac{1}{1 - z^{-1}} \{ -X_1(z) + z^{-1}Y_1(z) \} \quad \text{----- [11]}$$

식[11]를 식[10]에 대입하면,

$$Y_1(z) = X_1(z) - \frac{1}{1 - z^{-1}} \{ -X_1(z) + z^{-1}Y_1(z) \} + E(z) \quad \text{----- [12]}$$

식[12]를 정리하면,

$$Y_1(z) = X_1(z) + (1 - z^{-1})X_1(z) + (1 - z^{-1})E(z) \quad \text{---[13]}$$

그런데, 상기 식[13]의 $(1 - z^{-1})X_1(z)$ 항에서, $X_1(z)$ 는 과표본화에 의해 거의 상수로 간주할 수 있으므로,

$$(1 - z^{-1})X_1(z) \approx 0$$

이된다. 따라서, 상기 식[13]은,

$$Y_1(z) = X_1(z) + (1 - z^{-1})E(z) \quad \text{----[14]}$$

이다.

여기서, 양자화 잡음 $E(z)$ 를 입력에 무관한 백색잡음이고, 0(ZERO)을 중심으로 대칭이므로,

$$E(z) = -E(z) = E$$

이다, 그러므로,

$$Y_1(z) = X_1(z) + (1 - z^{-1})E \quad \text{----[15]}$$

이다.

상기 식[15]를 살펴보면, 이는 식[7]과 동일한 수식이므로, 상기에서 설명한 바와 같이 본 발명 가변양자화기를 이용한 과표본화 A/D 변환기는 종래의 과표본화 A/D 변환기와 동일한 잡음변형 효과를 가진다.

이하, 모든 신호는 $[-1, 1]$ 의 값을 가지며, -1 보다 작거나 $+1$ 보다 큰 경우에는 신호의 잘림이 일어난다고 가정하고, 신호대 잡음비의 특성을 종래의 과표본화 A/D 변환기와 비교하여 설명하면 다음과 같다.

식[6]을 식[4]에 대입하여 정리하면,

$$U(z)=X_1(z)-z^{-1}E \quad \text{---[6]}$$

이다.

식[16]에서, 양자화 잡음 E는 $[-1/2, 1/2]$ 의 값을 가지는데, 이는 되먹임 값이 1/2또는 -1/2일때 $[0, 1]$ 의 값은 1/2로 양자와 되고, $[-1, 0]$ 의 값은 -1/2로 양자화되기 때문이다.

따라서, 식 [16]에서 상기 적분기(2)의 출력값 U에 신호의 잘림(CLIPPING)이 일어나지 않으려면, 즉, U가 $[-1, 1]$ 의 값을 가지기 위해서는 입력신호값 X는 $[-1/2, 1/2]$ 로 제한되어야 한다.

이에 반해, 본 발명 가변양자화기를 이용한 과표분화 A/D 변환기의 특성을 설명하면 다음과 같다.

식[14]을 식[11]에 대입하여 정리하면,

$$R(z)=(-1+z^{-1})X_1(z)-z^{-1}E$$

$$\approx -z^{-1}E$$

이다.

식[17]에서 양자화 잡음 E는 $[-1, 1]$ 의 값을 가지는데, 이는 되먹임 값이 1 또는 -1일때, $[0, 1]$ 의 값은 1로 양자화되고, $[-1, 0]$ 의 값은 -1로 양자화 되기 때문이다.

또한, 식 [17]에서 보등시이 상기 적분기(22)의 출력값 R은 입력신호값 X_1 에 무관 하다,

따라서, 입력신호 X_1 은 $[-1, 1]$ 의 값을 가질수 있게 되는것이다.

여기서, $[a, b]$ 는 $\{x : a \leq x \leq b\}$,

(a, b) 는 $\{x : axb\}$ 를 각각 의미한다.

따라서, 본 발명이 종래의 입력신호 동작영역보다 2배 더 큰 입력신호의 동작범위를 보장하게 되는 것으로, 이는, $20 \log_{10} 2 = 6 \text{dB}$ 에 해당되며, 이를 제7도에 나타내었다.

제7도에서, 입력신호의 최대크기(L)는 +1, 또는 -1을 의미하며, 입력잡음수준(M)은 회로구현시 발생하는 여러가지 잡음, 즉, 열잡음, 스위칭잡음, 전원선 잡음등에 의해 결정되는 값이다.

제6도는, 본 발명 가변양자화기를 이용한 과표분화 A/D 변환기의 기술적 사상을 스위치드 커패시터 형(SWITCHED CAPACITOR TYPE) A/D변환기에 적용한 실시예를 나타낸 개략적인 회로도로서, 본 발명 가변양자화기를 이용한 과표분화 A/D 변환기에 인가되는 클럭 f를 제6도의 (b)에서 도시되는 바와 같이 (Q3)클럭과 (Q4)클럭으로 나누고, 상기 (Q3)과 (Q4)의 동작에 의해 본 발명A/D변환기의 각 스위치 및 램치회로(23')가 동작된다고 가정한 후, A/D변환기의 동작을 상세히 설명하면 다음과 같다.

여기서, 상기 (Q3)과 (Q4)클럭은 도면에서 도시되는 바와 같이 동시에 동작할 수 없으며, (Q3)클럭은, 스위치(S11), (S13)를 동작시키고, (Q4)클럭은, 스위치(S12), (S14), (S16)을 동작시키며, 스위치(S15)는 상기(Q3)클럭이 인가될 경우에는 신호입력단자에 접속되고, (Q4)클럭이 인가될 경우에는 상기 적분기(22)의 출력단자 쪽으로 온(ON)이 된다.

먼저, (Q3) 클럭이 인가되면, 상기 스위치(S11), (S13)이 온되고, 스위치(S15)가 신호입력단자 접속되어, 본 발명가변양자화기를 이용한 과표분화 A/D 변환기는, 상기 (Q3)클럭동안에, 신호입력단자를 통해 인가되는 아날로그 신호를 상기 덧셈기(21)의 콘덴서(C4)에 저장함과 동시에, 입력신호를 상기 가변양자화기(10)의 콘덴서(C6)에 저장하는 기능을 수행하게 된다. 즉, (Q3) 클럭동안에는 스위치(S11), (S13)를 동작시켜 샘플(SAMPLE)기능을 수행함과 동시에, 스위치(S15)를 신호입력 단자에 접속시켜 가변양자화기(10)에 입력신호를 인가하는 동작을 수행하게 된다.

또한, (Q4)클럭동안에는 스위치(S12), (S14)를 온 시켜, 상기 덧셈기(21)의 덧셈기능과 홀드(HOLD)기능을 수행함과 동시에, OP앰프(OP3)와 콘덴서(C5)를 통해 적분기기능을 수행하고, 스위치(S16)을 온 시키고, 스위치(S15)를 적분기(22)의 출력단자 쪽으로 접속시킴으로 인해, 상기 가변양자화기(10)의 입력값과 출력값의 차를 구해 상기 가변양자화기의 문턱값조절단자(11)에 인가하게 된다. 즉, (Q4)의 클럭동안에 상기 덧셈기(21)와 적분기(22)를 이용하여 가변양자화기(10)에 입력되는 입력값과 출력값의 차를 적분하여 문턱값조절단자(11)에 인가하므로써 가변양자화기(10)의 문턱값을 설정하게 된다.

다시말해, 상기 가변양자화기(10)는, (Q3)클럭동안에 콘덴서(C6)에 저장된 입력전압과 (Q4)클럭동안에 상기 적분기(22)를 통해 인가된 기준전압을 비교하여 +b 또는, -b라는 이진값을 출력시키게 된다.

이후, 상기 가변양자화기(10)에서 출력된 값은 램치회로(23')에 의해 지연된 후, 디지털디코더인 디시메이션 필터(30')에 의해 소정의 비트수를 갖는 디지털 값으로 출력되게 되는 것이다.

또한, 상기 램치회로(23')에서 출력된 이진화된 값(+b, -b)은 (B)의 스위치에 의해 +c값, 또는 -c값으로 변환되어 상기 덧셈기(21)에 되먹임되게 된다.

즉, 상기 램치회로(23')의 출력값이 +b일 경우에는 +c 값을 덧셈기(21)로 되먹임시키고, -b일 경우에는 -c값을 덧셈기(21)로 되먹임시키게 되는 것이다.

여기서, 상기 +c 값 또는, -c값은, 본 발명가변양자화기를 이용한 과표분화 A/D변환기가 허용하는 신호범위 내에서 신호대 잡음비가 최대가 되도록 결정된 값이다.

따라서, 상기와 같은 동작을 반복하여 아날로그의 입력신호를 디지털 값으로 변환하게 된다.

그러나, 상기의 실시예에 있어서는, 스위치드 커패시터 기법에 본 발명의 기술적 사상을 적용하여 그 동작을 설명하였으나, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서, 연속(CONTINUOUS) 시간영역 기법 또는, g_m (TRANS-CONDUCTANCE)-C 기법이나, 스위치 전류(SWITCHED CURRENT)회로기법을 사용하여 본 발명 가변양자화기를 이용한 과표본화 A/D 변환기를 구현할 수 있음을 밝혀둔다.

또한, 상기의 실시예에 있어서는, 덧셈기(21)와; 적분기(22)와; 지연소자(23)를 사용하여 본 발명의 문턱값저절부(20)를 구성하였으나, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서, 상기 덧셈기(21)와 신호입력단자 사이에 지연소자(도시생략)를 추가하여 구성할 수 있음을 밝혀둔다.

또한, 상기의 실시예에 있어서는, 본 발명의 되먹임 값을 $[-1, 1]$ 로 하는 특징에 대해서만 설명하였으나, 되먹임 값을 $[-1/2, 1/2]$ 로 하였을 경우에는 종래의 회로 특성과 동일하게 되어 상호 전환하여 선택적으로 사용할 수 있음을 밝혀둔다.

이상에서 살펴본 바와 같이 본 발명 ' 가변양자화기를 이용한 과표본화 A/D 변환기는 , 특히, 입력값과 출력값의 차를 검출하는 문턱값조절부와, 문턱값을 외부에서 가변시킬 수 있는 가변양자화기의 문턱값을 가변시키므로 인해, 종래의 장치와 동일한 잡음변형 특성을 지니면서, 구조가 간단하고, 회로의 잡음에 강해 신호대 잡음비의 손실없이 신호의 크기를 증가시킬 수 있음은 물론, 신호의 입력 측에 사용되던 자동이득조절회로의 일부 기능을 수행하므로 인해 상기 자동이득조절회로의 사용조건을 완화한 매우 유용한 발명인 것이다.

(57) 청구의 범위

청구항 1

문턱값을 외부에서 가변시킬 수 있는 가변양자화기와;

상기 가변양자화기의 입력단과 출력단에 접속되어, 입력값과 출력값의 차를 구한후, 이 값을 적분하여 상기 가변양자화기의 문턱값조절단자로 인가하여 상기 가변양자화기의 문턱값을 조절하는 문턱값조절부와;

상기 가변양자화기의 출력단에 접속되어, 상기 가변양자화기에서 인가되는 신호를 소정의 비트수를 갖는 디지털 값으로 변환하여 출력하는 디지털 디코더를 포함하여 구성됨을 특징으로 하는 가변양자화기를 이용한 과표본화 A/D 변환기.

청구항 2

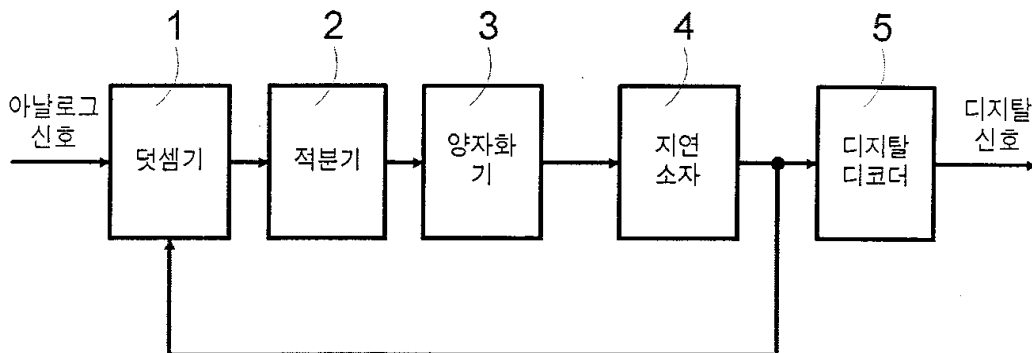
제1항에 있어서, 상기 문턱값조절부는, 상기 가변양자화기의 신호입력단에 접속되어 출력값을 지연시키는 지연소자와;

상기 지연소자의 출력단과, 가변양자화기의 신호입력단 상이에 접속되어, 가변양자화기의 입력신호와 지연소자의 출력신호를 합산하는 덧셈기와;

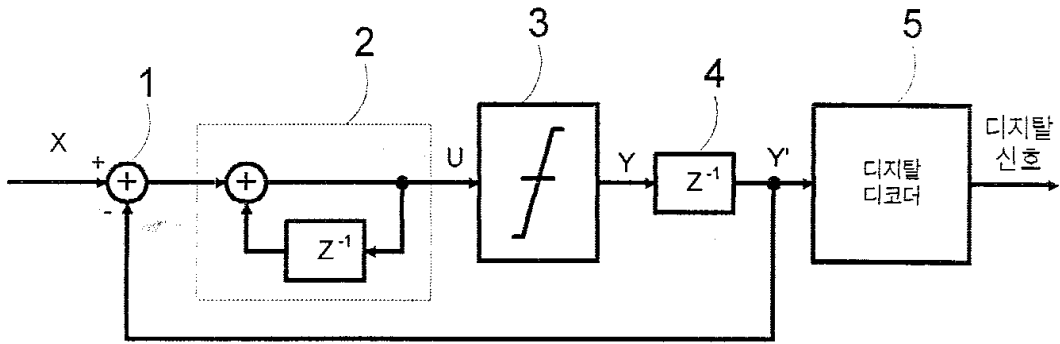
상기 덧셈기의 출력단과 가변양자화기의 문턱값조절단자 사이에 접속되어, 상기 덧셈기에서 출력된 신호를 적분하여 상기 문턱값조절단자에 인가하는 적분기로 구성됨을 특징으로 하는 가변양자화기를 이용한 과표본화 A/D 변환기.

도면

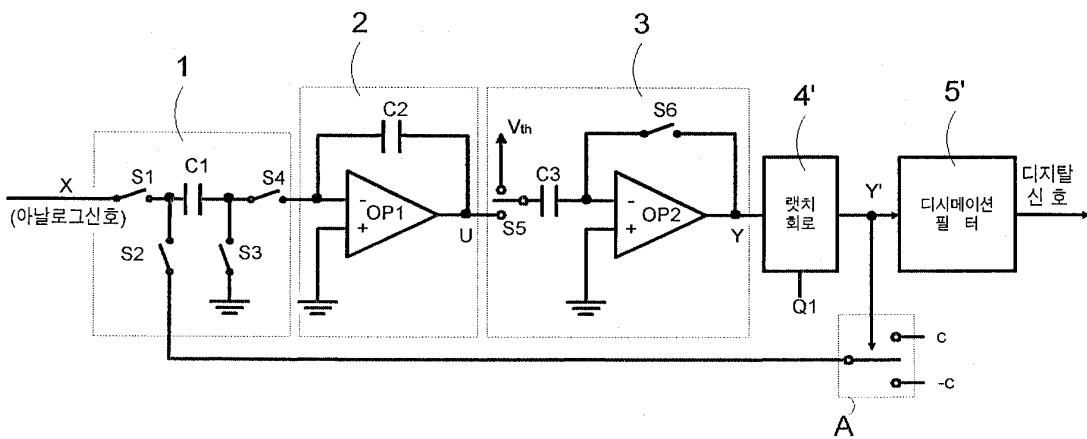
도면1



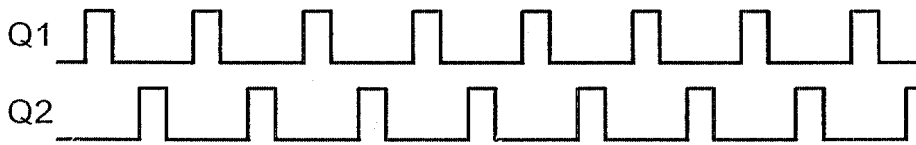
도면2



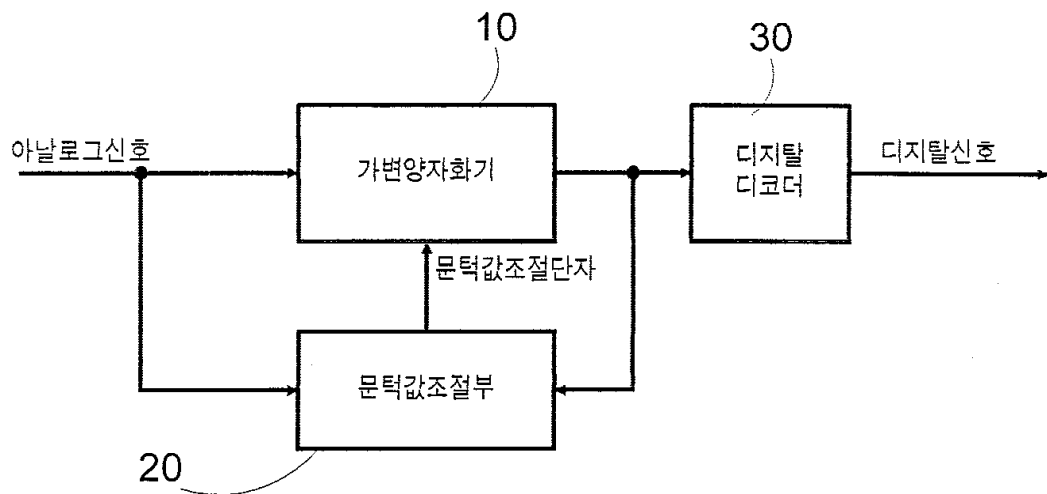
도면3a



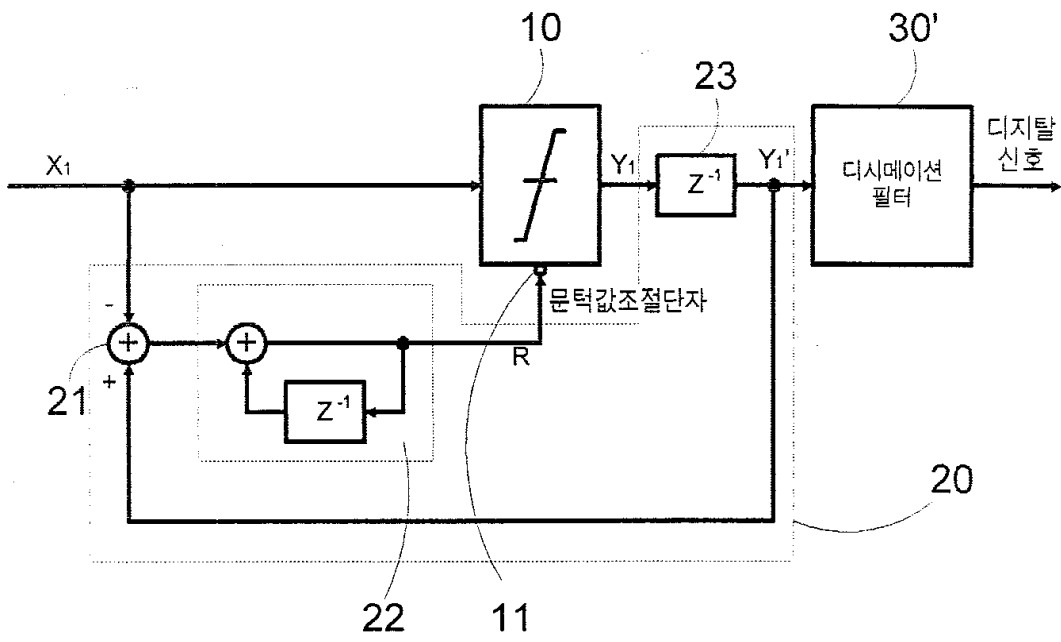
도면3b



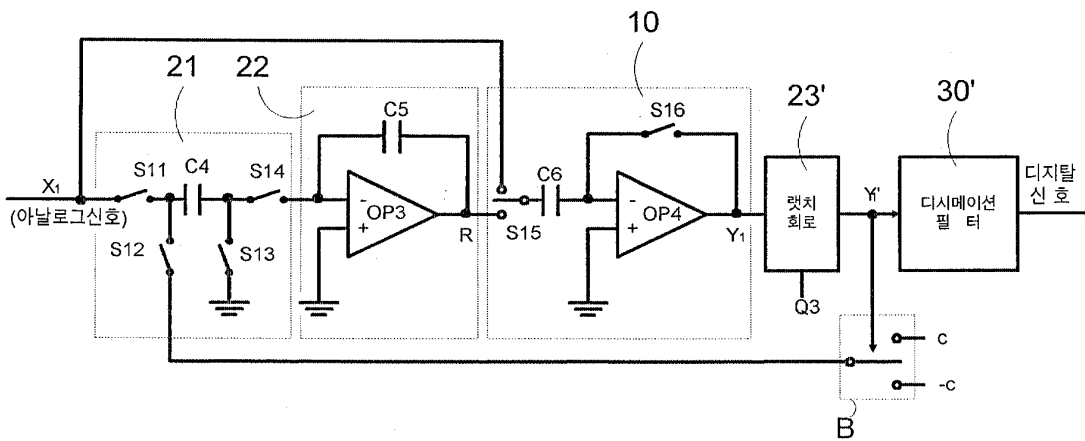
도면4



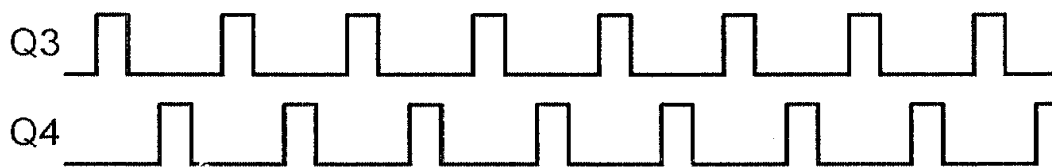
도면5



도면6a



도면6b



도면7

