

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-803

(P2010-803A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl. F I テーマコード (参考)  
**B 4 1 J 29/38 (2006.01)** B 4 1 J 29/38 Z 2 C 0 6 1

審査請求 有 請求項の数 1 O L (全 29 頁)

(21) 出願番号	特願2009-231209 (P2009-231209)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成21年10月5日 (2009.10.5)	(74) 代理人	100095728 弁理士 上柳 雅誉
(62) 分割の表示 原出願日	特願平11-283241の分割 平成11年10月4日 (1999.10.4)	(74) 代理人	100107261 弁理士 須澤 修
		(74) 代理人	100127661 弁理士 宮坂 一彦
		(72) 発明者	辻 龍一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	2C061 AQ05 ARO1 HN15

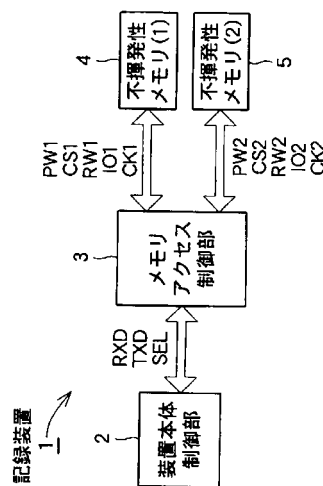
(54) 【発明の名称】 記録装置、半導体装置および記録ヘッド装置

(57) 【要約】

【課題】 プリンタ本体側制御部とインクカートリッジ側に設けられた不揮発性メモリとの間に、プリンタ本体側制御部から供給される命令に基づいて不揮発性メモリへのアクセスを制御するメモリアクセス制御部を設けることで、プリンタ本体側制御部側の処理を軽減する。

【解決手段】 装置本体制御部2とメモリアクセス制御部3とはシリアルデータ通信によってデータの送受信を行なう。メモリアクセス制御部3は、各不揮発性メモリ4, 5に格納されている各種の情報(インク残量, 使用開始年月等)を読み出してメモリアクセス制御部3内のRAMに格納する。装置本体制御部2は、RAMへのアクセス要求命令を発行することで、情報の読み出しならびに更新を行なう。プリンタの電源オフに際して、装置本体制御部2は情報の書き戻し命令を発行する。メモリアクセス制御部3は、RAM内の情報を不揮発性メモリ4, 5へ書き戻す。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

記録装置本体側に設けられた装置本体制御部と記録材料収容カートリッジ側に設けられた不揮発性メモリとの間に、前記装置本体制御部から供給される命令に基づいて前記不揮発性メモリに対する書き込みならびに読み出しを制御するメモリアクセス制御部を設けたことを特徴とする記録装置。

**【請求項 2】**

前記メモリアクセス制御部は、前記装置本体制御部とシリアルデータ通信を行なうシリアルデータ通信部と、このシリアルデータ通信部を介して前記装置本体制御部から供給された命令を解釈して実行する命令実行部と、前記不揮発性メモリに対する書き込みならびに読み出しを行なう不揮発性メモリ書き込み読み出し制御部と、前記不揮発性メモリから読み出されたデータを一時記憶するためのランダムアクセスメモリとを備え、

前記装置本体制御部は、前記不揮発性メモリに格納されているデータを前記ランダムアクセスメモリに転送させ、ランダムアクセスメモリに格納されたデータを参照して各種の処理を行なって前記ランダムアクセスメモリに格納されているデータを更新させた後に、前記ランダムアクセスメモリに格納されているデータを前記不揮発性メモリに転送させることを特徴とする請求項 1 記載の記録装置。

**【請求項 3】**

装置本体制御部から供給される命令に基づいて不揮発性メモリに対する書き込みならびに読み出しを制御するメモリアクセス制御部を半導体基板上に形成したことを特徴とする半導体装置。

**【請求項 4】**

不揮発性メモリを備えた記録材料収容カートリッジの収納部を備えたキャリッジに、記録装置本体側の制御部から供給される命令に基づいて前記記録装置本体側の制御部と前記不揮発性メモリとの間のデータ送受を制御するメモリアクセス制御部を設けたことを特徴とする記録ヘッド装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

この発明は、記録材料収容カートリッジに不揮発性メモリを設け、この不揮発性メモリにカートリッジに関する各種データ（残量データ、使用開始日時データ、記録材料種別データ、製造管理データ等）を格納しておくことで、カートリッジ毎に使用状態等を管理できるようにした記録装置等に係り、詳しくは、記録装置本体側の制御部と不揮発性メモリとの間にインタフェース回路（メモリアクセス制御回路）を設けることで、不揮発性メモリへアクセスする際の制御部側の処理を軽減するようにした記録装置、ならびに、インタフェース用の半導体装置およびインタフェース用の半導体装置を備えた記録ヘッド装置に関するものである。

**【背景技術】****【0002】**

特許文献 1 には、インクカートリッジに不揮発性メモリを設け、この不揮発性メモリにインク残量に相当するデータを記憶しておくことで、インクカートリッジ毎にインク残量の管理を行なえるようにしたインクカートリッジおよび記録装置が記載されている。

**【0003】**

特許文献 2 には、インクカートリッジに設けた不揮発性メモリに識別情報を記憶させておき、プリンタ本体側では不揮発性メモリから読み出したインクカートリッジの識別情報とインク残量とを対応付けて管理することで、同一の識別情報を有するインクカートリッジが再装着された際にインク残量の再検知を不要にしたインクジェットプリンタが記載されている。

**【先行技術文献】****【特許文献】**

10

20

30

40

50

## 【 0 0 0 4 】

【特許文献1】特開昭62-184856号公報(特許第2594912号公報)

【特許文献2】特開平8-197748号公報

## 【発明の概要】

【発明が解決しようとする課題】

## 【 0 0 0 5 】

従来の記録装置等では、データの書き込みならびに読み出しをビットシリアルに行なういわゆるビットシーケンシャルアクセス型の不揮発性メモリを用いることで、プリンタ本体側の制御部と不揮発性メモリとの間の信号線数の削減を図っている。しかしながら、上記不揮発性メモリに対するアクセスはビットシリアルであるため、書き込み処理ならびに読み出し処理に時間がかかる。このため、プリンタ本体側の制御部(CPU等)によって不揮発性メモリに対するアクセスを直接制御する構成とした場合、不揮発性メモリに対してアクセスを行なっている間は、制御部(CPU等)は他の処理をすることができない。このため、印刷処理に遅れが生じたり、操作部からの操作入力に対する応答が遅れたりすることがある。

10

## 【 0 0 0 6 】

この発明はこのような課題を解決するためなされたもので、記録装置本体側の制御部と不揮発性メモリとの間にメモリアクセス制御部を設けることで、不揮発性メモリへアクセスする際の制御部側の処理を軽減できるようにした記録装置、ならびに、そのための半導体装置および記録ヘッド装置を提供することを目的とする。

20

【課題を解決するための手段】

## 【 0 0 0 7 】

前記課題を解決するためこの発明に係る記録装置は、記録装置本体側に設けられた装置本体制御部と記録材料収容カートリッジ側に設けられた不揮発性メモリとの間に、装置本体制御部から供給される命令に基づいて不揮発性メモリに対する書き込みならびに読み出しを制御するメモリアクセス制御部を設けたことを特徴とする。

## 【 0 0 0 8 】

この発明に係る記録装置は、メモリアクセス制御部を介して不揮発性メモリに対する書き込みならびに読み出しを行なう構成としたので、不揮発性メモリへアクセスする際の装置本体制御部側の処理を軽減できる。

30

## 【 0 0 0 9 】

なお、メモリアクセス制御部は、装置本体制御部とシリアルデータ通信を行なうシリアルデータ通信部と、このシリアルデータ通信部を介して装置本体制御部から供給された命令を解釈して実行する命令実行部と、不揮発性メモリの格納データを一時記憶するランダムアクセスメモリと、不揮発性メモリに対する書き込みならびに読み出しを行なう不揮発性メモリ書き込み読み出し制御部とを備える構成としてもよい。

## 【 0 0 1 0 】

シリアルデータ通信部を設け、装置本体制御部とメモリアクセス制御部との間のデータ通信をシリアルに行なう構成にすることで、装置本体制御部とメモリアクセス制御部との間の信号線数を少なくすることができる。

40

## 【 0 0 1 1 】

ランダムアクセスメモリを設け、このランダムアクセスメモリに不揮発性メモリから読み出したデータを全て格納しておき、装置本体制御部側からのデータ読み出し要求に対してランダムアクセスメモリに格納したデータを読み出して回答することで、データ読み出し要求に対して高速な応答ができる。

## 【 0 0 1 2 】

装置本体制御部は、データ書き込み要求を発生してランダムアクセスメモリ内のデータを更新した後に、不揮発性メモリに対する書き込み要求を発生して更新されたデータを不揮発性メモリに書き込ませることができる。よって、更新すべきデータが複数項目ある場合でも、1回の書き込み動作で不揮発性メモリに複数のデータを書き込ませることができ

50

る。

【 0 0 1 3 】

メモリアクセス制御部用の半導体装置（集積回路装置）を用いることで、記録装置の小型化を図ることができる。また、記録材料収容カートリッジの収納部を備えたキャリッジにメモリアクセス制御部を設けることが容易になる。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】 この発明に係る記録装置の全体構成を示すブロック構成図である。

【 図 2 】 不揮発性メモリの一具体例を示すブロック構成図である。

【 図 3 】 不揮発性メモリの格納情報を示す説明図である。

10

【 図 4 】 ブラック用インクカートリッジに設けられた不揮発性メモリに格納される情報の一例を示す説明図である。

【 図 5 】 カラー用インクカートリッジに設けられた不揮発性メモリに格納される情報の一例を示す説明図である。

【 図 6 】 メモリアクセス制御部の一具体例を示すブロック構成図である。

【 図 7 】 メモリアクセス制御部用集積回路の端子名（信号名）と機能を示す説明図である。

【 図 8 】 装置本体制御部から供給される各種の命令の説明図である。

【 図 9 】 受信制御部のブロック構成図である。

【 図 1 0 】 命令モード指定信号の切り替えタイミングを示す説明図である。

20

【 図 1 1 】 可変長命令の仕様ならびにそれに対する回答の仕様を示す説明図である。

【 図 1 2 】 制御レジスタ群の内容と機能を示す説明図である。

【 図 1 3 】 R A M の格納情報を示す説明図である。

【 図 1 4 】 送信制御部のブロック構成図である。

【 図 1 5 】 シリアル通信データの書式を示す説明図である。

【 図 1 6 】 この発明に係る記録装置を適用したインクジェットプリンタ装置の印刷機構部の構造を示す斜視図である。

【 図 1 7 】 キャリッジをホルダ部とヘッド部に分解して示した斜視図である。

【 図 1 8 】 インクカートリッジの斜視図である。

【 図 1 9 】 不揮発性メモリ回路基板の構造を示す説明図である。

30

【 図 2 0 】 インクカートリッジの装着過程を示す説明図（その 1 ）である。

【 図 2 1 】 インクカートリッジの装着過程を示す説明図（その 2 ）である。

【 図 2 2 】 不揮発性メモリ基板と接点機構の接点構成部材との接触状態を示す説明図である。

【 発明を実施するための形態 】

【 0 0 1 5 】

以下、この発明の実施の形態を添付図面に基づいて説明する。

【 0 0 1 6 】

図 1 はこの発明に係る記録装置の全体構成を示すブロック構成図である。記録装置 1 は、記録装置本体側に設けられた装置本体制御部 2 と、インクカートリッジ装着部を備えたキャリッジに設けられたメモリアクセス制御部 3 と、ブラック用インクカートリッジに設けられた不揮発性メモリ 4 と、カラー用インクカートリッジに設けられた不揮発性メモリ 5 と、図示しない記録制御機構（用紙送り，キャリッジ移動，インク吐出等の制御機構）とからなる。各不揮発性メモリ 4，5 は、例えば E E P R O M 等の電氣的に書き込み・読み出しが可能なものを用いている。図 1 では 2 個の不揮発性メモリ 4，5 を備えた構成を示したが、不揮発性メモリの個数は何個であっても構わない。

40

【 0 0 1 7 】

装置本体制御部 2 は、記録装置 1 の全体動作を制御するもので、マイクロコンピュータシステムを利用して構成している。装置本体制御部 2 とメモリアクセス制御部 3 との間は、シリアルデータ通信によって各種命令ならびにデータの送受を行なう構成としている。

50

各不揮発性メモリ4, 5は、データの書き込みならびに読み出しをビットシリアルに行なういわゆるビットシーケンシャルアクセス型のものを用いている。メモリアクセス制御部3は、各不揮発性メモリ4, 5から読み出した各種データをメモリアクセス制御部3内のRAMに格納している。

【0018】

装置本体制御部2は、メモリアクセス制御部3内のRAMに対する読み出し命令(コマンド)を発行することで各種データを読み出す。装置本体制御部2は、メモリアクセス制御部3内のRAMに対する書き込み命令を発行することで各種データの書き込みを行なう。装置本体制御部2は、メモリアクセス制御部3に不揮発性メモリへの書き込み命令を発行することで、メモリアクセス制御部3内のRAMに格納されているデータを各不揮発性メモリ4, 5に記憶させる。

10

【0019】

このようにこの発明に係る記録装置1は、装置本体制御部2と各不揮発性メモリ4, 5との間にメモリアクセス制御部3を設け、メモリアクセス制御部3によって各不揮発性メモリ4, 5に対する書き込みならびに読み出しを行なう構成としているので、装置本体制御部2が各不揮発性メモリ4, 5を直接アクセスする必要がない。このため、装置本体制御部2の処理を軽減することができる。さらに、メモリアクセス制御部3は各不揮発性メモリ4, 5に格納されているデータを読み出してRAMに格納している。そして、装置本体制御部2側からの読み出し要求に対してRAMに格納しているデータを読み出して回答するので、読み出し要求に対する回答を高速に行なうことができる。

20

【0020】

図2は不揮発性メモリの一具体例を示すブロック構成図である。不揮発性メモリ4, 5は、メモリセル41と、リード/ライト制御部42と、アドレスカウンタ43とを備える。チップセレクト信号CSがLレベルである場合、アドレスカウンタ43はリセット状態となり、アドレスカウンタ43のカウント値は0となる。チップセレクト信号CSがHレベルである場合、アドレスカウンタ43はクロック信号CKに基づいてアップカウント動作を行なう。したがって、チップセレクト信号CSをHレベルに変化させた時点でアドレス0が設定され、クロック信号CKを供給するたびにアドレスを歩進させることができる。リード/ライト制御部42は、リード/ライト信号WRがLレベルである場合は、アドレスカウンタ43によって指定されたアドレスのメモリセル41に記憶されているデータ(1ビット)を読み出し、読み出したデータをデータ入出力端子IOに出力する。リード/ライト制御部42は、リード/ライト信号WRがHレベルである場合は、データ入出力端子IOに供給されたデータ(1ビット)をアドレスカウンタ43によって指定されたアドレスのメモリセル41に書き込む。

30

【0021】

図3は不揮発性メモリの格納情報を示す説明図である。本実施形態において、各不揮発性メモリ4, 5は、256ビットの記憶容量を有するものを用いている。そして、各不揮発性メモリ4, 5にそれぞれ35項目の情報を格納している。各情報項目のビット長は可変長である。そして、不揮発性メモリ4, 5には、可変長のデータがビットシリアルに格納される。これにより、限られた記憶容量内に多数の情報を格納できるようにしている。

40

【0022】

図3に示す番号1~9(情報番号0~8, 情報番号35~43)の範囲に、インク残量に係るデータやインクカートリッジの使用開始年, 月等のデータ、すなわちユーザ側でインクカートリッジを使用したことに伴った更新する必要があるデータを格納するようにしている。これにより、インクカートリッジが実際に使用される状況では、不揮発性メモリ4, 5の若番側アドレスに対してのみデータの書き込み(更新)を行なえばよいようにしている。したがって、記録装置1の使用が終了して記録装置1の電源をオフする際には、図3に示す番号1~9(情報番号0~8, 情報番号35~43)の範囲のデータを各不揮発性メモリ4, 5に書き込むだけでよい。

【0023】

50

ブラック用インクカートリッジに設けられた不揮発性メモリ4には、黒インク残量データ、使用開始年、月等のデータが格納されている。カラー用インクカートリッジに設けられた不揮発性メモリ5には、各インク色毎の残量データ、使用開始年、月等のデータが格納されている。

【0024】

図3に示す番号10～35（情報番号9～34，情報番号44～69）の範囲には、ユーザ側でデータを更新する必要のない各種のデータが格納されている。具体的には、インクカートリッジのバージョンデータ、インクの種類データ、製造年データ、製造月データ、製造日データ、インクカートリッジのシリアルナンバーデータ、製造場所等に係るデータ、カートリッジのリサイクルに関するデータ等である。

10

【0025】

図4はブラック用インクカートリッジに設けられた不揮発性メモリに格納される情報の一例を示す説明図である。図4において、符号410は書き換えデータが格納される第1の記憶領域、符号420は読み出し専用データが格納される第2の記憶領域である。第1の記憶領域410は、不揮発性メモリ4へのアクセス時に第2の記憶領域420よりも先にアクセスされるアドレスに配置している。

【0026】

第1の記憶領域410に記憶される書き換えデータは、アクセスされる順からいえば、各記憶領域411，412に対してそれぞれ割り当てられた第1の黒インク残量データおよび第2の黒インク残量データである。黒インク残量データが2つの記憶領域411，412に割り当てられているのは、これらの領域に対して交互に書き換えを行なうためである。したがって、最後に書き換えられた黒インク残量データが記憶領域411に記憶されているデータであれば、記憶領域412に記憶されている黒インク残量データはその1回前のデータであり、次の書き換えはこの記憶領域412に対して行なわれる。

20

【0027】

第2の記憶領域420に記憶される読み出し専用データは、アクセスされる順からいえば、各記憶領域421～430に対して割り当てられたインクカートリッジの開封時期データ（年）、インクカートリッジの開封時期データ（月）、インクカートリッジのバージョンデータ、顔料系または染料系などといったインクの種類データ、インクカートリッジの製造年データ、インクカートリッジの製造月データ、インクカートリッジの製造日データ、インクカートリッジの製造ラインデータ、インクカートリッジのシリアルナンバーデータ、インクカートリッジが新品であるかリサイクル品であるかを示すリサイクル有無データである。

30

【0028】

図5はカラー用インクカートリッジに設けられた不揮発性メモリに格納される情報の一例を示す説明図である。図5において、符号510は書き換えデータが格納される第1の記憶領域、符号550は読み出し専用データが格納される第2の記憶領域である。第1の記憶領域510は、不揮発性メモリ5へのアクセス時に第2の記憶領域550よりも先にアクセスされるアドレスに配置している。

【0029】

第1の記憶領域510に記憶される書き換えデータは、アクセスされる順からいえば、各記憶領域511～520に対してそれぞれ割り当てられた第1のシアンインク残量データ、第2のシアンインク残量データ、第1のマゼンダインク残量データ、第2のマゼンダインク残量データ、第1のイエローインク残量データ、第2のイエローインク残量データ、第1のライトシアンインク残量データ、第2のライトシアンインク残量データ、第1のライトマゼンダインク残量データ、第2のライトマゼンダインク残量データである。各色のインク残量データが2つの記憶領域に割り当てられているのは、黒用のインクカートリッジと同様に、これらの領域に対して交互にデータの書き換えを行なうためである。

40

【0030】

第2の記憶領域550に記憶される読み出し専用データは、アクセスされる順からい

50

ば、各記憶領域 551 ~ 560 に対して割り当てられたインクカートリッジの開封時期データ（年）、インクカートリッジの開封時期データ（月）、インクカートリッジのバージョンデータ、顔料系または染料系などといったインクの種類データ、インクカートリッジの製造年データ、インクカートリッジの製造月データ、インクカートリッジの製造日データ、インクカートリッジの製造ラインデータ、インクカートリッジのシリアルナンバーデータ、インクカートリッジが新品であるかリサイクル品であるかを示すリサイクル有無データである。これらのデータは、色にかかわらず共通であるため、各色間で共通のデータとして 1 種類のみ記憶される。

#### 【0031】

図 6 はメモリアクセス制御部の一具体例を示すブロック構成図である。メモリアクセス制御部 3 は、シリアルデータ通信部 11 と、受信制御部 12 と、送信制御部 13 と、命令実行部 14 と、モードレジスタ 15 と、制御レジスタ群 16 と、第 1 の RAM 17 と、第 2 の RAM 18 と、不揮発性メモリ書き込み読み出し制御部 19 と、出力制御部 20 と、有効ビット長データテーブル 21 と、クロック生成部 22 と、発振回路部 23 と、リセット回路部 24 と、テスト用制御部 25、情報 - アドレス対応テーブル 26 とからなる。

#### 【0032】

本実施の形態において、メモリアクセス制御部 3 は CMOS ゲートアレーを用いて 1 チップの集積回路（半導体装置）として実現している。なお、メモリアクセス制御部 3 は、シリアル通信機能を内蔵した 1 チップマイクロコンピュータを利用して、プログラム制御によって構成するようにしてもよい。

#### 【0033】

図 7 はメモリアクセス制御部用集積回路の端子名（信号名）と機能を示す説明図である。RXD は装置本体制御部 2 から供給されるシリアルデータ信号の入力端子である。SEL は装置本体制御部 2 から供給される命令モード指定信号（コマンド選択信号）の入力端子である。TXD は装置本体制御部 2 へ供給するシリアルデータ信号の出力端子である。CS1 は第 1 の不揮発性メモリの選択信号（チップイネーブル信号）の出力端子、CS2 は第 2 の不揮発性メモリの選択信号（チップイネーブル信号）の出力端子である。IO1 は第 1 の不揮発性メモリのデータ入出力端子、IO2 は第 2 の不揮発性メモリのデータ入出力端子である。RW1 は第 1 の不揮発性メモリの読み出し / 書き込み信号の出力端子、RW2 は第 2 の不揮発性メモリの読み出し / 書き込み信号の出力端子である。CK1 は第 1 の不揮発性メモリに対するクロック信号の出力端子、CK2 は第 2 の不揮発性メモリに対するクロック信号の出力端子である。PW1 は第 1 の不揮発性メモリに対する電源供給端子、PW2 は第 2 の不揮発性メモリに対する電源供給端子である。OSC1, OSC2 はセラミック発振子、水晶振動子等の接続端子である。RST はイニシャルリセット信号の入力端子である。ES は不揮発性メモリの書き込み時間を選択するための入力端子である。M1 ~ M4 はモニタ出力を選択するためのテスト用信号の入力端子である。VCC1 は +5 ボルトの電源端子、VCC2 は +3.3 ボルトの電源端子、VSS はグラウンド（GND）端子である。

#### 【0034】

図 7 において、入出力の欄に示した記号の意味は次のとおりである。IN は入力、OUT は出力、Tri はトライステート側の出力である。初期値の欄は、このメモリアクセス制御部集積回路がイニシャルリセットされた状態における論理レベルを示している。また、初期値欄の括弧内は、後述する不揮発性メモリアクセス許可設定レジスタにアクセス許可の設定がなされ、不揮発性メモリに対する各出力がアクティブ状態にされた直後の各出力端子のレベルを示している。なお、H はハイレベル、L はローレベル、HiZ は高インピーダンス状態の略である。

#### 【0035】

図 6 に示すメモリアクセス制御部 3 と装置本体制御部 2（図 1 参照）との間は 3 本の信号線で接続される。符号 RXD は受信データ（装置本体制御部 2 側から送信されたデータ）、符号 TXD は送信データ（装置本体制御部 2 側が受信するデータ）、符号 SEL は装

10

20

30

40

50

置本体制御部 2 側が送出した命令が固定長命令であるか可変長命令であることを示す命令モード指定信号である。この命令モード指定信号 S E L が L レベルの場合は 8 ビット固定長命令を、H レベルの場合は可変長命令を示している。

【 0 0 3 6 】

シリアルデータ通信の方式は、U A R T (ユニバーサル・アシンクロナス・レシーバ・トランスミッタ) 方式を用いている。データ長は 8 ビット、スタートビット長は 1 ビット、ストップビット長は 1 ビット、パリティビットは無しである。データの転送順は、L S B (最下位ビット) から M S B (最上位ビット) の順である。ボーレートは 1 2 5 k b p s である。

【 0 0 3 7 】

シリアルデータ通信部 1 1 内の受信部 1 1 a は、クロック生成部 2 2 から供給される周波数 2 M H z のクロック T C L K に基づいて、0 . 5 マイクロ秒の周期で受信データ R X D の論理レベルを監視している。これにより 1 ビットのデータに対して 1 6 回のレベル検出を行なうようにしている。受信部 1 1 a は、受信データ R X D の論理レベルが H レベルから L レベルに変化したことに基づいてスタートビットを認識すると、そのスタートビット認識時点から 8 番目のクロック T C L K を起点にして以降 1 6 クロック周期で受信データ R X D の論理レベルのサンプリングを繰り返す。これにより、各ビットのほぼ中央で受信データ R X D の論理レベルをサンプリングするようにしている。

【 0 0 3 8 】

受信部 1 1 a は、スタートビットを認識をした後に、次のクロックで受信データ R X D の論理レベルが H レベルに戻っていた場合には、先に検出された L レベルをノイズとみなして、スタートビットの検出動作を再開する。また、受信部 1 1 a は、スタートビット認識時点から 8 番目のクロック T C L K でサンプリングされたスタートビットの論理レベルが L レベルでなかった場合には、それ以降のデータサンプリングを中止して、スタートビットの検出動作を再開する。さらに、受信部 1 1 a は、ストップビットのサンプリングレベルが H レベルでなかった場合には、それまでサンプリングしたデータを全て無効にする。これにより、送信側と受信側とでボーレートが相違している等の原因で正常でないデータを受信することがないようにしている。受信部 1 1 a はスタートビット、8 ビットのデータ、ストップビットを全て正常に受信すると、受信したシリアル 8 ビットのデータをパラレルデータへ変換し、パラレル受信データ R D として受信制御部 1 2 へ出力する。

【 0 0 3 9 】

シリアルデータ通信部 1 1 内の送信部 1 1 b は、送信制御部 1 3 から供給されるパラレル送信データ T D をシリアルデータに変換するとともに、スタートビット、ストップビットを付加して送信データ T X D を生成し、生成した送信データ T X D を所定のボーレートで送出する。

【 0 0 4 0 】

図 8 は装置本体制御部から供給される各種の命令の説明図である。図 8 ( a ) は命令モード指定信号 S E L が L レベルのときに装置本体制御部から供給される 8 ビット固定長の命令を示している。8 ビット固定長の命令として、パワーオフ処理、初期化、モード設定の 3 種類の命令を用いている。パワーオフ処理命令は、記録装置 1 の電源オフに際して、各 R A M 1 7 , 1 8 に格納している各種データを各不揮発性メモリ 4 , 5 へ書き込むことと、書き込み終了後に不揮発性メモリ 4 , 5 に対する全出力を電源投入直後のリセット状態に初期化することを要求するものである。初期化命令は、メモリアクセス制御部 3 内の全回路を電源投入直後のリセット状態に初期化することを要求する命令である。モード設定命令は、命令モード指定信号 S E L が H レベルとなった際の動作モードを設定する命令である。モード設定命令は下位 4 ビットで動作モードが指定される。例えば、下位 4 ビットが 0 0 1 0 である場合には動作モード 2 の設定が要求されていることになる。

【 0 0 4 1 】

装置本体制御部 2 は、4 ビットのモード情報を利用して、モード 0 からモード 1 5 にわたる複数の動作モードを管理できるようにしている。例えば、モード 0 で記録装置の全体

10

20

30

40

50

動作を共通に制御し、モード1で印刷データの制御を行なうようにしている。モード2でメモリアクセス制御部を介して各不揮発性メモリに対するアクセスを行なえるようにしている。モード3ではヘッドセンサ系の制御を行なうようにしている。そして、装置本体制御部2側から送信されたデータが複数の制御部(例えば、インク吐出制御部、キャリッジ移動制御部、用紙送り制御部等)に供給された場合であっても、動作モードを指定することで動作モードに合致する制御部のみが装置本体制御部2側から送信されたデータに基づいて動作を行なうようにしている。

#### 【0042】

本実施形態において、メモリアクセス制御部3は2個の不揮発性メモリ4,5へのアクセスを行なう構成としている。したがって、メモリアクセス制御部3を複数個設け、それぞれのメモリアクセス制御部3に異なる動作モードを割り当てることで、多数の不揮発性メモリに対してアクセスを行なうことが可能となる。例えば、シアン,ライトシアン,マゼンダ,ライトマゼンダ,イエロー,ブラック等の各インク色毎に独立したカートリッジとし、各カートリッジ毎に不揮発性メモリを備える構成とした場合でも、メモリアクセス制御部3を例えば3個用いることで、例えば6個の不揮発性メモリに対してアクセスを行なうことができる。このように動作モードを利用することで記録装置の構成を拡張することが容易となる。

#### 【0043】

図8(b)は命令モード指定信号SELがHレベルのときに装置本体制御部から供給される可変長の命令を示している。可変長の命令は、複数バイトで構成している。最初のバイトは、上位4ビットが動作モードを指定するデータ、下位4ビットがこの命令のバイト長を指定するデータである。メモリアクセス制御部3に対する命令では、動作モードとしてモード2(0010)が原則として指定されることになる。下位4ビットのバイト長は、第2バイト目以降のバイト長を表すデータである(最初のバイトを除いて後続するバイト長を表すデータである)。

#### 【0044】

第2バイト目は、上位4ビットがコマンドを指定するデータ、下位4ビットがデータ長を指定するデータである。第2バイト目の上位4ビットが0000でデータの読み出しを要求するコマンドを、1000でデータの書き込みを要求するコマンドを表す。第2バイト目の下位4ビットは、データの書き込みを要求するコマンドの際には、アドレスデータに後続して供給される書き込みデータのバイト長を指定するデータであり、データの読み出しを要求するコマンドの際には、読み出すデータのバイト長を指定するデータである。本実施の形態では、1回の書き込み要求命令で最大4バイトのデータを供給できるようにしている。

#### 【0045】

第3バイト目ならびに第4バイト目は、読み出しまたは書き込みを要求するアドレスを指定するデータである。ここでは、第3バイト目でアドレスの下位8ビットを、第4バイト目でアドレスの上位8ビットを指定する例を示している。これにより、最大16ビットの広いアドレス範囲を指定できるようにしている。なお、本実施の形態ではデータの読み書きの対象となるアドレス範囲は8ビットのアドレスで指定可能であるため、アドレスデータの下位8ビットのみを使用するようにしている。ここで指定されるアドレスは、RAMならびに制御レジスタのアドレスである(不揮発性メモリのアドレスを指定するものではない)。

#### 【0046】

第5バイト目以降は書き込みデータを指定するためのものである。第5バイト目で指定されたデータはアドレスデータによって指定されたアドレスへ書き込まれることになり、第6バイト目以降の各データはアドレスデータによって指定されたアドレスを+1ずつしたアドレスにそれぞれ書き込まれることになる。

#### 【0047】

図9は受信制御部のブロック構成図である。受信制御部12は、シリアルデータ通信部

10

20

30

40

50

11から供給されるパラレル8ビットの受信データRDをラッチするデータラッチ回路12a~12hを8組備えるとともに、命令モード指定信号SELならびに受信データRDに基づいて受信データRDのデータラッチ回路への書き込みならびに命令実行部への転送を制御する転送制御部12iを備える。

【0048】

転送制御部12iは、命令モード指定信号SELがLレベルである場合(8ビット固定長命令である場合)には、シリアルデータ通信部11から供給された受信データRDを命令実行部14へ供給する。

【0049】

転送制御部12iは、命令モード指定信号SELがHレベルである場合(可変長命令である場合)には、シリアルデータ通信部11から供給された受信データRDを第1のデータラッチ回路12aに格納する。そして、転送制御部12iは、第1のデータラッチ回路12aの格納したデータの下位4ビットに基づいて可変長命令の命令長を認識する。転送制御部12iは、シリアルデータ通信部11から順次供給される受信データを第2~第8のデータラッチ回路12a~12hへ順次格納する。転送制御部12iは、命令長によって指定されたバイト分の受信データが各データラッチ回路に格納されたことを検出すると、各データラッチ回路に格納された一連のデータを命令実行部14へ転送した後に、各データラッチ回路を初期化して、次の可変長命令の格納に備える。

10

【0050】

転送制御部12iは、命令長によって指定されるバイト数のデータが受信されるまで、次の受信データが供給されるのを待つ。転送制御部12iは、命令長によって指定されるバイト数のデータが全て受信される前に、命令モード指定信号SELがLレベルになった場合には、各データラッチ回路に格納済のデータを全て初期化して、次の命令の受信に備える。これにより、装置本体制御部2は、可変長命令の送出途中であっても命令モード指定信号SELをLレベルに変化させることで、送出途中の可変長命令をキャンセルさせることができる。

20

【0051】

図10は命令モード指定信号の切り替えタイミングを示す説明図である。図10(a)は受信データRXDを、図10(b)は命令モード指定信号SELを示している。装置本体制御部2は、ストップビットと次のスタートビットとの間で命令モード指定信号SELの論理レベルを切り替える。

30

【0052】

図9に示す転送制御部12iは、命令長によって指定されるバイト数とデータ長によって指定されるバイト数とが整合していない場合には、命令長による指定を優先する。例えば、命令長によって5バイト分のデータが連続することが指定されているのに対して、データ長によってデータのバイト数が4バイトであると指定されている場合には、2バイト分のデータを第5,第6のデータラッチ回路12e,12fへそれぞれ格納した時点で、一連の可変長命令の受信が完了したものと判断し、各データラッチ回路の格納したデータを命令実行部14へ転送して、次の命令の格納に備える。

【0053】

40

転送制御部12iは、後述するモードレジスタが動作モード2に設定されている場合には、モードレジスタに設定されている動作モード2の指定を優先し、シリアルデータ通信部11を介して供給された動作モード(第1のデータラッチ回路12aに格納された受信データの上位4ビットでの指定)が動作モード2以外の動作モードを指定している場合でも、動作モード2のコマンドとして(言い換えれば、メモリアクセス制御部に対するコマンドとして)受け付ける。

【0054】

本実施形態では、データ長として1バイト,2バイト,4バイトの3種類を設定できるものとし、データ長を4ビットのデータで指定するようにしている。このため、上記3種類以外のデータ長を指定するデータを受信した場合には、データ長の指定は4バイトであ

50

るものとして処理するようにしている。具体的には、転送制御部 1 2 i は、データ長として 3 バイトまたは 5 ~ 1 5 バイトが指定されたデータが供給された場合、データ長は 4 バイトであるものと判断する。

【 0 0 5 5 】

また、本実施形態において、各 R A M 1 7 , 1 8 ならびに制御レジスタ 1 6 の各アドレスは 8 ビットで指定できる。このため、第 3 のデータラッチ回路 1 2 c に格納された下位アドレスのみでアドレスの指定が可能である。したがって、第 4 のデータラッチ回路 1 2 d に格納した上位アドレスのデータを命令実行部 1 4 へ転送しない構成としてもよい。また、第 4 のデータラッチ回路 1 2 d を設けない構成としてもよい。この場合、転送制御部 1 2 i は、シリアルデータ通信部 1 1 から供給される上位アドレスの受信データを破棄し、上位アドレスに続いて供給されるデータを第 5 のデータラッチ回路 1 2 e へ格納する。

10

【 0 0 5 6 】

図 6 に示した命令実行部 1 4 は、受信制御部 1 2 から受信した命令が供給されると、その命令を解釈して実行する。命令実行部 1 4 は、モードセット命令が供給された場合には、モードレジスタ 1 5 にそのモードセット命令によって指定された動作モードのデータを書き込む。ここでは、モードレジスタ 1 5 にメモリアクセス制御動作モードを示す 4 ビットのデータ 0 0 1 0 が書き込まれる。モードレジスタ 1 5 に設定された動作モード M D は、受信制御部 1 2 へ供給される。

【 0 0 5 7 】

命令実行部 1 4 は、初期化命令が供給された場合には、リセット信号発生要求をリセット回路部 2 3 へ供給して、リセット信号 R S を発生させる。これにより、メモリアクセス制御部 3 内の各回路部の初期化（リセット）がなされる。

20

【 0 0 5 8 】

命令実行部 1 4 は、受信制御部 1 2 から可変長命令が転送された場合には、その可変長命令の内容を解釈して、制御レジスタ群 1 6 , 第 1 の R A M 1 7 , 第 2 の R A M 1 8 に対する書き込み・読み出し等の処理を行なう。

【 0 0 5 9 】

図 1 1 は可変長命令の仕様ならびにそれに対する回答の仕様を示す説明図である。図 1 1 において区分 ( a ) に可変長命令 ( 要求 ) の仕様を示している。可変長命令には、読み出し命令 ( R E A D ) と書き込み命令 ( W R I T E ) とがある。モードには、動作モード 2 を指定する 4 ビット値 ( 0 0 1 0 ) が設定される。命令長には、命令のバイト長が 4 ビットで指定される。コマンドの 4 ビット値が 0 0 0 0 で読み出し命令を、1 0 0 0 で書き込み命令を示す。データ長は、読み出しまたは書き込みを行なうデータのバイト数を指定する。このデータ長は、1 バイト、2 バイト、4 バイトが設定できる。0 , 3 , 5 ~ 1 5 バイトの設定は禁止している。アドレスは 1 6 ビットであり、図 8 に示したように、下位 8 ビットと上位 8 ビットとに分けて指定される。本実施の形態では、下位 8 ビットのみを使用する。書き込み命令 ( W R I T E ) の場合、書き込むべきデータを 8 ビット ( バイト ) 単位で設定する。

30

【 0 0 6 0 】

図 1 1 中の区分 ( b ) に読み出し命令に対する回答の仕様を示している。モードには、動作モード 2 を指定する 4 ビット値 ( 0 0 1 0 ) が設定される。データ長は、読み出し命令に基づいて回答するデータのバイト数を指定する。このデータ長は、1 バイト、2 バイト、4 バイトが設定できる。0 , 3 , 5 ~ 1 5 バイトの設定は禁止している。データには、回答するデータを 8 ビット ( バイト ) 単位で設定する。

40

【 0 0 6 1 】

図 1 2 は制御レジスタ群の内容と機能を示す説明図である。制御レジスタ群 1 6 は複数のレジスタを備える。制御レジスタ群 1 6 には、1 6 進表記で 8 0 ~ 9 2 のアドレスを割り当てている。

【 0 0 6 2 】

アドレス 8 0 ( 1 6 進表記 ) は不揮発性メモリアクセス許可設定レジスタであり、設定

50

されるデータは2ビットである。各不揮発性メモリ毎（各カートリッジ毎）に1ビットを割り当てている。下位ビットで第1の不揮発性メモリに対してアクセスを許可するか否かを設定し、上位ビットで第2の不揮発性メモリに対してアクセスを許可するか否かを設定している。ビットの値が0の時は不揮発性メモリに対するアクセスが禁止される。この場合、出力制御部20によって各端子は次のように設定される。電源供給端子PW1, PW2は不揮発性メモリに対して電源を供給しないオフ状態、チップセレクト信号出力端子CS1, CS2、クロック供給端子CK1, CK2、リード/ライト信号出力端子RW1, RW2、データ入出力端子IO1, IO2は全て高インピーダンス状態。ビットの値が1に設定された場合、出力制御部20によって電源供給端子PW1, PW2は不揮発性メモリに対して電源を供給するオン状態に設定される。チップセレクト信号出力端子CS1, CS2、クロック供給端子CK1, CK2、リード/ライト信号出力端子RW1, RW2、データ入出力端子IO1, IO2は、不揮発性メモリ書き込み読み出し制御部19によって制御可能な状態（アクティブ状態）となる。

10

**【0063】**

アドレス84（16進表記）は不揮発性メモリ読み出し許可設定レジスタであり、設定されるデータは2ビットである。各不揮発性メモリ毎（各カートリッジ毎）に1ビットを割り当てている。下位ビットで第1の不揮発性メモリに対して読み出しを許可するか否かを設定し、上位ビットで第2の不揮発性メモリに対して読み出しを許可するか否かを設定する。ビットの値が0で読み出し不許可、ビットの値が1で読み出し許可としている。

20

**【0064】**

アドレス85（16進表記）は不揮発性メモリ全エリア読み出し設定レジスタである。この不揮発性メモリ全エリア読み出し設定レジスタに対して任意のデータを書き込むことで（装置本体制御部2側から不揮発性メモリ全エリア読み出し設定レジスタのアドレスを指定した書き込み命令を発行することで）、不揮発性メモリ書き込み読み出し制御部19を介して不揮発性メモリに格納されている全データを読み出すことができる。但し、事前に不揮発性メモリへのアクセスが許可される設定がされており、かつ、読み出しが許可される設定がされている必要がある。

**【0065】**

アドレス86（16進表記）は、全エリア読み出し中であることを示す全エリア読み出しビジーフラグが格納される領域である。不揮発性メモリ書き込み読み出し制御部19は、全エリア読み出し動作の開始に先立って全エリア読み出しビジーフラグを1にセットし、全エリア読み出し動作が終了した時点で全エリア読み出しビジーフラグを0にセットする。

30

**【0066】**

アドレス88（16進表記）は、不揮発性メモリ全エリア書き込み許可設定レジスタであり、設定されるデータは2ビットである。各不揮発性メモリ毎（各カートリッジ毎）に1ビットを割り当てている。下位ビットで第1の不揮発性メモリに対して全エリア書き込みを許可するか否かを設定し、上位ビットで第2の不揮発性メモリに対して全エリア書き込みを許可するか否かを設定する。ビットの値が0で書き込み不許可、ビットの値が1で書き込み許可としている。

40

**【0067】**

アドレス89（16進表記）は、不揮発性メモリ全エリア書き込み設定レジスタである。この不揮発性メモリ全エリア書き込み設定レジスタに任意のデータを書き込むことで、（不揮発性メモリ全エリア書き込み設定レジスタに対する書き込み動作がなされることで）、不揮発性メモリ書き込み読み出し制御部19を介して不揮発性メモリの全エリアにデータを書き込むことができる。但し、事前に不揮発性メモリへのアクセスが許可される設定がされており、かつ、全エリア書き込みを許可する設定がなされている必要がある。

**【0068】**

アドレス8A（16進表記）は、全エリア書き込み中であることを示す全エリア書き込みビジーフラグが格納される領域である。不揮発性メモリ書き込み読み出し制御部19は

50

、全エリア書き込み動作の開始に先立って全エリア書き込みビジーフラグを1にセットし、全エリア書き込み動作が終了した時点で全エリア書き込みビジーフラグを0にセットする。

【0069】

アドレス8C(16進表記)は、不揮発性メモリ限定書き込み許可設定レジスタであり、設定されるデータは2ビットである。各不揮発性メモリ毎(各カートリッジ毎)に1ビットを割り当てている。下位ビットで第1の不揮発性メモリに対して限定書き込みを許可するか否かを設定し、上位ビットで第2の不揮発性メモリに対して限定書き込みを許可するか否かを設定する。ビットの値が0で限定書き込み不許可、ビットの値が1で限定書き込み許可としている。

10

【0070】

アドレス8D(16進表記)は、不揮発性メモリ限定書き込み設定レジスタである。この不揮発性メモリ限定書き込み設定レジスタに任意のデータを書き込むことで、(不揮発性メモリ限定書き込み設定レジスタに対する書き込み動作がなされることで)、不揮発性メモリ書き込み読み出し制御部19を介して不揮発性メモリの限定されたエリアにデータを書き込むことができる。但し、事前に不揮発性メモリへのアクセスが許可される設定がされており、かつ、限定書き込みを許可する設定がなされている必要がある。

【0071】

アドレス8E(16進表記)は、限定書き込み中であることを示す限定書き込みビジーフラグが格納される領域である。不揮発性メモリ書き込み読み出し制御部19は、限定書き込み動作の開始に先立って限定書き込みビジーフラグを1にセットし、限定書き込み動作が終了した時点で限定書き込みビジーフラグを0にセットする。

20

【0072】

アドレス90(16進表記)は、パワーオフ書き込み許可設定レジスタであり、設定されるデータは2ビットである。各不揮発性メモリ毎(各カートリッジ毎)に1ビットを割り当てている。下位ビットで第1の不揮発性メモリに対してパワーオフ書き込みを許可するか否かを設定し、上位ビットで第2の不揮発性メモリに対してパワーオフ書き込みを許可するか否かを設定する。ビットの値が0でパワーオフ書き込み不許可、ビットの値が1でパワーオフ書き込み許可としている。

【0073】

アドレス92(16進表記)は、パワーオフ書き込み中であることを示すパワーオフ書き込みビジーフラグが格納される領域である。不揮発性メモリ書き込み読み出し制御部19は、パワーオフ書き込み動作の開始に先立ってパワーオフ書き込みビジーフラグを1にセットし、パワーオフ書き込み動作が終了した時点でパワーオフ書き込みビジーフラグを0にセットする。また、不揮発性メモリ書き込み読み出し制御部19は、パワーオフ書き込み動作が終了した時点で不揮発性メモリアクセス許可設定レジスタの内容を初期値(全ビット0)に設定する。

30

【0074】

なお、パワーオフ書き込みは、図8(a)に示したパワーオフ処理命令に基づいて実行される。このパワーオフ書き込みでは、不揮発性メモリの先頭アドレスから予め設定した所定アドレスまでの限定されたアドレス範囲に亘ってデータの書き込みがなされる。

40

【0075】

前述したように、不揮発性メモリの先頭アドレスから予め設定した所定アドレスまでの範囲に、例えばインク残量に係るデータ等の記録装置の使用状況に伴って更新する必要があるデータを格納するようにしている。また、所定アドレス以降にインクカートリッジの製造条件データ等のユーザ側で更新する必要がないデータを格納するようにしている。したがって、記録装置がユーザ側で使用されている場合には、不揮発性メモリの限定されたアドレス範囲に亘ってデータの更新がなされることになる。

【0076】

図13はRAMの格納情報を示す説明図である。各RAM17, 18は8ビット×40

50

ワード構成のものを用いている。本実施の形態では、第1のRAM17に16進表記で00～27のアドレスを割り当て、第2のRAM18に16進表記で40～67のアドレスを割り当てている。

**【0077】**

第1のRAM17は、ブラック用インクカートリッジに設けられた第1の不揮発性メモリ4に対応して設けられている。第1の不揮発性メモリ4に格納されている各種の情報（情報0～情報34）は、不揮発性メモリ書き込み読み出し部19を介して読み出され、第1のRAM17に格納される。

**【0078】**

第2のRAM18は、カラー用インクカートリッジに設けられた第2の不揮発性メモリ5に対応して設けられている。第2の不揮発性メモリ5に格納されている各種の情報（情報35～情報69）は、不揮発性メモリ書き込み読み出し部19に介して読み出され、第2のRAM18に格納される。

10

**【0079】**

図6に示した有効ビット長データテーブル21には、不揮発性メモリに格納されている各情報の情報番号とデータビット数との関係が予め登録されている。また、この有効ビット長データテーブル21には、制御レジスタ群16内の各制御レジスタのアドレスと有効ビット長との対応データが予め登録されている。さらに、この有効ビット長データテーブル21には、RAM17, 18のアドレスとそのアドレスに格納されるデータの有効ビット長との対応データが予め登録されている。

20

**【0080】**

情報-アドレス対応テーブル26には、各情報の情報番号とその情報が格納されるRAMのアドレスとの対応関係が予め登録されている。

**【0081】**

不揮発性メモリ書き込み読み出し制御部19は、各不揮発性メモリ4, 5から読み出したビット単位で可変長のデータを有効ビット長データテーブル21を参照することで各情報番号毎に識別する。そして、不揮発性メモリ書き込み読み出し制御部19は、情報番号毎に区分したデータのビット数が8ビットに満たない場合には、上位ビットに0を追加することで8ビットのデータとする。また、情報番号毎に区分したデータのビット数が9ビット以上である場合には、下位8ビットのデータと残りのデータとに区分し、残りのデータのビット数が8ビットに満たない場合には上位ビットに0を追加することで8ビットのデータとする。そして、不揮発性メモリ書き込み読み出し制御部19は、情報-アドレス対応テーブルを参照して、8ビット単位に揃えた各情報を各RAM17, 18の所定のアドレスに書き込む。

30

**【0082】**

不揮発性メモリ書き込み読み出し制御部19は、各RAM17, 18に格納されている情報を各不揮発性メモリ4, 5に書き戻す際には、読み出し時と逆の操作を行なうことでビット単位で可変長のシーケンシャルデータを生成する。

**【0083】**

出力制御部20は、各出力端子PW, CS, RW, CKを駆動するトライステートバッファ回路と、IO端子に接続された双方向バッファ回路と、各トライステートバッファの出力状態を制御する回路と、不揮発性メモリ4, 5に対するアクセス状態と後述するテストモードとで各バッファ回路の入力信号を切り替える出力信号切り替え回路等を備える。

40

**【0084】**

電源供給端子PW1, PW2を駆動するトライステートバッファ回路は、電流駆動能力の大きいものを用いて構成している。そして、制御レジスタ群16内のアクセス許可設定レジスタが不揮発性メモリへのアクセスを許可する状態に設定されると、電流駆動能力の大きいトライステートバッファ回路の出力をHレベルに駆動することで、電源供給端子PW1, PW2から不揮発性メモリ4, 5へ電源を供給するようにしている。

**【0085】**

50

不揮発性メモリ書き込み読み出し制御部 19 は、出力制御部 20 を介して各端子 CS, RW, CK, IO を駆動することで、不揮発性メモリ 4, 5 へアクセスする。不揮発性メモリ 4, 5 から情報の読み出しを行なう場合、不揮発性メモリ書き込み読み出し制御部 19 は、チップセレクト端子 CS を L レベルから H レベルに変化させることで不揮発性メモリ 4, 5 を動作可能な状態にし、リード/ライト信号出力端子 RW を L レベルに設定することで不揮発性メモリ 4, 5 を読み出しモードに設定する。そして、不揮発性メモリ 4, 5 のデータ出力が確定するのに要する時間が経過した後に、データ入出力端子 IO の論理レベルを取り込むことで不揮発性メモリ 4, 5 の先頭アドレスのデータを読み取ると、クロック供給端子 CK へ不揮発性メモリのアドレスを歩進させるためのクロックを供給して、不揮発性メモリのアドレスを歩進させて次のアドレスのデータを読み取る。この動作を不揮発性メモリの最終アドレスに至るまで繰り返すことで、不揮発性メモリに格納されているデータを全て読み出す。

10

**【0086】**

不揮発性メモリに対して情報の書き込みを行なう場合、不揮発性メモリ書き込み読み出し制御部 19 は、チップセレクト端子 CS を L レベルから H レベルに変化させることで不揮発性メモリ 4, 5 を動作可能な状態にし、リード/ライト信号出力端子 RW を H レベルに設定することで不揮発性メモリ 4, 5 を書き込みモードに設定する。そして、データ入出力端子 IO に書き込みデータ (H レベルまたは L レベル) を出力させている状態で、クロック端子 CK を L レベルから H レベルに変化させる。不揮発性メモリ 4, 5 は、クロック信号が L レベルから H レベルに変化した時点でデータを取り込んでメモリセルの先頭アドレスに格納する。次に不揮発性メモリ書き込み読み出し制御部 19 は、クロック端子 CK を H レベルから L レベルに変化させることで、不揮発性メモリ 4, 5 内のアドレスを歩進させる。そして、次のアドレスに格納すべきデータを出力させ、クロック端子 CK を L レベルから H レベルに変化させることで、次のアドレスへの書き込みを行なう。この動作を所定のアドレスに至るまで繰り返す。

20

**【0087】**

なお、不揮発性メモリ書き込み読み出し制御部 19 は、第 1 の不揮発性メモリに対して書き込み読み出しを行なう回路部と第 2 の不揮発性メモリに対して書き込み読み出しを行なう回路部とを備えており、2 個の不揮発性メモリから情報を同時に読み出したり、情報を同時に書き戻すことができるようにしている。これにより、不揮発性メモリ 4, 5 からの読み出し、ならびに、不揮発性メモリ 4, 5 への書き込みを短時間で行なうことができる。

30

**【0088】**

命令実行部 14 は、受信制御部 12 から可変長命令が供給されると、図 8 (b) に示すコマンド (第 2 バイト目の上位 4 ビット) に基づいて書き込み要求であるか読み出し要求であるかを認識する。ここでは、4 ビットからなるコマンドのデータが 0000 で読み出し要求、1000 で書き込み要求としている。命令実行部 14 は、コマンドのデータが 0000 または 1000 以外である場合には、一連の可変長命令を破棄し、次の命令が転送されるのを待つ。

**【0089】**

命令実行部 14 は、書き込み要求コマンドが供給された場合には、下位アドレスで指定されたアドレスに 1 番目のデータ (可変長命令の第 5 バイト目で指定されるデータ) を書き込む。2 番目のデータが供給されている場合には、下位アドレスで指定されたアドレスに +1 したアドレスに 2 番目のデータ (可変長命令の第 6 バイト目で指定されるデータ) を書き込む。3 番目ならびに 4 番目のデータが供給されている場合には、下位アドレスで指定されたアドレスに +2, +3 したアドレスに 3 番目, 4 番目のデータ (可変長命令の第 7 バイト目, 第 8 バイト目で指定されるデータ) をそれぞれ書き込む。

40

**【0090】**

ここで命令実行部 14 は、指定されたアドレスにデータを書き込む際に、有効ビット長データテーブル 21 を参照してそのアドレスに格納するデータの有効ビット長を確認する

50

。そして命令実行部 14 は、装置本体制御部 2 側から供給されたデータの有効ビット長よりも上位ビットの値が 1 となっている場合には、有効ビット長よりも上位ビットの値を 0 に変更して、変更したデータを書き込む。例えば、アドレス 80 (16 進表記) のアクセス許可設定レジスタに対して 8 ビットのデータ 11111111 を書き込む命令が供給された場合、命令実行部 14 は、有効ビット長データテーブル 21 に基づいてアクセス許可設定レジスタの有効ビット長が 2 ビットであることを確認すると、有効ビット長を越えるビットの値を 0 に変更することで 00000011 にデータを生成し、生成したデータ 00000011 をアドレス 80 (16 進表記) のアクセス許可設定レジスタに書き込む。

【0091】

命令実行部 14 は、読み出し要求コマンドが供給された場合には、図 8 (b) に示すデータ長 (第 2 バイト目の下位 4 ビット) に基づいて読み出し要求のバイト数を認識する。読み出し要求のバイト数が 1 バイトである場合、命令実行部 14 は、下位アドレスで指定されたアドレスに基づいてそのアドレスに格納されているデータを読み出す。読み出し要求のバイト数が 2 バイトである場合、命令実行部 14 は、下位アドレスで指定されたアドレスのデータとその次のアドレス (指定アドレス + 1) のデータを読み出す。読み出し要求のバイト数が 4 バイトである場合、命令実行部 14 は、下位アドレスで指定されたアドレス、指定アドレス + 1, + 2, + 3 の各アドレスからデータをそれぞれ読み出す。

【0092】

命令実行部 14 は、読み出したデータのバイト長のデータを送信制御部 13 へ供給するとともに、実際に読み出したデータを送信制御部 13 へ供給する。

【0093】

図 14 は送信制御部のブロック構成図である。送信制御部 13 は、データラッチ回路 13a ~ 13e を 5 組備えるとともに、転送制御部 13f を備える。転送制御部 13f は、第 1 のデータラッチ回路 13a の上位 4 ビットに動作モード (0010)、下位 4 ビットにデータ長 (読み出したデータのバイト長) を格納させる。転送制御部 13f は、命令実行部 14 から供給される第 1 ~ 第 4 の読み出しデータを第 2 ~ 第 5 のデータラッチ回路 13a にそれぞれ格納させる。転送制御部 13f は、データ長のデータに基づいて所定数のデータが揃っていることを確認すると、各データラッチ回路 13a ~ 13e に格納したデータをシリアルデータ通信部 11 へ順次転送する。

【0094】

図 6 に示したシリアルデータ通信部 11 内の送信部 11b は、前述のように、送信制御部 13 から順次転送されるパラレル送信データ TD をシリアルデータへ変換して、装置本体制御部 2 側へ送出する。

【0095】

図 15 はシリアル通信データの書式を示す説明図である。図 15 (a) は 8 ビット未満のデータを送信する場合のフォーマットを示している。図 15 (イ) に示すように、不揮発性メモリに格納されている情報が 5 ビットである場合、シリアル通信されるデータは、図 15 (ロ) に示すように、上位 3 ビットにダミーデータとして 0 が挿入されて、1 バイト (8 ビット) のデータとして送信される。このように、1 バイトに満たないデータは下位に詰め、上位は 0 とされて送信される。

【0096】

図 15 (b) は 8 ビットを越えるデータを送信する場合のフォーマットを示している。図 15 (ハ) に示すように、不揮発性メモリに格納されている情報が 10 ビットである場合、10 ビットのデータは図 15 (ニ) に示すように 2 バイトのデータに分割されて送信される。具体的には、10 ビットのデータの下位 8 ビットが第 1 バイト目として先に送信される。次に、10 ビットのデータの上位 2 ビットを下位に詰め、さらに上位ビットにダミーデータとして 0 を挿入することで 8 ビット (1 バイト) のデータへ変換し、変換して得たデータが第 2 バイト目として送信される。

【0097】

図 6 に示すリセット回路部 24 は、パワーオンリセット信号 RST の論理レベルが L べ

10

20

30

40

50

ルである場合に、リセット信号 R S を発生する。このリセット信号 R S に基づいてメモリアクセス制御部 3 内の各回路部の初期化（リセット）がなされる。また、このリセット回路部 2 4 は、命令実行部 1 4 からリセット信号発生要求が供給された場合にも、リセット信号 R S を発生する。したがって、装置本体制御部 2 は、図 8 ( a ) に示した初期化命令を送出することで、メモリアクセス制御部 3 内の各回路部を初期化することができる。

#### 【 0 0 9 8 】

発振回路部 2 3 は、水晶振動子、セラミック発振子 X 等を用いて周波数が例えば 1 6 M H z の原クロック信号を発生する。クロック生成部 2 2 は、原クロック信号を分周して周波数が例えば 2 M H z のクロック信号 T C L K を生成する。また、クロック生成部 2 2 は、各不揮発性メモリ 4 , 5 のクロック信号 C K 1 , C K 2 を生成する。なお、各不揮発性メモリ 4 , 5 のクロック信号 C K 1 , C K 2 の周期は、クロック周期選択信号 E S の論理レベルに対応して 2 段階に切り替えできるようにしている。これにより、書き込み時間の異なる不揮発性メモリに対応できるようにしている。

10

#### 【 0 0 9 9 】

出力制御部 2 0 は、前述したように各不揮発性メモリ 4 , 5 に対する各信号入出力端子の状態を制御する。テスト用制御部 2 5 は、このメモリアクセス制御部 3 の動作をテストするためのものである。4 ビットのテスト用信号 M 1 ~ M 4 がすべて L レベルに設定されると通常の動作状態となる。それ以外の条件が設定された場合はテストモードとなり、レジスタ、R A M 内のデータ等を含めて内部回路の動作状態を出力制御部 2 0 を介して各端子 P W , C S , R W , I O , C K 等へ出力させることができる。これにより、内部回路の動作状態を容易に確認することができる。

20

#### 【 0 1 0 0 】

次に、以上の構成における動作を説明する。装置本体制御部 2 は、命令モード指定信号 S E L を L レベルにした状態で、初期化命令を送出する。メモリアクセス制御部 3 は初期化命令を受信すると、全回路を電源投入時と同じ状態に初期化する。次に、装置本体制御部 2 はモード設定命令を送出して、メモリアクセス制御部 3 内のモードレジスタ 1 5 に動作モード 2 を設定させる。その後、装置本体制御部 2 は、命令モード指定信号 S E L を H レベルにする。

#### 【 0 1 0 1 】

メモリアクセス制御部 3 は、モードレジスタ 1 5 に動作モード 2 が設定されたことによって、命令モード指定信号 S E L が H レベルになった以降は、装置本体制御部 2 側から供給される命令中の動作モードが 2 以外であっても、動作モード 2 の命令として受け付けることができる。

30

#### 【 0 1 0 2 】

装置本体制御部 2 は、書き込み命令を順次発行することで、制御レジスタ群 1 6 内の各制御レジスタの値を設定することで、メモリアクセス制御部 3 が各不揮発性メモリ 4 , 5 に対してアクセスできる状態とする。そして、装置本体制御部 2 は、全エリア読み出し制御レジスタのアドレスを指定した書き込み命令を発行する。これにより、不揮発性メモリ書き込み読み出し制御部 1 9 は、各不揮発性メモリ 4 , 5 に格納されている各情報を読み出して、読み出した各情報を各 R A M 1 7 , 1 8 に格納する。

40

#### 【 0 1 0 3 】

不揮発性メモリ 4 , 5 に格納されている各情報は情報毎にビット長が異なっている。不揮発性メモリ書き込み読み出し制御部 1 9 は、図 3 に示した内容が登録されている有効ビットデータテーブル 2 1 を参照することで各情報を区分する。不揮発性メモリ書き込み読み出し制御部 1 9 は、8 ビットの満たないデータは不足するビットに 0 を補足することで 8 ビットのデータに修正し、8 ビットを越えるデータは 2 バイトのデータへ修正する。そして、不揮発性メモリ書き込み読み出し制御部 1 9 は、8 ビット単位に修正したデータを、図 1 3 に示した内容が登録されている情報 - アドレス対応テーブル 2 6 を参照して、各 R A M 1 7 , 1 8 の所定のアドレスに格納する。これにより、第 1 の不揮発性メモリ 4 に格納されている全情報が第 1 の R A M 1 7 に格納され、第 2 の不揮発性メモリ 4 に格納さ

50

れている全情報が第2のRAM18に格納される。

【0104】

装置本体側制御部2は、各RAM17, 18のアドレスを指定して読み出し要求を発行することで、例えばインク残量に係るデータ、カートリッジの使用開始年月、インク種類に係るデータ等の各種の情報を得ることができる。また、装置本体側制御部2は、制御レジスタ群16の内容を読み出すことで、現在の設定状態を確認することができる。

【0105】

装置本体側制御部2は、印刷動作の実行に伴って使用したインク量を管理している。そして、装置本体側制御部2は、更新されたインク残量に係るデータを書き込む要求を発行することで、RAM17, 18内のインク残量に係るデータを更新させる。

10

【0106】

装置本体側制御部2は、記録装置の電源をオフするのに先立って、命令モード指定信号SELをLレベルにした状態で、パワーオフ命令を送出する。メモリアクセス制御部3は、パワーオフ命令が供給されると、各RAM17, 18に格納されているデータを各不揮発性メモリ4, 5に書き戻す。これにより、更新されたインク残量に係るデータが各不揮発性メモリ4, 5に格納される。このパワーオフ命令に基づく各不揮発性メモリ4, 5への書き戻し処理では、各不揮発性メモリ4, 5の若番側アドレスに設定された情報(図3に示す番号1~9、具体的にはインク残量データ等のユーザ側で更新する必要があるデータ)のみが対象となる。したがって、各不揮発性メモリ4, 5への書き戻し処理を短時間で終了させることができるとともに、それ以外のデータを書き換えることがない。

20

【0107】

なお、装置本体側制御部2側から図12に示した限定書き込み許可レジスタに対して限定書き込みを許可する命令を書き込ませる命令を発行することで、各不揮発性メモリ4, 5への書き戻し処理を行なわせることもできる。

【0108】

図16はこの発明に係る記録装置を適用したインクジェットプリンタ装置の印刷機構部の構造を示す斜視図である。図16に示すインクジェットプリンタ装置の印刷機構部100は、キャリッジ103がタイミングベルト101を介して駆動モータ102に接続され、キャリッジ103が記録用紙Pの紙幅方向へ往復動するように構成されている。キャリッジ103には、ブラック用インクカートリッジ格納部104aとカラー用インクカートリッジ格納部104bとを備えたホルダ104が形成され、またキャリッジ103の下面には記録ヘッド105が設けられている。

30

【0109】

図17はキャリッジをホルダ部とヘッダ部に分解して示した斜視図である。記録ヘッド105に連通するインク供給針106, 107は、装置の奥側(タイミングベルト101側)に位置するようにキャリッジ103の底面に垂直に植設されている。ホルダ104を形成する垂直壁のうち、インク供給針106, 107の近傍側で対向する垂直壁108の上端には軸109, 110により回動可能なレバー111, 112が取付けられている。レバー111, 112の自由端側に位置する壁113は、底辺部が垂直部113aを有し、また上部領域が上方に拡開する斜面部113bとなるよう形成されている。

40

【0110】

レバー111, 112は、後述するインクカートリッジ140, 150の上端の張出部146, 156に係合する突起114, 115が、それぞれのレバー111, 112の本体に対してほぼ直角となるように軸109, 110の近傍から延長して形成され、またホルダ104の斜面部113bに形成された釣部116, 117に弾性的に係合するフック部118, 119が形成されている。

【0111】

そして各レバー111, 112の裏面(インクカートリッジ140の蓋体143に対向する面)には、図20および図21に示すように、弾性部材120, 121が設けられている。この弾性部材120, 121は、各インクカートリッジ140, 150が正規の位

50

置にセットされた際に、各インクカートリッジ 140, 150 の少なくともインク供給口 144, 154 に対向する領域を弾圧する。

【0112】

また、インク供給針 106, 107 側に位置する垂直壁 108 には、上部が開放された窓 122, 123 が形成されている。各窓 122, 123 を形成する垂直壁 122a, 123a および底面 122b, 123b には、連続する溝 122c, 123c が形成されている。そして、これらの溝 122c, 123c に各接点機構 124, 125 が挿入、固定されている。

【0113】

記録ヘッド 105 は、略 L 字型に形成された基台 132 の水平部 133 を介してホルダ 104 の底面に固定されている。基台 132 の垂直壁 134 には、接点機構 124, 125 と対向する領域に窓 135, 136 が形成されていて、その前方側に回路基板 130 が保持されている。

10

【0114】

回路基板 130 は、図 16 に示すように、フレキシブルケーブル 137 を介して装置本体制御部 2 に接続されている。この回路基板 130 にメモリアクセス制御部 3 を構成するゲートアレイ IC が実装されている。

【0115】

図 18 はインクカートリッジの斜視図である。図 18 (a) はブラック用インクカートリッジ 140 を、図 18 (b) はカラー用インクカートリッジ 150 を示している。各インクカートリッジ 140, 150 は、ほぼ直方体として形成された容器 141, 151 内にインクを含浸させた多孔質体 (図示しない) を収容し、上面を蓋体 143, 153 で封止してなる。

20

【0116】

容器 141, 151 の底面であって、インクカートリッジ 140, 150 が図 16 に示したホルダ 104 の各インクカートリッジ収納部 140a, 140b に装着された際にインク供給針 106, 107 に対向する位置に、インク供給口 144, 145 が形成されている。また、インク供給口 144, 145 側の垂直壁 145, 155 の上端には、レバー 111, 112 の突起 114, 115 に係合する張出部 146, 145 が一体的に形成されている。

30

【0117】

ブラック用インクカートリッジ 140 の張出部 146 は、一端から他端まで連続体として形成されている。張出部 146 の下面と垂直壁 145 との間に三角形のリップ 147 が形成されている。カラー用インクカートリッジ 150 の張出部 156 は、両側に位置するように個別に形成されている。張出部 156 の下面と垂直壁 155 との間に三角形のリップ 157 が形成されている。符号 159 は、誤挿入防止用の凹部である。

【0118】

垂直壁 145, 155 には、インクカートリッジ 140, 150 の幅方向の中心に位置するように凹部 148, 158 が形成され、この凹部 148, 158 が形成されに不揮発性メモリ回路基板 131, 131 が装着されている。

40

【0119】

図 19 は不揮発性メモリ回路基板の構造を示す説明図である。図 19 (a) は不揮発性メモリ回路基板 131 の表面側の構造を示す斜視図、図 19 (b) は不揮発性メモリ回路基板 131 の裏面側の構造を示す斜視図、図 19 (c) は電極のサイズを示す説明図、図 19 (d) は電極と接点との接触状態を示す平面図、図 19 (e) は電極と接点との接触状態を示す側面図である。

【0120】

図 19 (a) に示すように、不揮発性メモリ回路基板 131 の表面側には、接点機構 24 の接点形成部材 129a, 129b と対向する位置に、インクカートリッジの挿入方向 (図において上下方向) に 2 段に亘って複数の電極 160 (160-1, 160-2) が

50

配設されている。

【0121】

図19(b)に示すように、不揮発性メモリ回路基板131の裏面側には、不揮発性メモリ4,5のICチップ161が実装されている。ICチップ161の各端子(図示しない)は、図示しない配線パターンならびにスルーホール等を介して各接点160にそれぞれ電氣的に接続されている。不揮発性メモリ回路基板131上に実装された不揮発性メモリ4,5のICチップ161を耐インク性材料によって被覆することで、ICチップ161を保護するようにしてもよい。

【0122】

図19(c)に示すように、サイズの小さな電極160-1は、高さH1が1.8mm、幅W1が1mmである。サイズの大きな電極160-2は、高さH1が1.8mm、幅W1が3mmである。ホルダ104に装着されたインクカートリッジ140,150に浮きが生じても、接点形成部材129a,129bとの接触が確実に行なえるように各電極160の高さを設定している。

10

【0123】

インクカートリッジ140,150がホルダ104に装着された状態では、図19(d)および図19(e)に示すように、上段側の電極160-1に接点機構24の上段側の接点形成部材129aが接触し、下段側の電極160-1,160-2に接点機構24の下段側の接点形成部材129bが接触する。

【0124】

図19(d)に示すように、下段側の大きな電極160-2には、2本の接点構成部材129b,129bが接触するようにしている。そして、これらの2本の接点構成部材129b,129b間の導通の有無を検出することによって、インクカートリッジの装着の有無を判定するようにしている。

20

【0125】

なお、図19中の符号160Tは、製造工程等でチェック用に使用する電極である。

【0126】

不揮発性メモリ回路基板131には、少なくとも1つの貫通孔131aや凹部(切り欠き部)131bを形成している。

【0127】

図18に示すように、インクカートリッジ140,150の垂直壁145,155には、不揮発性メモリ回路基板131の貫通孔131aや凹部(切り欠き部)131bと協働して位置決めをなす突起145a,145b,155a,155bを設けている。さらに、垂直壁145,155には、不揮発性メモリ回路基板131の側面に弾接するリップまたは爪などの張出部145c,145d,155c,155dを設けている。

30

【0128】

これにより、不揮発性メモリ回路基板131をインクカートリッジ140,150の垂直壁145,155に押し付けることで、位置決め用の突起145a,145b,155a,155bによって不揮発性メモリ回路基板131の位置決めをするとともに、不揮発性メモリ回路基板131を各張出部145c,145d,155c,155dに係合させて装着することができる。

40

【0129】

図20および図21はインクカートリッジの装着過程を示す説明図である。図20および図21はブラック用インクカートリッジ140の装着過程を示している。図20に示すように、レバー111をほぼ垂直な位置まで開いた状態で、インクカートリッジ140をホルダ104に挿入すると、インクカートリッジ140の一端側に設けられた張出部146がレバー111の突起114に受け止められ、インクカートリッジ140の他端側がホルダ104の斜面部113bに支持されて保持される。

【0130】

この状態でレバー111を閉めると、図21に示すように、突起114が下方に回転さ

50

れて、インクカートリッジ 140 はほぼ挿入初期の姿勢を保ちながら下降し、インク供給口 144 がインク供給針 106 の先端に接触する。

【0131】

レバー 111 をさらに回動させると、インクカートリッジ 140 は弾性部材 120 に介して押圧される。これによって、インク供給口 144 がインク供給針 106 に押し込まれる。そして、レバー 111 が最後まで押し込まれると、レバー 111 は弾性部材 120 を介してインクカートリッジ 140 をインク供給針 106 側へ常時弾圧した状態で、図 17 に示した釣部 116 に固定される。

【0132】

これにより、インクカートリッジ 140 は、そのインク供給口 144 をインク供給針 106 に係合した状態で一定圧で弾圧されることになる。よって、印刷中の振動、記録装置の移動などに伴う衝撃や振動に拘わりなく、インク供給口 44 がインク供給針 106 に気密性を保持され、安定した係合状態を維持することができる。

10

【0133】

図 22 は不揮発性メモリ基板と接点機構の接点構成部材との接触状態を示す説明図である。図 22 (a) はインクカートリッジ 140 のインク供給口 144 とホルダ 104 側のインク供給針 106 とが接触する前の状態、図 22 (b) はインク供給口 144 がインク供給針 106 に接触した状態、図 22 (c) はインク供給口 144 にインク供給針 106 が完全に入り込んだ状態 (インクカートリッジ 140 が完全に装着された状態) を示している。

20

【0134】

図 22 (c) に示すように、インクカートリッジ 140 が完全に装着された状態では、不揮発性メモリ基板 131 に設けられた各端子 (図示しない) と接点機構 124 に設けられた各接点形成部材 129a, 129b とが全て接触した状態となる。各接点形成部材 129a, 129b のそれぞれ他方側の各接触部 128a, 128b は、メモリアクセス制御部 3 が実装された回路基板 130 に設けられた各端子 (図示しない) に接触している。これにより、不揮発性メモリ基板 131 に設けられた各端子とメモリアクセス制御部 3 (図示しない) が実装された回路基板 130 の各端子とが、各接点形成部材 129a, 129b を介してそれぞれ電氣的に接続される。

【0135】

本実施の形態では、記録装置としてインクジェットプリンタ装置を例示したが、この発明に係る記録装置はトナーカートリッジを用いるレーザープリンタ装置にも適用することができる。また、この発明に係る記録装置は各種プリンタ装置だけでなく、カートリッジ交換型の記録機構を備えたファクシミリ装置や各種の端末装置にも適用することができる。さらに、本実施の形態では 2 個の不揮発性メモリを備えた構成について示したが、不揮発性メモリは 1 個であってもよい。また、メモリアクセス制御部は 3 個以上の不揮発性メモリに対して書き込み・読み出しを制御できる構成としてもよい。

30

【0136】

(発明の効果)

以上説明したようにこの発明に係る記録装置は、メモリアクセス制御部を介して不揮発性メモリに対する書き込みならびに読み出しを行なう構成としたので、不揮発性メモリへアクセスする際の装置本体制御部側の処理を軽減できる。

40

【0137】

なお、シリアルデータ通信部を設け、装置本体制御部とメモリアクセス制御部との間のデータ通信をシリアルに行なう構成にすることで、装置本体制御部とメモリアクセス制御部との間の信号線数を少なくすることができる。

【0138】

また、ランダムアクセスメモリを設け、このランダムアクセスメモリに不揮発性メモリから読み出したデータを全て格納しておき、装置本体制御部側からのデータ読み出し要求に対してランダムアクセスメモリに格納したデータを読み出して回答する構成にすること

50

で、データ読み出し要求に対して高速な応答ができる。

【0139】

さらに、装置本体制御部は、データ書き込み要求を発生してランダムアクセスメモリ内のデータを更新した後に、不揮発性メモリに対する書き込み要求を発生して更新されたデータを不揮発性メモリに書き込ませることができる。よって、更新すべきデータが複数項目ある場合でも、1回の書き込み動作で不揮発性メモリに複数のデータを書き込ませることができる。

【0140】

また、メモリアクセス制御部用の半導体装置（集積回路装置）を用いることで、記録装置の小型化を図ることができる。さらに、記録材料収容カートリッジの収納部を備えたキャリッジにメモリアクセス制御部を設けることが容易になる。

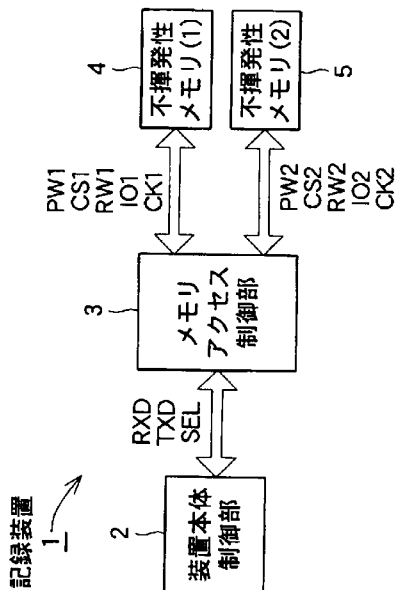
10

【符号の説明】

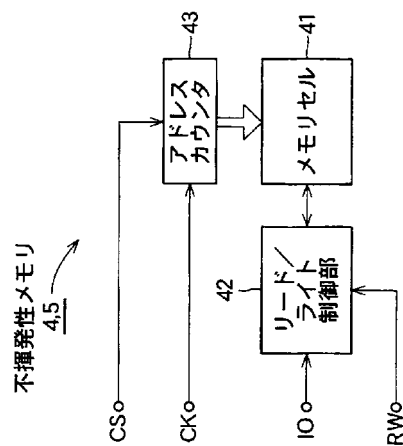
【0141】

1 記録装置、2 装置本体制御部、3 メモリアクセス制御部、4, 5 不揮発性メモリ、11 シリアルデータ通信部、12 受信制御部、13 送信制御部、14 命令実行部、15 モードレジスタ、16 制御レジスタ群、17, 18 RAM、19 不揮発性メモリ書き込み読み出し制御部、20 出力制御部、21 有効ビット長データテーブル、26 情報-アドレス対応テーブル、130 メモリアクセス制御部が実装される回路基板、131 不揮発性メモリ回路基板、140, 150 インクカートリッジ。

【図1】



【図2】



【 図 3 】

不揮発性メモリの格納情報

番号	データのビット数	アドレスカウンタ値	アドレス		情報番号	
			開始	終了	第1のメモリ	第2のメモリ
1	8	0	00	07	情報 0	情報 35
2	8	8	08	0F	情報 1	情報 36
3	8	16	10	17	情報 2	情報 37
4	8	24	18	1F	情報 3	情報 38
5	8	32	20	27	情報 4	情報 39
6	8	40	28	2F	情報 5	情報 40
7	8	48	30	37	情報 6	情報 41
8	16	56	38	47	情報 7	情報 42
9	8	72	48	4F	情報 8	情報 43
10	7	80	50	56	情報 9	情報 44
11	4	87	57	5A	情報 10	情報 45
12	5	91	5B	5F	情報 11	情報 46
13	5	96	60	64	情報 12	情報 47
14	6	101	65	6A	情報 13	情報 48
15	8	107	6B	72	情報 14	情報 49
16	5	115	73	77	情報 15	情報 50
17	5	120	78	7C	情報 16	情報 51
18	1	125	7D	7D	情報 17	情報 52
19	3	126	7E	80	情報 18	情報 53
20	10	129	81	8A	情報 19	情報 54
21	10	139	8B	94	情報 20	情報 55
22	8	149	95	9C	情報 21	情報 56
23	8	157	9D	A4	情報 22	情報 57
24	6	165	A5	AA	情報 23	情報 58
25	5	171	AB	AF	情報 24	情報 59
26	8	176	B0	B7	情報 25	情報 60
27	8	184	B8	BF	情報 26	情報 61
28	8	192	C0	C7	情報 27	情報 62
29	8	200	C8	CF	情報 28	情報 63
30	8	208	D0	D7	情報 29	情報 64
31	8	216	D8	DF	情報 30	情報 65
32	8	224	E0	E7	情報 31	情報 66
33	8	232	E8	EF	情報 32	情報 67
34	8	240	FD	F7	情報 33	情報 68
35	8	248	FB	FF	情報 34	情報 69

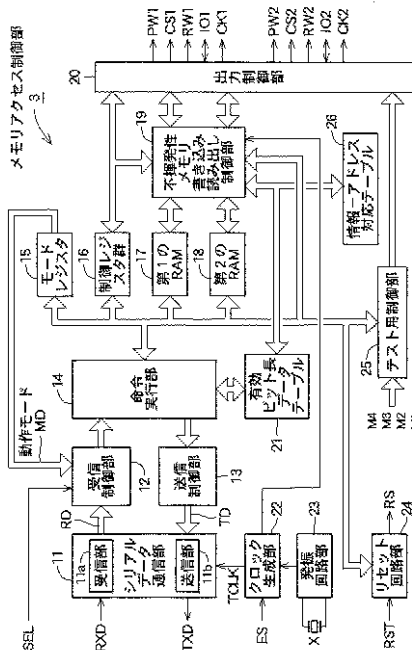
【 図 4 】

情報内容	
411	黒インク残量データ
412	黒インク残量データ
421	開封時期データ(年)
422	開封時期データ(月)
423	インクカートリッジのバージョンデータ
424	インクの種類データ
425	製造年データ
426	製造月データ
427	製造日データ
428	製造ラインデータ
429	シリアルナンバーデータ
430	リサイクル有無データ

【 図 5 】

情報内容	
511	シアンインク残量データ
512	シアンインク残量データ
513	マゼンタインク残量データ
514	マゼンタインク残量データ
515	イエローインク残量データ
516	イエローインク残量データ
517	ライトシアンインク残量データ
518	ライトシアンインク残量データ
519	ライトマゼンタインク残量データ
520	ライトマゼンタインク残量データ
551	開封時期データ(年)
552	開封時期データ(月)
553	インクカートリッジのバージョンデータ
554	インクの種類データ
555	製造年データ
556	製造月データ
557	製造日データ
558	製造ラインデータ
559	シリアルナンバーデータ
560	リサイクル有無データ

【 図 6 】



【 図 7 】

端子名	入出力	端子(信号)説明	初期値
RXD	IN	シリアルデータ入力信号(ボーレート 125Kbps)	
TXD	OUT	シリアルデータ出力信号(ボーレート 125Kbps)	H
SEL	IN	コマンド選択信号 L: レベル 0/H: レベル 1	
CS1	Tri	第 1 の不揮発性メモリの選択信号	L: 非選択 H: 選択
CS2	Tri	第 2 の不揮発性メモリの選択信号	電源オフ時は HiZ
IO1	I/O	第 1 の不揮発性メモリのデータ信号	電源オフ時は HiZ
IO2	I/O	第 2 の不揮発性メモリのデータ信号	電源オフ時は HiZ
RW1	Tri	第 1 の不揮発性メモリの R/W 信号	L: Read H: Write
RW2	Tri	第 2 の不揮発性メモリの R/W 信号	電源オフ時は HiZ
CK1	Tri	第 1 の不揮発性メモリのクロック信号	電源オフ時は HiZ
CK2	Tri	第 2 の不揮発性メモリのクロック信号	電源オフ時は HiZ
PW1	Tri	第 1 の不揮発性メモリの電源	H: 電源供給
PW2	Tri	第 2 の不揮発性メモリの電源	HiZ: 電源非供給
OSC1	IN	セラミック発振子の接続端子	発振周波数 16MHz
OSC2	OUT	セラミック発振子の接続端子	
RST	IN	イニシャルリセット信号 (L: アクティブ)	
ES	IN	不揮発性メモリ書き込み時間選択 L: 3.0ms H: 3.5ms	
M1	IN	モニタ出力選択信号(テスト用信号)	
M2		IC 内部の信号を不揮発性メモリ側出力端子に出力させる。	
M3		M1~M4 がすべて L: 通常出力	
M4		それ以外: 内部モニタ出力	
VCC1	+5V	電源 1 (2 端子)	
VCC2	+3.3V	電源 2 (3 端子)	
VSS	GND	GND (5 端子)	

【 図 8 】

命令	内容
パワーオフ処理(NMI)	10000000
初期化(RST)	10010000
モード設定(MDSET)	1010xxxx

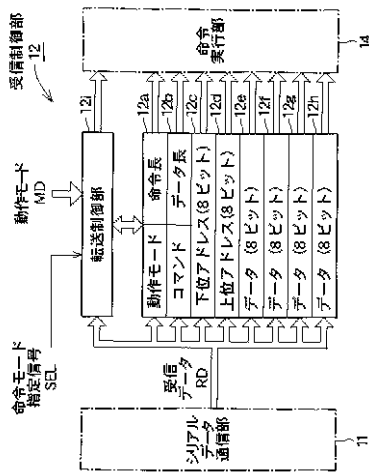
(a) SEL が L レベルの時の 8 ビット固定長命令

命令データ	内容
xxxx=0010	モード 2

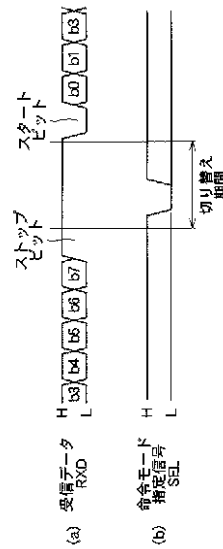
(b) SEL が H レベルの時の可変長命令

動作モード	命令長 (1~7 バイト)
コマンド	データ長 (1~4 バイト)
下位アドレス(8 ビット)	A7 - A0
上位アドレス(8 ビット)	A15 - A8
データ (8 ビット)	D7 - D0
データ (8 ビット)	D7 - D0
データ (8 ビット)	D7 - D0
データ (8 ビット)	D7 - D0

【 図 9 】



【 図 10 】



【図 1 1】

区分	項目	読み出し(READ)	書き込み(WRITE)	備考
(a) 可変長命令(変長)	モード(4ビット)	0010	0010	動作モード2
	命令長(4ビット)	3バイト : 0011 4バイト : 0100 5バイト : 0101 7バイト : 0111	3バイト : 0011 4バイト : 0100 5バイト : 0101 7バイト : 0111	命令のバイト数
	コマンド(4ビット)	0000	1000	
	データ長(4ビット)	1バイト : 0001 2バイト : 0010 4バイト : 0100 0.35~15バイトは 設定禁止	1バイト : 0001 2バイト : 0010 4バイト : 0100 0.35~15バイトは 設定禁止	読み書きするデータの のバイト数
	アドレス(16ビット)	A15~A0 (16ビット)	A15~A0 (16ビット)	下位8ビットのみ 使用
	データ(8ビット×n)	8ビット×n (n:データ長)	8ビット×n (n:データ長)	
	モード(4ビット)	0010		動作モード2
	データ長(4ビット)	1バイト : 0001 2バイト : 0010 4バイト : 0100 0.35~15バイトは 設定禁止		
	データ(8ビット×n)	8ビット×n (n:データ長)		
	(b) 回答	モード(4ビット)	0010	
データ長(4ビット)		1バイト : 0001 2バイト : 0010 4バイト : 0100 0.35~15バイトは 設定禁止		

【図 1 2】

アドレス (16進表記)	レジスタ名	ビット	機能
80	アクセス許可設定	[1:0]	不揮発性メモリへのアクセス許可/不許可の設定(初期値:00) 端子CS、CK、RW、IOを高インピーダンス/アクティブは、PWをオン/オフする。 0 : 書き込み許可 & パワーオン 1 : アクティブ & パワーオン 端子の状態が切り替わるタイミングは、レジスタに設定された直後で全端子同時とする。 1に設定された直後の端子CS、CK、RWのレベルは、1に設定された直後の端子CS、CK、RWの状態データが入力状態とする。
84	読み出し許可設定	[1:0]	データの読み出し許可/不許可の設定(初期値:00)
85	全エリア読み出し	----	不揮発性メモリから全エリアのデータ読み出し
86	全読み出しビジー	[0]	全エリアのデータ読み出しビジーフラグ
88	全書き込み許可	[1:0]	不揮発性メモリへの全書き込み許可/不許可の設定(初期値:00)
89	全エリア書き込み	----	不揮発性メモリに全エリアにデータ書き込み
8A	全書き込みビジー	[0]	全エリアのデータ書き込みビジーフラグ
8C	限定書き込み許可	[1:0]	不揮発性メモリへの限定書き込み許可/不許可の設定(初期値:00)
8D	限定書き込み	----	不揮発性メモリにデータ書き込み
8E	限定書き込みビジー	[0]	限定エリアのデータ書き込みビジーフラグ
90	パワーオフ書き込み許可	[1:0]	不揮発性メモリへのパワーオフ書き込み許可/不許可の設定(初期値:00)
92	パワーオフ書き込みビジー	[0]	パワーオフデータ書き込みビジーフラグ

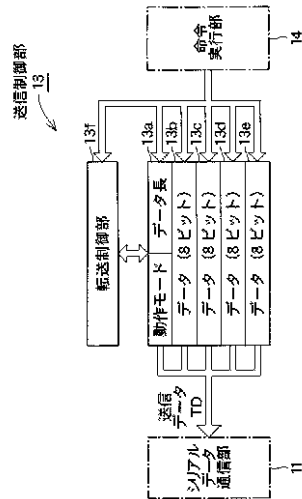
【図 1 3】

RAMのアドレスと格納情報

第1のRAM			第2のRAM		
アドレス	データ長	情報番号	アドレス	データ長	情報番号
00	1	情報0	40	1	情報35
01	1	情報1	41	1	情報36
02	1	情報2	42	1	情報37
03	1	情報3	43	1	情報38
04	1	情報4	44	1	情報39
05	1	-	45	1	-
06	1	情報5	46	1	情報40
07	1	情報6	47	1	情報41
08	2	情報7	48	2	情報42
09	1	情報8	4A	1	情報43
0E	1	-	4B	1	-
0C	1	情報9	4C	1	情報44
0D	1	情報10	4D	1	情報45
0F	1	情報11	4E	1	情報46
10	1	情報12	4F	1	情報47
11	1	情報13	50	1	情報48
12	1	情報14	51	1	情報49
13	1	情報15	52	1	情報50
14	1	情報16	53	1	情報51
15	1	情報17	54	1	情報52
16	1	情報18	55	1	情報53
18	2	情報19	56	2	情報54
1A	2	情報20	58	2	情報55
19	1	情報21	5A	1	情報56
1B	1	情報22	5B	1	情報57
1C	1	情報23	5C	1	情報58
1D	1	情報24	5D	1	情報59
1E	1	情報25	5E	1	情報60
1F	1	情報26	5F	1	情報61
20	1	情報27	60	1	情報62
21	1	情報28	61	1	情報63
22	1	情報29	62	1	情報64
23	1	情報30	63	1	情報65
24	1	情報31	64	1	情報66
25	1	情報32	65	1	情報67
26	1	情報33	66	1	情報68
27	1	情報34	67	1	情報69

アドレスは16進表記、データ長の単位はバイトである。

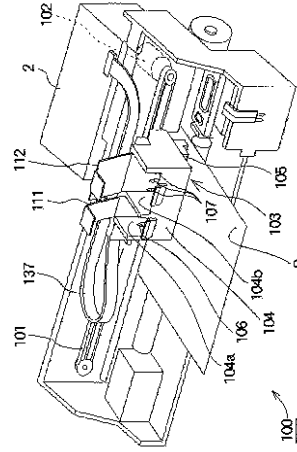
【図 1 4】



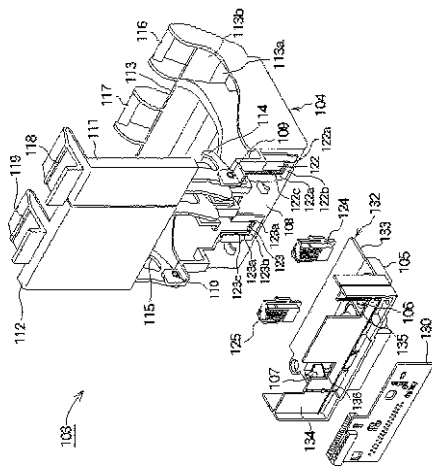
【 図 1 5 】

- (a) 8ビット未満のデータ
- (イ) 不揮発性メモリの情報が5ビットデータである場合  
 $\boxed{111000}$   
 上位ビットに0のダミーデータを挿入し  
 8ビットのデータへ変換して送信する。  
 MSB            LSB  
 $\boxed{000111000}$
- (b) 9~16ビットのデータ
- (ハ) 不揮発性メモリの情報が10ビットデータである場合  
 $\boxed{11110000000}$
- (ニ) 2バイトのデータに分割して送信する。  
 MSB            LSB            MSB            LSB  
 $\boxed{0000000111}$              $\boxed{100000000}$

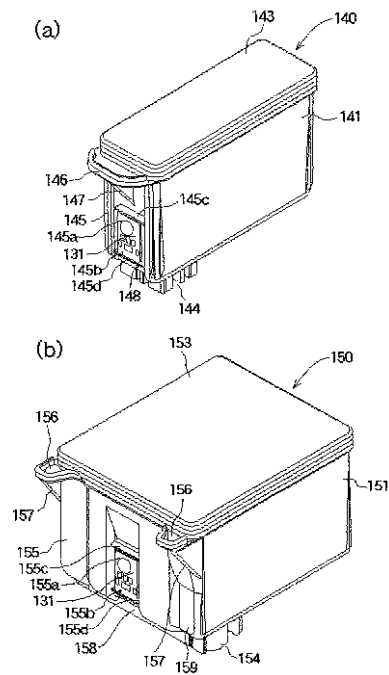
【 図 1 6 】



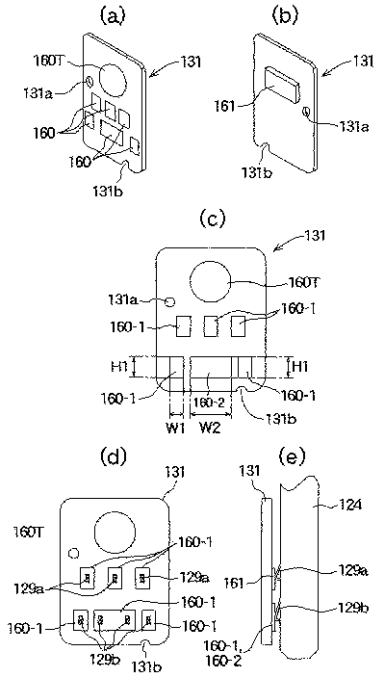
【 図 1 7 】



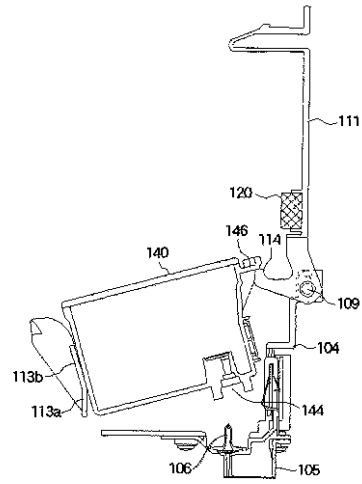
【 図 1 8 】



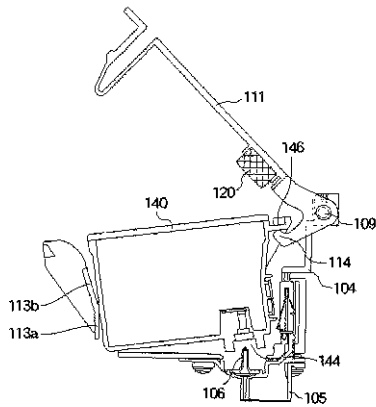
【 図 1 9 】



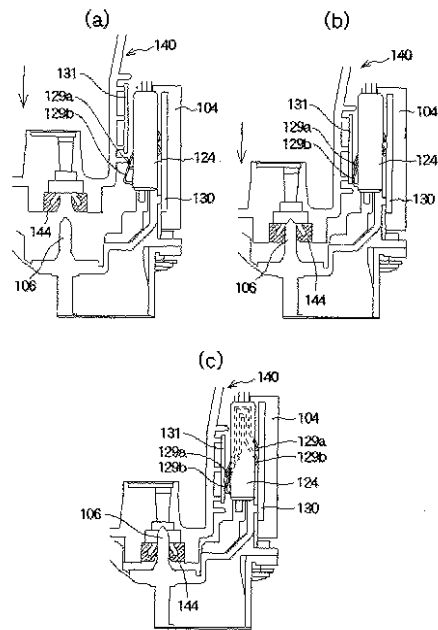
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



## 【手続補正書】

【提出日】平成21年10月19日(2009.10.19)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

記録装置本体側に設けられた装置本体制御部と、

記録材料収容カートリッジ側に設けられた不揮発性メモリと、

前記装置本体制御部と前記不揮発性メモリの間に設けられ、RAM及び前記不揮発性メモリ書き込み読み出し制御部を備えるメモリアクセス制御部と、を有する記録装置であって

前記メモリアクセス制御部は、前記装置本体制御部から供給される命令に基づいて前記不揮発性メモリに対する書き込みならびに読み出しをし、

前記メモリアクセス制御部は、さらに、前記不揮発性メモリに格納される情報と、前記情報が格納される前記RAMのアドレスとの対応関係が記憶される情報-アドレス対応テーブルを備え、

前記不揮発性メモリ書き込み読み出し制御部は、前記不揮発性メモリから読み出したデータを前記情報-アドレス対応テーブルを参照して前記RAMに格納することを特徴とする記録装置。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本発明の記録装置は、記録装置本体側に設けられた装置本体制御部と、記録材料収容カートリッジ側に設けられた不揮発性メモリと、前記装置本体制御部と前記不揮発性メモリの間に設けられ、RAM及び前記不揮発性メモリ書き込み読み出し制御部を備えるメモリアクセス制御部と、を有する記録装置であって、前記メモリアクセス制御部は、前記装置本体制御部から供給される命令に基づいて前記不揮発性メモリに対する書き込みならびに読み出しをし、前記メモリアクセス制御部は、さらに、前記不揮発性メモリに格納される情報と、前記情報が格納される前記RAMのアドレスとの対応関係が記憶される情報-アドレス対応テーブルを備え、前記不揮発性メモリ書き込み読み出し制御部は、前記不揮発性メモリから読み出したデータを前記情報-アドレス対応テーブルを参照して前記RAMに格納することを特徴とする。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】削除

【補正の内容】

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】削除

【補正の内容】

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】 0 0 1 0  
【補正方法】 削除  
【補正の内容】  
【手続補正 6】  
【補正対象書類名】 明細書  
【補正対象項目名】 0 0 1 1  
【補正方法】 削除  
【補正の内容】  
【手続補正 7】  
【補正対象書類名】 明細書  
【補正対象項目名】 0 0 1 2  
【補正方法】 削除  
【補正の内容】  
【手続補正 8】  
【補正対象書類名】 明細書  
【補正対象項目名】 0 0 1 3  
【補正方法】 削除  
【補正の内容】