

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成25年8月8日(2013.8.8)

【公表番号】特表2012-526400(P2012-526400A)

【公表日】平成24年10月25日(2012.10.25)

【年通号数】公開・登録公報2012-044

【出願番号】特願2012-510021(P2012-510021)

【国際特許分類】

H 01 L 25/065 (2006.01)

H 01 L 25/07 (2006.01)

H 01 L 25/18 (2006.01)

【F I】

H 01 L 25/08 Z

【誤訳訂正書】

【提出日】平成25年6月18日(2013.6.18)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

半導体製造方法であって、

第1のダイを薄くするステップと、

前記第1のダイを薄くした後に、前記第1のダイを基板パネルに取り付けるステップと

、
前記第1のダイを前記基板パネルに取り付けた後に、前記第1のダイおよび前記基板パネルにモールド化合物を適用するステップと、

前記モールド化合物を適用した後に、前記第1のダイおよび前記モールド化合物を薄くするステップと
を含む方法。

【請求項2】

前記第1のダイを薄くするステップが、少なくとも1つのシリコン貫通ビアを露出させる、請求項1に記載の方法。

【請求項3】

薄くするステップの後に、

分離層を前記第1のダイに堆積させるステップと、

パッケージング接続部を前記第1のダイに堆積させるステップと
をさらに含む請求項2に記載の方法。

【請求項4】

前記パッケージング接続部を、前記第1のダイの前記少なくとも1つのシリコン貫通ビアに結合するステップをさらに含む請求項3に記載の方法。

【請求項5】

第2のダイを前記パッケージング接続部に取り付けるステップをさらに含む請求項4に記載の方法。

【請求項6】

前記第2のダイに第2のモールド化合物を適用するステップをさらに含む請求項5に記載の方法。

【請求項 7】

前記第1のダイを前記基板パネルに取り付ける前に、ウエハを前記第1のダイにダイシングするステップをさらに含む請求項1に記載の方法。

【請求項 8】

前記第1のダイを、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定位置データユニット、およびコンピュータからなる群から選択されるデバイスの中に組み込むステップをさらに含む請求項1に記載の方法。

【請求項 9】

前記モールド化合物を適用するステップが、エポキシベースのモールドを適用するステップを含む、請求項1に記載の方法。

【請求項 10】

前記モールド化合物を適用するステップが、モールドチエースをモールド化合物で満たすステップと、前記モールドチエースを前記第1のダイに適用するステップとを含む、請求項1に記載の方法。

【請求項 11】

半導体製造方法であつて、

ウエハを裏面研削するステップと、

前記ウエハを第1の層ダイにダイシングするステップと、

前記第1の層ダイを基板パネルに取り付けるステップと、

前記第1の層ダイおよび前記基板パネルに第1のモールド化合物を適用するステップと、

前記第1の層ダイおよび前記第1のモールド化合物を裏面研削するステップと、

第2の層ダイを前記第1の層ダイに取り付けるステップと、

前記第1の層ダイおよび前記第2の層ダイに第2のモールド化合物を適用するステップと

を含む方法。

【請求項 12】

基板と、

シリコン貫通ビアと、第1の表面と、第1の表面の反対側の第2の表面とを有し、第1の表面が前記基板によって支持される、第1のダイと、

前記基板と前記第1のダイとの間の通信を容易にするためにシリコン貫通ビアに結合された、前記基板と前記第1のダイとの間のパッケージング接続部と、

前記第1のダイを部分的に取り囲み、前記第1のモールド化合物の側壁が前記基板の側壁と同一平面上にある、前記基板と前記第1のダイとの間の第1のモールド化合物と

第1のモールド化合物によって部分的に支持され、実質的に前記基板の長さに延在する分離層と、

を含む半導体デバイス。

【請求項 13】

前記第1のダイに結合された第2のダイをさらに含む請求項12に記載の半導体デバイス。

【請求項 14】

前記第2のダイを部分的に取り囲み、第2のモールド化合物の側壁が前記第1のモールド化合物の側壁および前記分離層の側壁と同一平面上にあり、第2のモールド化合物の表面が前記分離層の第2の表面と隣接する、第2のモールド化合物をさらに含む請求項13に記載の半導体デバイス。

【請求項 15】

前記第1のモールド化合物と同一平面上のバックエンドオブライン層をさらに含む請求項12に記載の半導体デバイス。

【請求項 16】

シリコン貫通ピアおよび基板によって支持される第1の表面を有するダイと、
前記基板と前記ダイとの間の通信を容易にするためにシリコン貫通ピアに結合された、
前記基板と前記ダイとの間のパッケージング接続部と、
前記基板と前記ダイとの間にあり、前記ダイを部分的に取り囲み、封入手段の側壁が前記基板の側壁と同一平面上にある、ダイを封入するための手段と、
封入手段によって部分的に支持され、実質的に前記基板の長さに延在する、ダイを電気的に分離する手段と、
を含む半導体デバイス。

【請求項17】

前記半導体デバイスが、通信デバイス、音楽プレーヤ、ビデオプレーヤ、エンターテイメントユニット、ナビゲーションデバイス、コンピュータ、携帯情報端末（PDA）、および固定位置データユニットの少なくとも1つに組み込まれる請求項16に記載の半導体デバイス。

【請求項18】

前記半導体デバイスが、通信デバイス、音楽プレーヤ、ビデオプレーヤ、エンターテイメントユニット、ナビゲーションデバイス、コンピュータ、携帯情報端末（PDA）、および固定位置データユニットの少なくとも1つに組み込まれる請求項12に記載の半導体デバイス。

【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】0047

【訂正方法】変更

【訂正の内容】

【0047】

図9Fで、第1の層ダイ921、922、およびモールド化合物931を、シリコン貫通ピア912を露出させるように、裏面研削またはリセスエッティングによって薄くする。一実施形態において、厚さは、50μm未満である。図9Gで、分離層941を、第1の層ダイ921、922に堆積させる。図9Hで、分離層941を、リソグラフィおよびエッティングを使用してパターニングし、金属接続部946をエッティングされた領域に堆積させる。任意のバックエンドオブライン（BEOL）処理を実施する前にモールド化合物931を適用した結果として、分離層941および他のバックエンドオブライン（BEOL）層（図示せず）は、基板926と同一平面上にある。