

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 25 年 8 月 8 日 (2013.8.8)

【公表番号】特表 2012-526400 (P2012-526400A)
 【公表日】平成 24 年 10 月 25 日 (2012.10.25)
 【年通号数】公開・登録公報 2012-044
 【出願番号】特願 2012-510021 (P2012-510021)
 【国際特許分類】

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 25/08 Z

【誤訳訂正書】
 【提出日】平成 25 年 6 月 18 日 (2013.6.18)

【誤訳訂正 1】
 【訂正対象書類名】特許請求の範囲
 【訂正対象項目名】全文
 【訂正方法】変更
 【訂正の内容】
 【特許請求の範囲】
 【請求項 1】

半導体製造方法であって、

第 1 のダイを薄くするステップと、

前記第 1 のダイを薄くした後に、前記第 1 のダイを基板パネルに取り付けるステップと

、

前記第 1 のダイを前記基板パネルに取り付けた後に、前記第 1 のダイおよび前記基板パネルにモールド化合物を適用するステップと、

前記モールド化合物を適用した後に、前記第 1 のダイおよび前記モールド化合物を薄くするステップと

を含む方法。

【請求項 2】

前記第 1 のダイを薄くするステップが、少なくとも 1 つのシリコン貫通ビアを露出させる、請求項 1 に記載の方法。

【請求項 3】

薄くするステップの後に、

分離層を前記第 1 のダイに堆積させるステップと、

パッケージング接続部を前記第 1 のダイに堆積させるステップと
をさらに含む請求項 2 に記載の方法。

【請求項 4】

前記パッケージング接続部を、前記第 1 のダイの前記少なくとも 1 つのシリコン貫通ビアに結合するステップをさらに含む請求項 3 に記載の方法。

【請求項 5】

第 2 のダイを前記パッケージング接続部に取り付けるステップをさらに含む請求項 4 に記載の方法。

【請求項 6】

前記第 2 のダイに第 2 のモールド化合物を適用するステップをさらに含む請求項 5 に記載の方法。

【請求項 7】

前記第 1 のダイを前記基板パネルに取り付ける前に、ウエハを前記第 1 のダイにダイシングするステップをさらに含む請求項 1 に記載の方法。

【請求項 8】

前記第 1 のダイを、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (P D A)、固定位置データユニット、およびコンピュータからなる群から選択されるデバイスの中に組み込むステップをさらに含む請求項 1 に記載の方法。

【請求項 9】

前記モールド化合物を適用するステップが、エポキシベースのモールドを適用するステップを含む、請求項 1 に記載の方法。

【請求項 10】

前記モールド化合物を適用するステップが、モールドチェースをモールド化合物で満たすステップと、前記モールドチェースを前記第 1 のダイに適用するステップとを含む、請求項 1 に記載の方法。

【請求項 11】

半導体製造方法であって、
ウエハを裏面研削するステップと、
前記ウエハを第 1 の層ダイにダイシングするステップと、
前記第 1 の層ダイを基板パネルに取り付けるステップと、
前記第 1 の層ダイおよび前記基板パネルに第 1 のモールド化合物を適用するステップと
、
前記第 1 の層ダイおよび前記第 1 のモールド化合物を裏面研削するステップと、
第 2 の層ダイを前記第 1 の層ダイに取り付けるステップと、
前記第 1 の層ダイおよび前記第 2 の層ダイに第 2 のモールド化合物を適用するステップ
と
を含む方法。

【請求項 12】

基板と、
シリコン貫通ビアと、第 1 の表面と、第 1 の表面の反対側の第 2 の表面とを有し、第 1
の表面が前記基板によって支持される、第 1 のダイと、
前記基板と前記第 1 のダイとの間の通信を容易にするためにシリコン貫通ビアに結合さ
れた、前記基板と前記第 1 のダイとの間のパッケージング接続部と、
前記第 1 のダイを部分的に取り囲み、前記第 1 のモールド化合物の側壁が前記基板の側
壁と同一平面上にある、前記基板と前記第 1 のダイとの間の第 1 のモールド化合物と
第 1 のモールド化合物によって部分的に支持され、実質的に前記基板の長さに延在する
分離層と、
を含む半導体デバイス。

【請求項 13】

前記第 1 のダイに結合された第 2 のダイをさらに含む請求項 1 2 に記載の半導体デバイス。

【請求項 14】

前記第 2 のダイを部分的に取り囲み、第 2 のモールド化合物の側壁が前記第 1 のモールド化合物の側壁および前記分離層の側壁と同一平面上にあり、第 2 のモールド化合物の表面が前記分離層の第 2 の表面と隣接する、第 2 のモールド化合物をさらに含む請求項 1 3
に記載の半導体デバイス。

【請求項 15】

前記第 1 のモールド化合物と同一平面上のバックエンドオブライン層をさらに含む請求項 1 2 に記載の半導体デバイス。

【請求項 16】

シリコン貫通ビアおよび基板によって支持される第 1 の表面を有するダイと、
前記基板と前記ダイとの間の通信を容易にするためにシリコン貫通ビアに結合された、
前記基板と前記ダイとの間のパッケージング接続部と、
前記基板と前記ダイとの間にあり、前記ダイを部分的に取り囲み、封入手段の側壁が前
記基板の側壁と同一平面上にある、ダイを封入するための手段と、
封入手段によって部分的に支持され、実質的に前記基板の長さに延在する、ダイを電気
的に分離する手段と、
を含む半導体デバイス。

【請求項 17】

前記半導体デバイスが、通信デバイス、音楽プレーヤ、ビデオプレーヤ、エンターテイ
ンメントユニット、ナビゲーションデバイス、コンピュータ、携帯情報端末（PDA）、
および固定位置データユニットの少なくとも 1 つに組み込まれる請求項 16 に記載の半導
体デバイス。

【請求項 18】

前記半導体デバイスが、通信デバイス、音楽プレーヤ、ビデオプレーヤ、エンターテイ
ンメントユニット、ナビゲーションデバイス、コンピュータ、携帯情報端末（PDA）、
および固定位置データユニットの少なくとも 1 つに組み込まれる請求項 12 に記載の半導
体デバイス。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0047

【訂正方法】変更

【訂正の内容】

【0047】

図 9F で、第 1 の層ダイ 921、922、およびモールド化合物 931 を、シリコン貫通ビア 912 を露出させるように、裏面研削またはリセスエッチングによって薄くする。一実施形態において、厚さは、50 μ m 未満である。図 9G で、分離層 941 を、第 1 の層ダイ 921、922 に堆積させる。図 9H で、分離層 941 を、リソグラフィおよびエッチングを使用してパターンニングし、金属接続部 946 をエッチングされた領域に堆積させる。任意のバックエンドオブライン（BEOL）処理を実施する前にモールド化合物 931 を適用した結果として、分離層 941 および他のバックエンドオブライン（BEOL）層（図示せず）は、基板 926 と同一平面上にある。