

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 3 年 1 月 28 日 (2021.1.28)

【公開番号】特開 2019-114635 (P2019-114635A)

【公開日】令和 1 年 7 月 11 日 (2019.7.11)

【年通号数】公開・登録公報 2019-027

【出願番号】特願 2017-246227 (P2017-246227)

【国際特許分類】

H 0 5 K 3/46 (2006.01)

H 0 5 K 1/16 (2006.01)

H 0 1 L 23/12 (2006.01)

【F I】

H 0 5 K 3/46 Q

H 0 5 K 3/46 B

H 0 5 K 1/16 D

H 0 1 L 23/12 B

【手続補正書】

【提出日】令和 2 年 12 月 8 日 (2020.12.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ガラス基板と、

このガラス基板に積層される導体回路層と、

前記導体回路層の一部を下部電極とし、この下部電極上に積層形成される誘電体層、及び前記誘電体層上に積層形成される上部電極層を有するキャパシタと、

を備え、

前記導体回路層の上面は、第 1 上面領域と、前記第 1 上面領域から突き出た凸部の上面としての第 2 上面領域とを有し、前記第 2 上面領域は前記下部電極の上面であるキャパシタ内蔵ガラス回路基板。

【請求項 2】

前記ガラス基板及び前記導体回路層の間に形成される下部金属層を更に備える、請求項 1 に記載のキャパシタ内蔵ガラス回路基板。

【請求項 3】

前記導体回路層は、銅、ニッケル、クロム、パラジウム、金、ロジウム、及びイリジウムからなる群より選択される何れかの材料からなる請求項 1 又は請求項 2 に記載のキャパシタ内蔵ガラス回路基板。

【請求項 4】

前記第 2 上面領域は、前記第 1 上面領域と比較して表面粗さがより小さい、請求項 1 乃至請求項 3 のいずれか 1 項に記載のキャパシタ内蔵ガラス回路基板。

【請求項 5】

前記上部電極層は、前記ガラス基板と前記導体回路層との積層方向の平面視において前記導体回路層の前記第 2 上面領域の内側に備えられている、請求項 1 乃至請求項 4 のいずれか 1 項に記載のキャパシタ内蔵ガラス回路基板。

【請求項 6】

前記上部電極層の下地としての上部金属層を更に備え、前記上部金属層の厚さは、前記第2上面領域と前記第1上面領域との高さの差と比較してより大きい、請求項1乃至請求項5のいずれか1項に記載のキャパシタ内蔵ガラス回路基板。

【請求項7】

前記ガラス基板には、表裏面を貫通する貫通孔が形成されている請求項1乃至請求項6のいずれか1項に記載のキャパシタ内蔵ガラス回路基板。

【請求項8】

ガラス基板の上に、下部電極を有する導体回路層を形成する工程と、
前記導体回路層の上に、前記導体回路層の上面が部分的に露出するように保護層を形成する工程と、

前記保護層をマスクとして用いたエッチングにより、前記導体回路層の上面に、第1上面領域と、前記第1上面領域から突き出た凸部の上面としての第2上面領域とを形成する工程であって、前記第2上面領域は前記下部電極の上面である工程と、

前記保護層を除去する工程と、

前記下部電極上に誘電体層を形成する工程と、

前記誘電体層上に上部電極を形成する工程と、

を含むキャパシタ内蔵ガラス回路基板の製造方法。

【請求項9】

前記導体回路層を形成する前に、前記ガラス基板上に下部金属層を形成する工程をさらに含む、請求項8に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【請求項10】

前記導体回路層は、銅、ニッケル、クロム、パラジウム、金、ロジウム、及びイリジウムからなる群より選択される何れかの材料からなる請求項8または請求項9に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【請求項11】

前記保護層は、前記ガラス基板と前記導体回路層との積層方向の平面視において前記誘電体層及び前記上部電極の形成領域の外側まで形成される、請求項8乃至請求項10のいずれか1項に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【請求項12】

前記上部電極を、前記ガラス基板と前記導体回路層との積層方向の平面視において前記第2上面領域の内側に形成する請求項8乃至請求項11のいずれか1項に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【請求項13】

前記上部電極を形成する前に、前記誘電体層の上に、前記第2上面領域と前記第1上面領域との高さの差と比較してより大きい厚さを有する上部金属層を形成する工程を更に含む請求項8乃至11のいずれか1項に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【請求項14】

前記導体回路層を形成する前に、前記ガラス基板に表裏面を貫通する貫通孔を形成する工程を更に含む請求項8乃至請求項13のいずれか1項に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

上記の課題を解決する手段として、本発明の請求項1に記載の発明は、ガラス基板と、このガラス基板に積層される導体回路層と、前記導体回路層の一部を下部電極とし、この下部電極上に積層形成される誘電体層、及び前記誘電体層上に積層形成される上部電極層を有するキャパシタと、を備え、前記導体回路層の上面は、第1上面領域と、前記第1上

面領域から突き出た凸部の上面としての第 2 上面領域とを有し、前記第 2 上面領域は前記下部電極の上面である。

本発明の請求項 2 に記載の発明は、前記ガラス基板及び前記導体回路層の間に形成される下部金属層を更に備える。

本発明の請求項 3 に記載の発明は、前記導体回路層は、銅、ニッケル、クロム、パラジウム、金、ロジウム、及びイリジウムからなる群より選択される何れかの材料からなる。

本発明の請求項 4 に記載の発明は、前記第 2 上面領域は、前記第 1 上面領域と比較して表面粗さがより小さい。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 9

【補正方法】変更

【補正の内容】

【0 0 0 9】

本発明の請求項 5 に記載の発明は、前記上部電極層は、前記ガラス基板と前記導体回路層との積層方向の平面視において前記導体回路層の前記第 2 上面領域の内側に備えられている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 0

【補正方法】変更

【補正の内容】

【0 0 1 0】

本発明の請求項 6 に記載の発明は、前記上部電極層の下地としての上部金属層を更に備え、前記上部金属層の厚さは、前記第 2 上面領域と前記第 1 上面領域との高さの差と比較してより大きい。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【0 0 1 1】

本発明の請求項 7 に記載の発明は、前記ガラス基板には、表裏面を貫通する貫通孔が形成されている。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 2

【補正方法】変更

【補正の内容】

【0 0 1 2】

本発明の請求項 8 に記載の発明は、ガラス基板の上に、下部電極を有する導体回路層を形成する工程と、前記導体回路層の上に、前記導体回路層の上面が部分的に露出するように保護層を形成する工程と、前記保護層をマスクとして用いたエッチングにより、前記導体回路層の上面に、第 1 上面領域と、前記第 1 上面領域から突き出た凸部の上面としての第 2 上面領域とを形成する工程であって、前記第 2 上面領域は前記下部電極の上面である工程と、前記保護層を除去する工程と、前記下部電極上に誘電体層を形成する工程と、前記誘電体層上に上部電極を形成する工程と、を含む。

本発明の請求項 9 に記載の発明は、前記導体回路層を形成する前に、前記ガラス基板上に下部金属層を形成する工程をさらに含む。

本発明の請求項 10 に記載の発明は、前記導体回路層は、銅、ニッケル、クロム、パラ

ジウム、金、ロジウム、及びイリジウムからなる群より選択される何れかの材料からなる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本発明の請求項 1 1 に記載の発明は、前記保護層は、前記ガラス基板と前記導体回路層との積層方向の平面視において前記誘電体層及び前記上部電極の形成領域の外側まで形成される。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

本発明の請求項 1 2 に記載の発明は、前記上部電極を、前記ガラス基板と前記導体回路層との積層方向の平面視において前記第 2 上面領域の内側に形成する。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

本発明の請求項 1 3 に記載の発明は、前記上部電極を形成する前に、前記誘電体層の上に、前記第 2 上面領域と前記第 1 上面領域との高さの差と比較してより大きい厚さを有する上部金属層を形成する工程を更に含む。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本発明の請求項 1 4 に記載の発明は、前記導体回路層を形成する前に、前記ガラス基板に表裏面を貫通する貫通孔を形成する工程を更に含む。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

図 1 は本発明の第 1 の実施の形態に係るキャパシタ内蔵ガラス回路基板 10 の要部を示す縦断面図である。なお、図 3 F 中 P はキャパシタ形成部を示している。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

ガラス基板 100 の製造方法としては、フロート法、ダウンドロー法、フュージョン法、アップドロー法、ロールアウト法等が挙げられるが、いずれの方法によって作製されたガラス材料を用いてもよく、本実施形態のものに限定されない。ガラスの線膨張係数は -1 ppm/K 以上 15.0 ppm/K 以下であることが望ましい。その理由として、 -1 ppm/K 以下である場合、ガラス材料自体を選定することが困難となり安価に作成できない。一方、 15.0 ppm/K 以上である場合、他層との熱膨張係数の差異が大きく信頼性が低下する。また、本実施形態の基板にシリコンチップを実装する場合は、シリコンチップとの接続信頼性が低下する。なお、ガラスの線膨張係数は、より好ましくは 0.5 ppm/K 以上 8.0 ppm/K 以下、更に好ましくは 1.0 ppm/K 以上 4.0 ppm/K 以下であることが望ましい。

【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正の内容】

【0065】

絶縁樹脂層 131 の厚さであるが、好ましくは $5 \mu\text{m}$ 以上 $50 \mu\text{m}$ 以下であることが望ましい。 $50 \mu\text{m}$ 以上である場合、絶縁樹脂層 131 に形成できるビアホール 132 の小径化が難しくなるため、配線の高密度化が不利となってしまう、 $5 \mu\text{m}$ 以下である場合、層間絶縁性を確保することが困難となる。

【手続補正 14】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正の内容】

【0069】

また、図 4E に示すように、シード金属層 113 の厚さを、凸状段差部の段差よりも大きくすることによって、キャパシタの上部電極 114 をセミアディティブ法で形成するための給電を安定して行うことが可能である。この場合、絶縁体である誘電体層 111 表面の段差を導電性の高いシード金属層 113 で乗り越えるため、凸状段差部の段差による誘電体層 111 表面の段差で断線する可能性がなくなり歩留まり良く上部電極 114 を形成可能となる。

【手続補正 15】

【補正対象書類名】明細書

【補正対象項目名】0076

【補正方法】変更

【補正の内容】

【0076】

本発明によれば、ガラス基板を有するキャパシタ内蔵回路基板を高い信頼性で製造することが可能となる。なお、キャパシタ内蔵ガラス回路基板は、半導体パッケージ基板、インターポーザ、光学素子用基板の製造、あるいは電子部品の製造に利用することができる。

以下に、本願出願の当初の特許請求の範囲に記載された発明と同等の記載を付記する。

[1]

ガラス基板と、

このガラス基板に積層され、内部に導体回路層が形成された絶縁樹脂層と、

前記導体回路層の一部を下部電極とし、この下部電極上に積層形成される誘電体層と、

前記誘電体層上に積層形成される上部電極層とを有するキャパシタとを備え、

前記下部電極は、前記ガラス基板と前記絶縁樹脂層の積層方向を含む平面における断面視において前記誘電体層側に凸状段差部を有し、前記凸状段差部の表面は凸状段差部以外

の表面より、表面粗さが小さく形成されたキャパシタ内蔵ガラス回路基板。

[2]

前記キャパシタは、前記積層方向の平面視において前記導体回路層の前記凸状段差部の内側に備えられている [1] に記載のキャパシタ内蔵ガラス回路基板。

[3]

前記キャパシタの前記上部電極層の下地にはシード金属層が形成され、
前記シード金属層の厚さが、前記下部電極の前記凸状段差部の段差より厚く形成されている [1] に記載のキャパシタ内蔵ガラス回路基板。

[4]

前記ガラス基板には、表裏面を貫通する貫通孔が形成されている [1] に記載のキャパシタ内蔵ガラス回路基板。

[5]

ガラス基板表面に導体回路層を形成する工程と、前記ガラス基板に絶縁樹脂層を積層形成する工程と、前記絶縁樹脂層にビアを形成する工程を複数回繰り返す第 1 工程と、

前記第 1 工程は、前記導体回路層の一部に、誘電体層と、上部電極層とを有するキャパシタを形成する工程を含み、

前記キャパシタを形成する工程は、前記導体回路層の上に保護層を形成する工程と、前記保護層をマスクとして前記導体回路層のシード金属層を除去する工程と、前記保護層を剥離する工程と、前記導体回路層の上に下部電極、若しくは、前記誘電体層を形成する工程を含むキャパシタ内蔵ガラス回路基板の製造方法。

[6]

前記保護層を形成する工程は、前記ガラス基板と前記絶縁樹脂層との積層方向の平面視において前記キャパシタの形成領域位の外側まで形成する [5] に記載のキャパシタ内蔵ガラス回路基板の製造方法。

[7]

前記キャパシタを形成する工程は、前記上部電極層を、前記ガラス基板と前記絶縁樹脂層との積層方向の平面視において前記保護層によって保護された導体回路層部の内側に形成する [5] に記載のキャパシタ内蔵ガラス回路基板の製造方法。

[8]

前記キャパシタを形成する工程は、前記誘電体層の上部にシード金属層を形成する工程を備え、

前記シード金属層を形成する工程は、シード層の厚さが、前記保護層によって保護された導体回路層部と、保護されていない導体回路層部の段差より厚くなるように実施する [5] に記載のキャパシタ内蔵ガラス回路基板の製造方法。

[9]

前記第 1 工程の前に、前記ガラス基板に表裏面を貫通する貫通孔を形成する工程を有する [5] に記載のキャパシタ内蔵ガラス回路基板の製造方法。