

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7648862号
(P7648862)

(45)発行日 令和7年3月19日(2025.3.19)

(24)登録日 令和7年3月11日(2025.3.11)

(51)国際特許分類

F I

H O 4 L 25/08 (2006.01)

H O 4 L 25/08

H O 4 L 25/02 (2006.01)

H O 4 L 25/02

V

請求項の数 18 (全10頁)

(21)出願番号	特願2022-533329(P2022-533329)	(73)特許権者	507107291
(86)(22)出願日	令和2年11月30日(2020.11.30)		テキサス インストルメンツ インコーポ
(65)公表番号	特表2023-506148(P2023-506148		レイテッド
	A)		アメリカ合衆国 テキサス州 7 5 2 6 5
(43)公表日	令和5年2月15日(2023.2.15)		ー 5 4 7 4 ダラス メール ステーション
(86)国際出願番号	PCT/US2020/062568		3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(87)国際公開番号	WO2021/113169	(74)代理人	230129078
(87)国際公開日	令和3年6月10日(2021.6.10)		弁護士 佐藤 仁
審査請求日	令和5年11月6日(2023.11.6)	(72)発明者	リチャード スターリン ブローシュトン
(31)優先権主張番号	17/063,450		アメリカ合衆国 7 5 2 3 8 テキサス州
(32)優先日	令和2年10月5日(2020.10.5)		ダラス, エイビーティー ナンバー 3 0
(33)優先権主張国・地域又は機関			7, イー ノースウェスト ハイウェイ
	米国(US)		7 5 4 5
(31)優先権主張番号	62/942,763	(72)発明者	ヴィジャヤラクシュミ デヴァラジャン
(32)優先日	令和1年12月3日(2019.12.3)		アメリカ合衆国 7 5 0 2 4 テキサス州
	最終頁に続く		最終頁に続く

(54)【発明の名称】 リング抑制を備えたバストランシーバ

(57)【特許請求の範囲】

【請求項1】

トランシーバであって、
ドライバ段であって、

供給電圧端子と第1のバス端子との間に結合される第1のトランジスタであって、前記
第1のバス端子に結合される電流端子を有する、前記第1のトランジスタと、

接地と第2のバス端子との間に結合される第2のトランジスタであって、前記第2のバ
ス端子に結合される電流端子を有する、前記第2のトランジスタと、

を含む、前記ドライバ段と、

共通電圧端子と第1のトランジスタの端子との間に結合される第3のトランジスタであ
って、制御入力と第1及び第2の電流端子とを有する、前記第3のトランジスタと、

前記第3のトランジスタの第1の電流端子と前記第3のトランジスタの制御入力との間
に結合される第1のコンデンサと、

前記供給電圧端子と前記第3のトランジスタの制御入力との間に結合される第1の抵抗
器と、

前記供給電圧端子と前記第3のトランジスタの制御入力との間に結合される第1のスイ
ッチと、

を含む、トランシーバ。

【請求項2】

請求項1に記載のトランシーバであって、

前記第 1 のスイッチが、前記トランシーバの第 1 の状態の間にオンであり、前記トランシーバの第 2 の状態の間にオフである、ように構成される、トランシーバ。

【請求項 3】

請求項 2 に記載のトランシーバであって、

前記トランシーバがコントローラエリアネットワーク（CAN）バストランシーバであり、前記第 1 の状態が優勢状態であり、前記第 2 の状態が劣勢状態である、トランシーバ。

【請求項 4】

請求項 1 に記載のトランシーバであって、

前記共通電圧端子に結合される出力を有する電圧バッファを更に含む、トランシーバ。

【請求項 5】

請求項 1 に記載のトランシーバであって、

前記第 2 のトランジスタの電流端子と前記共通電圧端子との間に結合される第 4 のトランジスタであって、制御入力及び第 1 及び第 2 の電流端子を有する、前記第 4 のトランジスタと、

前記第 4 のトランジスタの第 1 の電流端子と前記第 4 のトランジスタの制御入力との間に結合される第 2 のコンデンサと、

前記接地と前記第 4 のトランジスタの制御入力との間に結合される第 2 の抵抗器と、

前記接地と前記第 4 のトランジスタの制御入力との間に結合される第 2 のスイッチと、を更に含む、トランシーバ。

【請求項 6】

請求項 5 に記載のトランシーバであって、

送信信号を受信するように構成されるドライバ入力と前記第 1 のトランジスタの制御入力に結合される第 1 の出力と前記第 2 のトランジスタの前記制御入力に結合される第 2 の出力とを有する送信器ドライバを更に含む、トランシーバ。

【請求項 7】

請求項 5 に記載のトランシーバであって、

前記第 1 のスイッチが、前記トランシーバの第 1 の状態の間にオンであり、前記トランシーバの第 2 の状態の間にオフである、ように構成され、

前記第 2 のスイッチが、前記トランシーバの第 1 の状態の間にオンであり、前記トランシーバの第 2 の状態の間にオフである、ように構成される、トランシーバ。

【請求項 8】

請求項 7 に記載のトランシーバであって、

前記トランシーバがコントローラエリアネットワーク（CAN）バストランシーバであり、前記第 1 の状態が優勢状態であり、前記第 2 の状態が劣勢状態であり、

前記トランシーバが、前記共通電圧端子に共通電圧を提供する出力を有する電圧バッファを更に含む、トランシーバ。

【請求項 9】

請求項 1 に記載のトランシーバであって、

前記共通電圧端子と前記第 1 のトランジスタの電流端子と前記第 2 のトランジスタの電流端子とに結合される劣勢無効化回路であって、前記トランシーバの優勢状態から劣勢状態への遷移のときに或る時間期間の間に前記第 1 及び第 2 のトランジスタの電流端子を前記共通電圧端子との電圧とするように構成される、前記劣勢無効化回路を更に含む、トランシーバ。

【請求項 10】

トランシーバであって、

供給電圧端子と第 1 のバス端子との間に結合される第 1 のトランジスタと接地と第 2 のバス端子との間に結合される第 2 のトランジスタとを含むドライバ段と、

前記第 1 及び第 2 のトランジスタに結合される遷移トリガされるリング抑制回路であって、前記トランシーバが優勢状態から劣勢状態に遷移する際にイネーブルされ、前記トランシーバが劣勢状態にある間に前記第 1 又は第 2 のバス端子の少なくとも一方におけるリ

10

20

30

40

50

ンギングを減衰させる、ように構成され、
前記第2のトランジスタの端子と共通電圧端子との間に結合される第3のトランジスタであって、制御入力と第1及び第2の電流端子とを有する、前記第3のトランジスタと、
前記第3のトランジスタの第2の電流端子と前記第3のトランジスタの制御入力との間に結合される第1のコンデンサと、
前記接地と前記第3のトランジスタの制御入力との間に結合される第1の抵抗器と、
前記接地と前記第3のトランジスタの制御入力との間に結合される第1のスイッチと、
を含む、遷移トリガされるリング抑制回路と、
を含む、トランシーバ。

【請求項11】

請求項10に記載のトランシーバであって、
前記遷移トリガされるリング抑制回路が、
前記共通電圧端子と前記第1のトランジスタの端子との間に結合される第4のトランジスタであって、制御入力と第1及び第2の電流端子とを有する、前記第4のトランジスタと、
前記第4のトランジスタの第1の電流端子と前記第4のトランジスタの制御入力との間に結合される第2のコンデンサと、
前記供給電圧端子と前記第4のトランジスタの制御入力との間に結合される第2の抵抗器と、
前記供給電圧端子と前記第4のトランジスタの制御入力との間に結合される第2のスイッチと、
を更に含む、トランシーバ。

【請求項12】

請求項10に記載のトランシーバであって、
前記第1のスイッチが、前記優勢状態の間にオンであり、前記劣勢状態の間にオフである、ように構成される、トランシーバ。

【請求項13】

請求項10に記載のトランシーバであって、
前記共通電圧端子に結合される出力を有する電圧バッファを更に含む、トランシーバ。

【請求項14】

トランシーバであって、
供給電圧端子と第1のバス端子との間に結合される第1のトランジスタと接地と第2のバス端子との間に結合される第2のトランジスタとを含むドライバ段と、
前記第1及び第2のトランジスタに結合される遷移トリガされるリング抑制回路であって、前記トランシーバの優勢状態から劣勢状態への遷移のときにイネーブルされ、前記トランシーバが劣勢状態にある間に前記第1及び第2のバス端子の少なくとも1つの上のリ
ンギングを抑制する、ように構成され、

共通電圧端子と前記第1のトランジスタの端子との間に結合される第3のトランジスタ
であって、制御入力と第1及び第2の電流端子とを有する、前記第3のトランジスタと、
前記第3のトランジスタの第1の電流端子と前記第3のトランジスタの制御入力との間に結合される第1のコンデンサと、
前記供給電圧端子と前記第3のトランジスタの制御入力との間に結合される第1の抵抗器と、
前記供給電圧端子と前記第3のトランジスタの制御入力との間に結合される第1のスイッチと、
を含む、前記遷移トリガされるリング抑制回路と、
を含む、トランシーバ。

【請求項15】

トランシーバであって、
ドライバ段であって、
供給電圧端子と第1のバス端子との間に結合される第1のトランジスタであって、前記

10

20

30

40

50

第 1 のバス端子に結合される電流端子を有する、前記第 1 のトランジスタと、

接地と第 2 のバス端子との間に結合される第 2 のトランジスタであって、前記第 2 のバス端子に結合される電流端子を有する、前記第 2 のトランジスタと、

を含む、前記ドライバ段と、

共通電圧端子と前記第 1 のトランジスタの電流端子との間に結合される第 3 のトランジスタであって、制御入力と第 1 及び第 2 の電流端子とを有する、前記第 3 のトランジスタと、

前記第 3 のトランジスタの第 1 の電流端子と前記第 3 のトランジスタの制御入力との間に結合される第 1 のコンデンサと、

前記供給電圧端子と前記第 3 のトランジスタの制御入力との間に結合される第 1 の抵抗器と、

前記供給電圧端子と前記第 3 のトランジスタの制御入力との間に結合される第 1 のスイッチと、

前記第 2 のトランジスタの端子と前記共通電圧端子との間に結合される第 4 のトランジスタであって、制御入力及び第 1 及び第 2 の電流端子を有する、前記第 4 のトランジスタと、

前記第 4 のトランジスタの第 1 の電流端子と前記第 4 のトランジスタの制御入力との間に結合される第 2 のコンデンサと、

前記接地と前記第 4 のトランジスタの制御入力との間に結合される第 2 の抵抗器と、

前記接地と前記第 4 のトランジスタの制御入力との間に結合される第 2 のスイッチと、

を含む、トランシーバ。

【請求項 16】

請求項 15 に記載のトランシーバであって、

前記第 3 及び第 4 のトランジスタの第 2 の電流端子に結合される出力を有する電圧バッファであって、前記共通電圧端子上に共通電圧を生成するように構成される、前記電圧バッファを更に含む、トランシーバ。

【請求項 17】

請求項 16 に記載のトランシーバであって、

前記共通電圧端子と前記第 1 のトランジスタの電流端子と前記第 2 のトランジスタの電流端子とに結合される劣勢無効化回路であって、前記トランシーバの第 1 の状態から第 2 の状態への遷移の際にある時間期間の間に前記第 1 及び第 2 のトランジスタの電流端子上の電圧を前記共通電圧端子上の電圧とするように構成される、前記劣勢無効化回路を更に含む、トランシーバ。

【請求項 18】

請求項 15 に記載のトランシーバであって、

前記トランシーバが、コントローラエリアネットワーク（CAN）バストランシーバである、トランシーバ。

【発明の詳細な説明】

【技術分野】

【0001】

コントローラエリアネットワーク（CAN）は、ホストコンピュータのない応用例においてマイクロコントローラとデバイスが互いに通信できるように設計されたバス標準である。CAN バスプロトコルはメッセージベースのプロトコルであり、特に自動車内の多重化された電気配線に適しているが、他の応用例にも有用である。

【発明の概要】

【0002】

一例において、トランシーバが、ドライバ段と、過渡トリガされたリング抑制回路とを含む。ドライバ段は、供給電圧端子と第 1 のバス端子との間に結合される第 1 のトランジスタ、並びに、接地と第 2 のバス端子との間に結合される第 2 のトランジスタを有する。過渡トリガされたリング抑制回路は、第 1 及び第 2 トランジスタに結合される。過渡トリ

10

20

30

40

50

がされたリング抑制回路は、トランシーバが優勢（dominant）状態から劣勢（recessive）状態に遷移する際にイネーブルされるように構成される。また、トランシーバが劣勢状態にある間、過渡トリガされたリング抑制回路は、第1又は第2のバス端子の少なくとも一方におけるリングングを減衰させるように構成される。

【0003】

種々の例の詳細な説明のため、ここで、添付の図面を参照する。

【図面の簡単な説明】

【0004】

【図1】過渡トリガされたリング抑制回路を含むCANバストランシーバの例を示す。

【0005】

【図2】トランシーバに過渡トリガされたリング抑制回路がない場合のCANバス上のリングングの例示の信号波形を示す。

【0006】

【図3】過渡トリガされたリング抑制回路を有する図1のトランシーバに対するCANバス上の減衰リングングを図示する例示の信号波形を示す。

【発明を実施するための形態】

【0007】

CANバス速度が増加してくるにつれて、不適切な電氣的終端に起因するバス上のリングングも増加してきている。CANバストランシーバが「優勢」状態から「劣勢」状態に遷移すると、不適切に終端されたスタブからの反射がトランシーバ上でリングングを引き起こす可能性がある。リングングの大きさが十分に高い場合、トランシーバは、そのリングングを優勢ビットとして誤って解釈する。従って、リングングがビットエラーを引き起こす可能性がある。本明細書で説明される例には、トランシーバが劣勢状態に遷移する際にイネーブルされる過渡トリガされたリング抑制回路を含むCANバストランシーバが含まれる。バス上の如何なるリングングも、過渡トリガされたリング抑制回路を介して減衰され、それにより、より小さな振幅及びより短い持続時間のリングング信号となり、それにより、ビット誤りがより少なくなる。本明細書で説明する過渡トリガされたリング抑制回路は、CAN以外の他のバスプロトコルにも適用可能である。

【0008】

図1は、CANバストランシーバ100の少なくとも一部の例を示す。CANバストランシーバ100は、トランスミッタ101及びレシーバ150を含む。CAN BUS端子はCANH及びCANLと示される。レシーバ150は、CANH及びCANLに結合され、バス上で別のトランシーバによって送信された信号を受信し、受信信号RxDを他の論理（図示せず）に出力する。レシーバ150は、CANHとCANLとの間に差動抵抗R_{id}を含む。トランスミッタ101は、パルス生成器110と、電圧バッファ115と、過渡トリガされたリング抑制回路120と、劣勢無効化（nulling）回路130と、ドライバ段140とを含む。電圧バッファ115は、一例では、共通電圧端子（V_{CM}）上の供給電圧の2分の1に等しい電圧を生成する。

【0009】

ドライバ段140は、トランジスタM1～M5、及びドライバ142を含む。M1、M3、及びM6は、p型金属酸化物半導体電界効果トランジスタ（PMOS）、M2、M4、及びM5は、n型金属酸化物半導体電界効果トランジスタ（NMOS）である。PMOS又はNMOSデバイスとして、このようなトランジスタの各々は、制御入力（ゲート）及び電流端子（ソース及びドレイン）を含む。他のタイプのトランジスタ、例えば、制御入力（ベース）及び電流端子（コレクタ及びエミッタ）も有するバイポーラ接合トランジスタなどを用いることもできる。

【0010】

M1～M3は、供給電圧端子（V_{CC}）とCANHとの間に直列に接続され、M1のソースはV_{CC}に結合され、M1のドレインはノードN1でM2のソースに接続され、M2のドレインはノードN2でM3のソースに接続され、CANHはM3のドレインから取ら

10

20

30

40

50

れる。同様に、M4～M6は接地とCANLとの間に直列に接続され、M4のソースは接地に結合され、M4のドレインはノードN3でM5のソースに接続され、M5のドレインはノードN4でM6のソースに接続され、CANLはM6のドレインから取られる。終端抵抗器Rterm（例えば、120オーム）がCANHとCANLとの間に接続されるが、トランシーバは、他の方式で（例えば、CANHとCANLとの間の直列接続される60オーム抵抗器、及び、抵抗器と接地との間のノード間に接続されたコンデンサを用いて）終端され得る。

【0011】

PMOSトランジスタM3及びM6のゲートは接地に接続されており、そのため、M3及びM4は連続的にオンのままである。M3及びM6のソースは、トランジスタの閾値電圧が接地（例えば、0.7V）より高く固定されたままである。M3及びM6は、それぞれのバス端子CANH又はCANLからの大きな負電圧がトランシーバに損傷を与えるのを阻止するように動作する。M2とM5のゲートは、VCCに接続され、それぞれのバス端子CANH又はCANLからの大きな正電圧がトランシーバに損傷を与えるのを阻止する。

【0012】

ドライバ142は、その入力上で送信信号TxDを受信し、それぞれ、M1及びM4のゲートに接続されている相補出力143及び144を駆動する。CANH及びCANLは、CANH電圧がCANL電圧より高い状態で優勢状態に駆動されるか、又は、CANH電圧がCANL電圧以下の状態で、駆動されず受動抵抗器によって劣勢状態にプルされるかのいずれかである。「0」データビットは優勢状態を符号化し、「1」データビットは劣性状態を符号化する。優勢状態では、TxDは0に等しく設定され、劣勢状態では、TxDは1に等しく設定される。TxDが0（優勢状態）である場合、ドライバ142の出力143は0（低）であり、出力144は1（高）である。出力143が0であり、出力144が0であると、PMOSトランジスタM1及びNMOSトランジスタM4の両方がオンにされ、それによってCANHがVCCに向かってプルアップし、CANLが接地に向かってプルダウンされる。CANバスプロトコルによれば、優勢状態では、CANバス差動電圧は公称2Vである。劣勢状態では、TxDは1であり、そのため、ドライバ142の出力143は1であり、出力144は0であり、M1及びM4の両方がオフにされる。M1とM4がオフの状態では、CANH及びCANL上の電圧は、受動的に抵抗器RtermとRidを介してVCMにほぼ等しくなる。上記の例では、VCMはVCC／2に等しい。VCCが5Vである応用例ではVCMは2.5Vであり、劣性状態では、CANH及びCANLは両方とも2.5V（ほぼゼロの差動電圧）にほぼ等しい。

【0013】

劣勢無効化回路はNMOSトランジスタM7～M12を含む。M7及びM8のゲートは、共にパルス生成器110に接続される。M7のドレインは、M1のドレイン及びM2のソース（ノードN1）に接続される。M9は、M8のドレインとM2のドレインとM3のソースとの間（ノードN2）に接続される。M9は、オンにバイアスされ、N2上の大きな正電圧がトランシーバを損傷させるのを阻止するように動作し得る。M7及びM8のソースは、共にM10及びM11のソースに接続される。M10及びM11のゲートは、共にパルス生成器110に接続される。M10のドレインは、M4のドレイン及びM5のソース（ノードN3）に接続される。M12は、M11のドレインとM5のドレインとM6のソースとの間（ノードN4）に接続される。M12は、オンにバイアスされ、N4上の大きな正電圧がトランシーバを損傷させるのを阻止するように動作する。

【0014】

パルス生成器110は、TxDの0から1への遷移に応答して、それぞれ、出力111及び112上にパルス114及び116を生成する。パルスの幅は、固定されてもよく、プログラム可能であってもよい。一例では、幅は200ナノ秒である。パルスの間、M7、M8、M10、及びM11はオンである。劣性無効化回路130は、劣性ノードへの遷移の際、ノードN1～N4の各々を短い時間期間（例えば、200ns）VCMに等しく

10

20

30

40

50

なるように強制して、CANH及びCANL上の電圧を互いにかつVCMに等しくなるように強制するのを助けるように機能する。パルス114及び116が終了すると、CAN及びCANLはVCMに留まる。

【0015】

遷移トリガされたリング抑制回路120は、優勢状態から劣勢状態への遷移の際にCANバス上のリングングを抑制するのに役立つ。遷移トリガされたリング抑制回路120は、スイッチSW1及びSW2、抵抗器R1及びR2、コンデンサC1及びC2、並びに、NMOSトランジスタM21及びM22を含む。SW1は、VCCとM21のゲートとの間に結合される。一例において、SW1はPMOSトランジスタであってもよい。R1もVCCとM21のゲートとの間に結合される。C1はM21のソースとゲートの間に結合される。SW2は、接地とM22のゲートとの間に結合される。一例では、SWはNMOSトランジスタであってもよい。接地とM22のゲートとの間にR2も結合される。C2がM21のゲートとドレインの間に結合される。

【0016】

優勢状態(TxDが0である)の間、M1はオンである。M1がオンであると、ノードN1はVCCにプルアップされ、そのためM21のソースはVCCである。M22のソースはVCMに結合される。優勢状態の間、制御信号121及び122は、スイッチSW1及びSW2を閉じるようにさせる。この例では、制御信号121及び122がパルス生成器110によって生成される。SW1がPMOSトランジスタとして実装される場合、制御信号121は、TXDの論理状態を追跡するために、パルス生成器110によってアサートされ得る(すなわち、TXDが高であるとき、制御信号121が高に強制され、その逆も同様である)。SW2がNMOSトランジスタとして実装される場合、制御信号122がパルス生成器110によってアサートされて、TXDの論理状態の論理反転を追跡し得る(すなわち、TXDが高であるとき、制御信号122が低に強制され、逆も同様である)。一例では、パルス生成器110は、制御信号121及び122を生成するためのバッファを含む(バッファは正及び負の出力を有する)。SW1が閉じていると、M21のゲートはVCCにプルアップされる。このように、M21の両端のゲート-ソース間電圧はM21をオンにするには不十分であり、そのためM21はオフになる。SW2が閉じていると、M22のゲートはプルされて、M22をオフ状態に維持する。

【0017】

劣勢状態に入ると、制御信号121及び122は、論理状態を変更させ、スイッチSW1及びSW2を開かせ、それによって、遷移トリガされたリング抑制回路をイネーブルする。R1はM21のゲートを高にプルし、それによってM21をオフ状態に維持する。しかしながら、CANH上にリングング信号があると、M3及びM2を介してコンデンサC1まで伝搬する。リングング信号に起因してC1が充電され、リングング信号の大きさが十分に大きい場合、C1は、M21をオンにするのに十分に大きな電圧(少なくともVCMを上回る閾値電圧)まで充電され得る。VCCとM21のゲートの間に接続されている抵抗器R1は、M21のゲートを放電させ、それによって、最終的にM21のターンをもたらす。そのように、CANH上のリングング信号は、遷移トリガされたリング抑制回路120のCANH(すなわち、R1、C1、及びM21)に結合された部分を介して消散される。

【0018】

劣勢状態及びバスのCANL側では、R2はM22のゲートを低にプルし、それによってM22をオフ状態に維持する。CANL上にリングング信号があると、M6及びM5を介してコンデンサC2に伝搬する。C2は、リングング信号に起因して充電され、リングング信号の大きさが十分に大きい場合、C2は、M22をオンにするのに十分に大きな電圧(少なくともVCMに接続されているM22のソースを上回る閾値電圧)まで充電される。接地とM22のゲートとの間に接続されている抵抗器R2は、M22のゲートを放電させ、それによって最終的にM22のターンをもたらす。そのように、CANL上のリングング信号は、遷移トリガされたリング抑制回路120のCANL(すなわち、R2、C

10

20

30

40

50

2、及びM22)に結合された部分を介して消散される。

【0019】

図2は、遷移トリガされたリング抑制回路120を持たないCANバストランシーバについて、優勢状態の間及び劣勢状態への遷移の際のCANH及びCANLの電位レベルを図示する。上の曲線はCANH及びCANL信号を示し、下の曲線は差動電圧(すなわち、CANH-CANL)である。優勢状態の間、CANHは3.5Vであり、CANLは1.5Vであり、そのため差動電圧は2Vである。劣勢状態に入ると、CANH及びCANL電圧レベルは、この例では2.5VであるほぼVCMで共に近づく。しかしながら、図1の例では、劣勢状態に入るとリングング210が生じる。リングング信号の大きさは、時間の経過とともに減少する。220で示される初期リングングピークは、トランシーバにおけるビットエラー(リングングを新たな優勢的状态と誤解する)を生じさせるのに十分な高さである。

10

【0020】

図3は、上述した遷移トリガされたリング抑制回路120を有するCANバストランシーバについて、優勢状態の間及び劣勢状態への遷移の際のCANH及びCANLを図示する。図から分かるように、リングング310の大きさは、図2におけるリングング210と比べて減衰され、ピークリングングレベル320は、ビットエラーを生じさせるほど大きくない。さらに、リングング310は、リングング210よりもはるかに迅速に消散する。

【0021】

20

「結合する」という用語は本明細書全体を通じて用いられている。この用語は、本開示の説明と一貫した機能的な関係を可能にする、接続、通信、又は信号経路を包含し得る。例えば、デバイスAが或る行為を行なうためにデバイスBを制御するための信号を生成する場合、第1の例において、デバイスAはデバイスBに結合されるか、又は第2の例において、介在構成要素CがデバイスAとデバイスBとの間の機能関係を実質的に変化させない場合にデバイスBがデバイスAによって生成される制御信号を介してデバイスAによって制御されるように、デバイスAは介在構成要素Cを介してデバイスBに結合される。

【0022】

本発明の特許請求の範囲内で、説明した例示の実施例に改変が成され得、他の実施例が可能である。

30

40

50

【図面】

【図 1】

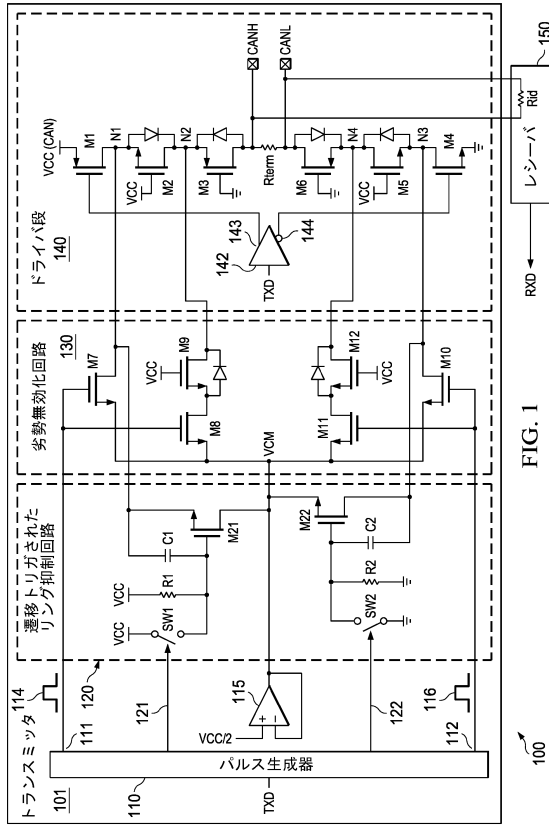


FIG. 1

【図 2】

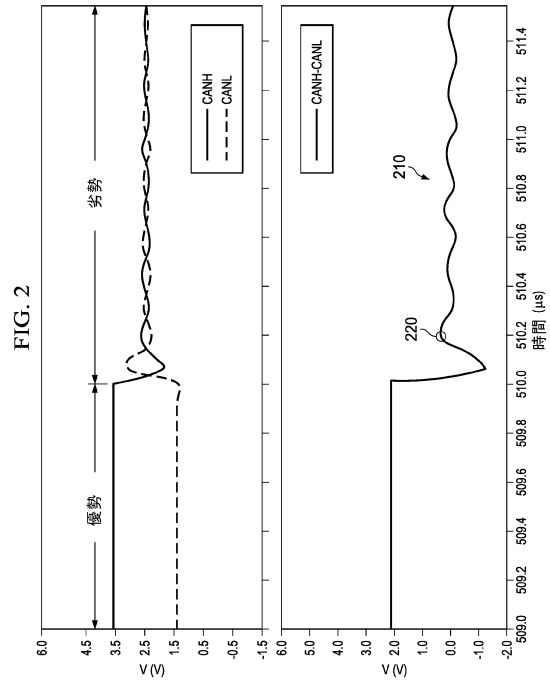


FIG. 2

【図 3】

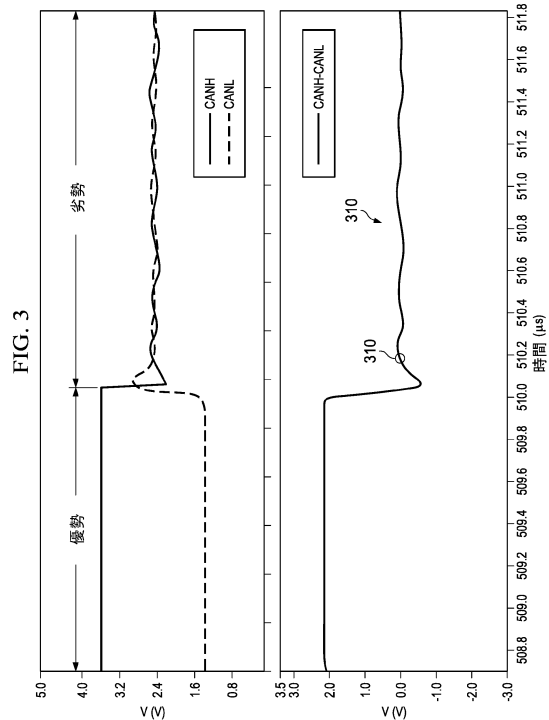


FIG. 3

10

20

30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

ブレイノ, ヒギンス レーン 7505

(72)発明者 ウェスレイ ライヤン レイ

アメリカ合衆国 75035 テキサス州 フリスコ, ロアノーク 5700

(72)発明者 ダッシュマンサ バンダラ ラジャパクシャ

アメリカ合衆国 75002 テキサス州 ルーカス, コルビー コート 1503

審査官 北村 智彦

(56)参考文献 特開2005-260799 (JP, A)

特開2012-244220 (JP, A)

特開2018-019322 (JP, A)

特開2009-141938 (JP, A)

米国特許出願公開第2014/0156893 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

H04L 25/08

H04L 25/02

IEEE Xplore