



(12)发明专利

(10)授权公告号 CN 103855224 B

(45)授权公告日 2018.11.09

(21)申请号 201310631139.1

(51)Int.Cl.

(22)申请日 2013.11.29

H01L 29/786(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 103855224 A

(56)对比文件

US 2012/0001170 A1,2012.01.05,

US 2012/0132904 A1,2012.05.31,

CN 102668098 A,2012.09.12,

(43)申请公布日 2014.06.11

(30)优先权数据

2012-261919 2012.11.30 JP

审查员 郑钰

(73)专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72)发明人 德永肇 肥塚纯一 冈崎健一

山崎舜平

(74)专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 叶晓勇 汤春龙

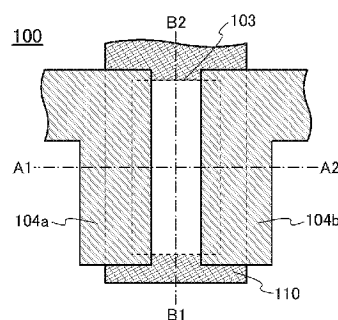
权利要求书2页 说明书44页 附图30页

(54)发明名称

半导体装置

(57)摘要

本发明提供一种可靠性高且具有稳定的电特性的半导体装置。通过以接触于形成有沟道的氧化物半导体膜的上层及下层的方式形成含有一种以上与构成该氧化物半导体膜的金属元素相同的金属元素的氧化物膜,可以使该氧化物半导体膜的上侧界面与下侧界面不容易生成界面能级。另外,通过作为与氧化物半导体膜接触的氧化物膜使用电子亲和能比氧化物半导体膜的电子亲和能小的材料,流过沟道的电子几乎不会迁移至与氧化物半导体膜接触的氧化物膜中,而主要迁移至氧化物半导体膜中。因此,即使形成于氧化物膜的外侧的绝缘膜与氧化物膜的界面存在能级,该能级也几乎不会对电子的移动造成影响。



1. 一种半导体装置,包括:

第一电极;

所述第一电极上的第一绝缘膜;

所述第一绝缘膜上的含有镓的氧化物半导体膜;

在所述氧化物半导体膜上并与其接触的第一氧化物膜;

所述第一氧化物膜上的第二电极;

所述第一氧化物膜上的第三电极;以及

在所述第一氧化物膜、所述第二电极及所述第三电极上并与所述第一氧化物膜、所述第二电极及所述第三电极接触的第二氧化物膜,

其中,所述第一氧化物膜和所述第二氧化物膜中的每一个包括铟、镓以及锌,

其中,所述第二氧化物膜的电子亲和能等于或低于所述第一氧化物膜的电子亲和能,

并且其中,所述第二氧化物膜的电子亲和能低于所述氧化物半导体膜的电子亲和能。

2. 根据权利要求1所述的半导体装置,其中所述氧化物半导体膜、所述第一氧化物膜及所述第二氧化物膜都含有相同金属元素。

3. 根据权利要求1所述的半导体装置,还包括在所述第二氧化物膜上并与其接触的第二绝缘膜,其中所述第二绝缘膜包含过剩氧。

4. 根据权利要求3所述的半导体装置,其中所述第二绝缘膜是氧化物绝缘膜和氮化物绝缘膜的叠层。

5. 一种半导体装置,包括:

第一电极;

所述第一电极上的第一绝缘膜;

所述第一绝缘膜上的第一氧化物膜;

在所述第一氧化物膜上并与其接触的含有镓的氧化物半导体膜;

在所述氧化物半导体膜上并与其接触的第二氧化物膜;

所述第二氧化物膜上的第二电极;

所述第二氧化物膜上的第三电极;以及

在所述第二氧化物膜、所述第二电极及所述第三电极上并与所述第二氧化物膜、所述第二电极及所述第三电极接触的第三氧化物膜,

其中,所述第一氧化物膜、所述第二氧化物膜和所述第三氧化物膜中的每一个包括铟、镓以及锌,

并且其中所述氧化物半导体膜还含有铟和锌。

6. 根据权利要求5所述的半导体装置,其中所述氧化物半导体膜、所述第一氧化物膜、所述第二氧化物膜及所述第三氧化物膜都含有相同金属元素。

7. 根据权利要求5所述的半导体装置,

其中,所述第三氧化物膜的电子亲和能与所述第一氧化物膜的电子亲和能及所述第二氧化物膜的电子亲和能相等,

并且,所述第三氧化物膜的所述电子亲和能低于所述氧化物半导体膜的电子亲和能。

8. 根据权利要求5所述的半导体装置,

其中,所述第三氧化物膜的电子亲和能低于所述第一氧化物膜的电子亲和能及所述第

二氧化物膜的电子亲和能，

并且，所述第一氧化物膜的所述电子亲和能及所述第二氧化物膜的所述电子亲和能低于所述氧化物半导体膜的电子亲和能。

9. 根据权利要求5所述的半导体装置，

其中，所述第三氧化物膜的电子亲和能与所述第二氧化物膜的电子亲和能相等，

所述第三氧化物膜的所述电子亲和能高于所述第一氧化物膜的电子亲和能，

并且，所述第三氧化物膜的所述电子亲和能低于所述氧化物半导体膜的电子亲和能。

10. 根据权利要求5所述的半导体装置，

其中，所述第三氧化物膜的电子亲和能与所述第一氧化物膜的电子亲和能相等，

所述第三氧化物膜的所述电子亲和能低于所述第二氧化物膜的电子亲和能，

并且，所述第三氧化物膜的所述电子亲和能低于所述氧化物半导体膜的电子亲和能。

11. 根据权利要求5所述的半导体装置，还包括在所述第三氧化物膜上并与其接触的第二绝缘膜，其中所述第二绝缘膜包含过剩氧。

12. 根据权利要求11所述的半导体装置，其中所述第二绝缘膜是氧化物绝缘膜和氮化物绝缘膜的叠层。

半导体装置

技术领域

[0001] 本发明涉及一种物体、方法、制造方法、工序 (process)、机器 (machine)、产品 (manufacture) 或物质组成 (composition of matter)。本发明尤其涉及一种半导体装置、显示装置、发光装置以及上述装置的驱动方法或其制造方法。

[0002] 注意,在本说明书中,半导体装置是指能够通过利用半导体特性工作的所有装置,因此,晶体管、半导体电路、存储装置、摄像装置、显示装置、电光装置及电子设备等都是半导体装置。

背景技术

[0003] 使用半导体薄膜制造晶体管的技术备受瞩目。该晶体管被广泛地应用于如集成电路 (IC) 及图像显示装置等电子设备。作为可以用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知。但是,作为其他材料,氧化物半导体受到关注。

[0004] 例如,已公开有一种作为晶体管的沟道形成区使用包含铟 (In)、镓 (Ga) 及锌 (Zn) 的非晶氧化物的晶体管 (参照专利文献1)。

[0005] 另外,已知氧化物半导体在制造工序中发生氧脱离而形成氧缺陷 (参照专利文献2)。

[0006] [专利文献1] 日本专利申请公开2006-165528号公报

[0007] [专利文献2] 日本专利申请公开2011-222767号公报

[0008] 氧化物半导体膜中形成的氧缺陷形成定域能级,其导致使用该氧化物半导体膜的晶体管等半导体装置的电特性降低。

[0009] 另外,在氧化物半导体膜中的氧化物半导体膜与绝缘膜层叠的界面附近容易形成起因于氧缺陷的界面能级。界面能级的增加会导致载流子的散射或俘获,从而导致晶体管的场效应迁移率降低及关态电流 (off-state current) 增加。此外,界面能级的增加会导致晶体管的阈值电压变动而导致电特性偏差增大。由此,界面能级的增加会导致晶体管的电特性劣化而降低晶体管的可靠性。

发明内容

[0010] 本发明的一个方式的目的之一是提供一种定域能级密度小的氧化物半导体。另外,本发明的一个方式的目的之一是提供一种电特性偏差小的半导体装置。另外,本发明的一个方式的目的之一是提供一种可靠性高且具有稳定的电特性的半导体装置。此外,本发明的一个方式的目的之一是提供一种电特性良好的半导体装置。

[0011] 另外,本发明的一个方式的目的之一是提供一种阈值电压变动少或偏差少的半导体装置。另外,本发明的一个方式的目的之一是提供一种迁移率降低较少的半导体装置。另外,本发明的一个方式的目的之一是提供一种关态电流的增加较少的半导体装置。另外,本发明的一个方式的目的之一是提供一种劣化少的半导体装置。

[0012] 注意,这些课题的记载并不妨碍其他课题的存在。此外,本发明的一个方式并不需

要解决所有上述课题。另外,说明书、附图以及权利要求书等的记载中显然存在上述课题以外的课题,可以从说明书、附图以及权利要求书等的记载中获得上述课题以外的课题。

[0013] 以接触于形成有沟道的氧化物半导体膜的方式形成含有一种以上该氧化物半导体膜所含有的金属元素的氧化物膜。该氧化物膜与氧化物半导体膜的多层膜不容易在该多层膜的界面形成界面能级。

[0014] 通过至少在氧化物半导体膜的顶面上设置氧化物膜,具体地,通过以接触于氧化物半导体膜的顶面的方式设置含有一种以上该氧化物半导体膜所含有的金属元素的氧化物膜,可以减少该氧化物半导体膜的上侧界面的界面能级。

[0015] 通过采用上述方法,例如与在氧化物半导体膜上设置绝缘膜的情况相比,可以抑制界面能级的形成。

[0016] 另外,作为与氧化物半导体膜接触的氧化物膜使用电子亲和能比氧化物半导体膜的电子亲和能小的材料。通过采用该结构,流过沟道的电子几乎不会移动到与氧化物半导体膜接触的氧化物膜中,而主要在氧化物半导体膜中移动。也就是说,即便形成于氧化物膜的外侧的绝缘膜与氧化物膜的界面存在能级,该能级也几乎不会对电子的移动造成影响。

[0017] 也就是说,虽然在氧化物膜与绝缘膜的界面附近有可能形成起因于杂质或缺陷的陷阱能级,但是通过在绝缘膜与氧化物半导体膜之间设置氧化物膜,可以使氧化物半导体膜远离该陷阱能级。

[0018] 另外,通过在与氧化物半导体膜接触的氧化物膜与绝缘膜之间还设置氧化物膜,可以使氧化物半导体膜进一步远离上述陷阱能级。另外,优选设置于与氧化物半导体膜接触的氧化物膜与绝缘膜之间氧化物膜含有一种以上与构成接触于氧化物半导体膜的氧化物膜的金属元素相同的金属元素。

[0019] 另外,优选设置于与氧化物半导体膜接触的氧化物膜与绝缘膜之间的氧化物膜具有比与氧化物半导体膜接触的氧化物膜的电子亲和能小的电子亲和能。

[0020] 本发明的一个方式是一种半导体装置,其包括:第一电极;第一绝缘膜;氧化物半导体膜及第一氧化物膜层叠而成的多层膜;第二电极;第三电极;以及第二氧化物膜。第一绝缘膜设置于第一电极上。多层膜隔着第一绝缘膜与第一电极重叠地设置。第二电极及第三电极以接触于多层膜的一部分的方式设置。第二氧化物膜以接触于多层膜、第二电极及第三电极的顶面的方式设置。

[0021] 另外,在上述半导体装置中,作为多层膜,不仅可以采用在氧化物半导体膜的顶面上设置氧化物膜的结构,还可以采用在氧化物半导体膜的顶面及底面上设置氧化物膜的结构。

[0022] 本发明的一个方式是一种半导体装置,其包括:第一电极;第一绝缘膜;氧化物半导体膜、第一氧化物膜及第二氧化物膜层叠而成的多层膜;第二电极;第三电极;以及第三氧化物膜。第一绝缘膜设置于第一电极上。多层膜隔着第一绝缘膜与第一电极重叠地设置。第二电极及第三电极以接触于多层膜的一部分的方式设置。第三氧化物膜以接触于多层膜、第二电极及第三电极的顶面的方式设置。

[0023] 另外,本发明的一个方式中还可以设置有如下绝缘膜,该绝缘膜接触于与多层膜、第二电极以及第三电极的顶面接触的氧化物膜的顶面。该绝缘膜采用单层结构或叠层结构并优选至少包括含有比满足化学计量组成的氧更多的氧的氧化物绝缘膜。通过设置该绝缘

膜,可以以利用半导体装置的制造工序中的热处理将该氧化物绝缘膜含有的氧供应给氧化物半导体膜,由此可以修复该氧化物半导体膜中的氧缺陷。

[0024] 另外,第一电极可以用作栅电极,第二电极和第三电极中的一方可以用作源电极,第二电极和第三电极中的另一方可以用作漏电极。

[0025] 根据本发明的一个方式可以提供定域能级密度小的氧化物半导体。

[0026] 根据本发明的一个方式可以提供电特性偏差小的半导体装置。

[0027] 根据本发明的一个方式可以提供可靠性高且具有稳定的电特性的半导体装置。

[0028] 根据本发明的一个方式可以提供电特性良好的半导体装置。

附图说明

[0029] 图1A至图1D是说明晶体管的一个例子的俯视图及截面图;

[0030] 图2A和图2B是说明多层膜的能带结构的图;

[0031] 图3A至图3E是说明半导体装置的制造方法的一个例子的截面图;

[0032] 图4A和图4B是示出溅射粒子从靶材剥离的情况的图;

[0033] 图5A和图5B是示出In-Ga-Zn氧化物的结晶结构一个例子的图;

[0034] 图6A和6B是示出溅射粒子到达被形成面并沉积的情况的图;

[0035] 图7A和图7B是说明多层膜的端部截面形状的一个例子的图;

[0036] 图8是说明晶体管的一个例子的截面图;

[0037] 图9A至图9D是说明晶体管的一个例子的俯视图及截面图;

[0038] 图10A和图10B是说明多层膜的能带结构的图;

[0039] 图11A和图11B是说明多层膜的能带结构的图;

[0040] 图12A至图12E是说明半导体装置的制造方法的一个例子的截面图;

[0041] 图13A至图13D是说明多层膜的端部截面形状的一个例子的图;

[0042] 图14是说明晶体管的一个例子的截面图;

[0043] 图15是说明能够用于显示装置的像素电路的一个例子的图;

[0044] 图16A至图16C是说明显示装置的一个例子的图;

[0045] 图17A和图17B是说明显示装置的一个例子的图;

[0046] 图18是说明能够用于显示装置的像素电路的一个例子的图;

[0047] 图19A至图19C是说明显示装置的一个例子的图;

[0048] 图20A至图20C是示出电子设备的一个例子的图;

[0049] 图21是示出电子设备的一个例子的图;

[0050] 图22是示出多层膜的ToF-SIMS分析结果的图;

[0051] 图23A和图23B是示出多层膜的CPM测定结果的图;

[0052] 图24是说明多层膜的能带结构的图;

[0053] 图25是说明多层膜的能带结构的图;

[0054] 图26A至图26C是说明根据实施方式的触控传感器的图;

[0055] 图27A和图27B是说明具有根据实施方式的触控传感器的像素的图;

[0056] 图28A和图28B是说明根据实施方式的触控传感器及像素的工作的图;

[0057] 图29是说明根据实施方式的触控传感器及像素的工作的图;

[0058] 图30A至图30C是说明根据实施方式的像素的结构的图；

[0059] 图31是说明晶体管的 V_g - I_d 特性的图。

具体实施方式

[0060] 下面,参照附图对本发明的实施方式进行详细说明。但是,本发明不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式及其详细内容可以被变换为各种各样的形式。此外,本发明不应该被解释为仅限定在下面所示的实施方式所记载的内容中。注意,当利用附图说明发明结构时,在不同的附图中共同使用表示相同对象的附图标记。另外,有时使用相同的阴影图案表示相同的部分,而不特别附加标记。

[0061] 另外,为了便于理解,有时附图等中示出的各构成的位置、大小及范围等并不表示其实际的位置、大小及范围等。因此,所公开的发明不一定局限于附图等所公开的位置、大小、范围等。例如,在实际的制造工序中,有时由于蚀刻等处理抗蚀剂掩模等被无意地蚀刻,但是为了便于理解有时对其进行省略。另外,即便没有明确地记载,该抗蚀剂掩模在蚀刻后被去除。

[0062] 第一、第二等附加的序数词是为了避免结构要素的混同而使用的,其并不表示工序顺序或者层叠顺序等的顺序。

[0063] 另外,电压大多指某个电位与标准电位(例如,接地电位(GND)或源电位)之间的电位差。因此,也可以将电压称为电位。

[0064] 注意,在本说明书等中,“电连接”包括隔着“具有某种电作用的元件”连接的情况。这里,“具有某种电作用的元件”只要可以进行连接对象间的电信号的授受,就对其没有特别的限制。因此,即便记载为“电连接”,在实际电路中有时存在没有物理连接的部分而只是布线延伸的情况。

[0065] 另外,由于“源极”及“漏极”的功能根据工作条件等相互调换,如采用不同极性的晶体管时或在电路工作中电流的方向变化时等,因此很难限定哪个是“源极”哪个是“漏极”。因此,在本说明书中,可以将“源极”和“漏极”互相调换地使用。

[0066] 另外,在本说明书等中,“电极”或“布线”不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”还包括多个“电极”或“布线”被形成为一体的情况等。

[0067] 实施方式1

[0068] 在本实施方式中,以晶体管100为例对半导体装置的一个方式进行说明。

[0069] <半导体装置的结构例子>

[0070] 图1A至图1D示出半导体装置的一个方式的晶体管100。晶体管100是底栅型晶体管的一种。图1A是晶体管100的俯视图。另外,图1B是沿着图1A中的点划线A1-A2的截面图,图1C是沿着图1A中的点划线B1-B2的截面图。另外,图1D是被图1B所示的点划线圆围绕的区域的放大图。另外,在图1A中,省略部分构成要素的记载。

[0071] 晶体管100包括:设置于衬底101上的栅电极110;设置于栅电极110上的栅极绝缘膜106;设置于栅极绝缘膜106上的多层膜103;设置于多层膜103上的源电极104a、漏电极104b;以及设置于多层膜103、源电极104a及漏电极104b上的氧化物膜105。注意,在衬底101与栅电极110之间可以设置用作基底绝缘膜的绝缘膜。

[0072] 多层膜103至少包括氧化物半导体膜103a和氧化物膜103b。另外,多层膜103隔着栅极绝缘膜106与栅电极110重叠。在本实施方式中的多层膜103中:接触于栅极绝缘膜106设置有氧化物半导体膜103a,在氧化物半导体膜103a上设置有氧化物膜103b。另外,多层膜103的叠层结构不局限于此,也可以采用在氧化物膜103b上设置有氧化物半导体膜103a的结构。

[0073] 另外,根据用于源电极104a及漏电极104b的导电膜的种类,有时多层膜103的一部分中的氧被夺取或者导电膜中的元素的一部分扩散至多层膜103中,而使多层膜103中形成低电阻区域109a及低电阻区域109b。在图1B及图1C中,低电阻区域109a及低电阻区域109b是多层膜103中的接触于源电极104a及漏电极104b的界面附近的区域(多层膜103的虚线与源电极104a及漏电极104b之间的区域)。低电阻区域109a及低电阻区域109b的一部分或整个低电阻区域109a及低电阻区域109b用作源区域及漏区域。

[0074] 在图1A中,将与栅电极110重叠的区域中的源电极104a和漏电极104b之间的间隔称为沟道长度。注意,在晶体管包括源区域及漏区域的情况下,也可以将与栅电极110重叠的区域中的低电阻区域109a和低电阻区域109b之间的间隔称为沟道长度。

[0075] 在多层膜103中,将与栅电极110重叠且由源电极104a与漏电极104b夹持的区域称为沟道形成区(参照图1B)。另外,将沟道形成区中电流主要流过的区域称为沟道区。这里,沟道区是指沟道形成区中的氧化物半导体膜103a的部分。

[0076] 另外,在多层膜103中,根据氧化物半导体膜103a及氧化物膜103b所使用的材料,有时无法明确地确认氧化物半导体膜103a及氧化物膜103b的界线。此外,多层膜103及氧化物膜105也根据所使用的材料,有时无法明确地确认多层膜103及氧化物膜105的界线。因此,在图1A至图1D中,以虚线表示氧化物半导体膜103a、氧化物膜103b及氧化物膜105的界线。

[0077] 另外,多层膜103在晶体管100的沟道长度方向及沟道宽度方向上比栅电极110小(参照图1A至图1C)。通过采用该形状,可以抑制来自衬底101的背面的光入射到多层膜103,由此可以提高晶体管100的可靠性。注意,多层膜103的形状不局限于图1A至图1C所示的形状。例如,多层膜103也可以在晶体管100的沟道长度方向上大于栅电极110。

[0078] 另外,氧化物膜105接触于多层膜103(图1A至图1D中的氧化物膜103b)、源电极104a及漏电极104b的顶面。

[0079] 另外,优选在氧化物膜105上设置用作保护绝缘膜的绝缘膜120。绝缘膜120可以为单层结构或叠层结构并优选包括含有比满足化学计量组成的氧更多的氧的氧化物绝缘膜。尤其优选采用氧化物绝缘膜107a、氧化物绝缘膜107b及氮化物绝缘膜108的叠层结构作为绝缘膜120。另外,当作为绝缘膜120采用该叠层结构时,优选氧化物绝缘膜107b为含有比满足化学计量组成的氧更多的氧的氧化物绝缘膜。如此,利用晶体管100的制造工序中的加热处理可以将该氧化物绝缘膜含有的氧供应给氧化物半导体膜,由此可以修复该氧化物半导体膜中的氧缺陷。由此,可以提高晶体管100的可靠性。

[0080] <多层膜及接触于多层膜的氧化物膜>

[0081] 下面,对多层膜103与多层膜103所包括的氧化物半导体膜103a及氧化物膜103b以及氧化物膜105进行说明。

[0082] 氧化物半导体膜103a及氧化物膜103b含有In和Ga中的一方或者双方。典型地,可

以举出In-Ga氧化物(含有In和Ga的氧化物)、In-Zn氧化物(含有In和Zn的氧化物)、In-M-Zn氧化物(含有In、元素M及Zn的氧化物,其中元素M为选自Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf中的1种以上的元素。)

[0083] 另外,接触于氧化物半导体膜103a的氧化物膜103b优选使用含有一种以上与构成氧化物半导体膜103a的金属元素相同的金属元素的材料形成。通过采用该材料,可以使氧化物半导体膜103a与氧化物膜103b之间的界面不容易形成界面能级。由此,界面中的载流子的散射及俘获得到降低,而可以提高晶体管的场效应迁移率。另外,可以减少晶体管的阈值电压偏差。

[0084] 在氧化物半导体膜103a及氧化物膜103b的形成工序中,通过在惰性气体气氛、氧化气体气氛或减压下连续地进行成膜而不使其中途暴露于大气中,可以进一步减少氧化物半导体膜103a与氧化物膜103b之间的界面能级。

[0085] 氧化物半导体膜103a的厚度为3nm以上且200nm以下,优选为3nm以上且100nm以下,更优选为3nm以上且50nm以下。另外,氧化物膜103b的厚度为3nm以上且50nm以下,优选为3nm以上且20nm以下。

[0086] 另外,本实施方式所示的晶体管100具有源电极104a及漏电极104b与氧化物膜103b接触的结构。为了降低源电极104a及漏电极104b与氧化物半导体膜103a的连接电阻,优选尽可能地将氧化物膜103b形成得较薄。

[0087] 另外,当氧化物半导体膜103a为In-M-Zn氧化物且氧化物膜103b也为In-M-Zn氧化物时,将氧化物膜103b设定为 $\text{In}:\text{M}:\text{Zn}=\text{x}_1:\text{y}_1:\text{z}_1$ [原子数比],将氧化物半导体膜103a设定为 $\text{In}:\text{M}:\text{Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ [原子数比],选择 y_1/x_1 比 y_2/x_2 大的氧化物半导体膜103a及氧化物膜103b。注意,元素M是与氧的键合力比In与氧的键合力大的金属元素,例如可以举出Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd或Hf等。优选的是,选择 y_1/x_1 比 y_2/x_2 大1.5倍以上的氧化物半导体膜103a及氧化物膜103b。更优选选择 y_1/x_1 比 y_2/x_2 大2倍以上的氧化物半导体膜103a及氧化物膜103b。更优选的是,选择 y_1/x_1 比 y_2/x_2 大3倍以上的氧化物半导体膜103a及氧化物膜103b。此时,在氧化物半导体膜103a中,当 y_1 为 x_1 以上时可以使晶体管具有稳定的电特性,因此是优选的。但是,当 y_1 为 x_1 的3倍以上时,晶体管的场效应迁移率下降,因此 y_1 优选为 x_1 以上且小于 x_1 的3倍。通过作为氧化物膜103b采用上述结构,可以使氧化物膜103b成为与氧化物半导体膜103a相比不容易生成氧缺陷的膜。

[0088] 另外,当氧化物半导体膜103a为In-M-Zn氧化物时,In与M的原子数比率优选为In为25原子%以上、M低于75原子%,更优选为In为34原子%以上、M低于66原子%。另外,当氧化物膜103b为In-M-Zn氧化物时,In与M的原子数比率优选为In低于50原子%、M为50原子%以上,更优选为In低于25原子%、M为75原子%以上。

[0089] 例如,作为氧化物半导体膜103a,可以使用以 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 或 $3:1:2$ 的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物半导体膜,作为氧化物膜103b,可以使用以 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 、 $1:6:4$ 或 $1:9:6$ 的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜。另外,氧化物半导体膜103a及氧化物膜103b的原子数比作为误差包括上述原子数比的 $\pm 20\%$ 的变动。

[0090] 为了使使用多层膜103的晶体管具有稳定的电特性,优选降低氧化物半导体膜103a中的氧缺陷及杂质浓度来使氧化物半导体膜103a成为本征或者实质上本征的半导体膜。尤其优选使氧化物半导体膜103a中的沟道形成区变为本征或者实质上本征。具体地,使

氧化物半导体膜103a的载流子密度低于 $1 \times 10^{17}/\text{cm}^3$ 、低于 $1 \times 10^{15}/\text{cm}^3$ 或者低于 $1 \times 10^{13}/\text{cm}^3$ 。

[0091] 此外,在氧化物半导体膜103a中,氢、氮、碳、硅以及主要成分以外的金属元素成为杂质。为了降低氧化物半导体膜103a中的杂质浓度,优选将邻近氧化物半导体膜103a的氧化物膜103b中的杂质浓度也降低到与氧化物半导体膜103a中的杂质浓度同样的程度。

[0092] 尤其是由于氧化物半导体膜103a中以较高的浓度含有硅,因此氧化物半导体膜103a中形成起因于硅的杂质能级。有时该杂质能级成为陷阱能级而使晶体管的电特性劣化。为了降低晶体管的电特性的劣化,使氧化物半导体膜103a的硅浓度低于 $1 \times 10^{19}\text{atoms}/\text{cm}^3$,优选低于 $5 \times 10^{18}\text{atoms}/\text{cm}^3$,更优选低于 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 。另外,使氧化物半导体膜103a与氧化物膜103b之间的界面的硅浓度也在上述硅浓度范围内。

[0093] 另外,有时因氧化物半导体膜103a以高浓度包含硅及碳而使氧化物半导体膜103a的结晶性降低。因此,为了不使氧化物半导体膜103a的结晶性降低,使氧化物半导体膜103a的碳浓度低于 $1 \times 10^{19}\text{atoms}/\text{cm}^3$,优选低于 $5 \times 10^{18}\text{atoms}/\text{cm}^3$,更优选低于 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 。另外,为了不使氧化物半导体膜103a的结晶性降低,使氧化物半导体膜103a的硅浓度低于 $1 \times 10^{19}\text{atoms}/\text{cm}^3$,优选低于 $5 \times 10^{18}\text{atoms}/\text{cm}^3$,更优选低于 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 。

[0094] 另外,在氧化物半导体膜103a中氢及氮形成供体能级,而使载流子密度增大。为了使氧化物半导体膜103a实现本征或实质上本征,使利用SIMS测量的氧化物半导体膜103a中的氢浓度为 $2 \times 10^{20}\text{atoms}/\text{cm}^3$ 以下,优选为 $5 \times 10^{19}\text{atoms}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{19}\text{atoms}/\text{cm}^3$ 以下,进一步优选为 $5 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下。另外,使利用SIMS测量的氮浓度低于 $5 \times 10^{19}\text{atoms}/\text{cm}^3$,优选为 $5 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,进一步优选为 $5 \times 10^{17}\text{atoms}/\text{cm}^3$ 以下。

[0095] 另外,由于氧化物半导体的带隙为2eV以上,使用氧化物半导体的晶体管可以使晶体管为关态时的泄漏电流(也称为关态电流)变为极小。具体地,在沟道长度为 $3\mu\text{m}$ 、沟道宽度为 $10\mu\text{m}$ 的晶体管中,可以使关态电流低于 $1 \times 10^{-20}\text{A}$,优选低于 $1 \times 10^{-22}\text{A}$,更优选低于 $1 \times 10^{-24}\text{A}$ 。即,可以使开关比为20位以上150位以下。

[0096] 氧化物膜105可以适当地使用能够用于氧化物半导体膜103a及氧化物膜103b的材料。另外,氧化物膜105的厚度为3nm以上且100nm以下,优选为3nm以上且50nm以下。

[0097] 这里,对多层膜103中的氧化物半导体膜103a、氧化物膜103b及氧化物膜105的结晶性进行说明。

[0098] 在多层膜103中,氧化物半导体膜103a及氧化物膜103b例如可以包括非单晶。非单晶例如包括CAAC(C Axis Aligned Crystal:c轴取向结晶)、多晶、微晶、非晶。在非单晶中,非晶的缺陷态密度最高,CAAC的缺陷态密度最低。注意,将包括CAAC的氧化物半导体膜称为CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor:c轴取向结晶氧化物半导体)膜。

[0099] 在多层膜103中,至少氧化物半导体膜103a可以包括例如CAAC-OS膜。CAAC-OS膜例如含有c轴取向且a轴及/或b轴在宏观上不一致的氧化物半导体。

[0100] 另外,氧化物半导体膜103a例如可以含有微晶。作为微晶氧化物半导体膜,例如,包括在膜中含有1nm以上且小于10nm的大小的微晶的氧化物半导体。

[0101] 另外,氧化物半导体膜103a例如可以含有非晶。非晶氧化物半导体膜例如包括具

有无秩序的原子排列且没有结晶成分的氧化物半导体。或者,非晶氧化物半导体膜例如包括整个为非晶而不具有结晶的氧化物半导体。

[0102] 另外,氧化物半导体膜103a可以是CAAC-OS、微晶氧化物半导体和非晶氧化物半导体的混合膜。混合膜例如包括非晶氧化物半导体的区域、微晶氧化物半导体的区域和CAAC-OS的区域。并且,混合膜例如可以具有包括非晶氧化物半导体的区域、微晶氧化物半导体的区域和CAAC-OS的区域的叠层结构。

[0103] 另外,氧化物半导体膜103a例如可以具有单晶。

[0104] 氧化物半导体膜103a优选包括多个结晶部。结晶部的c轴优选在平行于被形成面的法线向量或表面的法线向量的方向上一致。另外,不同结晶部的a轴及b轴的方向可以彼此不同。作为这种氧化物半导体膜的一个例子有CAAC-OS膜。

[0105] CAAC-OS膜是包含多个c轴取向的结晶部的氧化物半导体膜之一。

[0106] 在利用透射电子显微镜(TEM:Transmission Electron Microscope)观察CAAC-OS膜时,观察不到明确的结晶部与结晶部之间的边界,即晶界(grain boundary)。因此,在CAAC-OS膜中,不容易产生起因于晶界的电子迁移率的降低。

[0107] 由利用TEM所得到的大致平行于样品面的方向上的CAAC-OS膜的图像(截面TEM图像)可知,在结晶部中金属原子排列为层状。各金属原子层具有反映形成CAAC-OS膜的面(也称为被形成面)或CAAC-OS膜的顶面的凹凸形状并以平行于CAAC-OS膜的被形成面或顶面的方式排列。

[0108] 另一方面,由利用TEM所得到的大致垂直于样品面的方向上的CAAC-OS膜的图像(平面TEM图像)可知,在结晶部中金属原子排列为三角形状或六角形状。但是,在不同的结晶部之间金属原子的排列没有规律性。

[0109] 由截面TEM图像以及平面TEM图像可知,CAAC-OS膜的结晶部具有取向性。

[0110] 注意,CAAC-OS膜所包含的结晶部几乎都是可以收容在一个边长小于100nm的立方体内的尺寸。因此,有时包括在CAAC-OS膜中的结晶部的尺寸为能够容纳在一边短于10nm、短于5nm或短于3nm的立方体。

[0111] 使用X射线衍射(XRD:X-Ray Diffraction)装置对CAAC-OS膜进行结构分析。例如,当利用out-of-plane法分析包括InGaZnO₄的结晶的CAAC-OS膜时,在衍射角(2 θ)为31°附近时常出现峰值。由于该峰值来源于InGaZnO₄结晶的(009)面,由此可知CAAC-OS膜中的结晶具有c轴取向性,并且c轴朝向大致垂直于CAAC-OS膜的被形成面或顶面的方向。

[0112] 另一方面,当利用从大致垂直于c轴的方向使X线入射到样品的in-plane法分析CAAC-OS膜时,在2 θ 为56°附近时常出现峰值。该峰值源于InGaZnO₄结晶的(110)面。在此,将2 θ 固定为56°附近并在以样品面的法线向量为轴(Φ 轴)旋转样品的条件下进行分析(Φ 扫描)。当该样品是InGaZnO₄的单晶氧化物半导体膜时,出现六个峰值。该六个峰值来源于相等于(110)面的结晶面。另一方面,当该样品是CAAC-OS膜时,即使在将2 θ 固定为56°附近的状况下进行 Φ 扫描也不能明确地观察到峰值。

[0113] 由上述结果可知,在具有c轴取向的CAAC-OS膜中,虽然a轴及b轴的方向在结晶部之间不同,但是c轴都朝向平行于被形成面或顶面的法线向量的方向。因此,在上述截面TEM图像中观察到的排列为层状的各金属原子层相当于与结晶的ab面平行的面。

[0114] 在本说明书中,“平行”是指在-10°以上且10°以下的角度的范围中配置两条直线

的状态,因此也包括 -5° 以上且 5° 以下的角度的状态。另外,“垂直”是指在 80° 以上且 100° 以下的角度的范围中配置两条直线的状态,因此也包括 85° 以上且 95° 以下的角度的状态。

[0115] 注意,结晶部在形成CAAC-OS膜或进行加热处理等晶化处理时形成。如上所述,结晶的c轴在平行于CAAC-OS膜的被形成面或顶面的法线向量的方向上取向。由此,例如,当CAAC-OS膜的形状因蚀刻等而发生改变时,结晶的c轴不一定平行于CAAC-OS膜的被形成面或顶面的法线向量。

[0116] 此外,CAAC-OS膜中的c轴取向的结晶部的分布也可以不均匀。例如,在CAAC-OS膜的结晶部通过从CAAC-OS膜的顶面近旁产生的结晶生长而形成的情况下,有时顶面附近的c轴取向的结晶部的比例会高于被形成面附近。另外,在对CAAC-OS膜添加杂质时,有时被添加杂质的区域变质,而部分性地形成c轴取向的结晶部的比例不同的区域。

[0117] 注意,当利用out-of-plane法分析包括InGaZnO₄结晶的CAAC-OS膜时,除了在 2θ 为 31° 附近的峰值之外,有时还在 2θ 为 36° 附近观察到峰值。 2θ 为 36° 附近的峰值意味着CAAC-OS膜的一部分中含有不具有c轴取向的结晶。优选的是,CAAC-OS膜在 2θ 为 31° 附近出现峰值并在 2θ 为 36° 附近不出现峰值。

[0118] CAAC-OS膜是杂质浓度低的氧化物半导体膜。杂质是指氢、碳、硅、过渡金属元素等氧化物半导体膜的主要成分以外的元素。尤其是,硅等元素因为其与氧的键合力比构成氧化物半导体膜的金属元素与氧的键合力更强而成为从氧化物半导体膜夺取氧来使氧化物半导体膜的原子排列杂乱使得结晶性降低的主要因素。此外,铁或镍等重金属、氫、二氧化碳等因为其原子半径(分子半径)大,当其包含在氧化物半导体膜内部时成为使氧化物半导体膜的原子排列杂乱使得结晶性降低的主要因素。注意,包含在氧化物半导体膜中的杂质有时成为载流子陷阱或载流子发生源。

[0119] 此外,CAAC-OS膜是缺陷态密度低的氧化物半导体膜。例如,氧化物半导体膜中的氧缺陷有时成为载流子陷阱或者通过俘获氢而成为载流子发生源。

[0120] 将杂质浓度低且缺陷态密度低(氧缺陷少)的状态称为高纯度本征或实质上高纯度本征。由于高纯度本征或实质上高纯度本征的氧化物半导体膜中的载流子发生源少,因此可以降低载流子密度。因此,采用该氧化物半导体膜的晶体管很少具有负阈值电压的电特性(也称为常导通)。此外,高纯度本征或实质上高纯度本征的氧化物半导体膜中的载流子陷阱少。因此,使用该氧化物半导体膜的晶体管的电特性变动小,而成为高可靠性晶体管。此外,被氧化物半导体膜的载流子陷阱俘获的电荷到被释放为止需要较长时间,因此有时像固定电荷那样动作。所以,采用杂质浓度高且缺陷能级密度高的氧化物半导体膜的晶体管有时电特性不稳定。

[0121] 在使用CAAC-OS膜的晶体管中,由于可见光或紫外线光照射而造成的电特性的变化小。因此,该晶体管的可靠性高。

[0122] 为了使氧化物半导体膜103a为CAAC-OS膜,优选形成氧化物半导体膜103a的表面为非晶。当形成氧化物半导体膜103a的表面的结晶性较高时,氧化物半导体膜103a的结晶性容易被打乱而不容易形成CAAC-OS膜。

[0123] 另外,形成氧化物半导体膜103a的表面可以与CAAC-OS膜具有相同的结晶性。当形成氧化物半导体膜103a的表面具有与CAAC-OS膜相同的结晶性时,氧化物半导体膜103a容易成为CAAC-OS膜。

[0124] 另外,当氧化物半导体膜103a为CAAC-OS膜时,形成于氧化物半导体膜103a上的氧化物膜103b容易成为CAAC-OS膜。

[0125] 另外,氧化物膜105也可以与氧化物半导体膜103a及氧化物膜103b同样地包括非单晶。或者,氧化物膜105也可以是CAAC-OS膜。另外,当氧化物膜103b为CAAC-OS膜时,形成于氧化物膜103b上的氧化物膜105容易成为CAAC-OS膜。但是,氧化物膜105也可以为非晶或微晶。

[0126] 在使用多层膜103的晶体管中,由于氧化物半导体膜103a是形成有沟道的层,当氧化物半导体膜103a具有高结晶性时能够使晶体管具有稳定的电特性,因此是优选的。

[0127] 下面,对多层膜103中的定域能级密度进行说明。通过减少多层膜103中的定域能级密度,可以使使用多层膜103的晶体管具有稳定的电特性。可以利用恒定光电流法(CPM: Constant Photocurrent Method)对多层膜103中的定域能级进行评价。

[0128] 为了使晶体管具有稳定的电特性,使多层膜103中的由利用CPM测定得出的定域能级的吸收系数小于 $1 \times 10^{-3} \text{cm}^{-1}$,优选使其小于 $3 \times 10^{-4} \text{cm}^{-1}$ 。另外,通过使多层膜103中的由利用CPM测定得出的定域能级的吸收系数小于 $1 \times 10^{-3} \text{cm}^{-1}$,优选为小于 $3 \times 10^{-4} \text{cm}^{-1}$,可以提高晶体管的场效应迁移率。另外,为了使多层膜103中的由利用CPM测定得出的定域能级的吸收系数小于 $1 \times 10^{-3} \text{cm}^{-1}$,优选为小于 $3 \times 10^{-4} \text{cm}^{-1}$,可以将氧化物半导体膜103a中形成定域能级的元素的硅、锗、碳、铅、钛等的浓度设定为小于 $2 \times 10^{18} \text{atoms/cm}^3$,优选为小于 $2 \times 10^{17} \text{atoms/cm}^3$ 。

[0129] 另外,CPM测定是一种如下方法:在各波长上,在对以与作为样品的多层膜103接触的方式设置的电极间施加电压的状态下,以使光电流值保持固定的方式调整照射到电极间的样品表面(多层膜103的表面)的光量,并根据照射光量导出吸光系数的方法。在CPM测定中,当样品有缺陷时,对应于存在缺陷的能级的能量(用波长换算)的吸光系数增加。通过用常数乘以该吸光系数的增加值,可以导出样品的缺陷密度。

[0130] 可以认为利用CPM测定得到的定域能级是起因于杂质或缺陷的能级。即,通过使用由利用CPM测定得到的定域能级的吸收系数小的多层膜,可以使晶体管具有稳定的电特性。

[0131] 下面,参照图2A和图2B所示的能带结构图对本实施方式中的多层膜103的功能及其效果进行说明。图2A和图2B示出沿着图1B所示的点划线C1-C2的能带结构。

[0132] 在图2A和图2B中,Ec182、Ec183a、Ec183b、Ec185、Ec186分别示出栅极绝缘膜106、氧化物半导体膜103a、氧化物膜103b、氧化物膜105、绝缘膜120的导带底端的能量。

[0133] 这里,真空能级和导带底端的能量之间的能量差(也称为电子亲和能)是真空能级与价电子带上端之间的能量差(也称为电离电位)减去能隙的值。另外,可以利用光谱椭偏仪(HORIBA JOBIN YVON公司制造的UT-300)测量能隙。另外,真空能级与价电子带上端的能量差可以利用紫外线光电子能谱(UPS:Ultraviolet Photoelectron Spectroscopy)装置(PHI公司制造的VersaProbe)测量。

[0134] 由于栅极绝缘膜106及绝缘膜120为绝缘物,Ec182及Ec186比Ec183a、Ec183b及Ec185更接近真空能级(电子亲和能小)。

[0135] 另外,Ec183b比Ec183a更接近真空能级。具体地,优选使Ec183a与Ec183b之间的能量差为0.05eV以上且2eV以下。优选该能量差的下限为0.1eV以上,更优选该能量差的下限为0.15eV以上。优选该能量差的上限为0.5eV以下,更优选该能量差的上限为0.4eV以下。

[0136] 在氧化物半导体膜103a与氧化物膜103b之间以及氧化物膜103b与氧化物膜105之间没有势垒,因此导带底端的能量平缓地变化。换言之,该导带底端的能量连续地变化。这是由于如下缘故:氧化物膜103b含有与氧化物半导体膜103a相同的元素,在氧化物半导体膜103a与氧化物膜103b之间氧彼此移动而可以形成混合层。

[0137] 由此可以认为,在氧化物半导体膜103a与氧化物膜103b之间的界面以及氧化物膜103b与氧化物膜105之间的界面中不存在能级或者几乎不存在能级。因此,在具有该能带结构的多层膜103中,电子主要在氧化物半导体膜103a中移动。也就是说,可以认为沟道区形成于氧化物半导体膜103a中。因此,即使在与多层膜103的外侧的绝缘膜之间的界面存在能级,由于该能级位于远离沟道区的位置,因此几乎对电子的移动没有影响。另外,由于构成多层膜103的膜与膜之间不存在或几乎不存在能级,所以在沟道区中不会阻碍电子的移动。因此,多层膜103的氧化物半导体膜103a具有高电子迁移率。

[0138] 尤其是在图2A中,当氧化物膜105与氧化物膜103b由相同的材料形成时, E_{c185} 与 E_{c183b} 的能量相同。

[0139] 如图2A所示,虽然在氧化物膜105与绝缘膜120的界面附近可能形成因杂质或缺陷引起的陷阱能级191,但是由于氧化物膜103b及氧化物膜105的存在,可以使氧化物半导体膜103a远离陷阱能级191。

[0140] 另一方面,如上所述,在源电极104a及漏电极104b与多层膜103接触的区域中,为了降低源电极104a及漏电极104b与氧化物半导体膜103a的连接电阻,优选尽量地将氧化物膜103b形成得较薄。但是,当氧化物膜103b形成得较薄时,存在如下问题:在沟道形成区中,氧化物半导体膜103a容易受绝缘膜120一侧的陷阱能级191的影响。

[0141] 于是,在本发明的一个方式中在氧化物膜103b与绝缘膜120之间设置有氧化物膜105。通过在氧化物膜103b与绝缘膜120之间设置氧化物膜105,可以在沟道形成区中使氧化物半导体膜103a远离绝缘膜120一侧的陷阱能级191,由此可以使氧化物半导体膜103a不容易受陷阱能级191的影响。

[0142] 另外,当 E_{c183a} 与 E_{c183b} 的能量差较小时,有时氧化物半导体膜103a的电子越过该能量差到达陷阱能级191。当电子被陷阱能级191俘获时,绝缘膜界面生成负电荷,而使晶体管的阈值电压向正方向漂移。

[0143] 因此,优选 E_{c183a} 与 E_{c183b} 的能量差在上述能量差的范围之内。由此,晶体管100的阈值电压的变动减少,而可以使晶体管100的电特性良好。

[0144] 另外,氧化物膜105可以使用能够用于氧化物半导体膜103a及氧化物膜103b的材料。尤其优选使用含有一种以上与构成氧化物膜103b的金属元素相同的金属元素的材料形成氧化物膜105。由此,在氧化物膜103b与氧化物膜105之间没有势垒,而可以使导带底端的能量平缓地变化。

[0145] 为了具有如图2A所示的能带结构,作为氧化物半导体膜103a,使用以In:Ga:Zn=1:1:1的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物半导体膜,作为氧化物膜103b及氧化物膜105,使用以In:Ga:Zn=1:3:2的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜。

[0146] 另外,优选氧化物膜103b及氧化物膜105的带隙比氧化物半导体膜103a的带隙宽。

[0147] 另外,在图2A中,虽然氧化物膜103b及氧化物膜105使用真空能级与导带底端的能量的差相同的材料,但是氧化物膜105也可以使用与氧化物膜103b相比导带底端的能量更

接近真空能级的材料形成(参照图2B)。

[0148] 具体地,当作为氧化物膜103b使用以In:Ga:Zn=1:3:2的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜时,作为氧化物膜105,例如,可以使用以In:Ga:Zn=1:6:4的原子数比的In-Ga-Zn氧化物或In:Ga:Zn=1:9:4的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜。

[0149] 换言之,当作为氧化物膜105和氧化物膜103b使用In-M-Zn氧化物形成时,优选使氧化物膜105的相对于In的元素M的原子数比大于氧化物膜103b的相对于In的元素M的原子数比。

[0150] 具有图2B所示的能带结构的情况与具有图2A所示的能带结构的情况相同,在氧化物半导体膜103a与氧化物膜103b之间以及氧化物膜103b与氧化物膜105之间没有势垒,导带底端的能量平缓地变化。换言之,该导带底端的能量连续变化。因此,可以认为:在氧化物半导体膜103a与氧化物膜103b之间的界面以及氧化物膜103b与氧化物膜105之间的界面中不存在或几乎不存在能级。

[0151] 另外,为了减少形成于氧化物膜105与绝缘膜120的界面附近的起因于杂质或缺陷的陷阱能级191的影响,使Ec183a与Ec183b的能量差以及Ec183b与Ec185的能量差为0.05eV以上且2eV以下。优选该能量差的下限为0.1eV以上,更优选该能量差的下限为0.15eV以上。

[0152] 由上所述,在具有图2B所示的能带结构时,多层膜103的氧化物半导体膜103a也具有高电子迁移率,而能够实现阈值电压的变动得到降低的电特性良好的晶体管100。

[0153] <源电极及漏电极>

[0154] 源电极104a及漏电极104b以与多层膜103的一部分接触的方式形成于多层膜103上。作为用于形成源电极104a及漏电极104b的导电材料,可以使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钨、钨、钨(Hf)、钨(V)、钨(Nb)、钨、钨、钨、钨等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。另外,也可以使用以包含磷等杂质元素的多晶硅为代表的半导体或镍硅化物等硅化物。对导电层的形成方法没有特别的限制,可以使用蒸镀法、CVD法、溅射法、旋涂法等各种形成方法。

[0155] 另外,作为源电极104a及漏电极104b,也可以采用氧化铟锡(以下称为“ITO”)、包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锌、添加有氧化硅的氧化铟锡等包含氧的导电材料。另外,也可以采用上述包含氧的导电材料与上述包含金属元素的材料叠层结构。

[0156] 源电极104a及漏电极104b可以采用单层结构或两层以上的叠层结构。例如,可以举出包含硅的铝膜的单层结构、在铝膜上层叠钛膜的两层结构、在氮化钛膜上层叠钛膜的两层结构、在氮化钛膜上层叠钨膜的两层结构、在氮化钽膜上层叠钨膜的两层结构以及依次层叠钛膜、铝膜和钛膜的三层结构等。此外,也可以使用组合铝与选自钛、钽、钨、钼、铬、钨、钨中的一种或多种而形成的合金膜或氮化膜。

[0157] 另外,在源电极104a及漏电极104b中,优选至少与多层膜103接触的部分采用能够夺取多层膜103的一部分中的氧使其形成氧缺陷的材料。多层膜103中形成有氧缺陷的区域的载流子浓度增加,使该区域低电阻化而成为低电阻区域109a及低电阻区域109b。由此,低电阻区域109a及低电阻区域109b可以用作源区域及漏区域。作为能够夺取多层膜103中的氧而使其形成氧缺陷的材料的一个例子,可以举出钨、钛等。

[0158] 另外,根据构成多层膜103的材料及厚度,多层膜103与源电极104a及漏电极104b重叠的整个区域有可能成为低电阻区域109a及低电阻区域109b。

[0159] 通过在多层膜103中形成低电阻区域109a及低电阻区域109b,可以降低源电极104a及漏电极104b与多层膜103的接触电阻。因此,可以实现场效应迁移率、阈值电压等电特性良好的晶体管100。

[0160] 另外,当作为源电极104a及漏电极104b使用具有含有铜的层的多层结构时,由于铜的影响,有时氧化物膜105与绝缘膜120的界面形成界面能级。但是,通过设置氧化物膜105,可以抑制电子被该界面能级俘获。如此,可以制造具有稳定的电特性且布线电阻低的晶体管100。

[0161] 另外,可以使源电极104a及漏电极104b的厚度为10nm以上且500nm以下,优选为50nm以上且300nm以下。

[0162] <保护绝缘膜>

[0163] 绝缘膜120用作保护绝缘膜,可以防止或减少来自外部的杂质元素的扩散。

[0164] 绝缘膜120由选自氮化铝、氧化铝、氮氧化铝、氧氮化铝、氧化镁、氮化硅、氧化硅、氮氧化硅、氧氮化硅、氧化镓、氧化锗、氧化钪、氧化锆、氧化钬、氧化钕、氧化钽的材料形成。注意,在本说明书中,氮氧化物是指在其组成中氮的含量多于氧的含量的物质,而氧氮化物是指在其组成中氧的含量多于氮的含量的物质。另外,例如可以使用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)等来测量各元素的含量。

[0165] 另外,绝缘膜120可以适当地利用溅射法、MBE(Molecular Beam Epitaxy:分子束外延)法、CVD(Chemical Vapor Deposition:化学气相沉积)法、PLD(Pulsed Laser Deposition:脉冲激光淀积)法、ALD(Atomic Layer Deposition:原子层沉积)法等形成。

[0166] 像上述那样,这里,以氧化物绝缘膜107a、氧化物绝缘膜107b及氮化物绝缘膜108的叠层结构对绝缘膜120进行说明。

[0167] 例如,可以将氧化物绝缘膜107a用作第一氧化硅膜,将氧化物绝缘膜107b用作第二氧化硅膜,将氮化物绝缘膜108用作氮化硅膜。此时,第一氧化硅膜及第二氧化硅膜中的一方或双方可以为氧氮化硅膜。另外,氮化硅膜还可以为氮氧化硅膜。第一氧化硅膜优选使用缺陷密度小的氧化硅膜。具体地,由利用ESR测量的g值为2.001的信号算出的自旋密度为 3×10^{17} spins/cm³以下,优选为 5×10^{16} spins/cm³以下的氧化硅膜。第二氧化硅膜使用含有比满足化学计量组成的氧更多的氧的氧化硅膜,换言之,使用含有过剩氧的氧化硅膜。氮化硅膜使用氢气及氨气体的释放量少的材料。另外,该氮化硅膜可以使用不使氢、水及氧透过或者几乎不使氢、水及氧透过的材料。另外,可以利用热脱附谱(TDS:Thermal Desorption Spectroscopy)分析测量氢气及氨气体的释放量。

[0168] 另外,含有比满足化学计量组成的氧更多的氧的氧化物绝缘膜是指通过加热处理能够释放氧的氧化物绝缘膜。含有过剩氧的氧化硅膜是指通过加热处理等能够释放氧的氧化硅膜。

[0169] 含有过剩氧的氧化物绝缘膜可以减少氧化物半导体膜103a中的氧缺陷。氧化物半导体膜103a中的氧缺陷形成缺陷能级,其一部分成为供体能级。因此,通过减少氧化物半导体膜103a中的氧缺陷(尤其是沟道区中的氧缺陷),可以降低氧化物半导体膜103a(尤其是沟道区)的载流子密度,由此可以制造具有稳定的电特性的晶体管100。

[0170] 这里,通过加热处理释放氧的膜有时释放通过TDS分析检测出为 1×10^{18} atoms/cm³以上、 1×10^{19} atoms/cm³以上或 1×10^{20} atoms/cm³以上的氧(换算为氧原子数)。

[0171] 此外,通过加热处理释放氧的膜有时包含过氧化自由基。具体而言,上述情况是指起因于过氧化自由基的自旋密度为 5×10^{17} spins/cm³以上。另外,包含过氧化自由基的膜有时在ESR中当g值为2.01附近时具有非对称性的信号。

[0172] 另外,含有过剩氧的氧化硅膜例如可以使用由化学式SiO_x(X>2)表示的每单位体积含有的氧原子数多于硅原子数的2倍的氧化硅膜。每单位体积的硅原子数及氧原子数为通过卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)测定的值。

[0173] 绝缘膜120不局限于氧化物绝缘膜107a、氧化物绝缘膜107b及氮化物绝缘膜108的叠层结构,例如,也可以采用将氧化物绝缘膜107b作为第一层并将氮化物绝缘膜108作为第二层的叠层结构。

[0174] 另外,将绝缘膜120的厚度形成为30nm以上且1000nm以下。尤其是,可以将氧化物绝缘膜107a的厚度形成为5nm以上且150nm以下,优选为5nm以上且50nm以下,更优选为10nm以上且30nm以下。可以将氧化物绝缘膜107b的厚度形成为30nm以上且500nm以下,优选为150nm以上且400nm以下。可以将氮化物绝缘膜108的厚度形成为5nm以上且150nm以下,优选为5nm以上且50nm以下,更优选为10nm以上且30nm以下。

[0175] <栅极绝缘膜>

[0176] 栅极绝缘膜106可以采用含有氧化铝、氧化镁、氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钆及氧化钽中的一种以上的绝缘膜的单层结构或叠层结构。

[0177] 作为栅极绝缘膜106,例如可以使用第一层是氮化硅膜而第二层是氧化硅膜的多层膜。在这种情况下,氧化硅膜也可以为氧氮化硅膜。另外,氮化硅膜也可以为氮氧化硅膜。具体地,由利用ESR测量的g值为2.001的信号算出的自旋密度为 3×10^{17} spins/cm³以下,优选为 5×10^{16} spins/cm³以下的氧化硅膜。氧化硅膜优选使用含有过剩氧的氧化硅膜。氮化硅膜使用氢气体及氨气体的释放量少的氮化硅膜。氢气体、氨气体的释放量可以利用TDS分析进行测定。

[0178] 作为栅极绝缘膜106,例如可以将第一氮化硅膜作为第一层,将第二氮化硅膜作为第二层,将第三氮化硅膜作为第三层,并将氧化硅膜作为第四层。在上述的情况下,氧化硅膜也可以为氧氮化硅膜。此外,氮化硅膜也可以为氮氧化硅膜。另外,优选作为第三层采用氮氧化硅膜。此时所使用的氧化硅膜及氮化硅膜可以使用上述氧化硅膜及上述氮化硅膜。另外,当作为第三层使用氮氧化硅膜时,优选使用膜中的悬空键以氮或氧饱和了的缺陷较少的氮氧化硅膜。具体地,优选使用由利用ESR测定的g值为2.001的信号算出的自旋密度为 1.2×10^{18} spins/cm³以下,优选为 1×10^{17} spins/cm³以下的氮氧化硅膜。

[0179] 通过使栅极绝缘膜106及绝缘膜120中的至少一方包括含有过剩氧的氧化物绝缘膜,可以降低氧化物半导体膜103a的氧缺陷,由此可以制造具有稳定的电特性的晶体管100。

[0180] 栅极绝缘膜106的厚度为5nm以上且500nm以下,优选为10nm以上且300nm以下。

[0181] <衬底>

[0182] 虽然对可用作衬底101的衬底没有较大的限制,但是衬底必需至少具有足够高的

耐热性来耐受稍后要进行的热处理。例如,可以使用如硼硅酸钡玻璃和硼硅酸铝玻璃等的玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。

[0183] 另外,作为衬底101,也可以使用如下衬底:以硅或碳化硅等为材料的单晶半导体衬底或多晶半导体衬底;或以硅锗等为材料的化合物半导体衬底等。另外,可以使用SOI衬底、在半导体衬底上设置有半导体元件的衬底等。

[0184] 另外,作为衬底101也可以使用挠性衬底(柔性衬底)。当使用挠性衬底时,既可以在挠性衬底上直接制造晶体管或电容元件等,又可以在其他制造衬底上制造晶体管或电容元件等之后剥离该晶体管而将它转置到挠性衬底上。另外,优选在制造衬底与晶体管或电容元件等之间设置剥离层,以从制造衬底剥离晶体管而将晶体管转置到挠性衬底上。

[0185] <栅电极>

[186] 作为用于形成栅电极110的导电材料,可以使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钨、钒、铌、锰、镁、锆、铍等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的半导体以及镍硅化物等硅化层。对导电膜的形成方法也没有特别的限制,可以使用蒸镀法、CVD法、溅射法、旋涂法等各种成膜方法。

[0187] 另外,作为栅电极110,也可以应用如氧化铟锡、包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锌、添加有氧化硅的氧化铟锡等的包含氧的导电材料。另外,也可以采用上述包含氧的导电材料与上述包含金属元素的叠层结构。

[1088] 栅电极110也可以采用单层结构或两层以上的叠层结构。例如,可以采用:含有硅的铝膜的单层结构;在铝膜上层叠钛膜的双层结构;在氮化钛膜上层叠钛膜的双层结构;在氮化钛膜上层叠钨膜的双层结构;在氮化钽膜上层叠钨膜的双层结构;钛膜、在该钛膜上层叠铝膜并在该铝膜上形成钛膜的三层结构等。此外,也可以使用组合铝与选自钛、钽、钨、钼、铬、钽、钕中的元素的膜、组合铝与上述元素中的多种的合金膜或氮化物膜。

[0189] 另外,可以在栅电极110与栅极绝缘膜106之间设置In-Ga-Zn氧氮化物膜、In-Sn氧氮化物膜、In-Ga氧氮化物膜、In-Zn氧氮化物膜、Sn氧氮化物膜、In氧氮化物膜、金属氮化(InN、ZnN等)膜等。上述膜具有5eV以上的功函数,由于该值比氧化物半导体的电子亲和能大,由此可以使作为形成有沟道的半导体膜使用氧化物半导体的晶体管的阈值电压向正电压方向变动,从而可以实现所谓的常闭特性的开关元件。例如,在栅电极110与栅极绝缘膜106之间设置In-Ga-Zn氧氮化物膜时,使用氮浓度至少高于氧化物半导体膜103a,具体为7原子%以上的In-Ga-Zn氧氮化物膜。

[0190] 另外,可以将栅电极110的厚度设定为10nm以上且500nm以下,优选为50nm以上且300nm以下。

[0191] 另外,可以在衬底101与栅电极110之间设置基底绝缘膜。该基底绝缘膜可以使用能够用于绝缘膜120的材料形成。该基底绝缘膜可以防止或减少来自衬底101的杂质的扩散。

[0192] <晶体管的制造方法的例子>

[0193] 参照图3A至图3E所示的截面图对晶体管100的制造方法的一个例子进行说明。

[0194] 这里,衬底101使用玻璃衬底。

[0195] 在衬底101上使用能够用于栅电极110的导电材料形成导电膜,在该导电膜上形成抗蚀剂掩模,利用该抗蚀剂掩模对该导电膜的一部分进行选择性的蚀刻来形成栅电极110。接着,使用能够用于栅极绝缘膜106的材料形成绝缘膜。

[0196] 图3A示出通过上述步骤得到的结构。

[0197] 接着,形成加工为氧化物半导体膜103a的氧化物半导体膜,在该氧化物半导体膜上形成加工为氧化物膜103b的氧化物膜,由此形成多层膜。在该多层膜上形成抗蚀剂掩模,利用该抗蚀剂掩模对该多层膜的一部分进行选择性的蚀刻,来形成具有氧化物半导体膜103a及氧化物膜103b的多层膜103。

[0198] 这里,对利用溅射法形成加工为氧化物半导体膜103a的氧化物半导体膜以及加工为氧化物膜103b的氧化物膜的情况进行说明。

[0199] 在本实施方式中,在栅极绝缘膜106上,作为加工为氧化物半导体膜103a的氧化物半导体膜,以In:Ga:Zn=1:1:1的原子数比的In-Ga-Zn氧化物为靶材形成厚度为15nm的氧化物半导体膜。接着,在氧化物半导体膜103a上,作为氧化物膜103b以In:Ga:Zn=1:3:2的原子数比的In-Ga-Zn氧化物为靶材形成厚度为5nm的氧化物膜。

[0200] 另外,氧化物半导体膜103a优选采用CAAC-OS膜。作为CAAC-OS膜的形成方法例示出以下四种方法。

[0201] 第一种方法是:通过在100℃以上且500℃以下的成膜温度下形成氧化物半导体,来形成氧化物半导体中的结晶部的c轴在平行于被形成面的法线向量或表面的法线向量的方向上一致的结晶部。

[0202] 第二种方法是:通过在形成较薄的氧化物半导体之后进行200℃以上且700℃以下的加热处理,来形成氧化物半导体中的结晶部的c轴在平行于被形成面的法线向量或表面的法线向量的方向上一致的结晶部。

[0203] 第三种方法是:通过在形成较薄的第一层氧化物半导体膜之后进行200℃以上且700℃以下的加热处理,然后形成第二层氧化物半导体膜,由于形成氧化物半导体中的结晶部的c轴在平行于被形成面的法线向量或表面的法线向量的方向上一致的结晶部。

[0204] 第四种方法是:使用包括具有高取向性的多晶氧化物半导体的靶材形成氧化物半导体中的结晶部的c轴在平行于被形成面的法线向量或表面的法线向量的方向上一致的结晶部。

[0205] 这里,参照图4A至图6B对根据第4种方法的CAAC-OS膜的结晶成长的模型进行说明。

[0206] 图4A是示出离子1001碰撞到包含具有高取向性的多晶氧化物半导体的靶材1000而使具有结晶性的溅射粒子1002剥离的状态的示意图。晶粒具有平行于靶材1000的表面的劈开面。此外,晶粒包括原子间的键合较弱的部分。当离子1001碰撞到晶粒时,原子之间的键合较弱的部分的原子间键合被切断。因此,溅射粒子1002由劈开面及原子间的键合较弱的部分被切断,以平板形状剥离。例如,溅射粒子1002的c轴方向是与溅射粒子1002的平面垂直的方向(参照图4B)。优选包含于靶材1000中的氧化物半导体的粒径的平面的圆当量直径为1μm以下。另外,溅射粒子1002所具有的平面的圆当量直径为晶粒的平均粒径的1/3000以上且1/20以下,优选为1/1000以上且1/30以下。注意,面的圆当量直径是指等于面的面积的正圆形的直径。

[0207] 或者,由于晶粒的一部分从劈开面作为粒子剥离并暴露于等离子体1005原子之间的键合较弱的部分的键合被切断,由此形成多个溅射粒子1002。

[0208] 通过作为离子1001使用氧的阳离子,可以减轻成膜时的等离子体损伤。因此,可以抑制离子1001碰撞到靶材1000的表面时使靶材1000的结晶性的下降或非晶化。

[0209] 在此,作为包含具有高取向性的多晶氧化物半导体的靶材1000的一个例子,图5A示出从平行于结晶的a-b面的方向看时的In-Ga-Zn氧化物的结晶结构。另外,图5B示出对图5A中的由点划线围绕的部分进行了放大的图。

[0210] 例如,在包含于In-Ga-Zn氧化物中的晶粒中,在图5B所示的含有镓原子或/和锌原子以及氧原子的第一层与含有镓原子或/和锌原子以及氧原子的第二层之间的面为劈开面。这是因为第一层及第二层所具有负电荷的氧原子之间的距离较近的缘故(参照图5B的围绕部分)。如此,劈开面是平行于结晶的a-b面的面。另外,在图5A和图5B所示的In-Ga-Zn氧化物的结晶是六方晶,所以上述平板状晶粒容易成为具有内角为 120° 的正六角形面的六方柱状。注意,平板状晶粒不局限于六角柱,也可以为三角柱。

[0211] 优选使溅射粒子1002带正电。另外,当溅射粒子1002的各角部具有相同极性的电荷时,发生相同极性的电荷的相互作用(彼此排斥)以使溅射粒子1002保持原形,因此是优选的(参照图4B)。溅射粒子1002例如可以带正电。对于溅射粒子1002何时带正电没有特别的限制,但是优选通过离子1001碰撞时接收电荷而带正电。或者,当产生等离子体1005时,优选使溅射粒子1002暴露于等离子体1005而带正电。或者,优选将作为氧的阳离子的离子1001键合到溅射粒子1002的侧面、顶面或者底面来使溅射粒子1002带正电。

[0212] 下面,参照图6A和图6B对溅射粒子沉积在非晶膜1004上的被形成面上的情况进行说明。另外,在图6A和6B中,由虚线表示已沉积的溅射粒子。

[0213] 图6A示出溅射粒子1002沉积于非晶膜1004上而形成的氧化物半导体膜1003。由图6A可知,通过使溅射粒子1002暴露于等离子体1005中而使溅射粒子100带正电,溅射粒子1002沉积于氧化物半导体膜1003中的没有沉积有其它的溅射粒子1002的区域。这是由于因溅射粒子1002带正电,溅射粒子1002之间彼此排斥的缘故。该溅射粒子的沉积也可以在绝缘表面上进行。

[0214] 图6B是对应于图6A的点划线Z1-Z2的截面图。氧化物半导体膜1003是通过其c轴方向与平面垂直的平板状的溅射粒子1002规则地沉积而形成的。因此,氧化物半导体膜1003成为结晶的c轴在垂直于被形成面的方向上一致的CAAC-OS膜。通过采用上述模型,可以在绝缘表面上、非晶膜上或非晶绝缘膜上形成结晶性高的CAAC-OS膜。

[0215] 在将CAAC-OS膜用于沟道区的晶体管中,因可见光或紫外光的照射引起的电特性变动较小。因此,将CAAC-OS膜用于沟道区的晶体管具有良好的可靠性。

[0216] 另外,为了形成CAAC-OS膜,优选采用以下条件。

[0217] 通过降低成膜时的杂质的混入,可以抑制结晶状态被破坏。例如,可以降低存在于成膜室内的杂质浓度(氢、水、二氧化碳及氮等)。另外,可以降低溅射气体中的杂质浓度。具体而言,使用露点为 -40°C 以下,优选为 -60°C 以下的溅射气体。

[0218] 另外,通过提高成膜时的被形成面的加热温度(例如衬底加热温度),在溅射粒子到达被形成面之后发生溅射粒子的迁移。具体而言,在将被形成面的加热温度设定为 100°C 以上且 740°C 以下,优选为 150°C 以上且 500°C 以下的状态下进行成膜。

[0219] 另外,优选的是,通过提高溅射气体中的氧比例并对电力进行最优化,来减轻成膜时的等离子体损伤。将溅射气体中的氧比例设定为30vol.%以上,优选为100vol.%以下。

[0220] 下面,作为溅射用靶材的一个例子示出In-Ga-Zn氧化物靶材。

[0221] 通过将 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以规定的摩尔数比混合,并进行加压处理,然后在1000℃以上且1500℃以下的温度下进行加热处理,由此得到多晶的In-Ga-Zn氧化物靶材。此外,也可以在冷却(放冷)或加热的同时进行该加压处理。另外,X、Y及Z为任意正数。在此, InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的规定的摩尔数比例例如为2:2:1、8:4:3、3:1:1、1:1:1、4:2:3或3:1:2。另外,粉末的种类及其混合的摩尔数比可以根据所制造的溅射靶材适当地改变。

[0222] 另外,在利用溅射法形成的氧化物半导体膜中有时包含氢或水、含有羟基的化合物等。由于氢或水等容易形成施主能级,所以对于氧化物半导体来说氢或水等是杂质。因此,优选在利用溅射法形成氧化物半导体膜时,尽可能降低氧化物半导体膜中的氢浓度。

[0223] 在形成氧化物半导体膜时,通过将溅射装置的反应室的泄漏率设定为 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{秒}$ 以下,可以减少在利用溅射法进行成膜的中途混入到氧化物半导体膜中的杂质诸如碱金属、氢化物等。另外,通过作为排气系统使用吸附真空泵(例如,低温泵等),可以抑制碱金属、氢原子、氢分子、水、含有羟基的化合物或氢化物等杂质从排气系统倒流。

[0224] 另外,通过将靶材的纯度设定为99.99%以上,可以减少混入到氧化物半导体膜中的碱金属、氢原子、氢分子、水、羟基或氢化物等。此外,通过使用该靶材,可以降低氧化物半导体膜中的诸如锂、钠、钾等碱金属的浓度。另外,优选靶材中含有的硅浓度为 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下。

[0225] 另外,在形成氧化物半导体膜及氧化物膜之后,可以在氧气氛或氮及氧气氛下进行等离子体处理。由此,至少能够减少氧化物半导体膜中的氧缺陷。

[0226] 作为用来形成多层膜103的蚀刻,可以采用干蚀刻法及湿蚀刻法中的一方或双方。

[0227] 另外,作为利用干蚀刻法进行多层膜103的蚀刻时的蚀刻气体,可以使用氯(Cl_2)、三氯化硼(BCl_3)、四氯化硅(SiCl_4)或四氯化碳(CCl_4)等为代表的氯类气体。另外,作为利用干蚀刻法对多层膜103进行蚀刻时的等离子体源,可以使用电容耦合型等离子体(CCP:Capacitively Coupled Plasma)、电感耦合等离子体(ICP:Inductively Coupled Plasma)、电子回旋共振(ECR:Electron Cyclotron Resonance)等离子体、螺旋波激发等离子体(HWP:Helicon Wave Plasma)或微波激发表面波等离子体(SWP:Surface Wave Plasma)等。尤其是,ICP、ECR、HWP及SWP可以生成高密度等离子体。在利用干蚀刻法进行的蚀刻(以下也称为“干蚀刻”)中,为了能够蚀刻为所希望的加工形状,适当地调节蚀刻条件(施加到线圈形电极的电力量、施加到衬底一侧的电极的电力量、衬底一侧的电极温度等)进行蚀刻。

[0228] 当利用湿蚀刻法对多层膜103进行蚀刻时,作为蚀刻液,可以使用混合有磷酸、醋酸及硝酸的溶液、包含草酸的溶液、包含磷酸的溶液等。此外,也可以使用ITO-07N(关东化学株式会社制造)。

[0229] 接着,优选进行第一加热处理。第一加热处理可以以250℃以上且650℃以下的温度,优选为以300℃以上且500℃以下的温度进行。第一加热处理在惰性气体气氛下,包含10ppm以上、1%以上或10%以上的氧化气体气氛下或者减压状态下进行。或者,可以在如下

方法进行第一加热处理:为了填补脱离了氧,在惰性气体气氛下进行加热处理之后,在包含10ppm以上、1%以上或10%以上的氧化气体气氛下进行加热处理。通过进行第一加热处理,可以提高氧化物半导体膜103a的结晶性,还可以去除栅极绝缘膜106及多层膜103中的水、氢、氮及碳等杂质。

[0230] 另外,至少可以在形成多层膜103的蚀刻工序之前或之后进行第一加热处理。

[0231] 图3B示出通过至此的工序得到的结构。

[0232] 接着,在多层膜103上使用能够用于源电极104a及漏电极104b的导电材料形成导电膜,在该导电膜上形成抗蚀剂掩模,利用该抗蚀剂掩模对该导电膜的一部分进行蚀刻,由此形成源电极104a及漏电极104b。

[0233] 另外,作为用来形成源电极104a及漏电极104b的蚀刻,可以采用干蚀刻法及湿蚀刻法中的一方或双方。

[0234] 另外,优选将源电极104a及漏电极104b的端部形成为锥形形状。具体地,将端部的锥角 θ 设定为 80° 以下,优选为 60° 以下,更优选为 45° 以下。

[0235] 接着,优选进行第二加热处理。第二加热处理可以参照第一加热处理的说明。通过进行第二加热处理,可以去除多层膜103中的氢及水等杂质。由于氢在多层膜103中尤其易于移动,所以通过利用第二加热处理减少氢的量可以使晶体管具有稳定的电特性。注意,水也是包含氢的化合物,所以有可能成为氧化物半导体膜103a中的杂质。

[0236] 另外,通过第二加热处理,可以在接触于源电极104a及漏电极104b的多层膜103中形成低电阻区域109a及低电阻区域109b。

[0237] 通过上述方法形成多层膜103,可以降低氧化物半导体膜103a、氧化物膜103b及氧化物半导体膜103a与氧化物膜103b的界面的杂质浓度。

[0238] 图3C示出通过至此的工序得到的结构。

[0239] 接着,在多层膜103、源电极104a及漏电极104b上形成氧化物膜105。氧化物膜105使用能够用于氧化物半导体膜103a及氧化物膜103b的材料及方法形成。这里,使用含有一种以上与构成氧化物膜103b的金属元素相同的金属元素的材料进行成膜。具体地,以In:Ga:Zn=1:3:2的原子数比的In-Ga-Zn氧化物、In:Ga:Zn=1:6:4的原子数比的In-Ga-Zn氧化物或者In:Ga:Zn=1:9:4的原子数比的In-Ga-Zn氧化物为靶材形成氧化物膜。

[0240] 图3D示出通过至此的工序得到的结构。

[0241] 接着,在氧化物膜105上形成绝缘膜120。这里,对形成氧化物绝缘膜107a、氧化物绝缘膜107b及氮化物绝缘膜108的情况进行说明。

[0242] 首先,作为氧化物绝缘膜107a形成第一氧化硅膜。接着,作为氧化物绝缘膜107b形成第二氧化硅膜。然后,可以对第二氧化硅膜进行添加氧离子的处理。添加氧离子的处理可以利用离子掺杂装置或等离子体处理装置。作为离子掺杂装置,也可以利用具有质量分离功能的离子掺杂装置。作为氧离子的原料,可以使用 $^{16}\text{O}_2$ 或 $^{18}\text{O}_2$ 等氧气体、一氧化二氮气体或臭氧气体等。接着,作为氮化物绝缘膜108形成氮化硅膜。

[0243] 优选通过CVD法中的一种的等离子体CVD法形成第一氧化硅膜。具体地可以在如下成膜条件下进行成膜:将衬底温度设定为 180°C 以上且 400°C 以下,优选为 200°C 以上且 370°C 以下;使用含有硅的沉积气体及氧化气体;压力为20Pa以上且250Pa以下,优选为40Pa以上且200Pa以下;对电极供应高频功率。另外,含有硅的沉积气体的典型例子有硅烷、乙硅

烷、丙硅烷、氟化硅烷等。作为氧化气体,可以举出氧、臭氧、一氧化二氮、二氧化氮等。

[0244] 另外,通过使氧化气体的流量为含有硅的沉积气体的100倍以上,可以降低第一氧化硅膜中的氢含量并减少悬空键。

[0245] 优选通过等离子体CVD法形成第二氧化硅膜。具体地可以在如下成膜条件下进行成膜:将衬底温度设定为160℃以上且350℃以下,优选为180℃以上且260℃以下;使用含有硅的沉积气体及氧化气体;压力为100Pa以上且250Pa以下,优选为100Pa以上且200Pa以下;对电极供应0.17W/cm²以上且0.5W/cm²以下,优选为0.25W/cm²以上且0.35W/cm²以下的高频功率。

[0246] 通过利用上述方法提高等离子体中的气体的分解效率,氧自由基增加,气体的氧化进展,由此可以形成包含过剩氧的氧化硅膜作为第二氧化硅膜。

[0247] 氮化绝缘膜108的氮化硅膜优选利用等离子体CVD法形成。具体地可以在如下成膜条件下进行成膜:将衬底温度设定为180℃以上且400℃以下,优选为200℃以上且370℃以下;使用含有硅的沉积气体、氮气体以及氨气体;压力为20Pa以上且250Pa以下,优选为40Pa以上且200Pa以下;对电极供应高频功率。

[0248] 另外,氮气体的流量为氨气体的流量的5倍以上且50倍以下,优选为10倍以上且50倍以下。此外,通过使用氨气体,可以促进含有硅的沉积气体及氮气体的分解。这是因为如下缘故:氨气体因等离子体能及热能而离解,离解时产生的能量有助于含有硅的沉积气体的键合及氮气体的键合的分解。

[0249] 由此,通过上述方法,可以形成能够用作氮化物绝缘膜108的氢气体及氨气体的释放量少的氮化硅膜。另外,通过氢含量少,可以形成致密的不使氢、水以及氧透过或几乎不使其透过的氮化硅膜。

[0250] 另外,优选在形成之后至少对绝缘膜120中的氧化物绝缘膜107a及氧化物绝缘膜107b进行第三加热处理。第三加热处理可以参照第一加热处理的说明。通过第三加热处理,栅极绝缘膜106、氧化物绝缘膜107a及氧化物绝缘膜107b中的至少一个释放出过剩的氧,由此可以减少多层膜103的氧缺陷。另外,在多层膜103中,由于氧缺陷俘获邻接的氧原子,所以在外观上氧缺陷移动。

[0251] 另外,通过第三加热处理可以去除氧化物绝缘膜107a及氧化物绝缘膜107b中的氢及水。此外,当在形成氮化物绝缘膜108之后进行第三加热处理时,也可以去除氮化物绝缘膜108中的氢及水。

[0252] 图3E示出通过至此的工序得到的结构。

[0253] 通过上述工序,可以制造出晶体管100。

[0254] 另外,在晶体管100的制造工序中,在形成源电极104a及漏电极104b时,有时氧化物膜103b被部分蚀刻。但是,在氧化物半导体膜103a的顶面上,有时在形成氧化物膜103b时形成氧化物半导体膜103a与氧化物膜103b的混合层。

[0255] 例如,在如下情况下,与氧化物半导体膜103a相比氧化物膜103b中的Ga的含量更多。该情况是:氧化物半导体膜103a是以In:Ga:Zn=1:1:1[原子数比]的In-Ga-Zn氧化物或者In:Ga:Zn=3:1:2[原子数比]的In-Ga-Zn氧化物为靶材形成的膜;氧化物膜103b是以In:Ga:Zn=1:3:2[原子数比]的In-Ga-Zn氧化物或者In:Ga:Zn=1:6:4[原子数比]的In-Ga-Zn氧化物为靶材形成的膜;氧化物膜105是以In:Ga:Zn=1:3:2[原子数比]的In-Ga-Zn氧化物或

者In:Ga:Zn=1:6:4[原子数比]的In-Ga-Zn氧化物为靶材形成的膜。所以,在氧化物半导体膜103a的顶面上有可能形成比GaO_x层或氧化物半导体膜103a含有更多Ga的混合层。

[0256] 图24示出这种情况下的晶体管100的C1-C2截面的能带结构图。图24是图2A和图2B所示的能带结构的变形例。另外,图24所示的Ec182表示栅极绝缘膜106的导带底端的能量,Ec183a表示氧化物半导体膜103a的导带底端的能量,Ec185表示氧化物膜105的导带底端的能量。

[0257] 如上所述,即使在氧化物膜103b被蚀刻且氧化物膜105与氧化物半导体膜103a彼此接触的情况下,由于氧化物膜105与氧化物半导体膜103a之间形成有比GaO_x层或氧化物半导体膜103a含有更多Ga的混合层,所以Ec183a及Ec185连续连接。另外,Ec185比Ec183a的能级高。

[0258] <变形例1>

[0259] 这里,对晶体管100的变形例进行说明。图7A示出该变形例的晶体管的构成要素的一部分(衬底101、栅电极110、栅极绝缘膜106、多层膜103)。另外,图7B是图7A的多层膜103的端部(点划线圆的区域)的放大图。

[0260] 作为晶体管100的变形例,在多层膜103中至少氧化物半导体膜103a具有锥形形状。更优选的是氧化物膜103b也具有锥形形状。另外,氧化物半导体膜103a的锥形形状与氧化物膜103b的锥形形状不同。

[0261] 具体地,当将氧化物半导体膜103a中的氧化物半导体膜103a的底面与氧化物半导体膜103a的侧面之间的角度作为第一角度 θ_1 并将在氧化物膜103b中的氧化物膜103b的底面与氧化物膜103b的侧面之间的角度作为第二角度 θ_2 时,第一角度 θ_1 为锐角,第二角度 θ_2 可以为锐角或直角。

[0262] 尤其是优选第一角度 θ_1 及第二角度 θ_2 都为锐角并且第一角度 θ_1 比第二角度 θ_2 小(参照图7B)。

[0263] 另外,优选第一角度 θ_1 为10°以上且小于90°,更优选为30°以上且80°以下。优选第二角度 θ_2 为10°以上且小于90°,更优选为30°以上且80°以下,进一步优选为45°以上且70°以下。

[0264] 另外,氧化物半导体膜103a的底面相当于氧化物半导体膜103a的衬底101一侧的面或者氧化物半导体膜103a的接触于栅极绝缘膜106的面。氧化物膜103b的底面相当于氧化物膜103b的衬底101一侧的面或者氧化物膜103b的与氧化物半导体膜103a的边界面。此外,可以利用STEM(Scanning Transmission Electron Microscopy:扫描透射电子显微镜)对多层膜103的叠层结构进行观察来确认其边界。但是,根据用于氧化物半导体膜103a及氧化物膜103b的材料,有时无法明确地确认该边界。

[0265] 通过将多层膜103形成为具有不同锥角的锥形形状可以获得如下效果。与具有固定的锥角的锥形形状的情况相比,多层膜103为具有不同锥角的锥形形状时,源电极104a及漏电极104b的接触面积更大。因此,多层膜103与源电极104a及漏电极104b的接触电阻降低,从而可以增大晶体管的通态电流(on-state current)。

[0266] 另外,通过使第二角度 θ_2 大于第一角度 θ_1 ,可以缩小源电极104a及漏电极104b的接触面积,由此可以缩小形成于氧化物膜103b中的低电阻区域。由此,可以抑制氧化物膜103b的低电阻化,并可以在用作沟道区的氧化物半导体膜103a中有效地形成低电阻区域,

从而可以增大晶体管的通态电流并降低晶体管的关态电流。

[0267] 为了形成氧化物半导体膜103a的锥形形状与氧化物膜103b的锥形形状不同的多层膜103,例如,在利用蚀刻形成多层膜103时,可以利用不同的蚀刻速度形成氧化物半导体膜103a及氧化物膜103b。通过使氧化物半导体膜103a的蚀刻速度低于氧化物膜103b的蚀刻速度可以形成上述锥形形状。

[0268] 例如,在图3B的工序中,可以利用使用含有磷酸的溶液作为蚀刻剂的湿蚀刻形成锥形形状的多层膜103。

[0269] 下面举出利用湿蚀刻形成多层膜103的优点。例如,在被加工为多层膜103的氧化物半导体膜及氧化物膜中存在针孔等缺陷的情况下,当利用干蚀刻加工该氧化物半导体膜及该氧化物膜时,有时设置于该氧化物半导体膜及该氧化物膜之下的绝缘膜(栅极绝缘膜等)也通过该针孔被蚀刻。因此,有时该绝缘膜中形成到达设置于该绝缘膜之下的电极(栅电极等)的开口。当在该状况下制造晶体管时,该电极与形成于多层膜103上的电极(源电极及漏电极等)发生短路,有时形成特性不良的晶体管。也就是说,当利用干蚀刻形成多层膜103时,有可能导致晶体管的成品率下降。因此,通过进行湿蚀刻来形成多层膜103,可以以高生产率制造电特性良好的晶体管。

[0270] 另外,湿蚀刻的蚀刻速度根据蚀刻剂的浓度及蚀刻剂的温度等发生变化,所以优选以使氧化物半导体膜103a的蚀刻速度低于氧化物膜103b的蚀刻速度的方式适当地进行调整。另外,通过使第二角度 θ_2 大于第一角度 θ_1 ,可以在该湿蚀刻中尽量地缩小暴露于蚀刻剂的面积。另外,通过使第二角度 θ_2 大于第一角度 θ_1 ,可以缩小因蚀刻剂造成的污染或缺陷生成而形成于氧化物膜103b中的低电阻区域。

[0271] 例如,作为上述蚀刻剂,可以举出调整为85%左右的磷酸水溶液或者混合了磷酸(72%)与硝酸(2%)与醋酸(9.8%)的混合溶液(也称为混酸铝液)。另外,蚀刻剂的温度优选为20℃至35℃左右的室温或常温。另外,该蚀刻剂也可以采用上述以外的溶液。

[0272] 利用上述湿蚀刻形成多层膜103并通过适当地利用晶体管100的制造方法形成栅电极110、栅极绝缘膜106、源电极104a、漏电极104b及绝缘膜120,可以制造晶体管100的变形例。

[0273] <变形例2>

[0274] 作为变形例,在晶体管100中,可以在绝缘膜120上的与多层膜103重叠的区域中设置导电膜121(参照图8)。图8示出该变形例的晶体管的沟道长度方向的截面图。此时,可以将栅电极110称为第一栅电极,将导电膜121称为第二栅电极,并可以将第一栅电极和第二栅电极中的一方用作栅电极,将另一方用作背栅电极。

[0275] 背栅电极可以与栅电极具有同样的功能。背栅电极的电位可以与栅电极相等,也可以为GND电位或任意电位。通过改变背栅电极的电位,可以改变晶体管的阈值电压。

[0276] 另外,由于栅电极与背栅电极由导电膜形成,因此还具有防止晶体管的外部产生的电场影响沟道形成区的功能(尤其是对静电的静电遮蔽功能)。即,可以防止由于静电等外部的电场的影响而使晶体管的电特性变动。此外,通过设置背栅电极,可以减少BT试验前后的晶体管的阈值电压的变化量。

[0277] 通过作为背栅电极使用具有遮光性的导电膜形成,可以防止光从背栅电极一侧入射至多层膜103。由此,可防止多层膜103(尤其是氧化物半导体膜103a)的光劣化,由此可以

防止晶体管的阈值电压偏移等电特性劣化。

[0278] 另外,本实施方式可以与其他实施方式、实施例及参考例所记载的结构适当地组合而实施。

[0279] 实施方式2

[0280] 在本实施方式中,例示出与本发明的一个方式的晶体管100的结构部分不同的晶体管150。

[0281] <半导体装置的结构例子>

[0282] 图9A至图9D示出半导体装置的一个方式的晶体管150。晶体管150是底栅型晶体管的一种。图9A是晶体管150的俯视图。另外,图9B是沿着图9A中的点划线A1-A2的截面图,图9C是沿着图9A中的点划线B1-B2的截面图。另外,图9D是由图9B所示的点划线圈围绕的区域的放大图。另外,在图9A中,省去对部分构成要素的记载。

[0283] 在晶体管150的截面结构中,多层膜103的叠层结构与晶体管100不同。晶体管150的多层膜103在氧化物膜103c上设置有氧化物半导体膜103a,并且在氧化物半导体膜103a上设置有氧化物膜103b(参照图9D)。另外,晶体管150的其他的构成要素与晶体管100相同。

[0284] 在晶体管150中,氧化物膜105也以与氧化物膜103b、源电极104a及漏电极104b的顶面接触的方式设置。

[0285] 与晶体管100同样地,在晶体管150中,根据用于源电极104a及漏电极104b的导电膜的种类,有时多层膜103的一部分中的氧被夺取或者形成混合层而使多层膜103中形成低电阻区域109a及低电阻区域109b。

[0286] 在图9B及图9C中,低电阻区域109a及低电阻区域109b是指多层膜103中的与源电极104a及漏电极104b接触的界面附近的区域。将低电阻区域109a及低电阻区域109b的一部分或整个低电阻区域109a及低电阻区域109b用作源区域及漏区域。

[0287] <多层膜及接触于多层膜的氧化物膜>

[0288] 下面,对晶体管150中的多层膜103所包括的氧化物膜103c、氧化物半导体膜103a及氧化物膜103b进行说明。另外,由于晶体管150中的氧化物半导体膜103a及氧化物膜103b与晶体管100中的氧化物半导体膜103a及氧化物膜103b相同,因此这里仅对与晶体管100不同的氧化物膜103c进行说明。

[0289] 氧化物膜103c可以适当地使用能够用于氧化物半导体膜103a及氧化物膜103b的材料。并且,氧化物膜103c优选由含有一种以上与构成氧化物半导体膜103a的金属元素相同的金属元素的材料形成。氧化物膜103c尤其优选使用能够用于氧化物膜103b的材料。通过采用这样的材料,可以使氧化物半导体膜103a与氧化物膜103b之间的界面不容易形成界面能级。由此,界面中的载流子的散射及俘获得到降低,而可以提高晶体管的场效应迁移率。另外,可以减少晶体管的阈值电压偏差。

[0290] 在氧化物膜103c、氧化物半导体膜103a及氧化物膜103b的形成工序中,通过不在中途暴露于大气的情况下,在保持惰性气体气氛、氧化气体气氛又减压下连续地进行成膜,可以使氧化物膜103c与氧化物半导体膜103a与氧化物膜103b之间更不容易形成界面能级。

[0291] 将氧化物膜103c的厚度设定为3nm以上且100nm以下,优选为3nm以上且50nm以下。

[0292] 氧化物膜103c也可以与氧化物半导体膜103a及氧化物膜103b同样地包括非单晶。

[0293] 另外,在晶体管150中,至少氧化物半导体膜103a可以包括CAAC-OS膜。

[0294] 在使用CAAC-OS膜的晶体管中,由于可见光或紫外线光照射而造成的电特性的变化小。因此,该晶体管的可靠性高。

[0295] 为了使氧化物半导体膜103a为CAAC-OS膜,优选作为基底的氧化物膜103c为非晶或者具有与CAAC-OS膜同样的结晶性。

[0296] 另外,当氧化物半导体膜103a为CAAC-OS膜时,形成于氧化物半导体膜103a上的氧化物膜103b容易成为CAAC-OS膜。但是,氧化物膜103b也可以为非晶。

[0297] 在使用多层膜103的晶体管中,由于氧化物半导体膜103a是形成有沟道的层,当氧化物半导体膜103a具有高结晶性时能够使晶体管具有稳定的电特性,因此是优选的。

[0298] 在晶体管150中,与晶体管100同样地,使多层膜103中的由利用CPM测定得出的定域能级的吸收系数小于 $1 \times 10^{-3} \text{cm}^{-1}$,优选使其小于 $3 \times 10^{-4} \text{cm}^{-1}$ 。由此,可以提高晶体管的场效应迁移率。另外,为了得到上述吸收系数,可以将氧化物半导体膜103a中形成定域能级的元素的硅、锗、碳、铅、钛等的浓度设定为小于 $2 \times 10^{18} \text{atoms/cm}^3$,优选为小于 $2 \times 10^{17} \text{atoms/cm}^3$ 。

[0299] 下面,参照图10A和图10B以及图11A和图11B所示的能带结构图对本实施方式中的多层膜103的功能及其效果进行说明。图10A和图10B以及图11A和图11B示出沿着图9B所示的点划线C1-C2的能带结构。

[0300] 在图10A和图10B及图11A和图11B中,Ec182、Ec183c、Ec183a、Ec183b、Ec185、Ec186分别示出栅极绝缘膜106、氧化物膜103c、氧化物半导体膜103a、氧化物膜103b、氧化物膜105、绝缘膜120的导带底端的能量。

[0301] 由于栅极绝缘膜106及绝缘膜120为绝缘物,Ec182及Ec186比Ec183c、Ec183a、Ec183b及Ec185更接近真空能级(电子亲和能小)。

[0302] 另外,Ec183c及Ec183b比Ec183a更接近真空能级。具体地,优选使Ec183a与Ec183c的能量差以及Ec183a与Ec183b之间的能量差为0.05eV以上且2eV以下。优选该能量差的下限为0.1eV以上,更优选该能量差的下限为0.15eV以上。

[0303] 在图10A和图10B及图11A和图11B中,在氧化物半导体膜103a与氧化物膜103b之间、氧化物半导体膜103a与氧化物膜103c之间、氧化物膜103b与氧化物膜105之间,没有导带底端的能量而平缓地变化。换言之,该导带底端的能量连续地变化。这是由于如实施方式1所记载那样氧化物膜103b及氧化物膜103c含有与氧化物半导体膜103a相同的元素并且氧在氧化物半导体膜103a与氧化物膜103c以及氧化物半导体膜103a与氧化物膜103b之间移动形成混合层的缘故。

[0304] 另外,如实施方式1所记载的那样,当将具有该能带结构的多层膜103用于晶体管时,电子主要在氧化物半导体膜103a中移动。也就是说,可以认为沟道区形成于氧化物半导体膜103a中。因此,即使与作为多层膜103的外侧的绝缘膜之间的界面存在能级,由于该能级位于远离沟道区的位置,因此几乎对电子的移动没有影响。另外,由于构成多层膜103的膜与膜之间不存在或几乎不存在能级,所以在沟道区中不会阻碍电子的移动。因此,多层膜103的氧化物半导体膜103a具有高电子迁移率。

[0305] 尤其是,当氧化物膜105与氧化物膜103b由相同的材料形成时,Ec185与Ec183b为相同的能量(参照图10A)。

[0306] 如图10A所示,虽然在氧化物膜105与绝缘膜120的界面附近形成有因杂质或缺陷

引起的陷阱能级191,在氧化物膜103c与栅极绝缘膜106的界面附近形成有因杂质或缺陷引起的陷阱能级192,但是由于氧化物膜103c、氧化物膜103b及氧化物膜105的存在,可以使氧化物半导体膜103a远离陷阱能级191并使氧化物半导体膜103a远离陷阱能级192。

[0307] 另外,当Ec183a与Ec183b的能量差以及Ec183a与Ec183c的能量差较小时,有时氧化物半导体膜103a的电子越过该能量差到达陷阱能级191及陷阱能级192。当电子被陷阱能级191及陷阱能级192俘获时,绝缘膜界面生成负电荷,而使晶体管的阈值电压向正方向漂移。

[0308] 因此,优选使Ec183a与Ec183b的能量差以及Ec183a与Ec183c的能量差控制为上述能量差范围内。由此,晶体管150的阈值电压的变动得到降低,而可以使晶体管150具有良好的电特性。

[0309] 另外,在晶体管150中,氧化物膜105可以适当地使用能够用于氧化物半导体膜103a及氧化物膜103b的材料。尤其是优选使用含有一种以上与构成与氧化物膜103b的金属元素相同的金属元素的材料形成。由此,在氧化物膜103b与氧化物膜105之间没有势垒,而可以使导带底端的能量平缓地变化。

[0310] 由于具有图10A所示的能带结构,作为氧化物半导体膜103a,使用以In:Ga:Zn=1:1:1的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜,作为氧化物膜103c、氧化物膜103b及氧化物膜105,使用以In:Ga:Zn=1:3:2的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜。

[0311] 另外,优选氧化物膜103c、氧化物膜103b及氧化物膜105的带隙比氧化物半导体膜103a的带隙宽。

[0312] 另外,在图10A中,虽然氧化物膜103c、氧化物膜103b及氧化物膜105使用真空能级与导带底端的能量的差相同的材料,但是氧化物膜105也可以使用与氧化物膜103c及氧化物膜103b相比导带底端的能量更接近真空能级的材料形成(参照图10B)。

[0313] 具体地,当作为氧化物半导体膜103a使用以In:Ga:Zn=1:1:1的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物半导体膜而作为氧化物膜103c及氧化物膜103b使用以In:Ga:Zn=1:3:2的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜时,作为氧化物膜105,例如可以使用以In:Ga:Zn=1:6:4的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜或者以In:Ga:Zn=1:9:4的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜。

[0314] 换言之,当作为氧化物膜105、氧化物膜103c及氧化物膜103b使用In-M-Zn氧化物形成时,优选使氧化物膜105的相对于In的元素M的原子数比大于氧化物膜103c及氧化物膜103b的相对于In的元素M的原子数比。

[0315] 另外,晶体管150的能带结构不局限于图10A和图10B,也可以使用导带底端的能量相同的材料形成氧化物膜105及氧化物膜103b,作为氧化物膜103c可以使用与氧化物膜105及氧化物膜103b相比导带底端的能量更接近真空能级的材料(参照图11A)。

[0316] 另外,至于晶体管150的能带结构,作为氧化物膜105及氧化物膜103c可以使用导带底端的能量相同且比氧化物半导体膜103a及氧化物膜103b导带底端的能量更接近真空能级的材料(参照图11B)。

[0317] 另外,为了减少形成于氧化物膜105与绝缘膜120之间的界面附近的陷阱能级191以及形成于氧化物膜103c与栅极绝缘膜106之间的界面附近的陷阱能级192的影响,使

Ec183a与Ec183b的能量差、Ec183a与Ec183c的能量差以及Ec183b与Ec185的能量差为0.05eV以上且2eV以下。优选该能量差的下限为0.1eV以上,更优选该能量差的下限为0.15eV以上。优选该能量差的上限为0.5eV以下,更优选该能量差的上限为0.4eV以下。

[0318] 为了具有图11A所示的能带结构,作为氧化物半导体膜103a使用以In:Ga:Zn=1:1:1的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物半导体膜,作为氧化物膜103b及氧化物膜105使用以In:Ga:Zn=1:3:2的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜,作为氧化物膜103c,例如可以使用以In:Ga:Zn=1:6:4的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜或者以In:Ga:Zn=1:9:4的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜。

[0319] 为了具有图11B所示的能带结构,作为氧化物半导体膜103a使用以In:Ga:Zn=1:1:1的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物半导体膜,作为氧化物膜103b使用以In:Ga:Zn=1:3:2的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜,作为氧化物膜103c及氧化物膜105,例如可以使用以In:Ga:Zn=1:6:4的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜或者以In:Ga:Zn=1:9:4的原子数比的In-Ga-Zn氧化物为靶材形成的氧化物膜。

[0320] 由上所述,在具有图10A和10B及图11A和图11B所示的能带结构时,多层膜103的氧化物半导体膜103a也具有高电子迁移率,而能够实现阈值电压的变动得到降低的电特性良好的晶体管150。

[0321] <半导体装置的制造方法的例子>

[0322] 下面记载晶体管150的制造方法的一个例子。

[0323] 首先,在衬底101上形成栅电极110,在栅电极110上形成栅极绝缘膜106(参照图12A)。接着,在栅极绝缘膜106上形成被加工为氧化物膜103c的氧化物膜,并在该氧化物膜上形成被加工为氧化物半导体膜103a的氧化物半导体膜,并在该氧化物半导体膜上形成被加工为氧化物膜103b的氧化物膜,由此形成多层膜。在该多层膜上形成抗蚀剂掩模,利用该抗蚀剂掩模对该多层膜进行部分蚀刻,由此形成具有氧化物膜103c、氧化物半导体膜103a及氧化物膜103b的多层膜103(参照图12B)。接着,在多层膜103及栅极绝缘膜106上形成源电极104a及漏电极104b形成(参照图12C)。在多层膜103、源电极104a及漏电极104b上形成氧化物膜105(参照图12D)。在氧化物膜105上形成绝缘膜120(参照图12E)。另外,在晶体管150的制造方法中,与晶体管100的制造方法同样地,优选进行第一加热处理至第三加热处理。

[0324] 晶体管150的制造方法中的各工序的详细内容可以参照实施方式1。

[0325] 通过上述工序可以制造出晶体管150。

[0326] 另外,在晶体管150的制造工序中,在形成源电极104a及漏电极104b时,有时氧化物膜103b被部分蚀刻。但是,在氧化物半导体膜103a的顶面上,有时在形成氧化物膜103b时形成氧化物半导体膜103a与氧化物膜103b的混合层。

[0327] 例如,在如下情况下,与氧化物半导体膜103a相比氧化物膜103b中的Ga的含量更多。该情况是:氧化物半导体膜103a是以In:Ga:Zn=1:1:1[原子数比]的In-Ga-Zn氧化物或者In:Ga:Zn=3:1:2[原子数比]的In-Ga-Zn氧化物为靶材形成的膜;氧化物膜103b是以In:Ga:Zn=1:3:2[原子数比]的In-Ga-Zn氧化物为靶材形成的膜或者In:Ga:Zn=1:6:4[原子数

比]的In-Ga-Zn氧化物为靶材形成的膜;氧化物膜103c是以In:Ga:Zn=1:3:2[原子数比]的In-Ga-Zn氧化物或者In:Ga:Zn=1:6:4[原子数比]的In-Ga-Zn氧化物为靶材形成的膜;氧化物膜105是以In:Ga:Zn=1:3:2[原子数比]的In-Ga-Zn氧化物或者In:Ga:Zn=1:6:4[原子数比]的In-Ga-Zn氧化物为靶材形成的膜。所以,在氧化物半导体膜103a的顶面上有可能形成比GaO_x层或氧化物半导体膜103a含有更多Ga的混合层。

[0328] 图25示出这种情况下的晶体管150的C1-C2截面的能带结构图。图25是图10A和图10B以及图11A和图11B所示的能带结构的变形例。另外,图25所示的Ec182表示栅极绝缘膜106的导带底端的能量,Ec183a表示氧化物半导体膜103a的导带底端的能量,Ec183c表示氧化物膜103c的导带底端的能量,Ec185表示氧化物膜105的导带底端的能量。

[0329] 如上所述,即使在氧化物膜103b被蚀刻且氧化物膜105与氧化物半导体膜103a彼此接触的情况下,由于氧化物膜105与氧化物半导体膜103a之间形成有比GaO_x层或氧化物半导体膜103a含有更多Ga的混合层,所以Ec183a及Ec185连续连接。另外,Ec185至少比Ec183a的能级高。

[0330] <变形例1>

[0331] 这里,对晶体管150的变形例进行说明。图13A示出该变形例的晶体管的构成要素的一部分(衬底101、栅电极110、栅极绝缘膜106、多层膜103)。图13B是图13A的多层膜103的端部(点划线圆的区域)的放大图。

[0332] 作为该变形例,在多层膜103中至少氧化物半导体膜103a具有锥形形状。更优选的是氧化物膜103b及氧化物膜103c也具有锥形形状。另外,氧化物半导体膜103a的锥形形状与氧化物膜103b及氧化物膜103c的锥形形状不同。

[0333] 具体地,当将氧化物半导体膜103a中的氧化物半导体膜103a的底面与氧化物半导体膜103a的侧面之间的角度作为第一角度 θ_1 并将在氧化物膜103b中的氧化物膜103b的底面与氧化物膜103b的侧面之间的角度作为第二角度 θ_2 且将氧化物膜103c中的氧化物膜103c的底面与氧化物膜103c的侧面之间的角度作为第三角度 θ_3 时,第一角度 θ_1 为锐角,第二角度 θ_2 及第三角度 θ_3 可以为锐角或直角。

[0334] 尤其优选第一角度 θ_1 、第二角度 θ_2 及第三角度 θ_3 都为锐角并且至少第一角度 θ_1 比第二角度 θ_2 及第三角度 θ_3 小(参照图13B)。

[0335] 另外,第二角度 θ_2 及第三角度 θ_3 可以为相同角度,也可以为不同角度。例如,通过作为氧化物膜103b及氧化物膜103c采用相同种类的氧化物膜,可以使第二角度 θ_2 及第三角度 θ_3 具有相同的角度。

[0336] 另外,优选第一角度 θ_1 为10°以上且小于90°,更优选为30°以上且80°以下。优选第二角度 θ_2 及第三角度 θ_3 为10°以上且小于90°,更优选为30°以上且80°以下,进一步优选为45°以上且70°以下。

[0337] 在本变形例中,例如,与实施方式1同样地,通过利用氧化物膜103c、氧化物半导体膜103a与氧化物膜103b的蚀刻速度不同,可以形成图13A及图13B所示的形状。通过使氧化物半导体膜103a的蚀刻速度低于氧化物膜103b及氧化物膜103c的蚀刻速度,可以形成上述锥形形状。

[0338] 例如,在图12B的工序中,可以利用使用含有磷酸的溶液作为蚀刻剂的湿蚀刻形成锥形形状。该湿蚀刻的详细说明可以参照实施方式1。

[0339] 另外,本变形例也可以获得实施方式1所记载的晶体管100的变形例所具有的效果。

[0340] <变形例2>

[0341] 接着,在图13C中示出晶体管150的与上述变形例不同的变形例。图13D是图13C的多层膜103的端部(点划线圆区域)的放大图。

[0342] 本变形例在多层膜103的侧面具有曲面。图13C及图13D所示的在侧面上具有曲面的多层膜103在侧面部分上形成有氧化物膜103d,其端部的截面形状也具有曲面。

[0343] 氧化物膜103d可以通过作为形成多层膜103的蚀刻采用干蚀刻法并适当地选择实施方式1所记载的条件来形成。通过该干蚀刻使被蚀刻的氧化物膜103c的一部分再附着于多层膜的侧面来形成氧化物膜103d。通过在多层膜103的侧面上形成氧化物膜103d,可以减少该侧面生成的定域能级密度。由此,可以使晶体管150具有良好的电特性。

[0344] <变形例3>

[0345] 作为变形例,在晶体管150中,可以在绝缘膜120上的与多层膜103重叠的区域中设置导电膜121(参照图14)。图14示出该变形例的晶体管的沟道长度方向的截面图。此时,可以将栅电极110称为第一栅电极,将导电膜121称为第二栅电极,并可以将第一栅电极和第二栅电极中的一方用作栅电极,将另一方用作背栅电极。

[0346] 另外,在本变形例中,通过设置导电膜121得到的效果与实施方式1所记载的效果相同。

[0347] 另外,本实施方式可以与其他实施方式、实施例及参考例所记载的结构适当地组合而实施。

[0348] 实施方式3

[0349] <显示装置>

[0350] 上述实施方式中说明的晶体管可以用于显示装置。此外,通过使用上述晶体管将包括晶体管的驱动电路的一部分或全部与像素部一体地形成在相同的衬底上,可以形成系统整合型面板(system-on-panel)。参照图15至图19C对能够使用上述晶体管的显示装置的结构例子进行说明。

[0351] 作为设置在显示装置中的显示元件,可以使用液晶元件(也称为液晶显示元件)、发光元件(也称为发光显示元件)等。发光元件将由电流或电压控制亮度的元件包括在其范畴内,具体而言,包括无机EL(Electro Luminescence:电致发光)元件、有机EL元件等。此外,也可以采用电子墨水等由于电作用而改变对比度的显示媒体作为显示元件。下面,作为显示装置的一个例子对使用EL元件的显示装置及使用液晶元件的显示装置进行说明。

[0352] 另外,下面示出的显示装置包括处于密封有显示元件的状态的面板及处于在该面板中安装有包括控制器的IC等的状态的模块。

[0353] 另外,下面示出的显示装置是指图像显示器件或光源(包括照明装置)。此外,显示装置还包括:安装有连接器诸如FPC或TCP的模块;在TCP的端部上设置有印刷线路板的模块;或者通过COG方式将IC(集成电路)直接安装到显示元件的模块。

[0354] 另外,下面所示的显示装置可以设置通过接触或接近对象物而进行感测的输入单元(触控传感器)(未图示)。例如,通过接触进行感测的输入单元可以采用电阻膜方式、静电电容方式、红外线方式、电磁感应方式以及表面声波方式等各种方式。另外,通过近接进行

感测的输入单元可以利用红外线相机等。

[0355] 该输入单元也可以另行设置于下述显示装置上,即,所谓的On-cell方式,还可以与下述显示装置一体地设置,即,所谓的In-cell方式。

[0356] <EL显示装置>

[0357] 这里,说明使用EL元件的显示装置(也称为EL显示装置)。

[0358] 图15是EL显示装置的像素的电路图的一个例子。

[0359] 图15所示的EL显示装置包含开关元件743、晶体管741、电容器742、发光元件719。

[0360] 晶体管741的栅极与开关元件743的一端及电容器742的一端电连接。晶体管741的源极与发光元件719的一端电连接。晶体管741的漏极与电容器742的另一端电连接,并被施加电源电位VDD。开关元件743的另一端与信号线744电连接。发光元件719的另一端被施加恒电位。另外,恒电位为等于或低于接地电位GND的电位。

[0361] 另外,晶体管741采用使用上述实施方式所记载的晶体管。该晶体管具有稳定的电特性。因此,可以提供一种显示品质高的EL显示装置。

[0362] 开关元件743优选使用晶体管。通过使用晶体管,可以减小像素的面积,由此可以提供分辨率高的EL显示装置。另外,开关元件743也可以采用使用上述实施方式所记载的晶体管。通过作为开关元件743使用该晶体管,可以利用与晶体管741同一工序形成开关元件743,由此可以提高EL显示装置的生产率。

[0363] 图16A是EL显示装置的俯视图。EL显示装置包含衬底101、衬底700、密封材料734、驱动电路735、驱动电路736、像素737以及FPC732。密封材料734以包围像素737、驱动电路735以及驱动电路736的方式设置在衬底101与衬底700之间。另外,驱动电路735及驱动电路736中的一方或双方也可以设置在密封材料734的外侧。

[0364] 图16B是对应于图16A的点划线M-N的EL显示装置的截面图。FPC732通过端子731与布线733a连接。另外,布线733a形成在与栅电极110相同的层。

[0365] 另外,图16B示出晶体管741及电容器742设置在同一平面上的例子。通过采用这种结构,可以将电容器742设置在与晶体管741的栅电极、栅极绝缘膜及源电极(漏电极)同一平面上。如此,通过将晶体管741及电容器742设置在同一平面上,可以缩短EL显示装置的制造工序,由此可以提高生产率。

[0366] 图16B示出作为晶体管741使用图1A至1D所示的晶体管的例子。因此,关于在晶体管741的各构成要素中以下不进行说明的构成要素,参照图1A至1D所记载的说明。

[0367] 在晶体管741及电容器742上设置有绝缘膜720。

[0368] 在此,在绝缘膜720及绝缘膜120中设置有到达晶体管741的源电极104a的开口部。

[0369] 在绝缘膜720上设置有电极781。电极781通过设置在绝缘膜720及绝缘膜120中的开口部与晶体管741的源电极104a连接。

[0370] 在电极781上设置有包含到达电极781的开口部的隔壁784。

[0371] 在隔壁784上设置有设置在隔壁784中的开口部中与电极781接触的发光层782。

[0372] 在发光层782上设置有电极783。

[0373] 电极781、发光层782和电极783彼此重叠的区域用作发光元件719。

[0374] 另外,关于绝缘膜720,参照绝缘膜120的记载。或者,作为绝缘膜720也可以使用聚酰亚胺树脂、丙烯酸树脂、环氧树脂、硅酮树脂等的树脂膜。

[0375] 发光层782不局限于单层,也可以通过层叠多种发光层等来形成发光层782。例如,可以采用图16C所示的结构。图16C示出依次层叠中间层785a、发光层786a、中间层785b、发光层786b、中间层785c、发光层786c以及中间层785d的结构。此时,作为发光层786a、发光层786b以及发光层786c采用适当的发光颜色的发光层,可以形成演色性高或者发光效率高的发光元件719。

[0376] 也可以通过层叠多种发光层而得到白色光。虽然在图16B中未图示,但是也可以采用经由着色层提取白色光的结构。

[0377] 虽然在此示出设置有三个发光层及四个中间层的结构,但是不局限于该结构,也可以适当地改变发光层及中间层的层数。例如,可以仅由中间层785a、发光层786a、中间层785b、发光层786b以及中间层785c构成发光层782。此外,也可以由中间层785a、发光层786a、中间层785b、发光层786b、发光层786c以及中间层785d构成发光层782而省略中间层785c。

[0378] 另外,中间层可以具有包含空穴注入层、空穴传输层、电子传输层及电子注入层等的叠层结构。另外,中间层不一定必须包含上述所有层。可以适当地选择并设置这些层。另外,也可以重复设置具有同样功能的层。另外,作为中间层,除了载流子产生层以外,还可以适当地追加电子中继层等。

[0379] 电极781可以使用具有可见光透过性的导电膜。具有可见光透过性是指可见光(例如波长范围在400nm至800nm之间)的平均透过率为70%以上,尤其为80%以上。

[0380] 电极781例如可以使用In-Zn-W氧化物膜、In-Sn氧化物膜、In-Zn氧化物膜、氧化铟膜、氧化锌膜以及氧化锡膜等氧化物膜。另外,上述氧化物膜也可以添加有微量的Al、Ga、Sb、F等。另外,也可以使用具有能够透光的厚度的金属薄膜(优选为5nm至30nm左右)。例如可以使用5nm厚的Ag膜、Mg膜或者Ag-Mg合金膜。

[0381] 或者,电极781优选使用高效率地反射可见光的膜。例如,电极781可以使用包含锂、铝、钛、镁、镧、银、硅或镍的膜。

[0382] 电极783可以使用选自作为电极781而示出的膜。注意,在电极781具有可见光透过性的情况下,优选的是,电极783高效率地反射可见光。另外,在电极781高效率地反射可见光的情况下,优选的是,电极783具有可见光透过性。

[0383] 在此,以图16B所示的结构设置电极781及电极783,但是也可以互相调换电极781和电极783。用作阳极的电极优选使用功函数大的导电膜,用作阴极的电极优选使用功函数小的导电膜。注意,当与阳极接触并设置载流子产生层时,可以将各种导电膜用于阳极,而不用考虑功函数。

[0384] 关于隔壁784,参照绝缘膜120的记载。或者,作为隔壁784也可以使用聚酰亚胺树脂、丙烯酸树脂、环氧树脂、硅酮树脂等的树脂膜。

[0385] 此外,在液晶显示装置中,适当地设置黑矩阵(遮光膜)、偏振构件、相位差构件、抗反射构件等的光学构件(光学衬底)等。例如,也可以使用利用偏振衬底以及相位差衬底的圆偏振。

[0386] 与发光元件719连接的晶体管741具有稳定的电特性。因此,可以提供显示品质高的显示装置。

[0387] 图17A和17B是其一部分与图16B不同的EL显示装置的截面图的一个例子。具体地,

不同点为与FPC732连接的布线。在图17A中，FPC732通过端子731与布线733b连接。布线733b形成在与源电极104a及漏电极104b相同的层。在图17B中，FPC732通过端子731与布线733c连接。布线733c形成在与电极781相同的层。

[0388] <液晶显示装置>

[0389] 接着，对使用液晶元件的显示装置(也称为液晶显示装置)进行说明。

[0390] 图18是示出液晶显示装置的像素的结构实例的电路图。图18所示的像素750包含晶体管751、电容器752、一对电极之间的填充有液晶的元件(以下称为液晶元件)753。

[0391] 晶体管751的源极和漏极中的一方与信号线755电连接，晶体管751的栅极与扫描线754电连接。

[0392] 电容器752的一个电极与晶体管751的源极和漏极中的另一方电连接，电容器752的另一个电极与供应公共电位的布线电连接。

[0393] 液晶元件753的一个电极与晶体管751的源极和漏极中的另一方电连接，液晶元件753的另一个电极与供应公共电位的布线电连接。注意，上述供应到与上述电容器752的另一个电极电连接的布线的公共电位以及供应到与液晶元件753的另一个电极电连接的布线的公共电位可以彼此不同。

[0394] 另外，液晶显示装置的俯视图与EL显示装置的俯视图大致相同。图19A示出对应于图16A的点划线M-N的液晶显示装置的截面图。在图19A中，FPC732通过端子731与布线733a连接。另外，布线733a形成在与栅电极110相同的层。

[0395] 图19A示出晶体管751及电容器752设置在同一平面上的例子。通过采用这种结构，可以将电容器752设置在与晶体管751的栅电极、栅极绝缘膜及源电极(漏电极)同一平面上。如此，通过将晶体管751及电容器752设置在同一平面上，可以缩短液晶显示装置的制造工序，由此可以提高生产率。

[0396] 晶体管751可以使用上述晶体管。图19A示出使用图1A至1D所示的晶体管的例子。因此，关于在晶体管751的各构成要素中以下不进行说明的构成要素，参照图1A至1D所示的说明。

[0397] 另外，作为晶体管751可以使用关态电流极小的晶体管。因此，保持在电容器752中的电荷不容易泄漏，由此可以在长期间保持施加到液晶元件753的电压。因此，当显示动作少的动态图像或者静态图像时，通过使晶体管751成为关闭状态，不需要用来使晶体管751工作的功率，由此可以提供耗电量低的液晶显示装置。

[0398] 考虑到配置在像素部中的晶体管751的泄漏电流等而以能够在指定期间中保持电荷的方式设定设置于液晶显示装置中的电容器752的大小。通过使用晶体管751，设置电容大小为各像素中的液晶电容的1/3以下，优选为1/5以下的电容器就足够，所以可以提高像素的开口率。

[0399] 在晶体管751及电容器752上设置有绝缘膜721。

[0400] 在此，在绝缘膜721及绝缘膜120中设置有到达晶体管751的漏电极104b的开口部。

[0401] 在绝缘膜721上设置有电极791。电极791通过设置在绝缘膜721及绝缘膜120中的开口部与晶体管751的漏电极104b连接。

[0402] 在电极791上设置有用作取向膜的绝缘膜792。

[0403] 在绝缘膜792上设置有液晶层793。

- [0404] 在液晶层793上设置有用取向膜的绝缘膜794。
- [0405] 在绝缘膜794上设置有隔离物795。
- [0406] 在隔离物795及绝缘膜794上设置有电极796。
- [0407] 在电极796上设置有衬底797。
- [0408] 另外,关于绝缘膜721,参照绝缘膜120的记载。或者,作为绝缘膜721也可以使用聚酰亚胺树脂、丙烯酸树脂、环氧树脂、硅酮树脂等的树脂膜。
- [0409] 液晶层793可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶、铁电液晶、反铁电液晶等。上述液晶根据条件而呈现胆甾相、近晶相、立方相、手性向列相、各向同性相等。
- [0410] 此外,作为液晶层793也可以使用呈现蓝相的液晶。在此情况下,采用不设置取向膜的绝缘膜792及绝缘膜794的结构即可。
- [0411] 电极791可以使用具有可见光透过性的导电膜。
- [0412] 电极791例如可以使用In-Zn-W氧化物膜、In-Sn氧化物膜、In-Zn氧化物膜、氧化铟膜、氧化锌膜以及氧化锡膜等氧化物膜。另外,上述氧化物膜也可以添加有微量的Al、Ga、Sb、F等。另外,也可以使用具有能够透光的厚度的金属薄膜(优选为5nm至30nm左右)。
- [0413] 或者,电极791优选使用高效率地反射可见光的膜。例如,电极791可以使用包含铝、钛、铬、铜、钼、银、钽或钨的膜。
- [0414] 电极796可以选自作为电极791而示出的膜而使用。注意,在电极791具有可见光透过性的情况下,优选的是电极796高效率地反射可见光。另外,在电极791高效率地反射可见光的情况下,电极796优选具有可见光透过性。
- [0415] 在此,以图19A所示的结构设置电极791及电极796,但是也可以互相调换电极791和电极796。
- [0416] 绝缘膜792及绝缘膜794可以使用有机化合物或者无机化合物形成。
- [0417] 隔离物795可以使用有机化合物或者无机化合物形成。另外,隔离物795可以具有柱状或者球状等各种形状。
- [0418] 电极791、绝缘膜792、液晶层793、绝缘膜794以及电极796彼此重叠的区域用作液晶元件753。
- [0419] 衬底797可以使用玻璃、树脂或者金属等。衬底797可以具有挠性。
- [0420] 图19B和19C是其一部分与图19A不同的液晶显示装置的截面图的一个例子。具体地,不同点为与FPC732连接的布线。在图19B中,FPC732通过端子731与布线733b连接。布线733b形成在与源电极104a及漏电极104b相同的层。在图19C中,FPC732通过端子731与布线733c连接。布线733c形成在与电极791相同的层。
- [0421] 另外,与液晶元件753连接的晶体管751具有稳定的电特性。因此,可以提供显示品质高的液晶显示装置。另外,晶体管751的关态电流极小,所以可以提供耗电量低的液晶显示装置。
- [0422] 在液晶显示装置中,可以适当地选择工作模式。例如,可以采用与衬底垂直地施加电压的垂直电场方式或与衬底平行地施加电压的横向电场方式。具体地,可以举出TN模式、VA模式、MVA模式、PVA模式、ASM模式、TBA模式、OCB模式、FLC模式、AFLC模式或FFS模式等。
- [0423] 在液晶显示装置中,适当地设置黑矩阵(遮光层)、偏振构件、相位差构件、抗反射

构件等的光学构件(光学衬底)等。例如,也可以使用利用偏振衬底以及相位差衬底的圆偏振。另外,作为光源,也可以使用背光灯、侧光灯等。

[0424] 此外,也可以作为背光灯利用多个发光二极管(LED)来进行分时显示方式(场序制驱动方式)。通过应用场序制驱动方式,可以不使用着色层地进行彩色显示。

[0425] 如上所述,作为像素部中的显示方式,可以采用逐行扫描方式或隔行扫描方式等。此外,当进行彩色显示时在像素中受到控制的色彩单元不局限于RGB(R表示红色,G表示绿色,B表示蓝色)的三种颜色。例如,也可以采用RGBW(W表示白色)或者对RGB追加黄色(yellow)、青色(cyan)、品红色(magenta)等中的一种以上的颜色。注意,每个色彩单元的点中的显示区的大小也可以彼此不同。但是,本发明不局限于彩色显示的显示装置,而也可以应用于单色显示的液晶显示装置。

[0426] 这里,对使用本发明的一个方式的晶体管利用对象物的近接或接触进行感测的输入单元(触控传感器)的结构例子进行说明。

[0427] 这里,对采用静电电容方式时的情况进行说明。作为静电电容方式的触控传感器,典型地有表面型静电电容方式、投射式静电电容方式等。另外,作为投射式静电电容方式,主要根据驱动方法的不同有自电容(self capacitive)方式及互电容(mutual capacitive)方式等,当采用互电容方式时,可以进行同时多点检测,所以是优选的。

[0428] <传感器的感测方法的例子>

[0429] 图26A和图26B是示出互电容式触控传感器的结构的模式图以及输入输出波形的模式图。触摸传感器具备一对电极,在它们之间形成有电容。一对电极中的一个电极被输入输入电压。此外,还包括检测流过另一个电极的电流(或另一个电极的电位)的检测电路。

[0430] 例如,如图26A所示,当作为输入电压波形采用矩形波时,作为输出电流波形检测出具有较尖的峰值的波形。

[0431] 另外,如图26B所示,具有导电性的对象物接近或接触电容时,电极间的电容值减少,因此对应于此输出的电流值减小。

[0432] 如此,通过利用对应于输入电压的输出电流(或电位)的变化来检测出电容的变化,可以检测对象物的近接或接触。

[0433] <触控传感器的结构例子>

[0434] 图26C示出具有配置为矩阵状的多个电容的触控传感器的结构例子。

[0435] 触控传感器包括在X方向(纸面横方向)上延伸的多个布线以及与该多个布线交叉的在Y方向(纸面纵方向)上延伸的多个布线。交叉的两个布线间形成电容。

[0436] 另外,在X方向上延伸的布线被输入输入电压和公共电位(包括接地电位、基准电位)中的一方。另外,在Y方向上延伸的布线电连接至检出电路(例如,数字源表(source meter)、读出放大器等),因此可以检测出该布线中流过的电流(或电位)。

[0437] 触控传感器可以通过依次对在X方向上延伸的多个布线输入输入电压并检测在Y方向上延伸的布线中流过的电流(或电位)的变化来进行二维感测。

[0438] <触摸屏的结构例子>

[0439] 下面,对在具有多个像素的显示部中安装了触控传感器的触摸屏的结构例子进行说明。这里,示出作为设置于像素中的显示元件采用液晶元件的例子。

[0440] 图27A是设置于本结构例子所示出的触摸屏的显示部中的像素电路的一部分中的

等效电路图。

[0441] 一个像素至少包括晶体管3503和液晶元件3504。另外,晶体管3503的栅电极与布线3501电连接,源电极和漏电极中的一方与布线3502电连接。

[0442] 像素电路包括在X方向上延伸的多个布线(例如,布线35101、布线35102)以及在Y方向上延伸的多个布线(例如,布线3511),上述多个布线以彼此交叉的方式设置,并且在其间形成电容。

[0443] 另外,在设置于像素电路中的像素中,设置于一部分的相邻的多个像素中的液晶元件的一个电极彼此电连接而形成一个块。该块分为岛状块(例如,块3515_1、块3515_2)和在Y方向上延伸的线状块(例如,块3516)两种。

[0444] 在X方向上延伸的布线3510_1(或3510_2)与岛状块3515_1(或块3515_2)电连接。另外,在Y方向上延伸的布线3511与线状块3516电连接。

[0445] 图27B是示出多个在X方向上延伸的布线3510及多个在Y方向上延伸的布线3511的等效电路图。可以对在X方向上延伸的各布线3510输入输入电压或公共电位。另外,可以对在Y方向上延伸的各布线3511输入接地电位或者可以使布线3511与检测电路电连接。

[0446] <触摸屏的工作例>

[0447] 下面,参照图28A至图29对上述触摸屏的工作进行说明。

[0448] 如图29所示,将1个帧周期分为写入期间和检测期间。写入期间是对像素进行图像数据写入的期间,布线3510(也称为栅极线)被依次选择。检测期间是利用触控传感器进行感测的期间,在X方向上延伸的布线3510被依次选择并被输入输入电压。

[0449] 图28A示出写入期间中的等效电路图。在写入期间中,在X方向上延伸的布线3510与在Y方向上延伸的布线3511都被输入公共电位。

[0450] 图28B示出检测期间的某一时间点的等效电路图。在检测期间中,在Y方向上延伸的各布线3511与检测电路电连接。另外,在X方向上延伸的布线3510中的被选择的布线被输入输入电压,其他的布线被输入公共电位。

[0451] 像这样,优选分别设置图像写入期间以及利用触控传感器进行感测的期间。由此可以抑制因像素写入时产生的噪音引起的触控传感器的感度低下。

[0452] <像素的结构例子>

[0453] 下面,对能够用于上述触摸屏的像素的结构例子进行说明。

[0454] 图30A示出采用FFS(Fringe Field Switching:边缘场切换)模式的像素的一部分的截面图。

[0455] 像素具有晶体管3521、电极3522、电极3523、液晶3524和滤色片3525。具有开口部的电极3523与晶体管3521的源电极和漏电极中的一方电连接。另外,电极3523隔着绝缘层设置于电极3522上。电极3523和电极3522分别用作液晶元件的一个电极,通过对它们之间施加电压,可以控制液晶的取向。

[0456] 晶体管3521可以使用本发明的一个方式的晶体管。例如,可以使用晶体管100及晶体管150。电极3522、电极3523、液晶3524及滤色片3525可以适当地参照上述液晶显示装置的详细说明。

[0457] 例如,通过使电极3522电连接到上述布线3510或布线3511可以构成上述触摸屏的像素。

[0458] 另外,也可以将电极3522设置于电极3523上。在这种情况下,将电极3522形成为具有开口部的形状,并将其隔着绝缘层设置于电极3523上即可。

[0459] 图30B是示出采用IPS(In-Plane-Switching:平面内切换)模式的像素的一部分的截面图。

[0460] 设置于像素上的电极3523与电极3522都具有梳形性状并设置于同一平面上。

[0461] 例如,通过使电极3522电连接到上述布线3510或布线3511可以构成上述触摸屏的像素。

[0462] 图30C示出采用VA(Vertical Alignment:垂直取向)模式的像素的一部分的截面图。

[0463] 电极3522以隔着液晶3524而与电极3523对置的方式设置。另外,也可以与电极3522重叠地设置布线3526。例如,可以设置布线3526来使包括图30C所示的像素的块与不同于该块的块电连接。

[0464] 例如,通过使电极3522电连接到上述布线3510或布线3511可以构成上述触摸屏的像素。

[0465] 另外,本实施方式可以与其他实施方式、实施例及参考例所记载的结构适当地组合而实施。

[0466] 实施方式4

[0467] 本发明的一个方式的显示装置可以应用于各种电子设备(也包括游戏机)。作为电子设备,可以举出电视装置(也称为电视或电视接收机)、用于计算机等的显示器、影像拍摄装置诸如数码相机或数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置、游戏机(弹珠机(pachinko machine)或投币机(slot machine)等)、框体游戏机。图20A至图20C示出上述电子设备的一个例子。

[0468] 图20A示出移动电话9000。移动电话9000包括框体9030及框体9031这两个框体。框体9031具备显示面板9032、扬声器9033、麦克风9034、指向装置9036、照相用透镜9037、外部连接端子9038等。此外,框体9030具备对移动电话进行充电的太阳能电池单元9040、外部储存槽9041等。此外,天线内藏于框体9031的内部。通过将上述实施方式所示的显示装置用于显示面板9032,可以提高移动电话的显示质量。

[0469] 显示面板9032配备有触摸屏。显示为图像的多个操作键9035在图20A中由虚线表示。另外,还安装有用来将由太阳能电池单元9040输出的电压升压到各电路所需的电压的升压电路。

[0470] 显示面板9032根据使用方式适当地改变显示的方向。另外,由于在与显示面板9032同一面上具备照相用透镜9037,而可以进行可视电话。扬声器9033及麦克风9034不局限于音频通话,还可以进行视频通话、录音、重放等。再者,框体9030和框体9031滑动而可以将如图20A所示那样的展开状态转换成重叠状态,可以实现适于携带的小型化。

[0471] 外部连接端子9038可以与AC整流器及各种电缆如USB电缆等连接,并可以进行充电及与个人计算机等的的数据通讯。另外,通过将记录媒体插入外部储存槽9041中,可以对应更为大量的数据的保存及移动。

[0472] 图20B示出电视装置9100。在电视装置9100中,框体9101组装有显示部9103,并且利用显示部9103可以显示映像。此外,在此示出利用支架9105支撑框体9101的结构。

[0473] 通过利用框体9101所具备的操作开关、另外提供的遥控操作机9110,可以进行电视装置9100的操作。通过利用遥控操作机9110所具备的操作键9109,可以进行频道及音量的操作,并可以对在显示部9103上显示的映像进行操作。此外,也可以采用在遥控操作机9110中设置显示从该遥控操作机9110输出的信息的显示部9107的结构。

[0474] 图20B所示的电视装置9100具备接收机及调制解调器等。电视装置9100可以利用接收机接收一般的电视广播。再者,电视装置9100通过调制解调器连接到有线或无线方式的通信网络,也可以进行单向(从发送者到接收者)或双向(发送者和接收者之间或接收者之间等)的信息通信。

[0475] 可以将上述实施方式所示的显示装置用于显示部9103、9107。由此可以提高电视装置的显示质量。

[0476] 图20C示出计算机9200。计算机9200包括主体9201、框体9202、显示部9203、键盘9204、外部连接端口9205、指向装置9206等。

[0477] 可以将上述实施方式的显示装置用于显示部9203。由此可以提高计算机的显示质量。

[0478] 显示部9203具有触屏输入功能,通过用手指等接触显示于计算机9200的显示部9203中的显示按钮来可以进行画面操作或信息输入,并且显示部9203也可以用作如下控制装置,即通过使其具有能够与其他家电产品进行通信的功能或能够控制其他家电产品的功能,而通过画面操作控制其他家电产品。例如,通过使用上述实施方式中说明的触摸屏可以使显示部9203具有触屏输入功能。

[0479] 图21是能够折叠的平板终端9600。图21是打开的状态,并且平板终端9600包括框体9630、显示部9631a、显示部9631b、显示模式切换开关9634、电源开关9635、省电模式切换开关9636及卡子9633。

[0480] 可以将上述实施方式所示的显示装置用于显示部9631a、9631b。由此可以提高平板终端9600的显示质量。

[0481] 在显示部9631a中,可以将其一部分用作触摸屏的区域9632a,并且可以通过接触所显示的操作键面板9638来输入数据。此外,作为一个例子在此示出:显示部9631a的一半只具有显示的功能,并且另一半具有触摸屏的功能,但是不局限于该结构。也可以采用显示部9631a的全部区域具有触摸屏的功能的结构。例如,可以使显示部9631a的整个面显示键盘按钮来将其用作触摸屏,并且将显示部9631b用作显示屏面。

[0482] 此外,显示部9631b也与显示部9631a同样,可以将其一部分用作触摸屏的区域9632b。此外,通过使用手指或触屏笔等接触触摸屏的显示键盘显示切换按钮9639的位置,可以在显示部9631b显示键盘按钮。

[0483] 此外,也可以对触摸屏的区域9632a和触摸屏的区域9632b同时进行接触输入。

[0484] 另外,显示模式切换开关9634能够进行竖屏显示和横屏显示等显示的方向的切换以及黑白显示或彩色显示等的切换等。根据内置于平板终端9600中的光传感器所检测的使用时的外光的光量,省电模式切换开关9636可以将显示的亮度设定为最适合的亮度。平板终端9600除了光传感器以外还可以内置陀螺仪和加速度传感器等检测倾斜度的传感器等的其他检测装置。

[0485] 此外,图21示出显示部9631b的显示面积与显示部9631a的显示面积相同的例子,

但是不局限于此,一方的尺寸和另一方的尺寸可以不同,并且它们的显示质量也可以不同。例如显示部9631a和显示部9631b中的一方可以进行比另一方更高精细的显示。

[0486] 另外,本实施方式可以与其他实施方式、实施例及参考例所记载的结构适当地组合而实施。

[0487] 实施例

[0488] 在本实施例中,制造本发明的一个方式的晶体管并对该晶体管的初期电特性进行说明。参照图3A至图3E对晶体管的制造工序进行说明。

[0489] 首先,作为衬底101使用玻璃衬底,在衬底101上利用溅射法形成厚度为100nm的钨膜,通过光刻工序在该钨膜上形成抗蚀剂掩模,并利用该抗蚀剂掩模对该钨膜的一部分进行蚀刻,由此形成栅电极110。

[0490] 接着,在栅电极110上形成栅极绝缘膜106。在本实施例中栅极绝缘膜106采用四层结构。第一层采用厚度为50nm的第一氮化硅膜,第二层采用厚度为300nm的第二氮化硅膜,第三层采用厚度为50nm的第三氮化硅膜,第四层采用厚度为50nm的氧氮化硅膜。

[0491] 在如下条件下形成第一氮化硅膜:作为源气体使用流量为200sccm的硅烷、流量为2000sccm的氮以及流量为100sccm的氨,向等离子体CVD装置的反应室内供应该源气体,将反应室内的压力控制为100Pa,使用27.12MHz的高频电源供应2000W的功率。

[0492] 第二氮化硅膜在将第一氮化硅膜的原料气体中的氨流量变为2000sccm的条件下形成。

[0493] 在如下条件下形成第三氮化硅膜:作为源气体使用流量为200sccm的硅烷以及流量为5000sccm的氮,向等离子体CVD装置的反应室内供应该源气体,将反应室内的压力控制为100Pa,使用27.12MHz的高频电源供应2000W的功率。

[0494] 氧氮化硅膜在如下条件下形成:作为源气体使用流量为20sccm的硅烷以及流量为3000sccm的一氧化二氮,向等离子体CVD装置的反应室内供应该源气体,将反应室内的压力控制为40Pa,使用27.12MHz的高频电源供应100W的功率。

[0495] 另外,在上述第一氮化硅膜、上述第二氮化硅膜、上述第三氮化硅膜以及上述氧氮化硅膜的成膜工序中,衬底温度为350℃。

[0496] 通过至此的工序得到的结构可以参照图3A。

[0497] 接着,形成隔着栅极绝缘膜106重叠于栅电极110的多层膜103。

[0498] 这里,在利用溅射法在栅极绝缘膜106上形成厚度为35nm的第一In-Ga-Zn氧化物膜之后,利用溅射法在第一In-Ga-Zn氧化物膜上形成厚度为20nm的第二In-Ga-Zn氧化物膜。

[0499] 接着,利用光刻工序在第二In-Ga-Zn氧化物膜上形成抗蚀剂掩模,利用该抗蚀剂掩模对第一In-Ga-Zn氧化物膜及第二In-Ga-Zn氧化物膜的一部分进行蚀刻。然后,进行第一加热处理形成多层膜103。

[0500] 第一In-Ga-Zn氧化物膜在如下条件下形成:作为溅射靶材使用In:Ga:Zn=1:1:1(原子数比)的靶材;作为溅射气体对溅射装置的反应室内供应流量为50sccm的氩及流量为50sccm的氧;将反应室内的压力控制为0.3Pa;并供应5kW的直流功率。另外,形成第一In-Ga-Zn氧化物膜时的衬底温度为170℃。

[0501] 第二In-Ga-Zn氧化物膜在如下条件下形成:作为溅射靶材使用In:Ga:Zn=1:3:2

(原子数比)的靶材;作为溅射气体对溅射装置的反应室内供应流量为90sccm的氩及流量为10sccm的氧;将反应室内的压力控制为0.3Pa,并供应5kW的直流功率。另外,形成第二In-Ga-Zn氧化物膜时的衬底温度为100℃。

[0502] 作为第一加热处理,在氮气氛下以450℃进行1小时的加热处理,然后在氮及氧气氛下以450℃进行1小时的加热处理。

[0503] 作为通过至此的工序得到的结构可以参照图3B。

[0504] 接着,形成接触多层膜103的源电极104a及漏电极104b。

[0505] 在栅极绝缘膜106及多层膜103上形成导电膜。作为该导电膜,在厚度为50nm的钨膜上形成厚度为400nm的铝膜,并在该铝膜上形成厚度为100nm的钛膜。接着,通过光刻工序在该导电膜上形成抗蚀剂掩模,并利用该抗蚀剂掩模对该导电膜进行部分蚀刻,由此形成源电极104a及漏电极104b。

[0506] 接着,将衬底移动到被减压的反应室中,以220℃加热后,将衬底移动到充满一氧化二氮的反应室中。接着,将多层膜103暴露于氧等离子体中,该氧等离子体是使用27.12MHz的高频电源对设置在反应室中的上部电极供应150W的高频电力而生成的。

[0507] 作为通过至此的工序得到的结构可以参照图3C。

[0508] 接着,在多层膜103、源电极104a及漏电极104b上作为氧化物膜105形成厚度为20nm的第三In-Ga-Zn氧化物膜。

[0509] 第三In-Ga-Zn氧化物膜在如下条件下形成:作为溅射靶材使用In:Ga:Zn=1:3:2(原子数比)的靶材;作为溅射气体对溅射装置的反应室内供应流量为90sccm的氩以及流量为10sccm的氧;将反应室内的压力控制为0.3Pa;并供应5kW的直流功率。另外,形成第三In-Ga-Zn氧化物膜时的衬底温度为100℃。

[0510] 作为通过至此的工序得到的结构可以参照图3D。另外,在本实施例中不进行实施方式1中说明的第二加热处理。

[0511] 接着,在上述等离子体处理之后,在不暴露于大气的情况下在氧化物膜105上形成氧化物绝缘膜107b,然后,进行第三加热处理,在氧化物绝缘膜107b上形成氮化物绝缘膜108来形成绝缘膜120。作为氧化物绝缘膜107b形成厚度为400nm的氧氮化硅膜。作为氮化物绝缘膜108形成厚度为100nm的氮化硅膜。另外,在本实施例中,不形成氧化物绝缘膜107a。

[0512] 氧化物绝缘膜107b在如下条件下利用等离子体CVD法形成厚度为400nm的氧氮化硅膜:作为源气体使用流量为200sccm的硅烷及流量为4000sccm的一氧化二氮;反应室的压力为200Pa;衬底温度为220℃;并将1500W的高频功率供应到平行平板电极。

[0513] 作为第三加热处理,在氮及氧气氛下以350℃进行1小时的加热处理。

[0514] 氮化物绝缘膜108利用等离子体CVD法在如下条件下形成氮化硅膜:作为源气体使用流量为50sccm的硅烷、流量为5000sccm的氮以及流量为100sccm的氨;将反应室的压力设定为100Pa;将衬底温度设定为350℃;并向平行平板电极供应1000W的高频功率。

[0515] 通过上述工序制造出本发明的一个方式的晶体管。另外,在本实施例中,在衬底内制造具有相同结构的20个晶体管。另外,制造的各晶体管的沟道长度(L)为6μm、沟道宽度(W)为50μm。

[0516] 接着,作为制造出的晶体管的初期电特性测量了V_g-I_d特性。在此,测试如下情况时的源极-漏极电流(以下,称为漏极电流)的变化特性,即V_g-I_d特性:将衬底温度设定为25

℃,源极-漏极间的电位差(下面,称为漏极电压)设定为1V、10V,并使源极-栅极间的电位差(下面,称为栅极电压)在-20V至+15V的范围内变化。

[0517] 图31示出制造出的晶体管的 V_g - T_d 特性。在图31中,横轴表示栅极电压 V_g ,纵轴表示漏极电流 T_d 。此外,实线表示当漏极电压 V_d 为1V、10V时的 V_g - T_d 特性,而虚线表示当漏极电压 V_d 为10V时的对于栅电压的场效应迁移率。另外,该场效应迁移率是各样品的饱和区域中的结果。

[0518] 由图31可以确认本发明的一个方式的晶体管工作正常。

[0519] <参考例>

[0520] 对实施方式2所公开的多层膜103的物性分析结果进行说明。

[0521] <多层膜中的硅浓度>

[0522] 首先,参照图22对多层膜103的各膜中的硅浓度进行说明。

[0523] 这里,制造在硅片上形成多层膜103的样品,并利用飞行时间二次离子质谱(ToF-SIMS:Time-of-flight secondary ion mass spectrometry)分析对该多层膜的硅浓度进行评价。

[0524] 在硅片上形成氧化物膜103c。氧化物膜103c使用以In-Ga-Zn氧化物(In:Ga:Zn=1:3:2[原子数比])为的靶材利用溅射法形成的氧化物半导体膜。另外,在以下条件下进行成膜:作为溅射气体使用30sccm的氩气体及15sccm的氧气体,将压力设定为0.4Pa,将衬底温度设定为200℃,并且施加0.5kW的DC功率。

[0525] 在氧化物膜103c上形成氧化物半导体膜103a。氧化物半导体膜103a使用以In-Ga-Zn氧化物(In:Ga:Zn=1:1:1[原子数比])为靶材利用溅射法形成的氧化物半导体膜。另外,在以下条件下进行成膜:作为溅射气体使用30sccm的氩气体,15sccm的氧气体,将压力设定为0.4Pa,将衬底温度设定为300℃,并且施加0.5kW的DC功率。

[0526] 另外,在氧化物半导体膜103a上形成氧化物膜103b。氧化物膜103b使用以In-Ga-Zn氧化物(In:Ga:Zn=1:3:2[原子数比])为靶材利用溅射法形成的氧化物膜。另外,在以下条件下进行成膜:作为溅射气体使用30sccm的氩气体及15sccm的氧气体,将压力设定为0.4Pa,将衬底温度设定为200℃,并且施加0.5kW的DC功率。

[0527] 然后,以450℃进行2小时的加热处理制造出样品A。另外,作为比较用样品,准备了在形成氧化物膜103b之后没有进行加热处理的样品B。对样品A及样品B进行了飞行时间二次离子质谱分析。图22示出表示深度方向的In的二次粒子强度、表示Ga的二次离子强度、表示Zn的二次离子强度以及由 SiO_3 的二次离子强度换算的Si浓度[atoms/cm³]。在样品A及样品B中,多层膜103的厚度都是氧化物半导体膜103a为10nm、氧化物膜103b为10nm。

[0528] 由图22可知,多层膜103的各膜的组成根据成膜时靶材的组成而不同。但是,各膜的组成不能仅参照图22进行单纯的比较。

[0529] 从图22可知,在多层膜103的硅片和氧化物半导体膜103a之间的界面以及氧化物膜103b的顶面的 SiO_3 浓度变高。另外,也可知氧化物半导体膜103a的 SiO_3 浓度为ToF-SIMS的检测下限的 1×10^{18} atom/cm³左右。这可以认为这是由于如下缘故:由于具有氧化物膜103b和氧化物膜103c,因此起因于硅片或表面污染等的硅不会对氧化物半导体膜103a造成影响。

[0530] 另外,通过对图22所示的“as-depo”(没有进行加热处理的样品)的样品和进行了

加热处理的样品进行比较,可知通过加热处理不容易发生硅的扩散,硅主要在形成膜时混入。

[0531] 另外,通过将氧化物半导体膜103a夹在氧化物膜103b与氧化物膜103c之间,氧化物半导体膜103a不直接与栅极绝缘膜106等含有硅的绝缘膜接触,由此可以防止该绝缘膜中的硅混入氧化物半导体膜103a中。

[0532] <定域能级的CPM测定>

[0533] 接着,关于多层膜103的定域能级,对利用恒定光电流法进行评价的结果进行说明。通过降低多层膜103中的定域能级密度,可以使使用多层膜103的晶体管具有稳定的电特性。

[0534] 另外,为了使晶体管具有高场效应迁移率及稳定的电特性,可以将由利用CPM测定获得的多层膜103中的定域能级的吸收系数设定为小于 $1 \times 10^{-3} \text{cm}^{-1}$,优选为小于 $3 \times 10^{-4} \text{cm}^{-1}$ 。

[0535] 进行评价的样品是在硅片上形成有多层膜103的样品。

[0536] 在硅片上形成氧化物膜103c。氧化物膜103c使用以In-Ga-Zn氧化物(In:Ga:Zn=1:3:2[原子数比])为靶材利用溅射法形成的氧化物膜。并且,在以下条件下进行成膜:作为成膜气体使用30sccm的氩气体及15sccm的氧气体,将压力设定为0.4Pa,将衬底温度设定为200℃,并且施加0.5kW的DC功率。

[0537] 在氧化物膜103c上形成氧化物半导体膜103a。氧化物半导体膜103a使用以In-Ga-Zn氧化物(In:Ga:Zn=1:1:1[原子数比])为靶材利用溅射法形成的氧化物半导体膜。另外,在以下条件下进行成膜:作为成膜气体使用30sccm的氩气体及15sccm的氧气体,将压力设定为0.4Pa,将衬底温度设定为200℃,并且施加0.5kW的DC功率。

[0538] 在氧化物半导体膜103a上形成氧化物膜103b。氧化物膜103b使用以In-Ga-Zn氧化物(In:Ga:Zn=1:3:2[原子数比])为靶材利用溅射法形成的氧化物膜。另外,在以下条件下进行成膜:作为成膜气体使用30sccm的氩气体及15sccm的氧气体,将压力设定为0.4Pa,将衬底温度设定为200℃,并且施加0.5kW的DC功率。

[0539] 在此,为了提高利用CPM的评价精度,多层膜103需要具有一定厚度。具体地,将多层膜103中的氧化物膜103c的厚度设定为30nm,将氧化物半导体膜103a的厚度设定为100nm,将氧化物膜103b的厚度设定为30nm。

[0540] 图23A示出在多层膜103的各层的能隙以上的能量范围中,将利用分光光度测量的吸收系数(虚线)与进行CPM测定的吸收系数(实线)拟合的结果。另外,根据进行CPM测定的吸收系数得到的乌尔巴赫能量为78.7meV。在图23A中的由点划线圆围绕的能量范围中,通过从进行CPM测定的吸收系数减去背景值(细虚线)导出该能量范围中的吸收系数的积分值(参照图23B)。由该结果可知,本样品的因定域能级的吸收系数为 $2.02 \times 10^{-4} \text{cm}^{-1}$ 。

[0541] 可以认为这里得到的定域能级是起因于杂质或缺陷的能级。由此可知,多层膜103中的起因于杂质或缺陷的能级极少。即,使用多层膜103的晶体管具有高场效应迁移率及稳定的电特性。

[0542] 符号说明

[0543] 100 晶体管

[0544] 101 衬底

[0545]	102	绝缘膜
[0546]	103	多层膜
[0547]	103a	氧化物半导体膜
[0548]	103b	氧化物膜
[0549]	103c	氧化物膜
[0550]	103d	氧化物膜
[0551]	104a	源电极
[0552]	104b	漏电极
[0553]	105	氧化物膜
[0554]	106	栅极绝缘膜
[0555]	107a	氧化物绝缘膜
[0556]	107b	氧化物绝缘膜
[0557]	108	氮化物绝缘膜
[0558]	109a	低电阻区域
[0559]	109b	低电阻区域
[0560]	110	栅电极
[0561]	120	绝缘膜
[0562]	121	导电膜
[0563]	150	晶体管
[0564]	182	Ec
[0565]	183a	Ec
[0566]	183b	Ec
[0567]	183c	Ec
[0568]	185	Ec
[0569]	186	Ec
[0570]	191	陷阱能级
[0571]	192	陷阱能级
[0572]	700	衬底
[0573]	719	发光元件
[0574]	720	绝缘膜
[0575]	721	绝缘膜
[0576]	731	端子
[0577]	732	FPC
[0578]	733a	布线
[0579]	733b	布线
[0580]	733c	布线
[0581]	734	密封材料
[0582]	735	驱动电路
[0583]	736	驱动电路

[0584]	737	像素
[0585]	741	晶体管
[0586]	742	电容器
[0587]	743	开关元件
[0588]	744	信号线
[0589]	750	像素
[0590]	751	晶体管
[0591]	752	电容器
[0592]	753	液晶元件
[0593]	754	扫描线
[0594]	755	信号线
[0595]	781	电极
[0596]	782	发光层
[0597]	783	电极
[0598]	784	隔壁
[0599]	785a	中间层
[0600]	785b	中间层
[0601]	785c	中间层
[0602]	785d	中间层
[0603]	786a	发光层
[0604]	786b	发光层
[0605]	786c	发光层
[0606]	791	电极
[0607]	792	绝缘膜
[0608]	793	液晶层
[0609]	794	绝缘膜
[0610]	795	隔离物
[0611]	796	电极
[0612]	797	衬底
[0613]	1000	靶材
[0614]	1001	离子
[0615]	1002	溅射粒子
[0616]	1003	氧化物半导体膜
[0617]	1004	非晶膜
[0618]	1005	等离子体
[0619]	3501	布线
[0620]	3502	布线
[0621]	3503	晶体管
[0622]	3504	液晶元件

[0623]	3510	布线
[0624]	3510_1	布线
[0625]	3510_2	布线
[0626]	3511	布线
[0627]	3515_1	块
[0628]	3515_2	块
[0629]	3516	块
[0630]	3521	晶体管
[0631]	3522	电极
[0632]	3523	电极
[0633]	3524	液晶
[0634]	3525	滤色片
[0635]	3526	布线
[0636]	9000	移动电话
[0637]	9030	框体
[0638]	9031	框体
[0639]	9032	显示面板
[0640]	9033	扬声器
[0641]	9034	麦克风
[0642]	9035	操作键
[0643]	9036	指向装置
[0644]	9037	照相用透镜
[0645]	9038	外部连接端子
[0646]	9040	太阳能电池单元
[0647]	9041	外部储存槽
[0648]	9100	电视装置
[0649]	9101	框体
[0650]	9103	显示部
[0651]	9105	支架
[0652]	9107	显示部
[0653]	9109	操作键
[0654]	9110	遥控操作机
[0655]	9200	计算机
[0656]	9201	主体
[0657]	9202	框体
[0658]	9203	显示部
[0659]	9204	键盘
[0660]	9205	外部连接端口
[0661]	9206	指向装置

[0662]	9600	平板终端
[0663]	9630	框体
[0664]	9631a	显示部
[0665]	9631b	显示部
[0666]	9632a	区域
[0667]	9632b	区域
[0668]	9633	卡子
[0669]	9634	开关
[0670]	9635	电源开关
[0671]	9636	开关
[0672]	9638	操作键面板
[0673]	9639	按钮

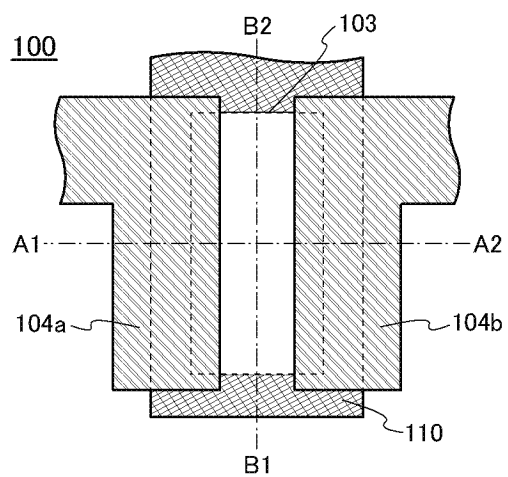


图 1A

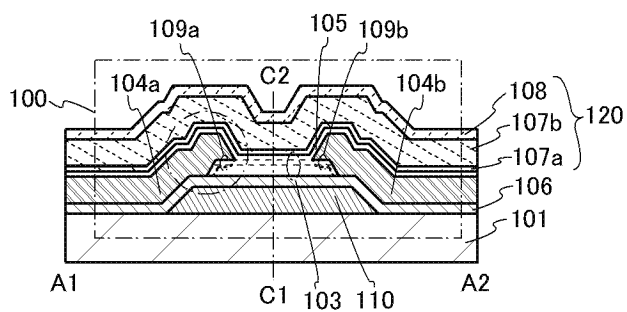


图 1B

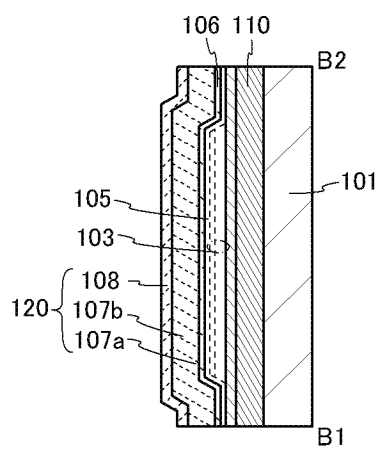


图 1C

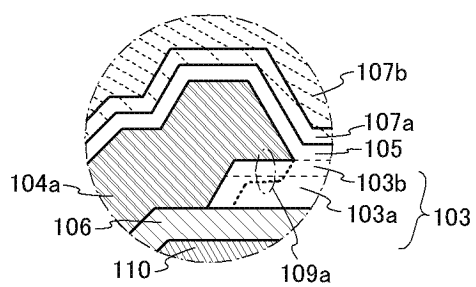


图 1D

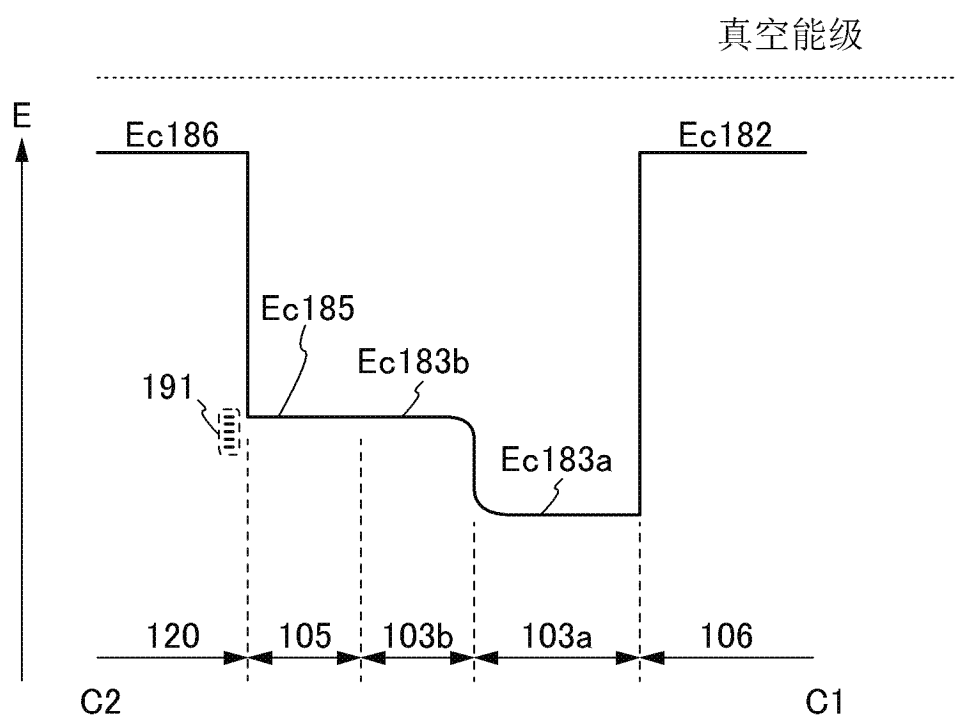


图 2A

真空能级

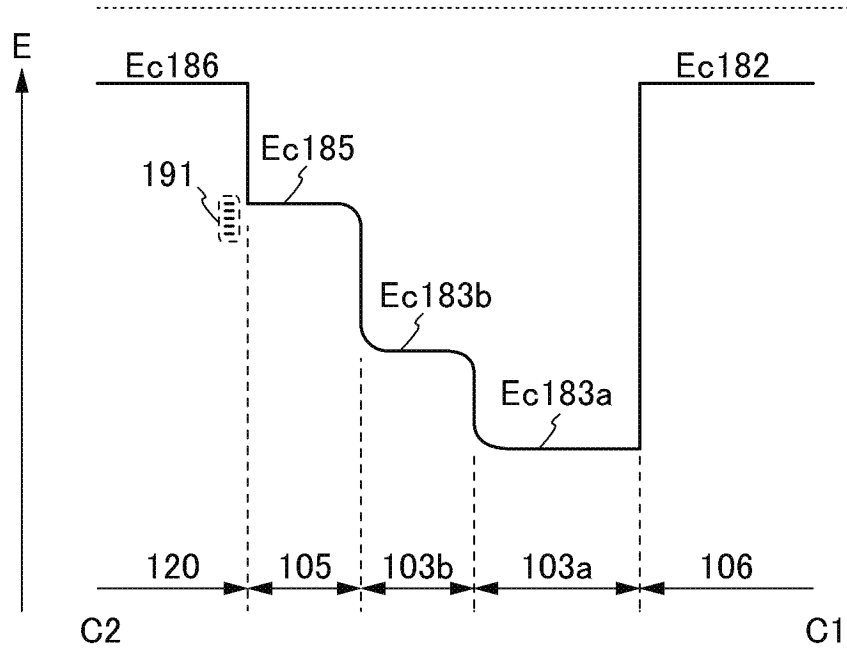


图 2B

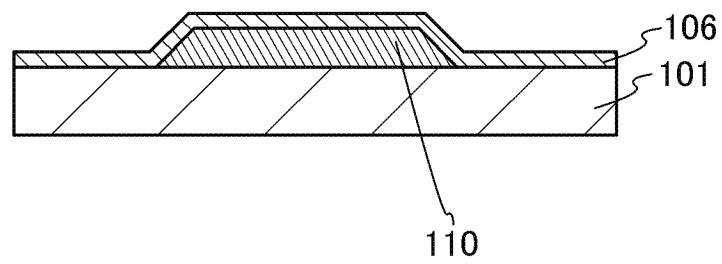


图 3A

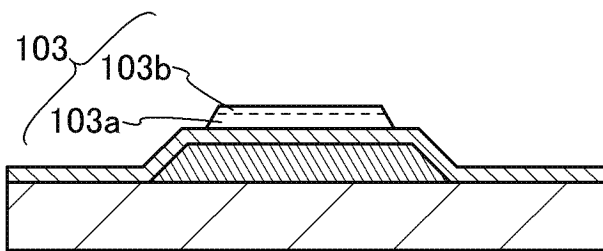


图 3B

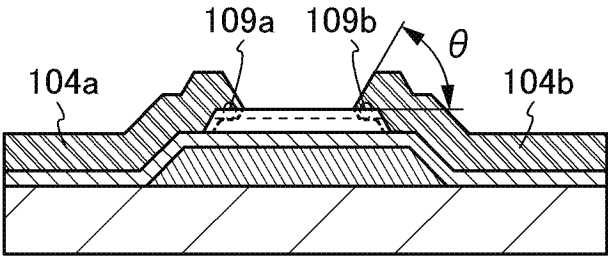


图 3C

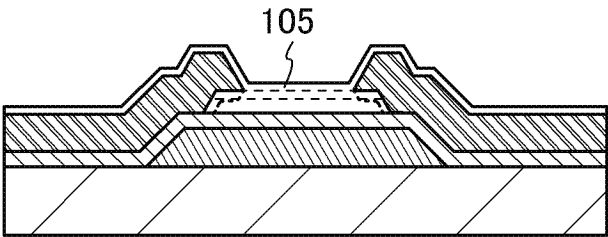


图 3D

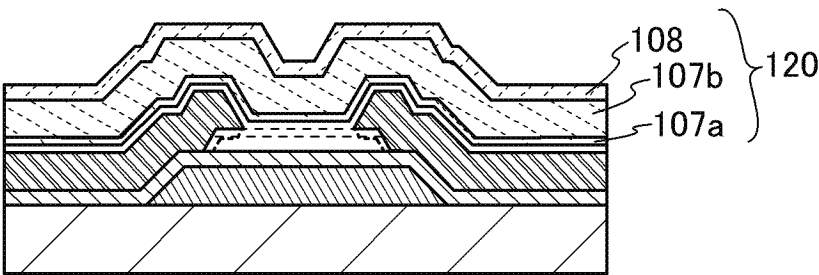


图 3E

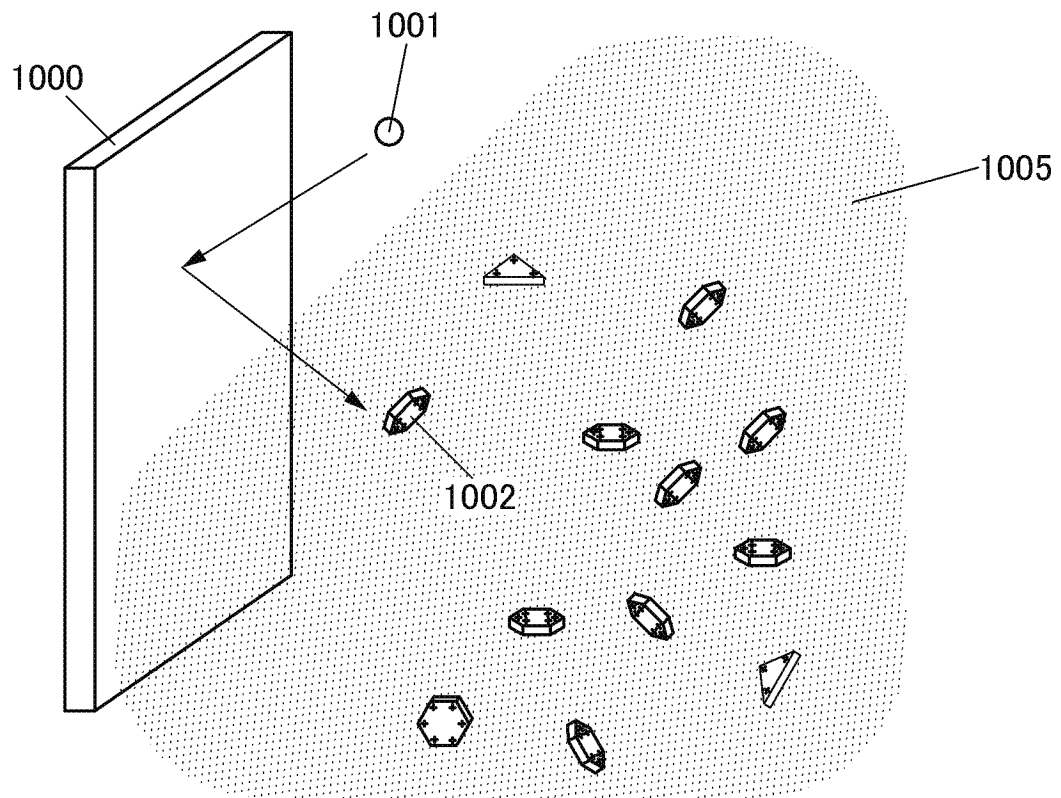


图 4A

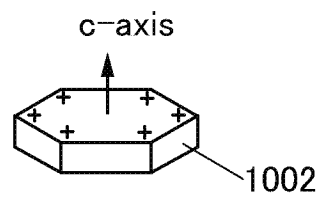


图 4B

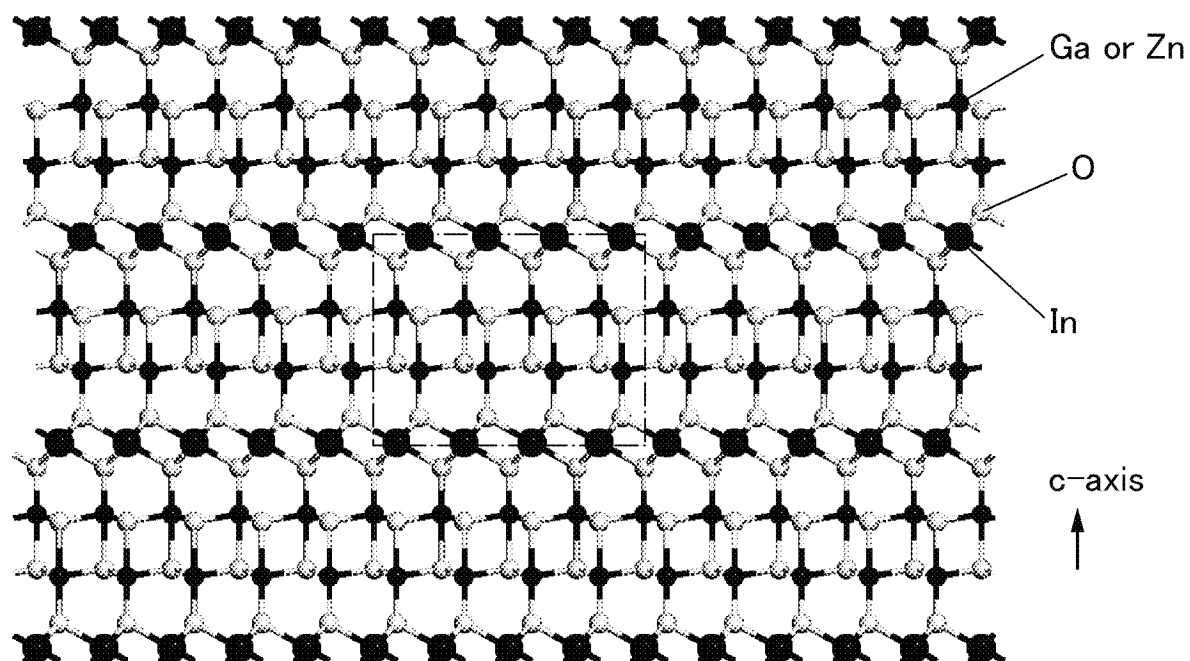


图 5A

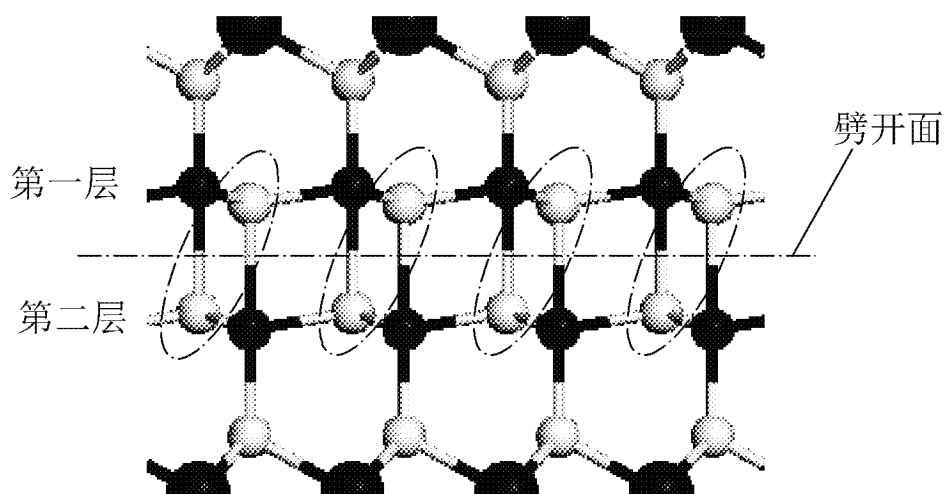


图 5B

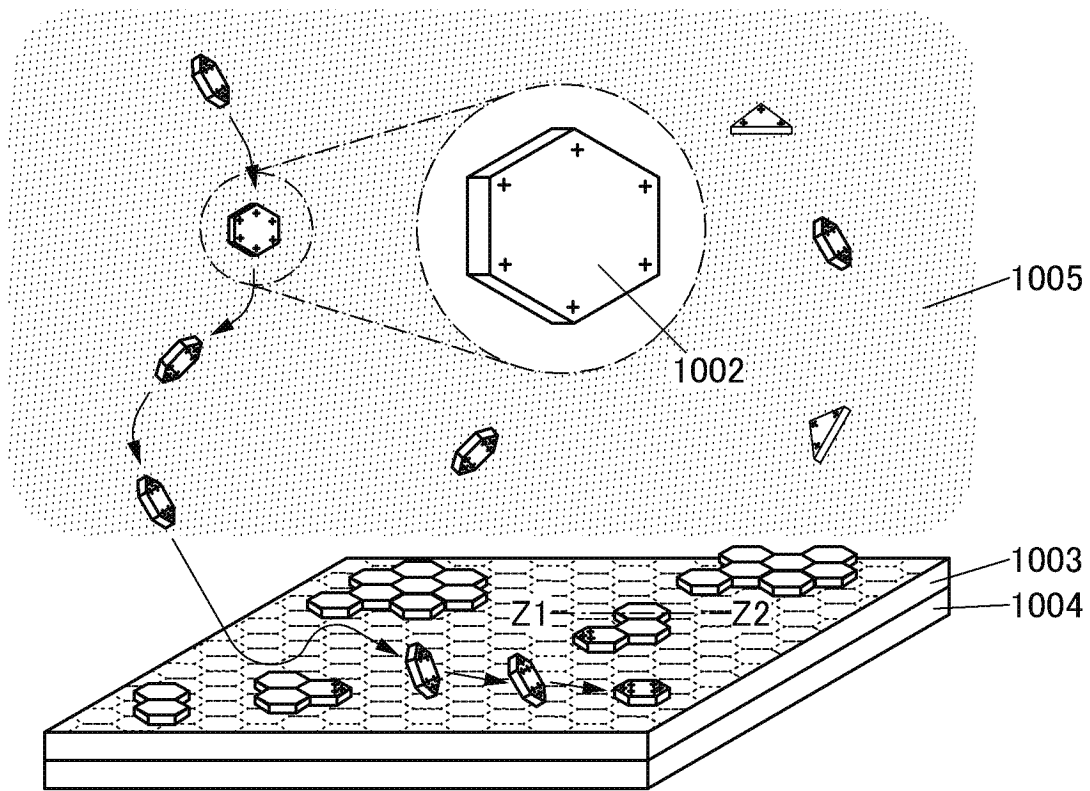


图 6A

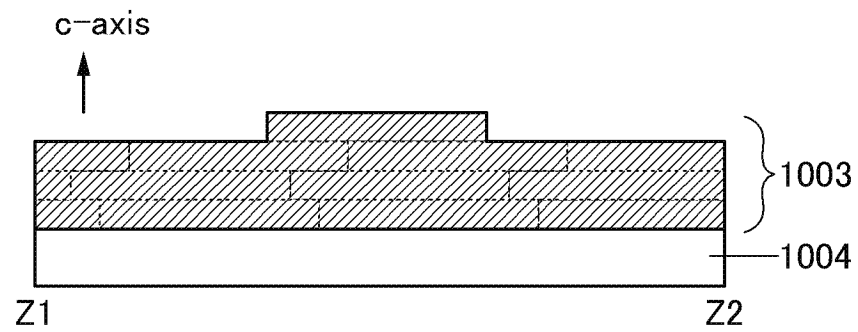


图 6B

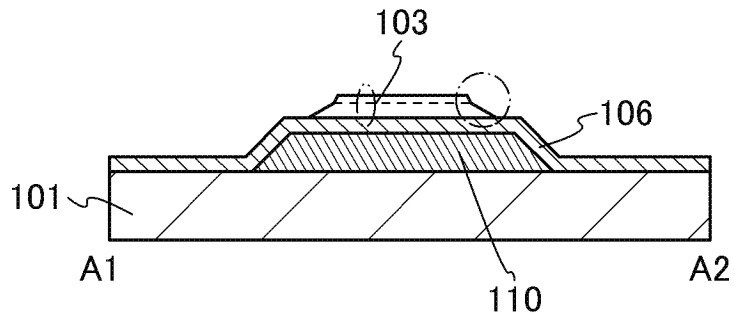


图 7A

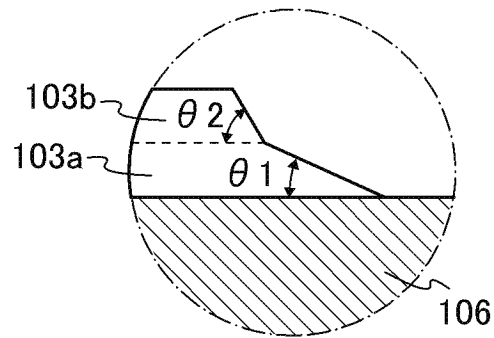


图 7B

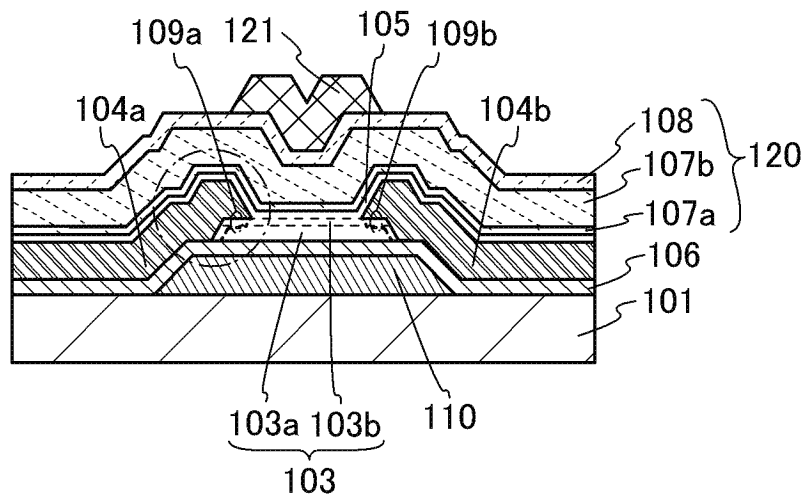


图 8

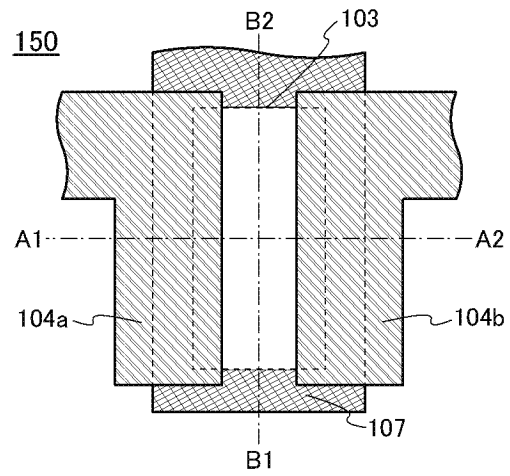


图 9A

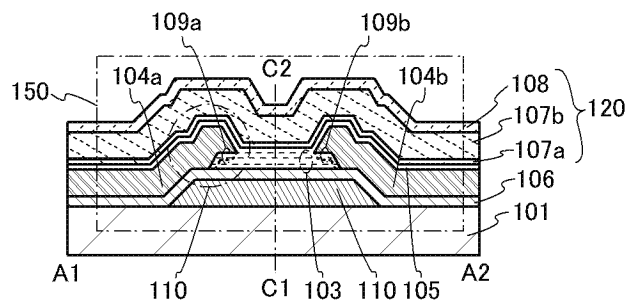


图 9B

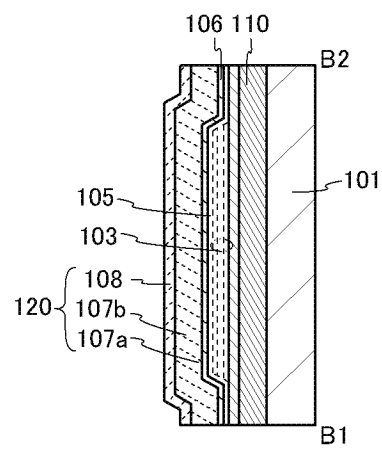


图 9C

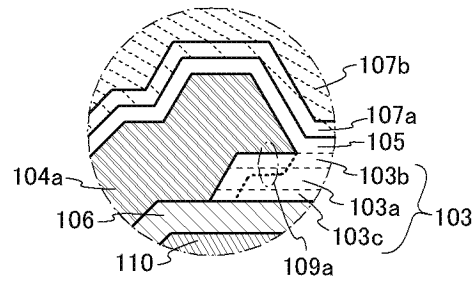


图 9D

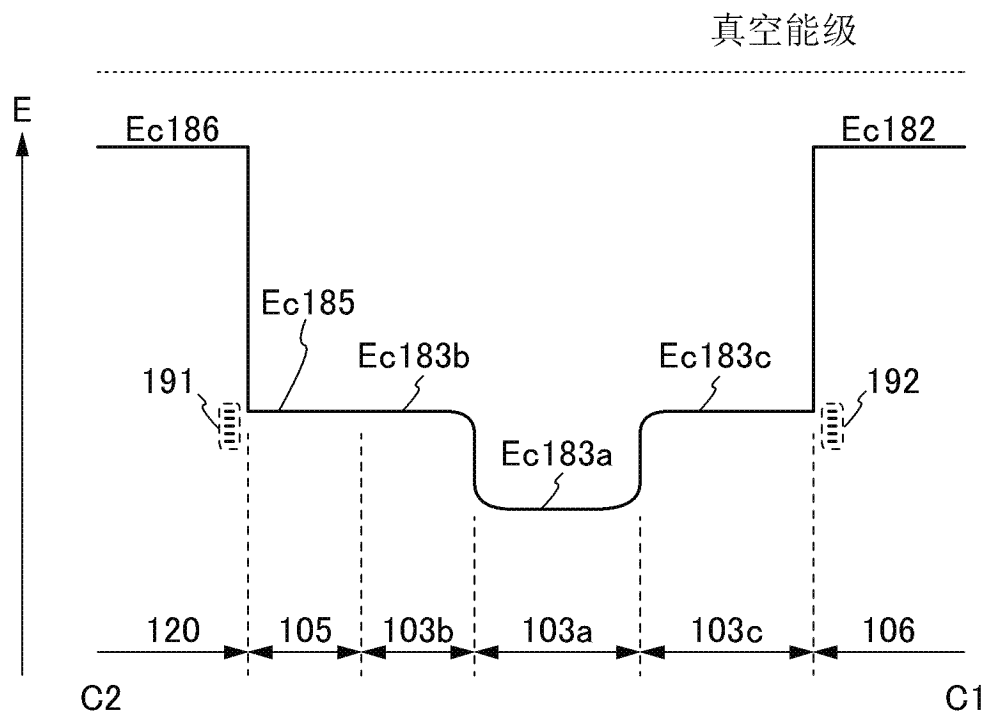


图 10A

真空能级

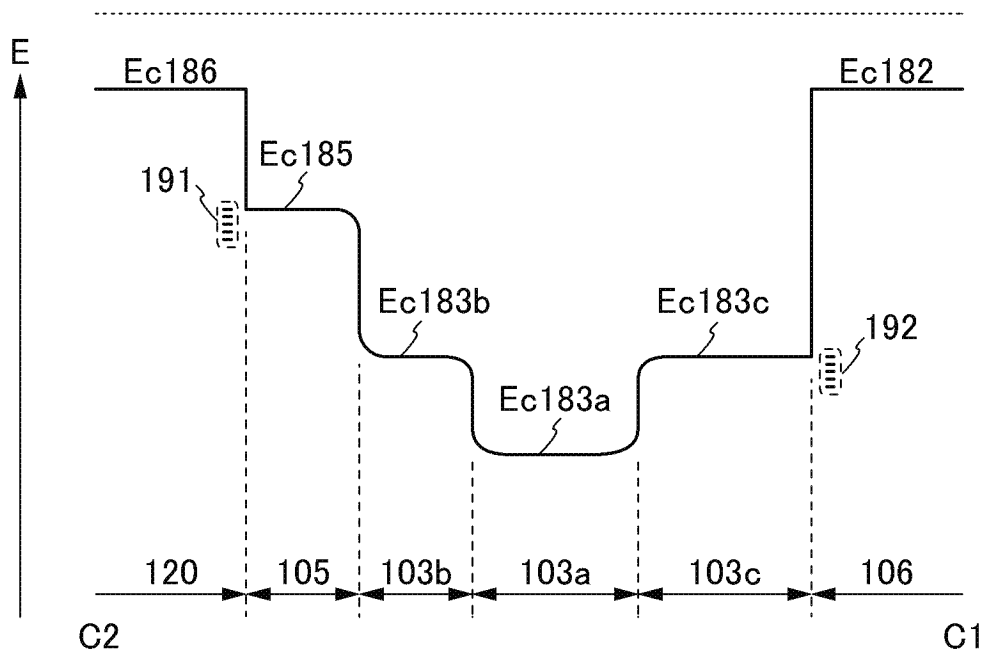


图 10B

真空能级

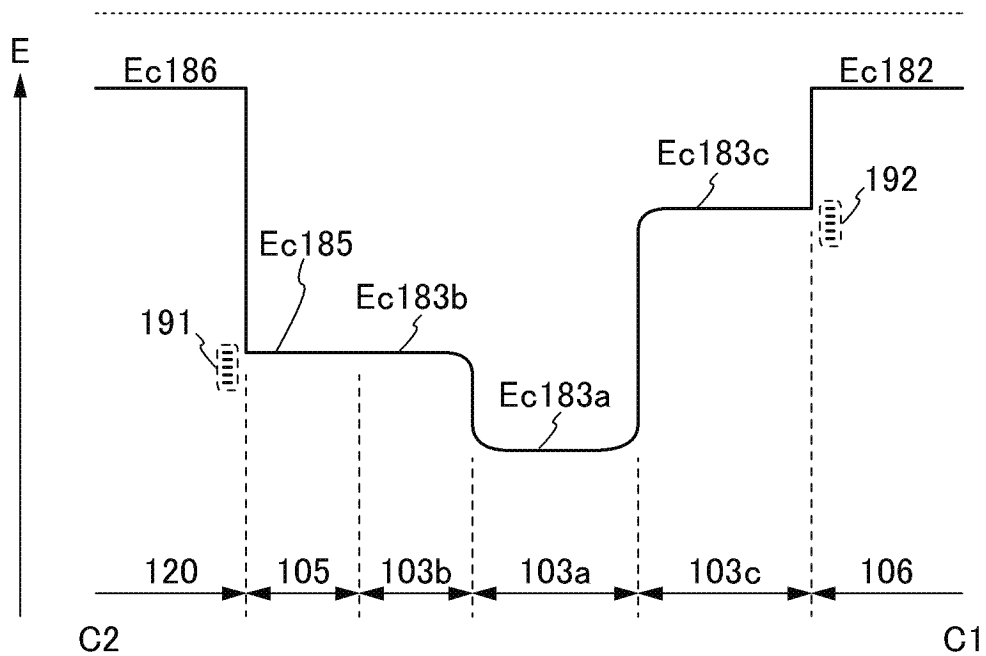


图 11A

真空能级

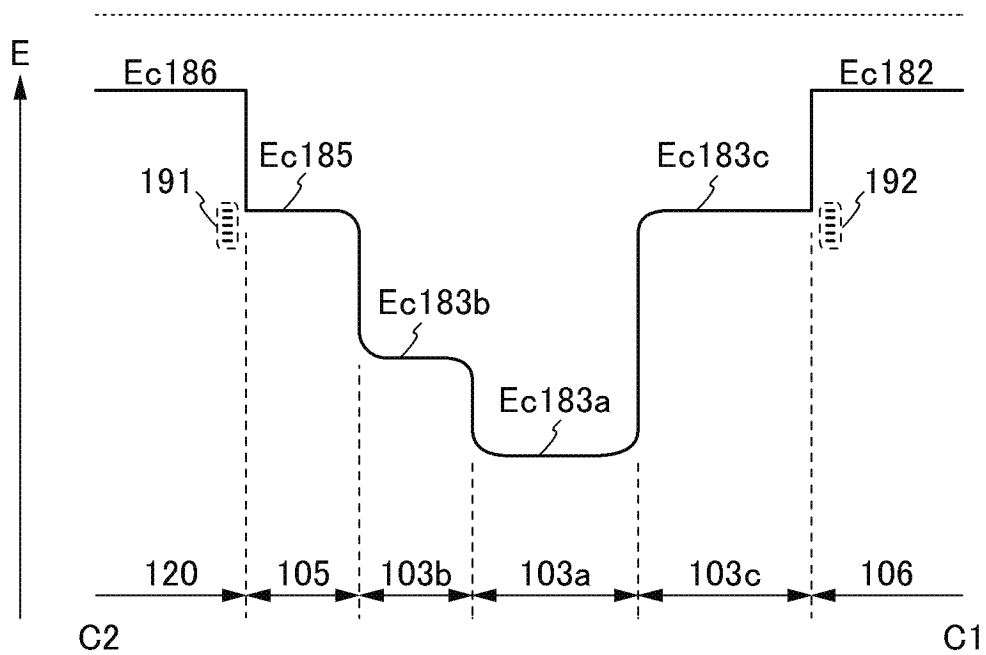


图 11B

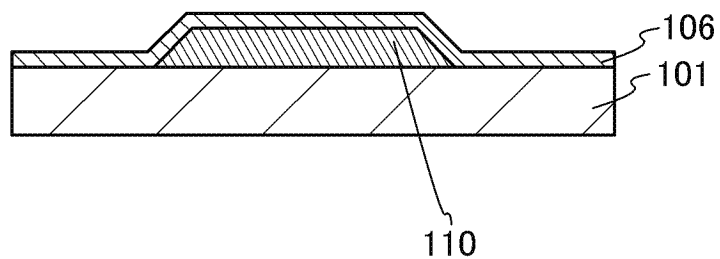


图 12A

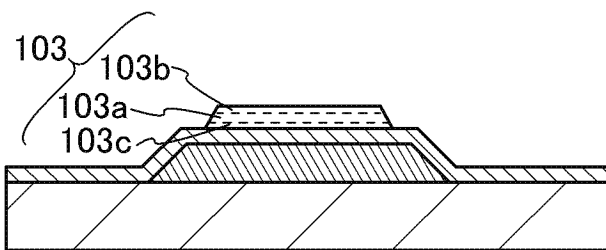


图 12B

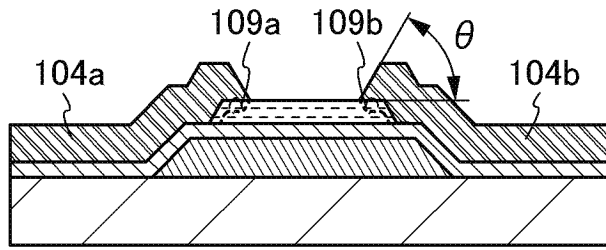


图 12C

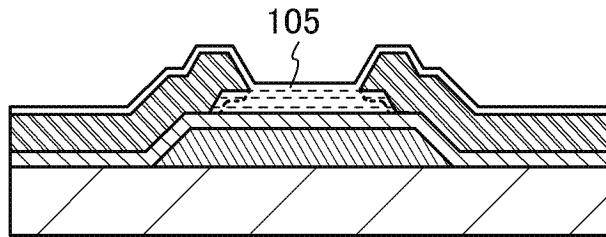


图 12D

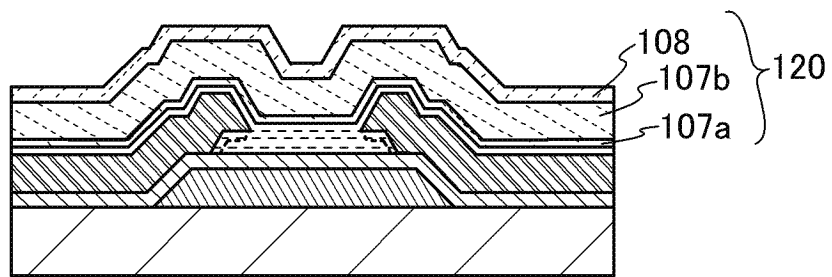


图 12E

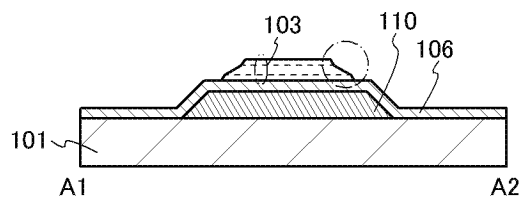


图 13A

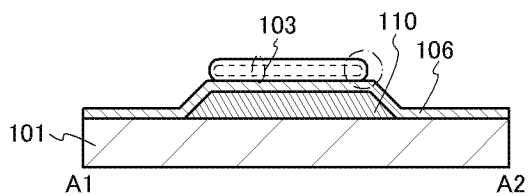


图 13B

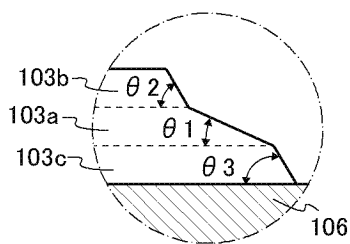


图 13C

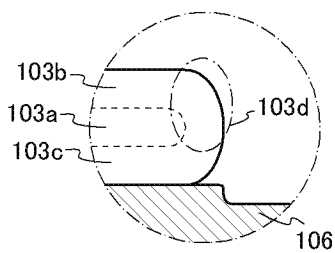


图 13D

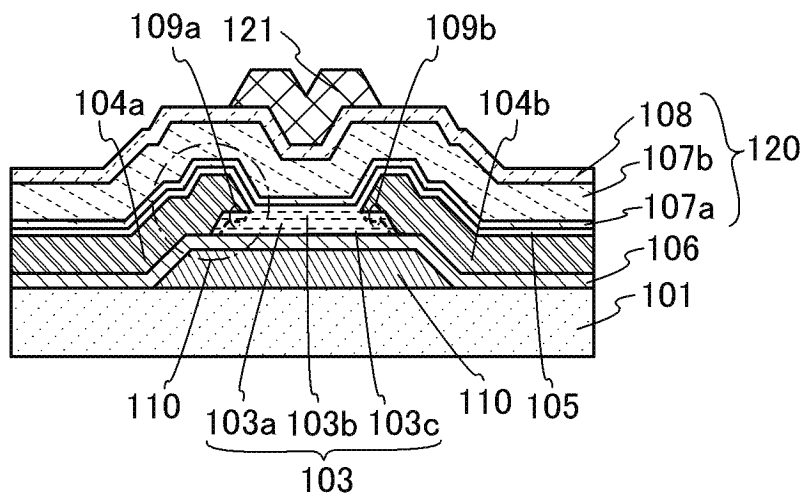


图 14

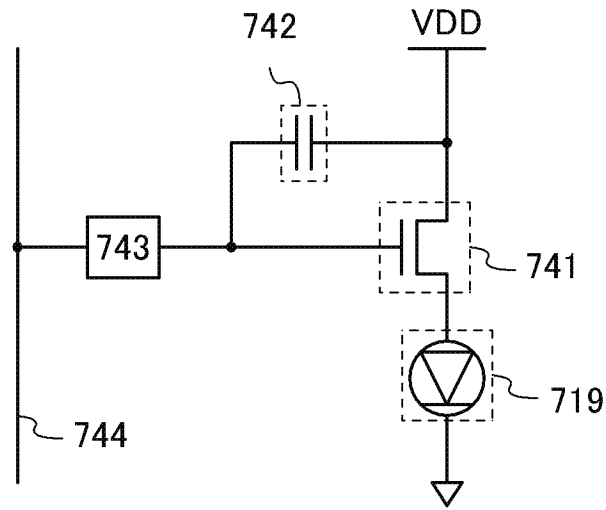


图 15

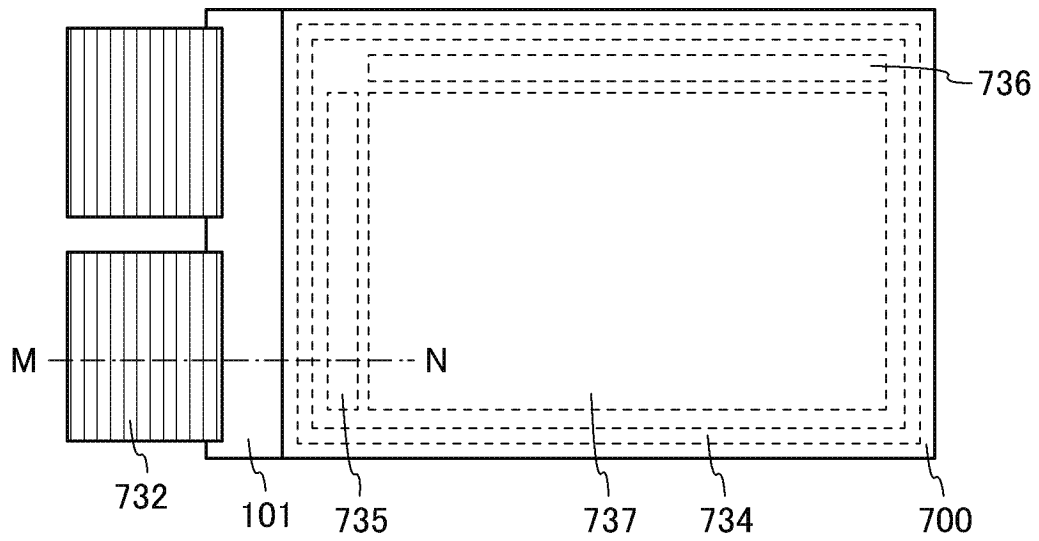


图 16A

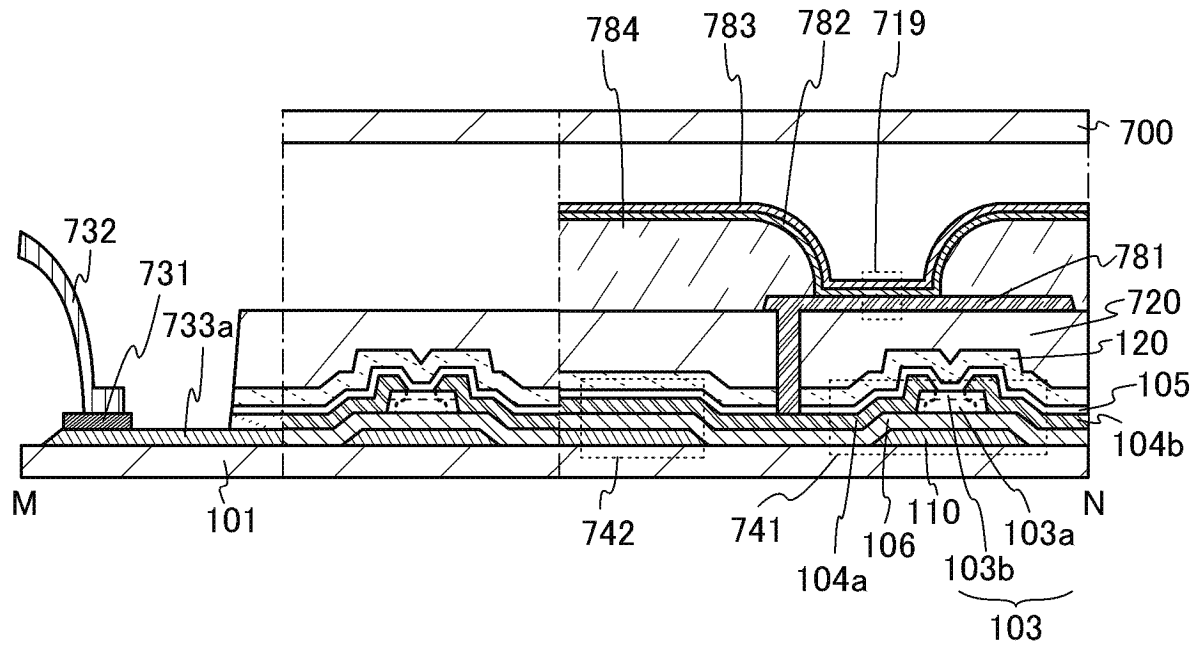


图 16B

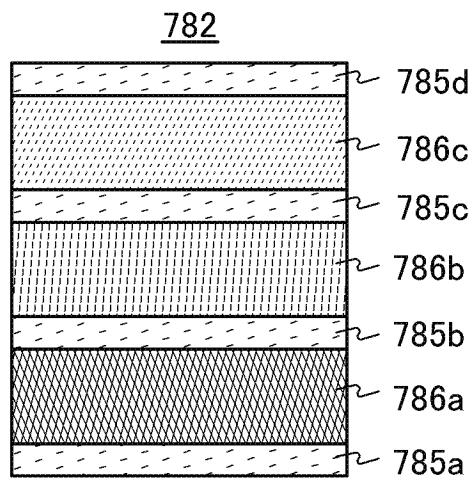


图 16C

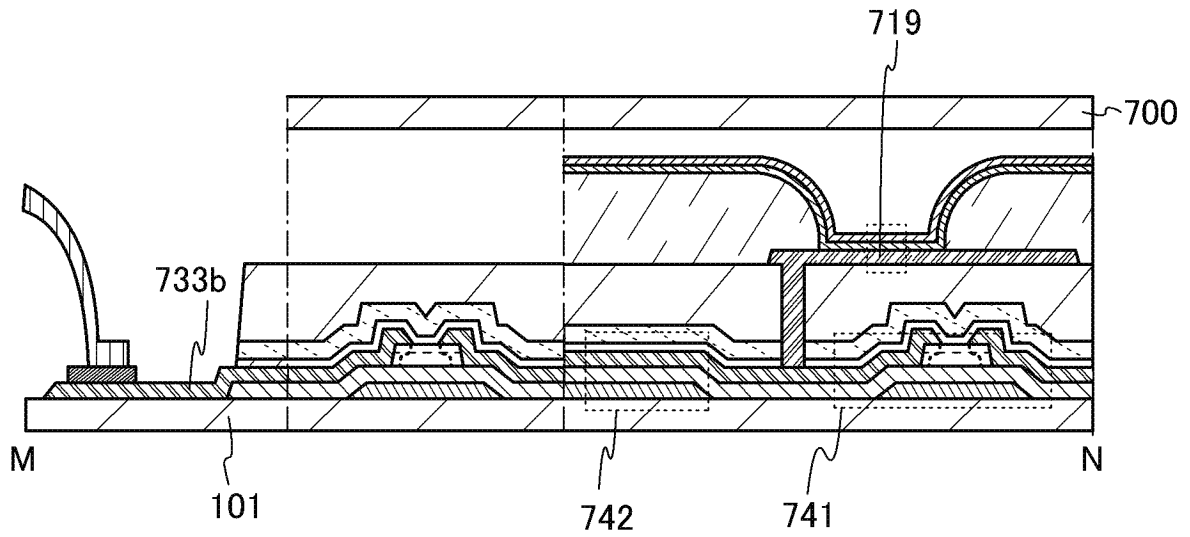


图 17A

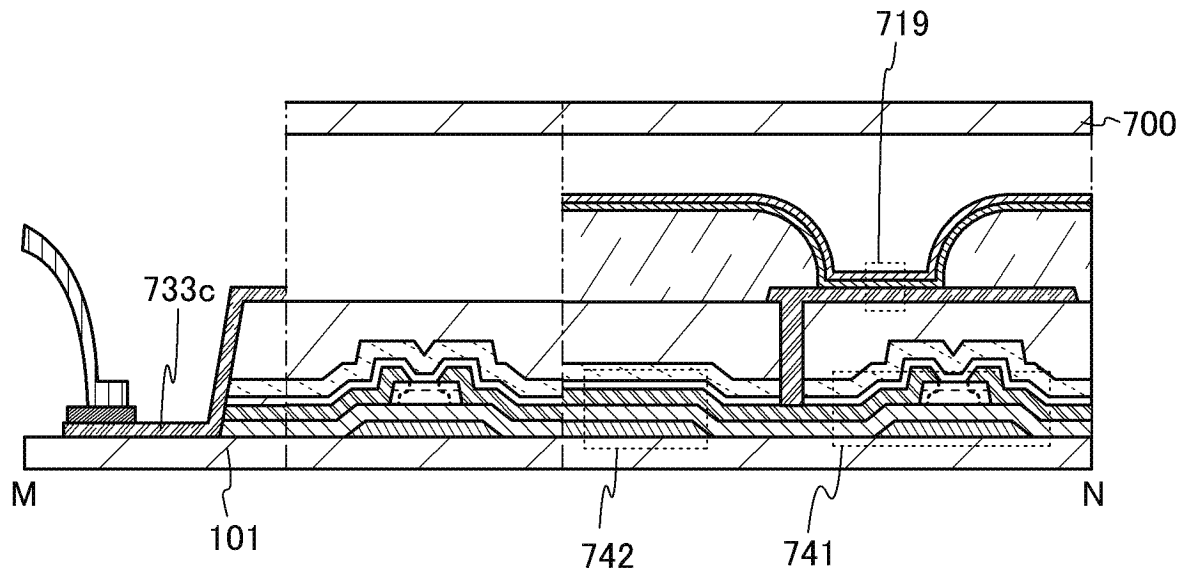


图 17B

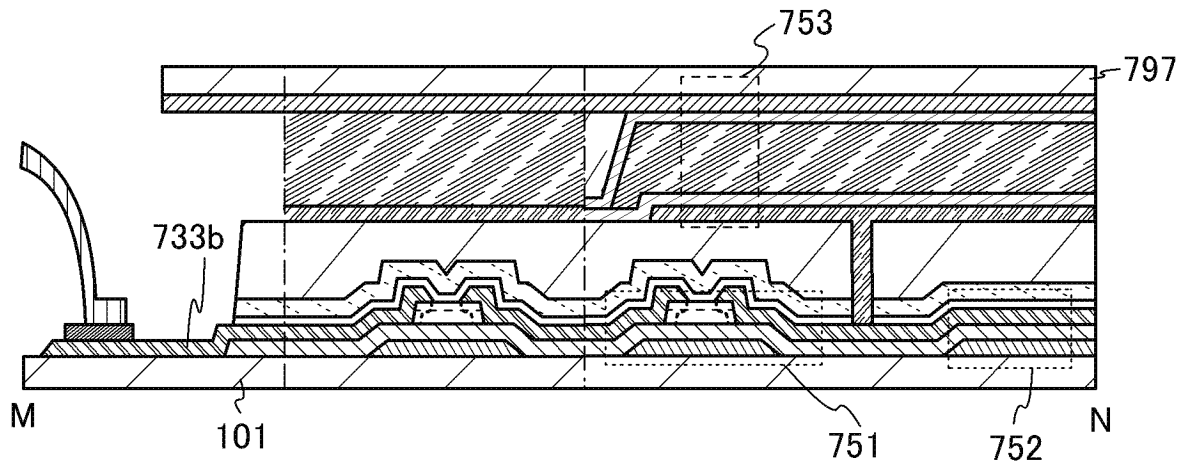


图 19B

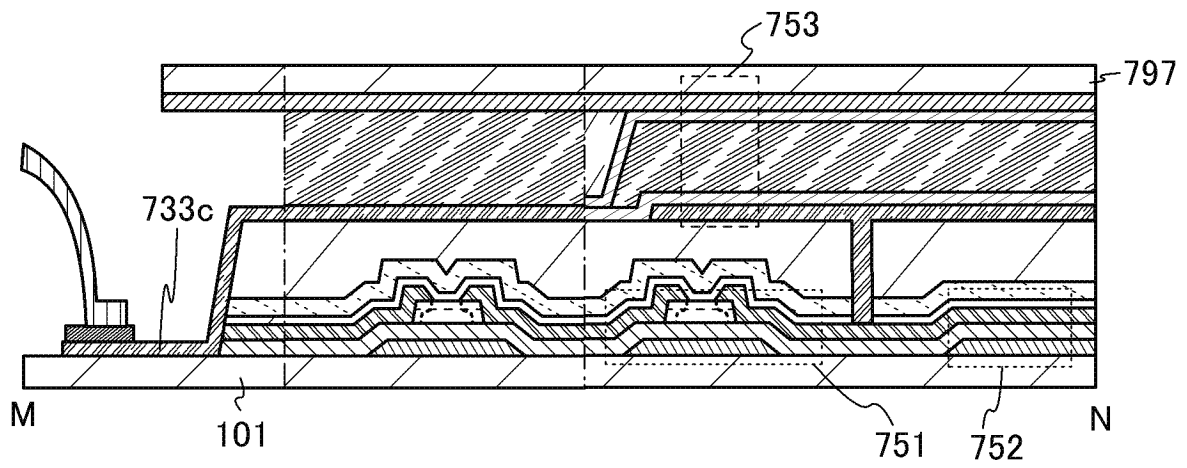


图 19C

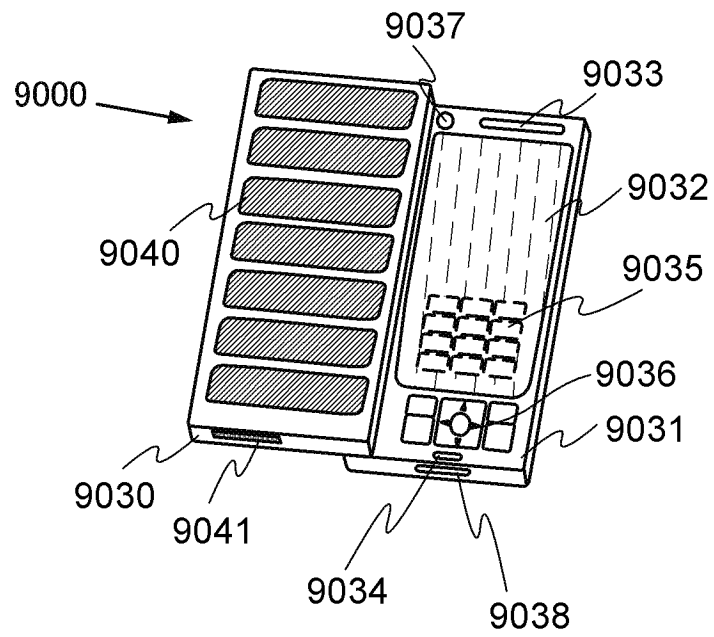


图 20A

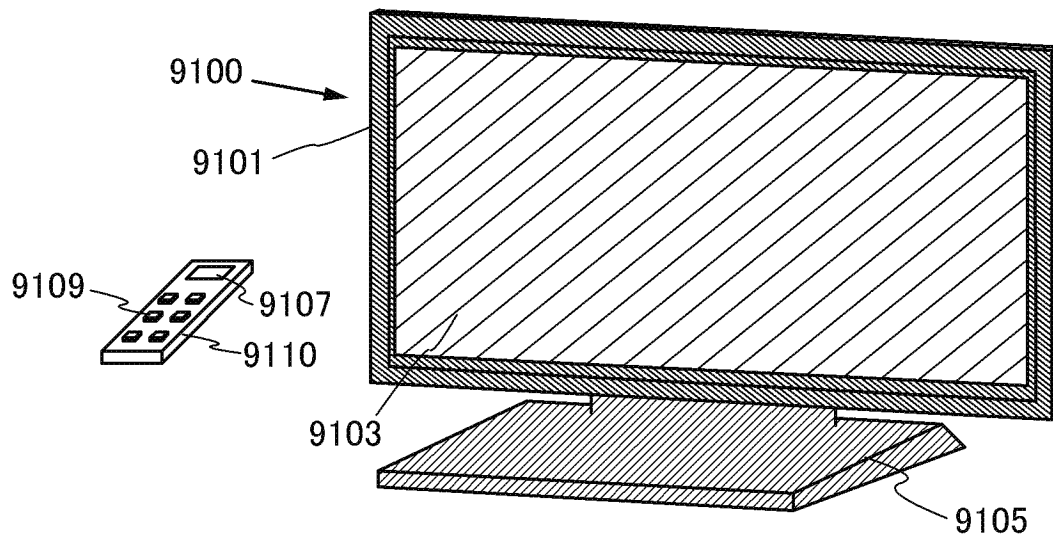


图 20B

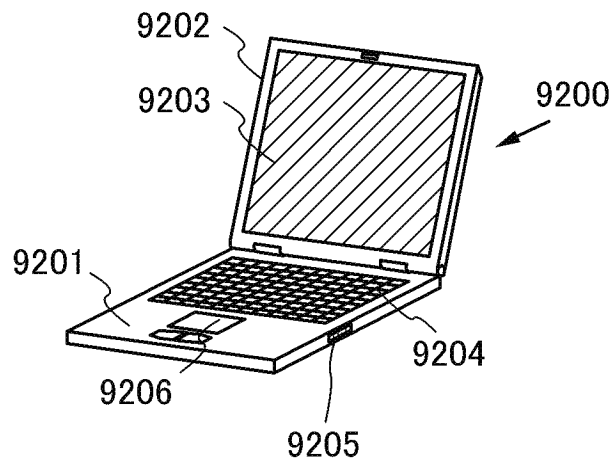


图 20C

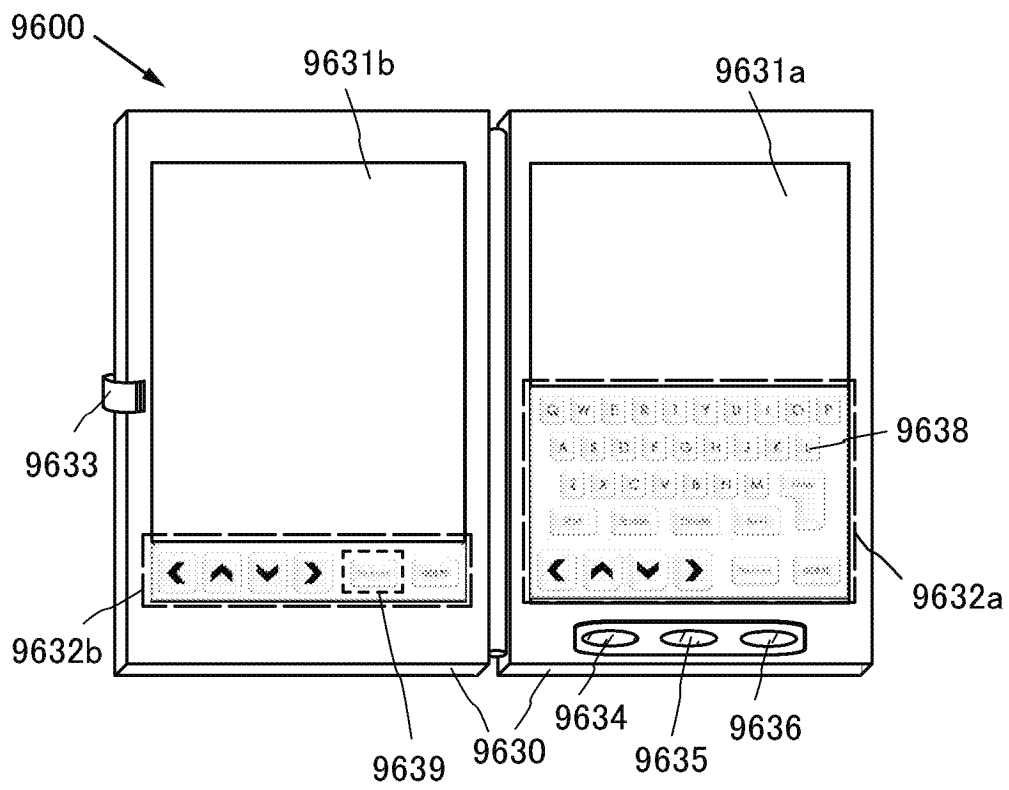


图 21

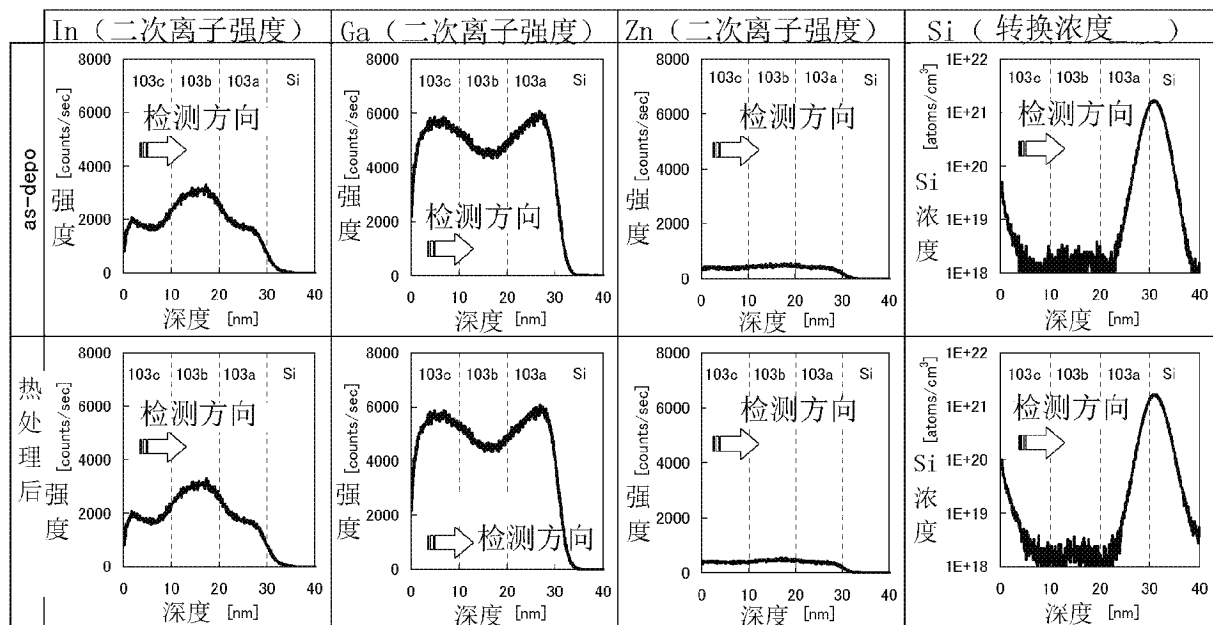


图 22

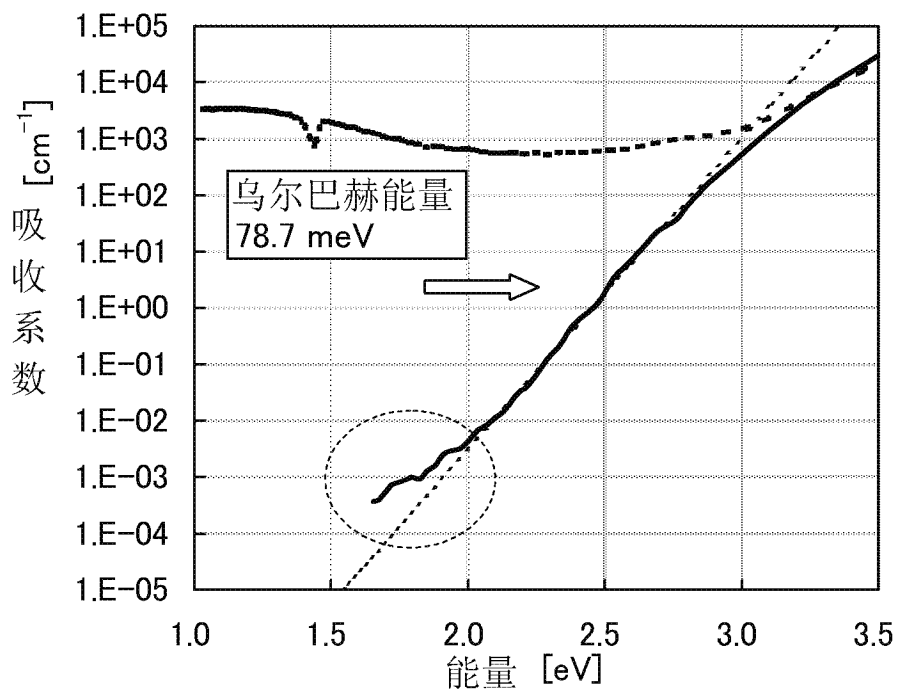


图 23A

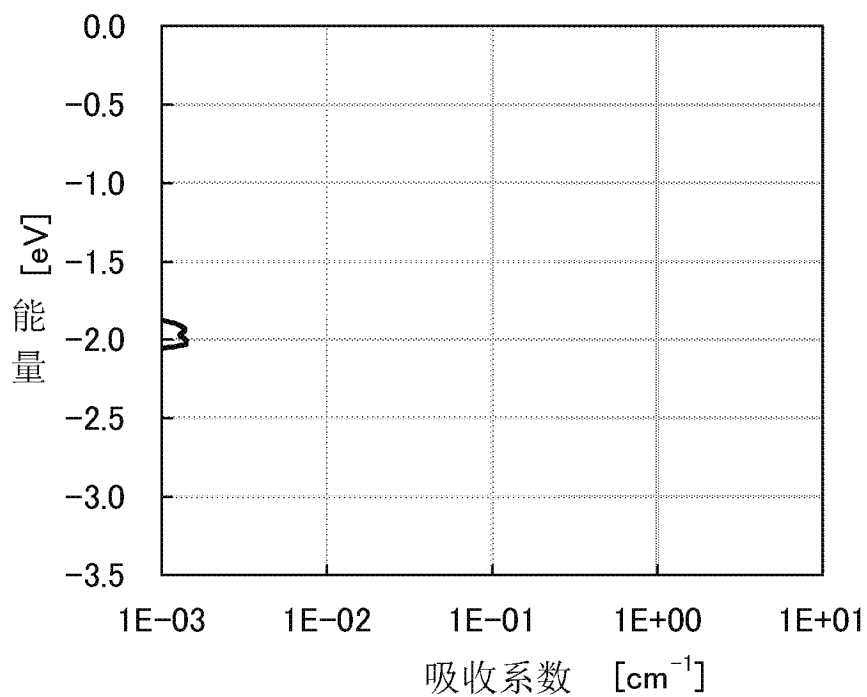


图 23B

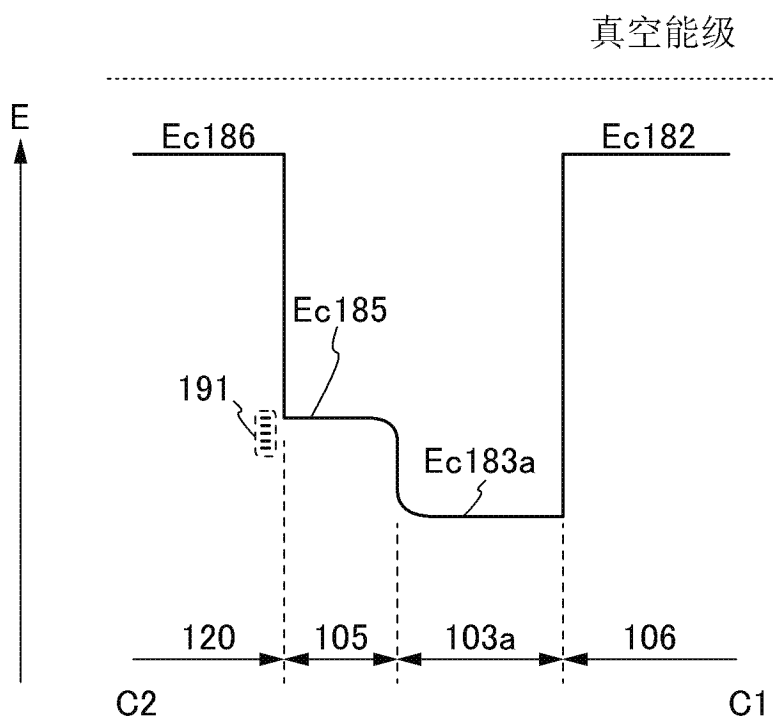


图 24

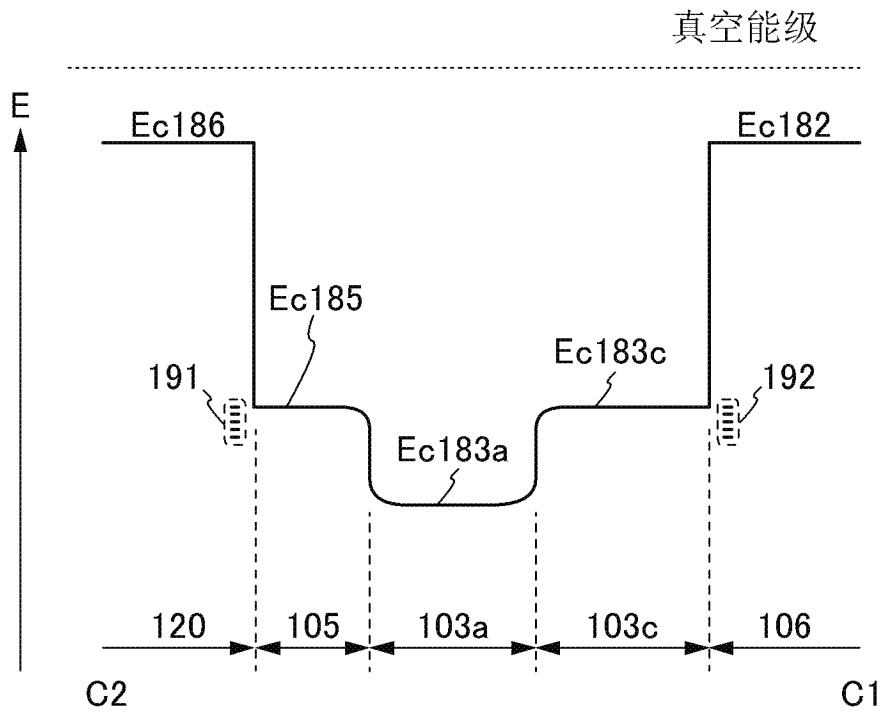


图 25

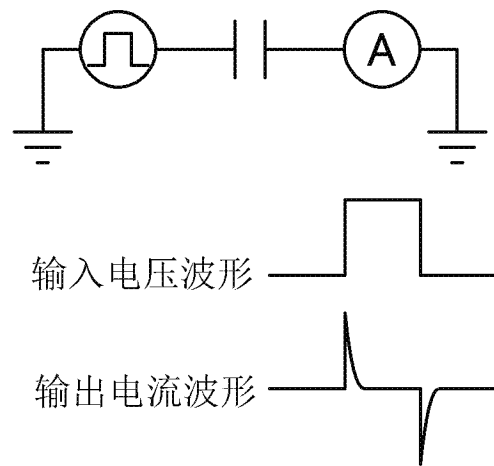


图 26A

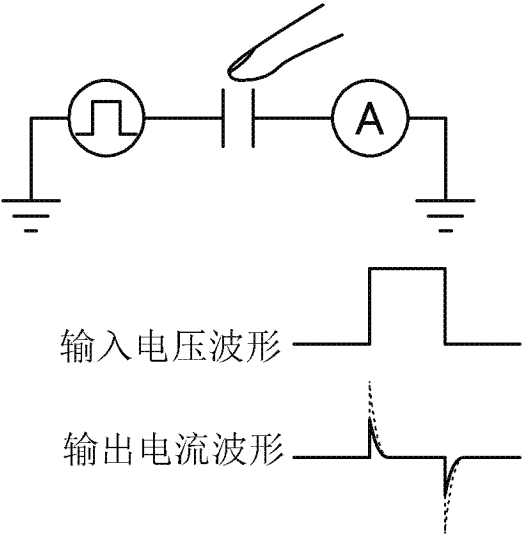


图 26B

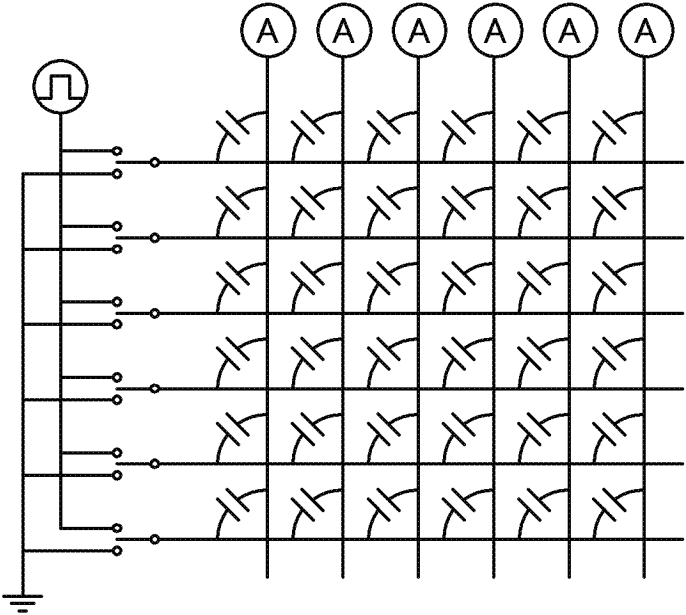


图 26C

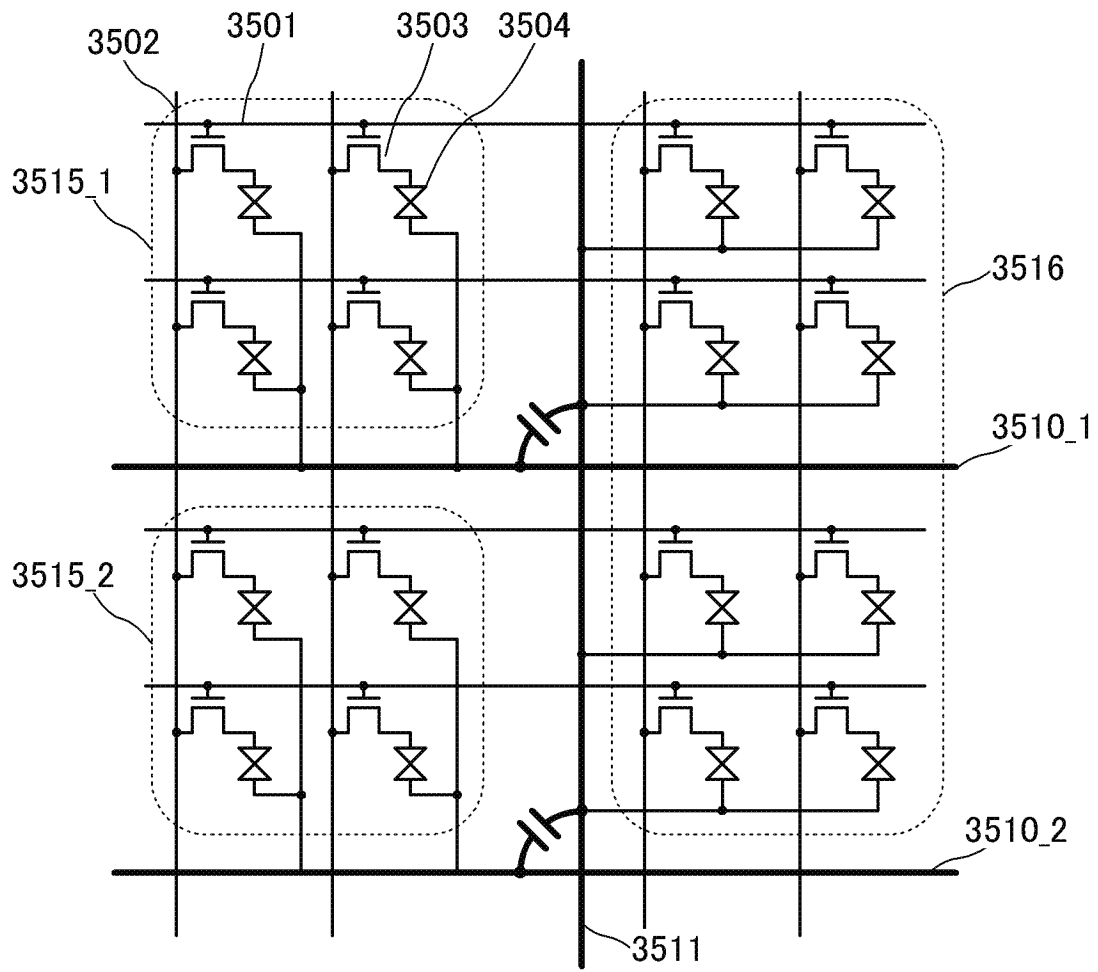


图 27A

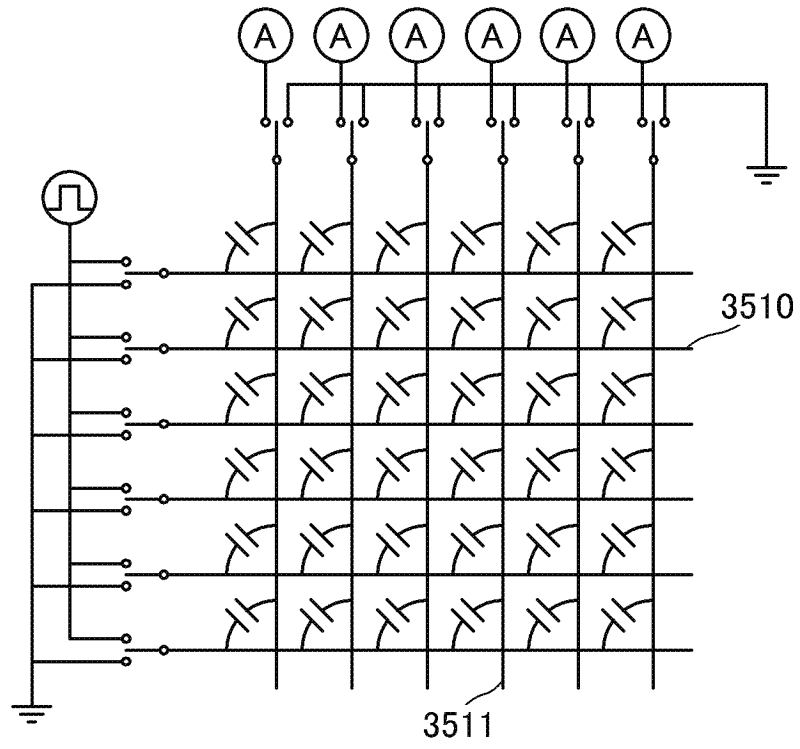


图 27B

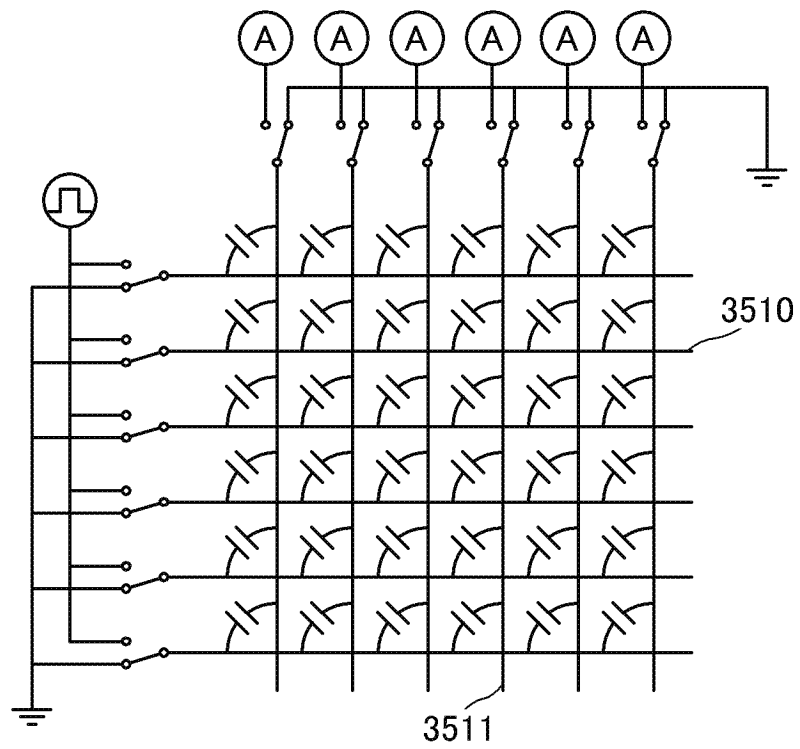


图 28A

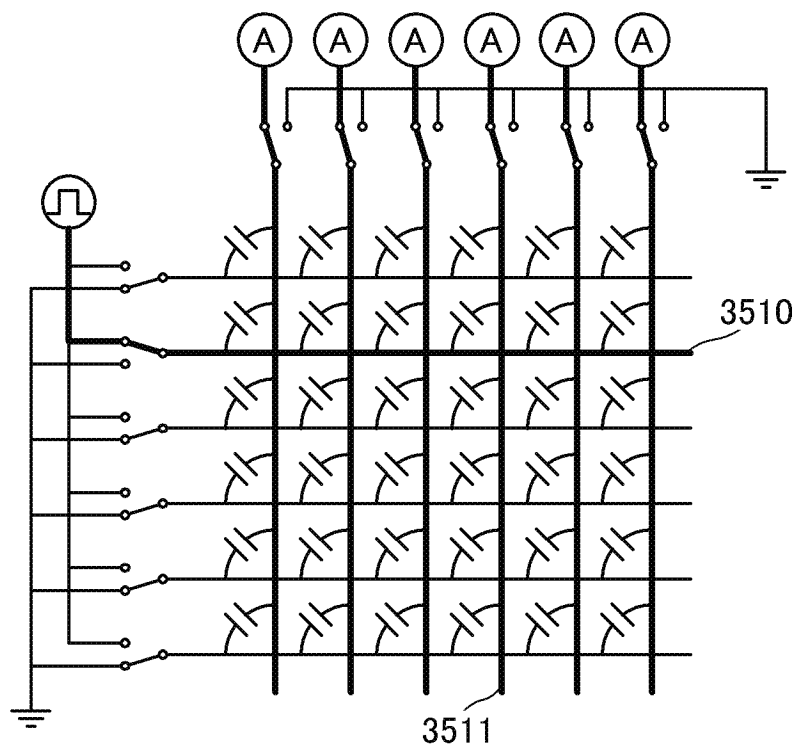


图 28B

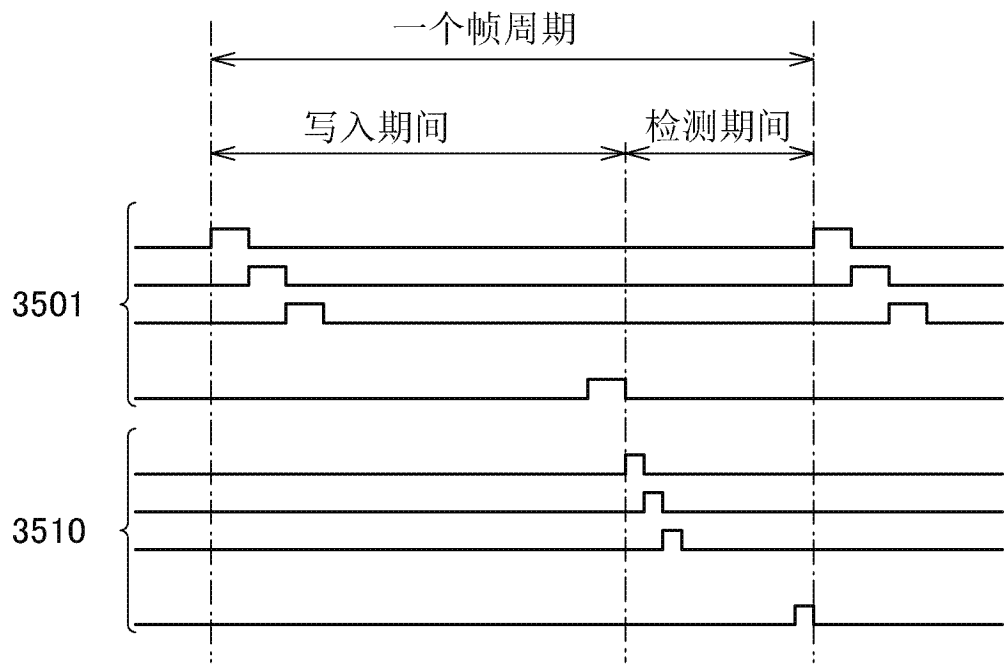


图 29

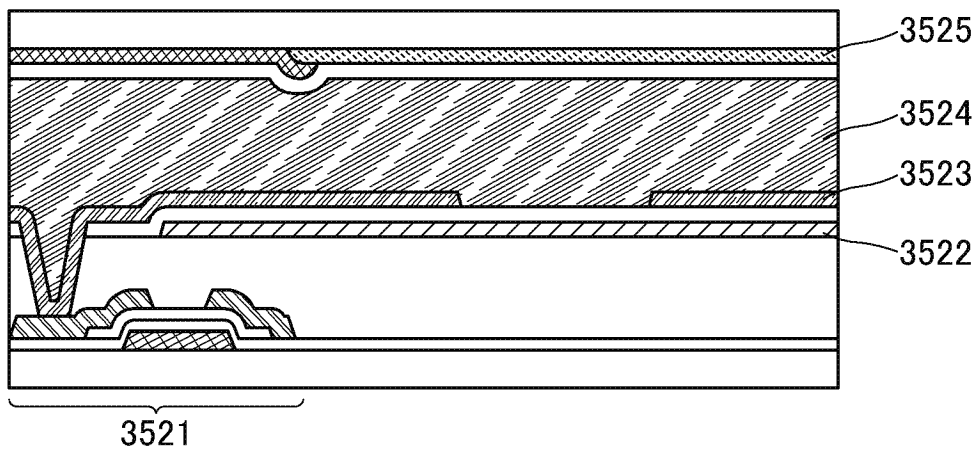


图 30A

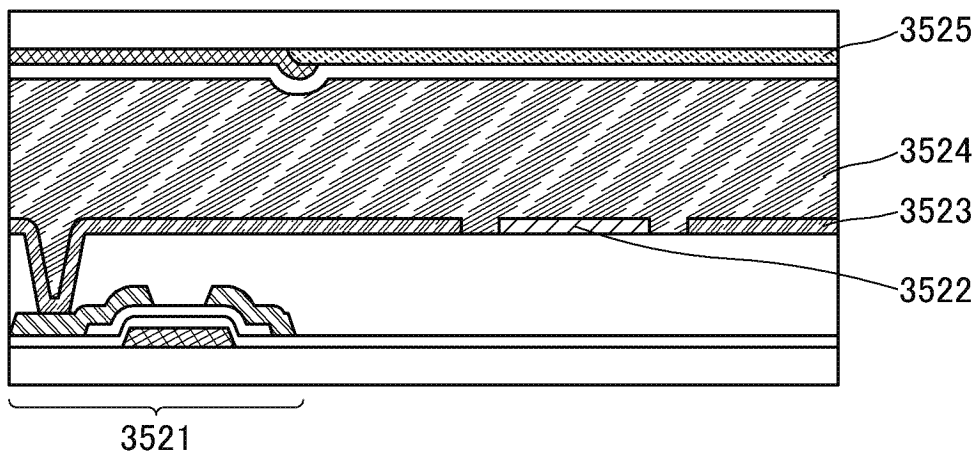


图 30B

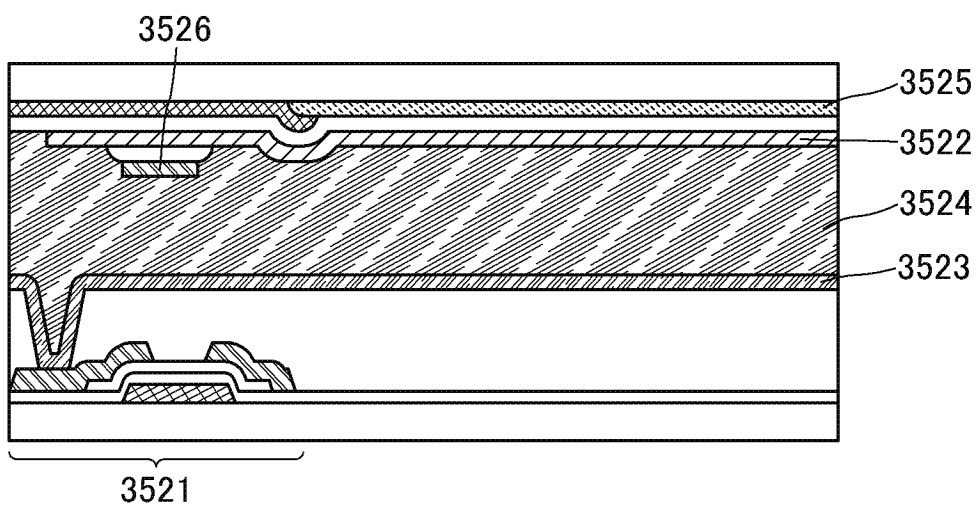


图 30C

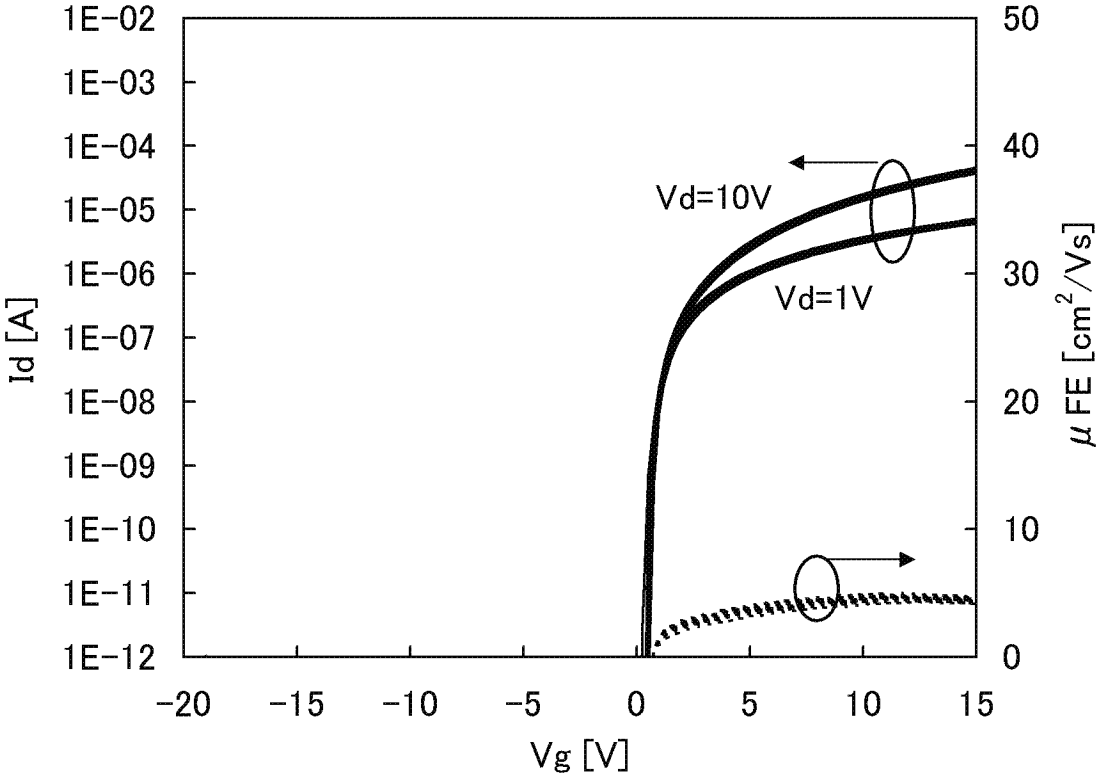


图 31