(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3693843号

(P3693843)

(45)発行日　平成17年9月14日(2005.9.14)　(24)登録日　平成17年7月1日(2005.7.1)

(51)Int.Cl.[7]	F I
G02F 1/1345	G02F 1/1345
H01L 21/822	H01L 27/04 H
H01L 27/04	

請求項の数 21　(全 25 頁)

(21)出願番号	特願平11-47885
(22)出願日	平成11年2月25日(1999.2.25)
(65)公開番号	特開2000-250070(P2000-250070A)
(43)公開日	平成12年9月14日(2000.9.14)
審査請求日	平成15年2月28日(2003.2.28)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(73)特許権者　000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野３６８１番地
(74)代理人　100083552
弁理士　秋田　収喜
(72)発明者　山下　祐二
千葉県茂原市早野３３００番地　株式会社日立製作所　電子デバイス事業部内
(72)発明者　後藤　充
千葉県茂原市早野３３００番地　株式会社日立製作所　電子デバイス事業部内

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【特許請求の範囲】

【請求項１】

マトリクス状に配置された複数の画素を有する液晶表示素子と、
前記各画素に映像信号電圧を供給する映像信号線駆動手段とを備える液晶表示装置であって、
前記映像信号線駆動手段は、少なくとも１個の半導体チップを有し、
前記少なくとも１個の半導体チップは、複数のバンプ電極と、
第１のダイオードと第２のダイオードからなる複数の保護ダイオード対と、
前記各保護ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域を覆うように設けられ、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域に接続される複数の配線層で、前記各バンプ電極との接続部を有する複数の配線層とを有し、
前記各保護ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の各配線層は、同一形状とされ、
前記複数のバンプ電極の少なくとも１つは、前記保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上に設けられ、かつ、前記保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上で前記配線層の接続部と接続されていることを特徴とする液晶表示装置。

【請求項２】

前記配線層の上に形成され、前記各保護ダイオード対の第１のダイオードのアノード領

域、あるいは第２のダイオードのカソード領域上に開口部を有する絶縁膜を有し、
前記複数のバンプ電極の少なくとも１つは、前記開口部、および前記開口部の周辺の絶縁膜上に形成され、前記開口部により前記配線層の接続部と接続されることを特徴とする請求項１に記載の液晶表示装置。

【請求項３】

互いに隣接する２つのバンプ電極の一方のバンプ電極は、前記各ダイオード対の第１のダイオードのアノード領域上に設けられ、他方のバンプ電極は、前記各ダイオード対の第２のダイオードのカソード領域上に設けられることを特徴とする請求項１または請求項２に記載の液晶表示装置。

【請求項４】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、それぞれ層間絶縁層を介して設けられ、互いに接続されるｎ層の導電層を有し、
第ｎ層目の導電層は、前記配線層と接続され、
第１層目の導電層は、層間絶縁層に設けられた複数の接続孔により、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続されていることを特徴とする請求項１ないし請求項３のいずれか１項に記載の液晶表示装置。

【請求項５】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、それぞれ層間絶縁層を介して設けられ、互いに接続されるｎ層の導電層を有し、
第１層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続され、
前記第１層目ないし第ｎ層目の導電層は、層間絶縁層に設けられた複数の接続孔により互いに接続され、
前記第ｎ層目の導電層は、層間絶縁層に設けられた複数の接続孔により、前記配線層と接続されることを特徴とする請求項１ないし請求項３のいずれか１項に記載の液晶表示装置。

【請求項６】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、それぞれ層間絶縁層を介して設けられ、互いに接続されるｎ層の導電層を有し、
第１層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の第１の領域内の層間絶縁層に設けられた複数の第１の接続孔により、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続され、
前記第１層目ないし第ｎ層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の、前記第１の領域外の層間絶縁層に設けられた複数の第２の接続孔により、互いに接続され、
前記第ｎ層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の、前記第１の領域外の層間絶縁層に設けられた複数の第３の接続孔により、前記配線層と接続されることを特徴とする請求項１ないし請求項３のいずれか１項に記載の液晶表示装置。

【請求項７】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、層間絶縁層を介して設けられる導電層を有し、
前記導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の第１の領域内の層間絶縁層に設けられた複数の第１の接続孔により、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続されるとともに、前記各ダイオード対の第１のダイオードのアノード領域、および

第２のダイオードのカソード領域上の、前記第１の領域外の層間絶縁層に設けられた複数の第２の接続孔により、前記配線層と接続されることを特徴とする請求項１ないし請求項３のいずれか１項に記載の液晶表示装置。

【請求項８】

マトリクス状に配置された複数の画素を有する液晶表示素子と、

前記各画素に映像信号電圧を供給する映像信号線駆動手段とを備える液晶表示装置であって、

前記映像信号線駆動手段は、少なくとも１個の半導体チップを有し、

前記少なくとも１個の半導体チップは、複数のバンプ電極と、

第１のダイオードと第２のダイオードからなる複数の保護ダイオード対と、

前記各保護ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域を覆うように設けられ、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域に接続される複数の配線層で、前記各バンプ電極との接続部を有する複数の配線層とを有し、

前記各保護ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の各配線層は、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域より幅広に形成され、

前記複数のバンプ電極の少なくとも１つは、前記保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上に設けられ、かつ、前記保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上で前記配線層の接続部と接続されていることを特徴とする液晶表示装置。

【請求項９】

前記配線層の上に形成され、前記各保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上に開口部を有する絶縁膜を有し、

前記複数のバンプ電極の少なくとも１つは、前記開口部、および前記開口部の周辺の絶縁膜上に形成され、前記開口部により前記配線層の接続部と接続されることを特徴とする請求項８に記載の液晶表示装置。

【請求項１０】

互いに隣接する２つのバンプ電極の一方のバンプ電極は、前記各ダイオード対の第１のダイオードのアノード領域上に設けられ、他方のバンプ電極は、前記各ダイオード対の第２のダイオードのカソード領域上に設けられることを特徴とする請求項８または請求項９に記載の液晶表示装置。

【請求項１１】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、それぞれ層間絶縁層を介して設けられ、互いに接続されるｎ層の導電層を有し、

第ｎ層目の導電層は、前記配線層と接続され、

第１層目の導電層は、層間絶縁層に設けられた複数の接続孔により、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続されていることを特徴とする請求項８ないし請求項１０のいずれか１項に記載の液晶表示装置。

【請求項１２】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、それぞれ層間絶縁層を介して設けられ、互いに接続されるｎ層の導電層を有し、

第１層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続され、

前記第１層目ないし第ｎ層目の導電層は、層間絶縁層に設けられた複数の接続孔により互いに接続され、

前記第ｎ層目の導電層は、層間絶縁層に設けられた複数の接続孔により、前記配線層と接

続されることを特徴とする請求項８ないし請求項１０のいずれか１項に記載の液晶表示装置。

【請求項１３】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、それぞれ層間絶縁層を介して設けられ、互いに接続されるｎ層の導電層を有し、

第１層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の第１の領域内の層間絶縁層に設けられた複数の第１の接続孔により、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続され、

前記第１層目ないし第ｎ層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の、前記第１の領域外の層間絶縁層に設けられた複数の第２の接続孔により、互いに接続され、

前記第ｎ層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の、前記第１の領域外の層間絶縁層に設けられた複数の第３の接続孔により、前記配線層と接続されることを特徴とする請求項８ないし請求項１０のいずれか１項に記載の液晶表示装置。

【請求項１４】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、層間絶縁層を介して設けられる導電層を有し、

前記導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の第１の領域内の層間絶縁層に設けられた複数の第１の接続孔により、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続されるとともに、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の、前記第１の領域外の層間絶縁層に設けられた複数の第２の接続孔により、前記配線層と接続されることを特徴とする請求項８ないし請求項１０のいずれか１項に記載の液晶表示装置。

【請求項１５】

マトリクス状に配置された複数の画素を有する液晶表示素子と、

前記各画素に映像信号電圧を供給する映像信号線駆動手段とを備える液晶表示装置であって、

前記映像信号線駆動手段は、少なくとも１個の半導体チップを有し、

前記少なくとも１個の半導体チップは、複数のバンプ電極と、

第１のダイオードと第２のダイオードからなる複数の保護ダイオード対と、

前記各保護ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域を覆うように設けられ、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域に接続される複数の配線層で、前記各バンプ電極との接続部を有する複数の配線層とを有し、

前記複数のバンプ電極の少なくとも１つは、前記保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上に設けられ、かつ、前記保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上で前記配線層の接続部と接続されていることを特徴とする液晶表示装置。

【請求項１６】

前記配線層の上に形成され、前記各保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上に開口部を有する絶縁膜を有し、

前記複数のバンプ電極の少なくとも１つは、前記開口部、および前記開口部の周辺の絶縁膜上に形成され、前記開口部により前記配線層の接続部と接続されることを特徴とする請求項１５に記載の液晶表示装置。

【請求項１７】

互いに隣接する２つのバンプ電極の一方のバンプ電極は、前記各ダイオード対の第１の

ダイオードのアノード領域上に設けられ、他方のバンプ電極は、前記各ダイオード対の第２のダイオードのカソード領域上に設けられることを特徴とする請求項１５または請求項１６に記載の液晶表示装置。

【請求項１８】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、それぞれ層間絶縁層を介して設けられ、互いに接続されるｎ層の導電層を有し、

第ｎ層目の導電層は、前記配線層と接続され、

第１層目の導電層は、層間絶縁層に設けられた複数の接続孔により、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続されていることを特徴とする請求項１５ないし請求項１７のいずれか１項に記載の液晶表示装置。

【請求項１９】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、それぞれ層間絶縁層を介して設けられ、互いに接続されるｎ層の導電層を有し、

第１層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続され、

前記第１層目ないし第ｎ層目の導電層は、層間絶縁層に設けられた複数の接続孔により互いに接続され、

前記第ｎ層目の導電層は、層間絶縁層に設けられた複数の接続孔により、前記配線層と接続されることを特徴とする請求項１５ないし請求項１７のいずれか１項に記載の液晶表示装置。

【請求項２０】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、それぞれ層間絶縁層を介して設けられ、互いに接続されるｎ層の導電層を有し、

第１層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の第１の領域内の層間絶縁層に設けられた複数の第１の接続孔により、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続され、

前記第１層目ないし第ｎ層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の、前記第１の領域外の層間絶縁層に設けられた複数の第２の接続孔により、互いに接続され、

前記第ｎ層目の導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の、前記第１の領域外の層間絶縁層に設けられた複数の第３の接続孔により、前記配線層と接続されることを特徴とする請求項１５ないし請求項１７のいずれか１項に記載の液晶表示装置。

【請求項２１】

前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、層間絶縁層を介して設けられる導電層を有し、

前記導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の第１の領域内の層間絶縁層に設けられた複数の第１の接続孔により、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続されるとともに、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の、前記第１の領域外の層間絶縁層に設けられた複数の第２の接続孔により、前記配線層と接続されることを特徴とする請求項１５ないし請求項１７のいずれか１項に記載の液晶表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】
本発明は、液晶表示装置に係わり、特に、多階調表示が可能な液晶表示装置の映像信号線駆動手段（ドレインドライバ）に適用して有効な技術に関する。
【０００２】
【従来の技術】
画素毎に能動素子（例えば、薄膜トランジスタ）を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。
このアクティブマトリクス型液晶表示装置は、能動素子を介して画素電極に映像信号電圧（表示データに対応する階調電圧；以下、階調電圧と称する。）を印加するため、各画素間のクロストークがなく、単純マトリックス形液晶表示装置のようにクロストークを防止するための特殊な駆動方法を用いる必要がなく、多階調表示が可能である。
このアクティブマトリクス型液晶表示装置の１つに、ＴＦＴ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｅｒ）方式の液晶表示パネル（ＴＦＴ－ＬＣＤ）と、液晶表示パネルの上側に配置されるドレインドライバと、液晶表示パネルの側面に配置されるゲートドライバおよびインタフェース部とを備えるＴＦＴ方式の液晶表示モジュールが知られている。
このＴＦＴ方式の液晶表示モジュールにおけるドレインドライバは、１個の半導体チップで構成され、当該半導体チップは、その内部に、多階調電圧生成回路と、この多階調電圧生成回路で生成された多階調電圧の中から、表示データに対応する１つの階調電圧を選択する階調電圧選択回路等を備えている。
【０００３】
なお、このような技術は、例えば、特願平８－８６６６８号、特願平１０－５０６９９号に記載されている。
【０００４】
【発明が解決しようとする課題】
近年、ＴＦＴ方式の液晶表示モジュール等の液晶表示装置においては、液晶表示パネルの大型化、高解像度化（多画素化）、高画質化の傾向にあり、その上、無駄なスペースをなくし、表示装置としての美観を惹起せしめるために、液晶表示装置の表示領域以外の領域、即ち、額縁部分を少しでも小さくする（狭額縁化）ことが要望されている。
その一方で、液晶表示装置のより一層の普及を図るためにも、液晶表示装置の低価格化が強く要望されている。
そのため、ドレインドライバを構成する半導体チップ（以下、単に、半導体チップと称する。）の出力ピン数を増加させ、かつ半導体チップの面積をより小さくすること、即ち、半導体チップの集積度を上げることが必要となっている。
一方、半導体チップは、例えば、テープ・キャリア・パッケージのインナリードと接続される複数のバンプ電極を備え、かつ、半導体チップの外部から入力されるノイズにより、内部回路を保護するために各バンプ電極毎に設けられる一対の保護ダイオードを備えている。
そして、各バンプ電極毎に設けられる一対の保護ダイオードの接続点とバンプ電極とを電気的に接続する必要があるため、一般には、一対の保護ダイオードは、各バンプ電極の近傍に設けられる。
しかしながら、前記各バンプ電極は、例えば、隣接するバンプ電極間の短絡等の理由により、ある程度離して設ける必要がある。
さらに、一対のダイオードの形成領域も、ノイズを吸収するために、それなりの面積が必要である。
そのため、半導体チップの出力ピン数を増加させ、かつ半導体チップの面積を小さくすることができず、前記液晶表示装置の狭額縁化、あるいは、液晶表示装置の低価格化に対応できないという問題点があった。
本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、映像線駆動回路手段内の半導体チップのバンプ電極、および一

対の保護ダイオードの占める面積を小さくして、半導体チップのチップサイズを小さくすることが可能となる技術を提供することにある。
また、本発明の他の目的は、液晶表示装置において、より狭額縁化、あるいは、より低価格化を図ることが可能となる技術を提供することにある。
本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。
【０００５】
【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。
即ち、本発明は、マトリクス状に配置された複数の画素を有する液晶表示素子と、前記各画素に映像信号電圧を供給する映像信号線駆動手段とを備える液晶表示装置であって、前記映像信号線駆動手段は、少なくも１個の半導体チップを有し、前記少なくも１個の半導体チップは、複数のバンプ電極と、第１のダイオードと第２のダイオードからなる複数の保護ダイオード対と、前記各保護ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域を覆うように設けられ、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域に接続される複数の配線層で、前記各バンプ電極との接続部を有する複数の配線層とを有し、前記各保護ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の各配線層は、同一形状とされ、前記複数のバンプ電極の少なくとも１つは、前記保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上に設けられ、かつ、前記保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上で前記配線層の接続部と接続されていることを特徴とする。
また、本発明は、マトリクス状に配置された複数の画素を有する液晶表示素子と、前記各画素に映像信号電圧を供給する映像信号線駆動手段とを備える液晶表示装置であって、前記映像信号線駆動手段は、少なくも１個の半導体チップを有し、前記少なくも１個の半導体チップは、複数のバンプ電極と、第１のダイオードと第２のダイオードからなる複数の保護ダイオード対と、前記各保護ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域を覆うように設けられ、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域に接続される複数の配線層で、前記各バンプ電極との接続部を有する複数の配線層とを有し、前記各保護ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の各配線層は、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域より幅広に形成され、前記複数のバンプ電極の少なくとも１つは、前記保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上に設けられ、かつ、前記保護ダイオード対の第１のダイオード、あるいは第２のダイオードのカソード領域上で前記配線層の接続部と接続されていることを特徴とする。
また、本発明は、前記配線層の上に形成され、前記各保護ダイオード対の第１のダイオードのアノード領域、あるいは第２のダイオードのカソード領域上に開口部を有する絶縁膜を有し、前記複数のバンプ電極の少なくとも１つは、前記開口部、および前記開口部の周辺の絶縁膜上に形成され、前記開口部により前記配線層の接続部と接続されることを特徴とする。
また、本発明は、前記互いに隣接する２つのバンプ電極の一方のバンプ電極は、前記各ダイオード対の第１のダイオードのアノード領域（または第２のダイオードのカソード領域）上に設けられ、他方のバンプ電極は、前記各ダイオード対の第２のダイオードのカソード領域（または第１のダイオードのアノード領域）上に設けられることを特徴とする。
また、本発明は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域と、前記配線層との間に、層間絶縁層を介して設けられる導電層を有し、前記導電層は、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の第１の領域内の層間絶縁層に設けられた複数の第

１の接続孔により、前記第１のダイオードのアノード領域、および第２のダイオードのカソード領域と接続されるとともに、前記各ダイオード対の第１のダイオードのアノード領域、および第２のダイオードのカソード領域上の、前記第１の領域外の層間絶縁層に設けられた複数の第２の接続孔により、前記配線層と接続されることを特徴とする。

【０００６】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【０００７】

［実施の形態１］

図１は、本発明の実施の形態のＴＦＴ方式の液晶表示モジュールの概略構成を示すブロック図である。

本実施の形態の液晶表示モジュール（ＬＣＭ）は、液晶表示パネル（本発明の液晶表示素子；ＴＦＴ－ＬＣＤ）１０の上側にドレインドライバ１３０が配置され、また、液晶表示パネル１０の側面に、ゲートドライバ１４０、インタフェース部１００が配置される。

インタフェース部１００はインタフェース基板に実装され、また、ドレインドライバ１３０、ゲートドライバ１４０も、それぞれ専用のテープキャリアパッケージ（Ｔａｐｅ　Ｃａｒｅｅｉｅｒ　Ｐａｃｋａｇｅ；ＴＣＰ）に実装される。

【０００８】

図２は、図１に示す液晶表示パネル１０の一例の等価回路を示す図である。

【０００９】

この図２に示すように、液晶表示パネル１０は、マトリクス状に形成される複数の画素（１０２４×３×７６８個の画素）を有する。

各画素は、隣接する２本の信号線（ドレイン信号線（Ｄ）またはゲート信号線（Ｇ））と、隣接する２本の信号線（ゲート信号線（Ｇ）またはドレイン信号線（Ｄ））との交差領域内に配置される。

各画素は薄膜トランジスタ（ＴＦＴ１，ＴＦＴ２）を有し、各画素の薄膜トランジスタ（ＴＦＴ１，ＴＦＴ２）のソース電極は、画素電極（ＩＴＯ１）に接続される。

また、画素電極（ＩＴＯ１）とコモン電極（ＩＴＯ２）との間に液晶層が設けられるので、画素電極（ＩＴＯ１）とコモン電極（ＩＴＯ２）との間には、液晶容量（ＣLC）が等価的に接続される。

さらに、薄膜トランジスタ（ＴＦＴ１，ＴＦＴ２）のソース電極と前段のゲート信号線（Ｇ）との間には、付加容量（ＣADD）が接続される。

図３は、図１に示す液晶表示パネル１０の他の例の等価回路を示す図である。

図２に示す例では、前段のゲート信号線（Ｇ）とソース電極との間に付加容量（ＣADD）が形成されているが、図３に示す例の等価回路では、共通信号線（ＣＯＭ）とソース電極との間に保持容量（ＣＳＴＧ）が形成されている点が異なっている。

本発明は、どちらにも適用可能であるが、前者の方式では、全段のゲート信号線（Ｇ）パルスが付加容量（ＣADD ）を介して画素電極（ＩＴＯ１）に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。

なお、図２、図３において、ＡＲは表示領域であり、また、図２、図３は回路図であるが、実際の幾何学的配置に対応して描かれている。

【００１０】

図２、図３に示す液晶表示パネル１０において、列方向に配置された各画素の薄膜トランジスタ（ＴＦＴ）のドレイン電極は、それぞれドレイン信号線（Ｄ）に接続され、各ドレイン信号線（Ｄ）は、列方向の各画素の液晶に階調電圧を供給するドレインドライバ１３０に接続される。

また、行方向に配置された各画素における薄膜トランジスタ（ＴＦＴ）のゲート電極は、それぞれゲート信号線（Ｇ）に接続され、各ゲート信号線（Ｇ）は、１水平走査時間、行

方向の各画素の薄膜トランジスタ（ＴＦＴ）のゲート電極に走査駆動電圧（正のバイアス電圧あるいは負のバイアス電圧）を供給するゲートドライバ１４０に接続される。
図１に示すインタフェース部１００は、表示制御装置１１０と電源回路１２０とから構成される。
表示制御装置１１０は、１個の半導体集積回路（ＬＳＩ）から構成され、コンピュータ本体側から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ（Ｒ・Ｇ・Ｂ）を基に、ドレインドライバ１３０、および、ゲートドライバ１４０を制御・駆動する。
【００１１】
表示制御装置１１０は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、スタートパルス（表示データ取込開始信号）を信号線１３５を介して第１番目のドレインドライバ１３０に出力し、さらに、受け取った単純１列の表示データを、表示データのバスライン１３３を介してドレインドライバ１３０に出力する。
その際、表示制御装置１１０は、各ドレインドライバ１３０のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック（ＣＬ２）（以下、単に、クロック（ＣＬ２）と称する。）を信号線１３１を介して出力する。
本体コンピュータ側からの表示データは６ビットで、１画素単位、即ち、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の各データを１つの組にして単位時間毎に転送される。
表示制御装置１１０は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、１水平分の表示データが終了したものとして、各ドレインドライバ１３０におけるデータラッチ回路に蓄えていた表示データを液晶表示パネル１０のドレイン信号線（Ｄ）に出力するための表示制御信号である出力タイミング制御用クロック（ＣＬ１）（以下、単にクロック（ＣＬ１）と称する。）を信号線１３２を介して各ドレインドライバ１３０に出力する。
また、表示制御装置１１０は、垂直同期信号入力後に、第１番目のディスプレイタイミング信号が入力されると、これを第１番目の表示ラインと判断して信号線１４２を介してゲートドライバ１４０にフレーム開始指示信号を出力する。
さらに、表示制御装置１１０は、水平同期信号に基づいて、１水平走査時間毎に、順次液晶表示パネル１０の各ゲート信号線（Ｇ）に正のバイアス電圧を印加するように、信号線１４１を介してゲートドライバ１４０へ１水平走査時間周期のシフトクロックであるクロック（ＣＬ３）を出力する。
これにより、液晶表示パネル１０の各ゲート信号線（Ｇ）に接続された複数の薄膜トランジスタ（ＴＦＴ）が、１水平走査時間の間導通する。
以上の動作により、液晶表示パネル１０に画像が表示される。
【００１２】
図１に示す電源回路１２０は、電圧生成回路１２１、コモン電極（対向電極）電圧生成回路１２３、ゲート電極電圧生成回路１２４から構成される。
電圧生成回路１２１は直列抵抗分圧回路で構成され、９値の階調基準電圧（Ｖ０～Ｖ８）を出力し、各ドレインドライバ１３０に供給する。
また、各ドレインドライバ１３０には、表示制御装置１１０からの交流化信号（交流化タイミング信号；Ｍ）も、信号線１３５を介して供給される。
コモン電極電圧生成回路１２３はコモン電極（ＩＴＯ２）に印加する駆動電圧を、ゲート電極電圧生成回路１２４は薄膜トランジスタ（ＴＦＴ）のゲート電極に印加する駆動電圧（正のバイアス電圧および負のバイアス電圧）を生成する。
【００１３】
図４は、図１に示す液晶表示パネル１０の周囲に配置されるドレインドライバ１３０の配置状態を示す斜視図である。
図４に示すように、液晶表示パネル１０の周囲には、液晶表示パネル１０の辺に沿って、駆動回路基板（ＰＣＢ１）が実装される。
この駆動回路基板（ＰＣＢ１）には、テープキャリアパッケージ（ＴＣＰ）、コンデンサ

等の電子部品が実装されており、このテープキャリアパッケージ（ＴＣＰ）には、ドレインドライバ１３０を構成する半導体チップ（以下、単に、半導体チップと称する。）（ＩＣ）が実装されている。
図５は、図４に示すテープキャリアパッケージ（ＴＣＰ）の概略構成を示す図であり、同図（ａ）は平面図を、同図（ｂ）は要部断面を示す断面図である。
図５に示すように、テープキャリアパッケージ（ＴＣＰ）のインナーリード（ＩＮＲ）と、半導体チップ（ＩＣ）の各バンプ電極（ＢＭＰ）とが、電気的・機械的に接続される。
図６は、本実施の形態の半導体チップ（ＩＣ）における、バンプ電極（ＢＭＰ）の配置を示す図である。
同図に示すように、半導体チップ（ＩＣ）の周辺には、複数個のバンプ電極（ＢＭＰ）が形成される。
ここで、このバンプ電極（ＢＭＰ）は、入力側バンプ電極（例えば、２０個程度）と、ドレイン信号（Ｄ）に接続される出力側バンプ電極（例えば、３８４個）とに分けられる。
【００１４】
図６に示すように、この各バンプ電極（ＢＭＰ）には、外部から半導体チップ（ＩＣ）に入力されるノイズから、内部回路を保護するための保護ダイオード（ＤＯ１，ＤＯ２）対が接続される。
ここで、正のノイズを吸収するための保護ダイオード（ＤＯ１）は、そのカソード電極が電源電位（第１の基準電位）に接続され、アノード電極が各バンプ電極（ＢＭＰ）に電気的に接続される。
また、負のノイズを吸収するための保護ダイオード（ＤＯ２）は、そのカソード電極が各バンプ電極（ＢＭＰ）に接続され、アノード電極が接地電位（第２の基準電位）に電気的に接続される。
なお、図６において、一対の保護ダイオード（ＤＯ１，ＤＯ２）は、半導体チップ（ＩＣ）の内部に形成されることは言うまでもない。
図７は、本実施の形態の半導体チップ（ＩＣ）のバンプ電極（ＢＭＰ）と、一対の保護ダイオード（ＤＯ１，ＤＯ２）の素子形成領域との関係を示す図である。
また、図８は、従来の半導体チップ（ＩＣ）のバンプ電極（ＢＭＰ）と、一対の保護ダイオード（ＤＯ１，ＤＯ２）の素子形成領域との関係を示す図である。
従来の半導体チップ（ＩＣ）では、バンプ電極（ＢＭＰ）の近傍に、一対の保護ダイオード（ＤＯ１，ＤＯ２）の素子形成領域を配置していた。
これに対して、本実施の形態では、一対の保護ダイオード（ＤＯ１，ＤＯ２）の素子形成領域上に、例えば、材料として金を用いるバンプ電極（ＢＭＰ）が形成される。
これにより、本実施の形態では、半導体チップ（ＩＣ）の短手方向（図６に示すＹ方向）の長さを短くすることができる。
【００１５】
図９は、図７に示すＡ－Ａ’切断線に沿う断面構造を示す断面図である。
同図において、２０はｐ型基板であり、ｐ型基板２０内に、ｎ型ウェル領域（カソード領域）２１が形成され、このｎ型ウェル領域２１内に、ｐ型半導体領域（アノード領域）２２と、ｎ型ウェル給電領域２３とが形成される。
このｐ型半導体領域２２とｎ型ウェル領域２１とで、ダイオード（ＤＯ１）が構成される。
２４はフィールド絶縁膜（ＬＯＣＯＳ）であり、このフィールド絶縁膜２４上に、第１の層間絶縁膜２５が形成され、この第１の層間絶縁膜２５上に、第１のメタル層（導電層）２６と、第２のメタル層２７とが形成される。
この第１のメタル層２６は、第１の層間絶縁膜２５に形成された複数の第３の接続孔（ＴＣ３）により、ｎ型ウェル給電領域２３と電気的に接続され、この第１のメタル層２６は、電源電位（ＶDD）が供給される電源ライン（配線）と接続される。
また、第２のメタル層２７は、第１の層間絶縁膜２５に形成された複数の第１の接続孔（ＴＣ１）により、ｐ型半導体領域２２と電気的に接続される。

この第１および第２のメタル層（２６，２７）上に、第２の層間絶縁膜２８が形成され、この第２の層間絶縁膜２８上に、配線層２９が形成される。
この配線層２９は、第２の層間絶縁膜２８に形成された複数の第２の接続孔（ＴＣ２）により、第２のメタル層２７と接続される。
この場合に、この第２の接続孔（ＴＣ２）は、第１の接続孔（ＴＣ１）が形成される領域の外側の領域に設けられる。
配線層２９上には、第３の層間絶縁膜３０と保護膜３１とが形成される。
この第３の層間絶縁膜３０と保護膜３１とにより、第２の接続孔（ＴＣ２）部の配線層２９のカバレッジの薄い箇所を保護することができる。
また、第３の層間絶縁膜３０と保護膜３１とには、開口部（ＳＴＣ）が形成され、この開口部（ＳＴＣ）を介して、バンプ電極（ＢＭＰ）と配線層２９とが電気的に接続される。
ここで、第２の接続孔（ＴＣ２）は、バンプ電極（ＢＭＰ）の下に設けられる。
なお、配線層２９は、半導体チップ（ＩＣ）内部まで延長される。
また、第２のダイオード（ＤＯ２）は、ｎ型ウェル領域２１、ｐ型半導体領域２２、およびｎ型ウェル給電領域２３に代えて、それぞれｐ型ウェル領域、ｎ型半導体領域、およびｐ型ウェル給電領域を設けて構成される。
但し、第２のダイオード（ＤＯ２）では、第１のメタル層２６が、接地電位（ＧＮＤ）が供給される接地ライン（配線）と接続される。

【００１６】

このように、本実施の形態の半導体チップ（ＩＣ）では、第１の保護ダイオード（ＤＯ１）のアノード領域上で、開口部（ＳＴＣ）および開口部（ＳＴＣ）の周辺の保護膜３１上に、バンプ電極（ＢＭＰ）を設け、さらに、複数の第２の接続孔（ＴＣ２）をバンプ電極（ＢＭＰ）の下に形成するようにしたので、複数の第２の接続孔（ＴＣ２）を形成するための領域を別に設ける必要がないので、バンプ電極（ＢＭＰ）のサイズを大きくして、半導体チップ（ＩＣ）のチップサイズを小さくすることが可能となる。
一般に、液晶表示パネルの高画質化の要求から、映像信号線（Ｄ）とドレインドライバ１３０との間の接続抵抗値を低減することが要求されるが、本実施の形態の半導体チップ（ＩＣ）によれば、バンプ電極（ＢＭＰ）のサイズを大きくすることができるので、映像信号線（Ｄ）とドレインドライバ１３０との間の接続抵抗値を低減することが可能となる。

【００１７】

さらに、小さな接続孔（例えば、２μｍ程度）から成る複数の第２の接続孔（ＴＣ２）を、分散して配置するようにしたので、バンプ電極（ＢＭＰ）の表面の平坦度を上げることができる。
バンプ電極（ＢＭＰ）を、第１のダイオード（ＤＯ１）の素子形成領域（即ち、アノード領域）上に形成する場合には、バンプ電極（ＢＭＰ）と、テープキャリアパッケージ（ＴＣＰ）のインナーリード（ＩＮＲ）とを熱圧着する際に、過度の加圧力を印加できないので、バンプ電極（ＢＭＰ）の表面の平坦度が悪いと、バンプ電極（ＢＭＰ）とインナーリード（ＩＮＲ）との接着不良が生じる。
しかしながら、本実施の形態の半導体チップ（ＩＣ）では、バンプ電極（ＢＭＰ）の表面の平坦度を向上（あるいは、バンプ電極（ＢＭＰ）とインナーリード（ＩＮＲ）との接触面積を増加）させることができるので、前記したバンプ電極（ＢＭＰ）とインナーリード（ＩＮＲ）との接着不良を防止することができる。
また、第１および第２のダイオード（ＤＯ１，ＤＯ２）は、同一面積で、かつ同一形状とされているので、開口部（ＳＴＣ）は、第１および第２のダイオード（ＤＯ１，ＤＯ２）の何方にも設けることができる。
即ち、本実施の形態の半導体チップ（ＩＣ）では、バンプ電極（ＢＭＰ）を、第１ダイオード（ＤＯ１）、あるいは第２のダイオード（ＤＯ２）上に設けることが可能となる。

【００１８】

図１０は、本実施の形態の半導体チップ（ＩＣ）の変形例を示す図である。
この図１０に示す半導体チップ（ＩＣ）では、第２の接続孔（ＴＣ２）が、溝状に形成さ

れている点で、前記図７に示す半導体チップ（ＩＣ）と相違する。
この図１０に示す構造でも、前記と同様な効果を得ることが可能である。
図１１、図１２は、本実施の形態の半導体チップ（ＩＣ）と、テープキャリアパッケージ（ＴＣＰ）のインナーリード（ＩＮＲ）とを接続した状態を示す図である。
図１１に示すように、バンプ電極（ＢＭＰ）を第１のダイオード（ＤＯ１）上に配置した場合には、半導体チップ（ＩＣ）の短手方向（図１１のＹ方向）の長さを、従来の半導体チップ（ＩＣ）より短くできることは前記した通りである。
しかしながら、隣接するバンプ電極（ＢＭＰ）間の短絡不良を防止するために、隣接するバンプ電極（ＢＭＰ）の間の距離には一定の制約があり、半導体チップ（ＩＣ）の長手方向（図１１のＸ方向）の長さはあまり短くすることができない。
これに対して、図１２に示すように、バンプ電極（ＢＭＰ）を千鳥配置とした場合には、千鳥配置の隣接するバンプ電極（ＢＭＰ）の間の距離を約６０μｍ以上とすることにより、保護ダイオード（ＤＯ１，ＤＯ２）の間の距離を、インナーリード（ＩＮＲ）の強度、あるいは加工状の制約で決まる距離まで短く（狭ピッチ化）することができ、半導体チップ（ＩＣ）の長手方向（図１２のＸ方向）の長さを、従来より短くすることが可能となる。
なお、前記実施の形態では、本発明を、テープキャリアパッケージ（ＴＣＰ）に適用した場合について説明したが、本発明は、これに限定されるものではなく、例えば、図１３に示すチップオンフィルム（ＣＯＦ）にも適用可能であることは言うまでもない。
なお、図１３は、チップオンフィルム（ＣＯＦ）の概略構成を示す図であり、同図（ａ）は平面図を、同図（ｂ）は要部断面を示す断面図である。
【００１９】
図１４は、図１に示すドレインドライバ１３０の一例の概略構成を示すブロック図である。
なお、ドレインドライバ１３０は、１個の半導体集積回路（ＬＳＩ）から構成される。
同図において、階調電圧生成回路１５１は、直列抵抗分圧回路で構成され、電圧生成回路１２１から入力される９値の階調基準電圧（Ｖ０～Ｖ８）の中の隣接する階調電圧（例えば、Ｖ０とＶ１の間、Ｖ１とＶ２の間）を８分圧して、６４階調の階調電圧を生成し、電圧バスライン１５８を介して出力回路１５７に出力する。
また、ドレインドライバ１３０の制御回路１５２内のシフトレジスタ回路１５３は、表示制御装置１１０から入力されるクロック（ＣＬ２）に基づいて、入力レジスタ回路１５４のデータ取り込み用信号を生成し、入力レジスタ回路１５４に出力する。
入力レジスタ回路１５４は、シフトレジスタ回路１５３から出力されるデータ取り込み用信号に基づき、表示制御装置１１０から入力されるクロック（ＣＬ２）に同期して、各色毎６ビットの表示データを出力本数分だけラッチする。
ストレージレジスタ回路１５５は、表示制御装置１１０から入力されるクロック（ＣＬ１）に応じて、入力レジスタ回路１５４内の表示データをラッチする。
このストレージレジスタ回路１５５に取り込まれた表示データは、レベルシフト回路１５６を介して出力回路１５７に入力される。
出力回路１５７は、６４階調の階調電圧に基づき、表示データに対応した１つの階調電圧（６４階調の中の１つの階調電圧）を選択して、各ドレイン信号線（Ｄ）に出力する。
図１５は、図１４に示す出力回路１５７の概略構成を示すブロック図である。
同図に示すように、図１４に示す出力回路１５７は、デコーダ回路１６０と出力アンプ回路１６１で構成される。
なお、この図１５では、信号の流れを、図１４とは逆に表している。
【００２０】
図１６は、従来のドレインドライバ１３０の階調電圧生成回路１５１の半導体チップ内のレイアウト構成を示す平面図である。
同図に示すように、従来の階調電圧生成回路１５１では、電圧バスライン１５８を構成する複数のアルミニウム（以下、単に、ＡＬと称する。）配線５０と、各階調基準電位間を

分圧するための各分圧抵抗を構成するポリーシリコン（以下、単に、Ｐｏｌｙ－Ｓｉと称する。）抵抗層５１から構成される。
この場合に、各ＡＬ配線５０と、Ｐｏｌｙ－Ｓｉ抵抗５１とは、層間絶縁膜を介して設けられる。
また、各分圧抵抗の抵抗値は、ＡＬ配線５０とＰｏｌｙ－Ｓｉ抵抗層５１とを平行に配置し、Ｐｏｌｙ－Ｓｉ抵抗層５１をＡＬ配線５０のピッチにあわせた場合、接続孔（ＣＯＮＴ）の位置によって決定する。
しかしながら、従来の階調電圧生成回路１５１では、出力回路１５７内のデコーダ回路１６０がある階調電圧を選択した時に、直列抵抗分圧回路及びデコーダ回路１６０の充放電時間を短くするために、直列分圧抵抗の抵抗値を小さくすると、直列分圧抵抗を流れる充放電電流が大きくなる。
各分圧抵抗を構成するＰｏｌｙ－Ｓｉ抵抗層５１には電流許容量があり、Ｐｏｌｙ－Ｓｉ抵抗層５１の幅が細いと電流許容量を超え融解する危険があった。
一方、近年、液晶表示装置の狭額縁化に伴い、ドレインドライバ１３０を構成する半導体チップ（ＩＣ）のチップサイズ縮小の要求があり、さらに、多階調化に伴って分割する抵抗の数が増え、且つ抵抗値の精度も上げる必要があり、抵抗値の設定が重要になってきている。
しかしながら、従来の階調電圧生成回路１５１では、各分圧抵抗を構成するＰｏｌｙ－Ｓｉ抵抗層５１の抵抗値の設定、変更等の場合に、複雑で多くの時間が必要であった。
さらに、ＡＬ配線５０とＰｏｌｙ－Ｓｉ抵抗層５１の配置によっては、ＡＬ配線５０が多層になり、Ｐｏｌｙ－Ｓｉ抵抗層５１のスペースにＡＬ配線が使えなくなり、有効活用ができなくなるという欠点があった。
【００２１】
図１７は、本実施の形態の階調電圧生成回路１５１の半導体チップ（ＩＣ）内のレイアウト構成を示す平面図である。
図１８は、本実施の形態の階調電圧生成回路１５１の半導体チップ（ＩＣ）内の要部断面構造を示す断面図である。
本実施の形態の階調電圧生成回路１５１では、電圧バスライン１５８を構成する複数のＡＬ配線５０に対して、層間絶縁膜５２を介して形成され、各分圧抵抗を構成するＰｏｌｙ－Ｓｉ抵抗層５１を略垂直に配置し、接続孔（ＣＯＮＴ）により、ＡＬ配線５０とＰｏｌｙ－Ｓｉ抵抗層５１とを電気的に接続する。
これにより、Ｐｏｌｙ－Ｓｉ抵抗層５１の幅は、ＡＬ配線５０のピッチに無関係とすることができるので、Ｐｏｌｙ－Ｓｉ抵抗層５１の幅を最適な幅とするこができる。
また、Ｐｏｌｙ－Ｓｉ抵抗層５１全体は、一つの抵抗層として切れ目なくつながっているが、一つの抵抗に一つの折り返し部分をもつことで、各分割抵抗は一つ一つは独立となっている。
このように、本実施の形態の階調電圧生成回路１５１によれば、ＡＬ配線５１に対し、Ｐｏｌｙ－Ｓｉ抵抗層５１を垂直に配置することで、Ｐｏｌｙ－Ｓｉ抵抗層５１の電流許容量に応じた最適なＰｏｌｙ－Ｓｉ抵抗層５１の幅を、ＡＬ配線５０の配線ピッチに依存することなく形成することが可能となる。
また、ＡＬ配線５０、およびＰｏｌｙ－Ｓｉ抵抗層５１の２層のみで実現可能であるため、その他の層をＰｏｌｙ－Ｓｉ抵抗層５１以外に有効に活用できる。
さらに、Ｐｏｌｙ－Ｓｉ抵抗層５１全体は、一つの抵抗として切れ目なくつながっているが、分割される抵抗１つ１つは独立に設定可能であり、その上、ＡＬ配線５０、およびＰｏｌｙ－Ｓｉ抵抗層５１の２層のみで実現可能であるため、各分割抵抗の抵抗値の修正、変更等が容易となる。
【００２２】
図１９は、従来のドレインドライバ１３０のデコーダ回路１６０の構成を示す図である。
図１９に示すデコーダ回路１６０は、ＮＭＯＳデコーダ２６１とＰＭＯＳデコーダ２６２で構成される相補型デコーダで、その出力は、対応するドレイン端子（Ｄ）に接続される

１本の出力端子に対応した出力アンプ回路１６１に入力される。
ＮＭＯＳデコーダ２６１は、６個のエンハンスメントＮＭＯＳトランジスタ（以下、単に、ＮＭＯＳと称する。）と、６個のデプレッションＮＭＯＳとが直列に接続されて構成され、ＰＭＯＳデコーダ２６２は、６個のエンハンスメントＰＭＯＳトランジスタ（以下、単に、ＰＭＯＳと称する。）と、６個のデプレッションＰＭＯＳとが直列に接続されて構成される。
ＮＭＯＳデコーダ２６１、およびＰＭＯＳデコーダ２６２は、これらトランジスタ列を６４個有し、各トランジスタ列の両端には、電圧バスライン１５８から出力される６４階調の電圧が入力される。
また、トランジスタ列の各ＭＯＳのゲート電極には、表示データの各ビットの正相データ（Ｄ０，Ｄｌ，・・），あるいは反転データ（／Ｄ０，／Ｄｌ，・・）が、所定の組合せの基に印加され、それにより、６４階調電圧の内１つの階調電圧を選択する。
例えば、表１に示すデコード表において、表示データに対応して、ＮＭＯＳデコーダ２６１の各ＭＯＳトランジスタ（以下、単に、ＭＯＳと称する。）は、正相データが印加されるＮＭＯＳの表示データが０ならばデプレッションＮＭＯＳ、表示データが１ならばエンハンスメントＮＭＯＳで構成し、反転データが印加されるＮＭＯＳは、表示データとＮＭＯＳの組合せをその逆とする。
また、ＰＭＯＳデコーダ２６２の各ＭＯＳは、正相データが印加されるＰＭＯＳの表示データが０ならばエンハンスメントＰＭＯＳ、表示データが１ならばデプレッションＰＭＯＳで構成し、反転データが印加されるＰＭＯＳはその逆とする。
【００２３】
【表１】

階調電圧	表示データ					
	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	0
2	0	0	0	0	0	1
3	0	0	0	0	1	0
4	0	0	0	0	1	1
5	0	0	0	1	0	0
6	0	0	0	1	0	1
7	0	0	0	1	1	0
8	0	0	0	1	1	1
9	0	0	1	0	0	0
10	0	0	1	0	0	1
11	0	0	1	0	1	0
12	0	0	1	0	1	1
13	0	0	1	1	0	0
14	0	0	1	1	0	1
15	0	0	1	1	1	0
16	0	0	1	1	1	1
17	0	1	0	0	0	0
18	0	1	0	0	0	1
19	0	1	0	0	1	0
20	0	1	0	0	1	1
21	0	1	0	1	0	0
22	0	1	0	1	0	1
23	0	1	0	1	1	0
24	0	1	0	1	1	1
25	0	1	1	0	0	0
26	0	1	1	0	0	1
27	0	1	1	0	1	0
28	0	1	1	0	1	1
29	0	1	1	1	0	0
30	0	1	1	1	0	1
31	0	1	1	1	1	0
32	0	1	1	1	1	1
33	1	0	0	0	0	0
34	1	0	0	0	0	1
35	1	0	0	0	1	0
36	1	0	0	0	1	1
37	1	0	0	1	0	0
38	1	0	0	1	0	1
39	1	0	0	1	1	0
40	1	0	0	1	1	1
41	1	0	1	0	0	0
42	1	0	1	0	0	1
43	1	0	1	0	1	0
44	1	0	1	0	1	1
45	1	0	1	1	0	0
46	1	0	1	1	0	1
47	1	0	1	1	1	0
48	1	0	1	1	1	1
49	1	1	0	0	0	0
50	1	1	0	0	0	1
51	1	1	0	0	1	0
52	1	1	0	0	1	1
53	1	1	0	1	0	0
54	1	1	0	1	0	1
55	1	1	0	1	1	0
56	1	1	0	1	1	1
57	1	1	1	0	0	0
58	1	1	1	0	0	1
59	1	1	1	0	1	0
60	1	1	1	0	1	1
61	1	1	1	1	0	0
62	1	1	1	1	0	1
63	1	1	1	1	1	0
64	1	1	1	1	1	1

【００２４】

近年、液晶表示装置は、ますます大画面化、高精細化される傾向にあり、これに使用するドレインドライバ１３０の出力端子数も増加しており、各出力端子毎にデコーダ回路１６０、出力アンプ回路１６１などを必要とするため、出力端子数増加とともに、半導体チップ（ＩＣ）のチップサイズが増大する。

さらに、図１９に示す従来のデコーダ回路１６０は、ＮＭＯＳ、ＰＭＯＳが、それぞれ１２個直列接続されているため、階調電圧選択時のデコーダ回路１６０のオン抵抗が大きくなり、大画面化、高精細化による高速動作や画質への影響も避けられない。
図２０は、本実施の形態のドレインドライバ１３０のデコーダ回路１６０の構成を示す図である。
本実施の形態の６ビットのデコーダ回路１６０では、上位ビット（Ｄ５，Ｄ４）をそれぞれエンハンスメントＭＯＳ１個で、また、下位ビットをそれぞれ正相データ（Ｄ３，Ｄ２，Ｄｌ，ＤＯ）、および、その反転データ（／Ｄ３，／Ｄ２，／Ｄｌ，／ＤＯ）に対応して、エンハンスメントＭＯＳあるいはデプレッションＭＯＳの２個で構成する。
表１に示すデコード表において、最上位ビットＤ５は、階調電圧３２と階調電圧３３との間で、表示データが０から１へ変化し、２番目の上位ビットＤ４は、階調電圧１６と階調電圧１７との間で、表示データが０から１へ、階調電圧３２と階調電圧３３との間で、表示データが１から０へ、階調電圧４８と階調電圧４９との間で、表示データが０から１へ変化する。
この表示データが変化するデータ列を境として、上位ビット（Ｄ５，Ｄ４）を制御するＭＯＳのゲート電極へ、ＮＭＯＳデコーダ２６１では、表示データが１のとき正相データを、表示データが０のとき反転データを印加するように切り替え、ＰＭＯＳデコーダ２６２では、その逆の表示データを印加することで、上位ビット（Ｄ５，Ｄ４）において、１ビットあたリＮＭＯＳ，ＰＭＯＳｌ個づつのエンハンスメントＭＯＳで実現できる。
これにより、相補型のデコーダでは、１階調電圧あたリ４個のＭＯＳを削減でき、さらに、同様な方法により、Ｄ３ビットにも適用すれば、６個のＭＯＳが削減できる。
【００２５】
図２１は、半導体チップ（ＩＣ）内の、図２０に示すデコーダ回路１６０のレイアウト構成を説明するための概念図である。
なお、図２１では、ＮＭＯＳデコーダ２６１の場合のレイアウト構成を示している。
同図に示すように、６４個のＮ型拡散層６０と、このＮ型拡散層６０に対して垂直で、ほぼ等間隔に配置される１０本のＰｏｌｙ－Ｓｉゲート電極６１によリエンハンスメントＮＭＯＳとデプレッションＮＭＯＳを合わせて１０個形成する。
また、Ｎ型拡散層６０の一方を接続孔６５により、１層目のＡＬ配線６２に接続してデコーダ出力とし、Ｎ型拡散層６０の他方を接続孔６５と１層目のＡＬ配線６２および接続孔６６により、２層目のＡＬ配線６３で構成される電圧バスライン１５８と接続する。
下位ビット（ＤＯ～Ｄ３）のゲート電極は、それぞれ１本の連続したデータバスであり、６４個の拡散層と交差してＭＯＳを形成し、上位ビット（Ｄ５，Ｄ４）のゲート電極は、前記のデータの切り替わりを境に、１層日のＡＬ配線６２で形成される、それぞれ正相データ、及び反転データのデータバス６４と接続孔６５により切り替え接続する。
これにより、Ｙ方向に対して、ａ，ｂ，ｃの３箇所のわずかなコンタクト領域を確保するだけで、１２個のＭＯＳで構成される従来のＮＭＯＳデコーダ回路２６１を、１０個のＭＯＳで構成されるＮＭＯＳデコーダ回路２６１を構成できるので、デコーダ回路１６０のレイアウト面積を縮小することができる。
これにより、半導体チップ（ＩＣ）のＸ方向（図６に示すＸ方向）の長さを短くすることが可能となる。
また、ＭＯＳを統合するビットをＤ３，Ｄ２ビットと増加することにより、さらにＸ方向のレイアウト面積は縮小できることは明らかであるが、その一方で、ゲート電極を切り替えるためのコンタクト領域が増加し、Ｙ方向の長さが長くなるで、ＭＯＳを統合するビットを増加させることは、Ｘ方向の長さとＹ方向の長さとを勘案して最適化を図る必要がある。
このように、本実施の形態のデコーダ回路１６０によれば、相補型デコーダ回路１６０内の直列に接続されるトランジスタ数を低減できるため、１出力当たりのデコーダ回路１６０のレイアウト面積を小さくでき、多出力となっても比較的チップサイズを小さくできる。

また、相補型デコーダ回路１６０内の直列に接続されるトランジスタ数を低減できるため、オン抵抗を小さくでき、出力電圧を短い時間で安定した電圧レベルに到達させることができる。

【００２６】

図２２は、本実施の形態のＴＦＴ方式の液晶表示モジュールの一例の構成部品を示す分解斜視図である。

図２２において、ＳＨＤは金属板から成る枠状のシールドケース（メタルフレーム）、ＬＣＷはシールドケース（ＳＨＤ）の表示窓、ＳＰＢは光拡散板、ＬＣＢは導光体、ＲＭは反射板、ＢＬはバックライト蛍光管、ＬＣＡはバックライトケースである。

また、液晶表示パネル（ＴＦＴ－ＬＣＤ）の周囲には、駆動回路基板（ＰＣＢ１，ＰＣＢ２）が実装される。

この駆動回路基板（ＰＣＢ１，ＰＣＢ２）は、それぞれ液晶表示パネル（ＴＦＴ－ＬＣＤ）の辺に沿って設けられ、各駆動回路基板（ＰＣＢ１，ＰＣＢ２）はフラットケーブル（図示せず）により電気的に接続される。

駆動回路基板（ＰＣＢ１）には、テープキャリアパッケージ（ＴＣＰ）、コンデンサ等の電子部品が実装されており、この駆動回路基板（ＰＣＢ１）はドレインドライバ５３０用とゲートドライバ５４０用の２つに分割されている。

駆動回路基板（ＰＣＢ２）には、半導体集積回路（ＩＣ）、コンデンサあるいは抵抗等の電子部品が実装されており、この駆動回路基板（ＰＣＢ２）は、図１に示すインタフェース基板１００を構成する。

【００２７】

図２１に示すシールドケース（ＳＨＤ）、周囲に駆動回路基板（ＰＣＢ１，ＰＣＢ２）が実装された液晶表示パネル（ＴＦＴ－ＬＣＤ）、光拡散板（ＳＰＢ）、導光体（ＬＣＢ）、反射板（ＲＭ）、バックライト蛍光管（ＢＬ）およびバックライトケース（ＬＣＡ）が、図に示す配置関係で積み重ねられて本実施の形態の液晶表示モジュールが組み立てられる。

本実施の形態の液晶表示モジュールは、シールドケース（ＳＨＤ）に設けられた爪とフックによって全体が固定されるようになっている。

バックライトケース（ＬＣＡ）は、バックライト蛍光管（ＢＬ）、光拡散板（ＳＰＢ）、導光体（ＬＣＢ）、反射板（ＲＭ）を収納する形状になっており、導光体（ＬＣＢ）の側面に配置されたバックライト蛍光管（ＢＬ）の光を、導光体（ＬＣＢ）、反射板（ＲＭ）、光拡散板（ＳＰＢ）により表示面で一様なバックライトにし、液晶表示パネル（ＴＦＴ－ＬＣＤ）側に出射する。

バックライト蛍光管（ＢＬ）にはインバータ回路基板（ＰＣＢ３）が接続されており、バックライト蛍光管（ＢＬ）の電源となっている。

【００２８】

前記バックライト蛍光管（ＢＬ）からの照射光は、バックライト側の偏光板、一対のガラス基板に注入封止された液晶層（ＬＣ）および表側の偏光板を透過して、液晶表示パネル（ＴＦＴ－ＬＣＤ）から放射される。

【００２９】

そして、シールドケース（ＳＨＤ）の表示窓（ＬＣＷ）の領域が、液晶表示モジュールの表示領域を構成し、この液晶表示モジュールの表示領域以外の領域、即ち、シールドケース（ＳＨＤ）の表示窓の周囲の領域を、通常額縁と称する。

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【００３０】

【発明の効果】

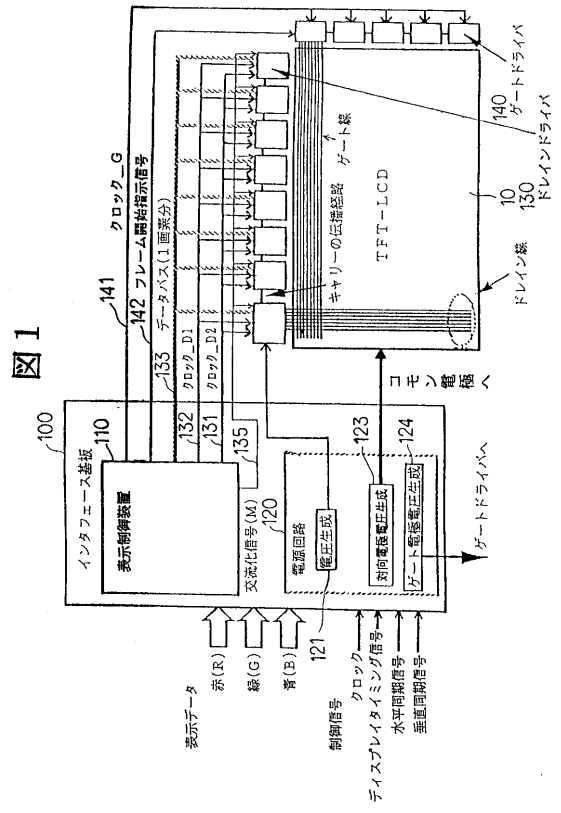
本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

（１）本発明によれば、映像信号線駆動手段内の半導体チップのチップサイズを縮小することが可能となる。
（２）本発明によれば、液晶表示装置のさらなる狭額縁化、および低価格化を図ることが可能となる。
【図面の簡単な説明】
【図１】本発明の実施の形態のＴＦＴ方式の液晶表示モジュールの概略構成を示すブロック図である。
【図２】図１に示す液晶表示パネルの一例の等価回路を示す図である。
【図３】図１に示す液晶表示パネルの他の例の等価回路を示す図である。
【図４】図１に示す液晶表示パネルの周囲に配置されるドレインドライバの配置状態を示す斜視図である。
【図５】図４に示すテープキャリアパッケージ（ＴＣＰ）の概略構成を示す図である。
【図６】本実施の形態の半導体チップ（ＩＣ）における、バンプ電極（ＢＭＰ）の配置を示す図である。
【図７】本実施の形態の半導体チップ（ＩＣ）のバンプ電極（ＢＭＰ）と、一対の保護ダイオード（ＤＯ１，ＤＯ２）の素子形成領域との関係を示す図である。
【図８】従来の半導体チップ（ＩＣ）のバンプ電極（ＢＭＰ）と、一対の保護ダイオード（ＤＯ１，ＤＯ２）の素子形成領域との関係を示す図である。
【図９】図７に示すＡ－Ａ’線に沿う断面構造を示す断面図である。
【図１０】本実施の形態の半導体チップ（ＩＣ）の変形例を示す図である。
【図１１】本実施の形態の半導体チップ（ＩＣ）と、テープキャリアパッケージ（ＴＣＰ）のインナーリード（ＩＮＲ）とを接続した状態を示す図である。
【図１２】本実施の形態の半導体チップ（ＩＣ）と、テープキャリアパッケージ（ＴＣＰ）のインナーリード（ＩＮＲ）とを接続した状態を示す図である。
【図１３】チップオンフィルム（ＣＯＦ）の概略構成を示す図である。
【図１４】図１に示すドレインドライバの一例の概略構成示すブロック図である。
【図１５】図１４に示す出力回路の概略構成を示すブロック図である。
【図１６】従来のドレインドライバの階調電圧生成回路の半導体チップ内のレイアウト構成を示す平面図である。
【図１７】本実施の形態の階調電圧生成回路の半導体チップ（ＩＣ）内のレイアウト構成を示す平面図である。
【図１８】本実施の形態の階調電圧生成回路の半導体チップ（ＩＣ）内の要部断面構造を示す断面図である。
【図１９】従来のドレインドライバのデコーダ回路の構成を示す図である。
【図２０】本実施の形態のドレインドライバのデコーダ回路の構成を示す図である。
【図２１】半導体チップ（ＩＣ）内の、図２０に示すデコーダ回路のレイアウト構成を説明するための概念図である。
【図２２】本実施の形態のＴＦＴ方式の液晶表示モジュールの一例の構成部品を示す分解斜視図である。
【符号の説明】
１０…液晶表示パネル（ＴＦＴ－ＬＣＤ）、２０…ｐ型基板、２１…ｎ型ウェル領域（カソード領域）、２２…ｐ型半導体領域（アノード領域）、２３…ｎ型ウェル給電領域、２４…フィールド絶縁膜（ＬＯＣＯＳ）、２５，２８，３０，５２…層間絶縁膜、２６，２７…メタル層（導電層）、２９…配線層、３１…保護膜、５０，６２，６３…アルミニウム配線、５１…ポリ－シリコン抵抗層、６０…Ｎ型拡散層、６１…Ｐｏｌｙ－Ｓｉゲート電極、６４…データバス、６５，６６…接続孔、１００…インタフェース部、１１０…表示制御装置、１２０…電源回路、１２１…電圧生成回路、１２３…コモン電極（対向電極）電圧生成回路、１２４…ゲート電極電圧生成回路、１３０…ドレインドライバ、１３１，１３２，１３５，１４１，１４２…信号線、１３３…表示データのバスライン、１４０…ゲートドライバ、１５１…階調電圧生成回路、１５２…制御回路、１５３…シフトレジ

スタ回路、１５４…入力レジスタ回路、１５５…ストレージレジスタ回路、１５６…レベルシフト回路、１５７…出力回路、１５８…電圧バスライン、１６０…デコーダ回路、１６１…出力アンプ回路、２６１…ＮＭＯＳデコーダ、２６２…ＰＭＯＳデコーダ、ＬＣＭ…液晶表示モジュール、Ｄ…ドレイン信号線、Ｇ…ゲート信号線、ＴＦＴ…薄膜トランジスタ、ＩＴＯ１…画素電極、ＩＴＯ２…コモン電極、ＣLC…液晶容量、ＣADD…付加容量、ＣＯＭ…共通信号線、ＣＳＴＧ…保持容量、ＩＣ…半導体チップ、ＴＣＰ…テープキャリアパッケージ、ＩＮＲ…インナーリード、ＢＭＰ…バンプ電極、ＤＯ…保護ダイオード、ＴＣ，ＣＯＮＴ…接続孔、ＳＴＣ…開口部、ＣＯＦ…チップオンフィルム、ＮＭＯＳ…Ｎ型ＭＯＳトランジスタ、ＰＭＯＳ…Ｐ型ＭＯＳトランジスタ、ＳＨＤ…シールドケース（メタルフレーム）、ＬＣＷ…表示窓、ＳＰＢ…光拡散板、ＬＣＢ…導光体、ＲＭ…反射板、ＢＬ…バックライト蛍光管、ＬＣＡ…バックライトケース、ＰＣＢ…回路基板。

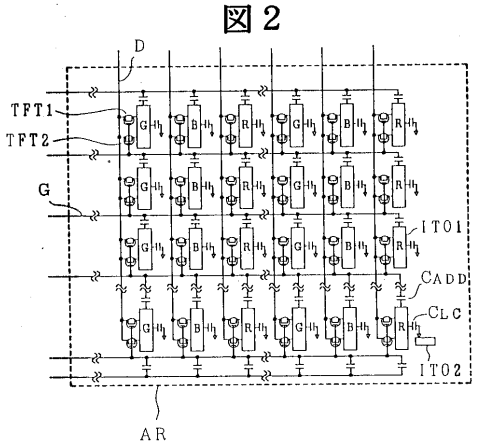
【図１】

図１



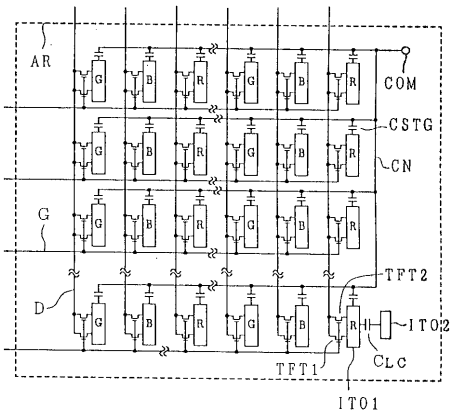
【図２】

図２



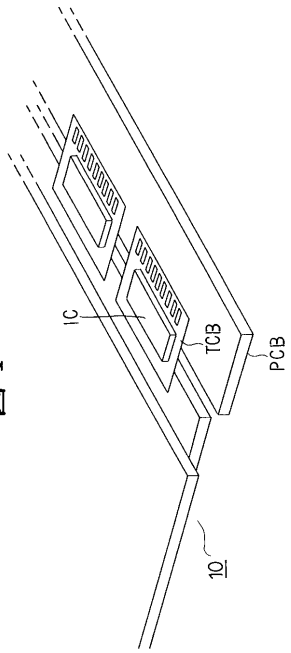
【図３】

図３



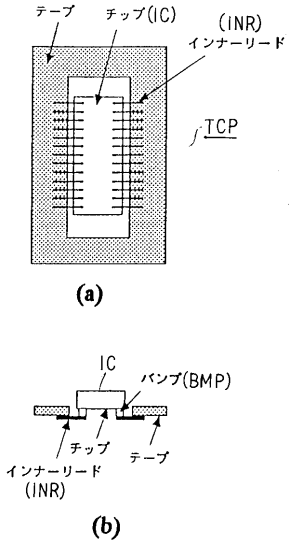
【図４】

図４



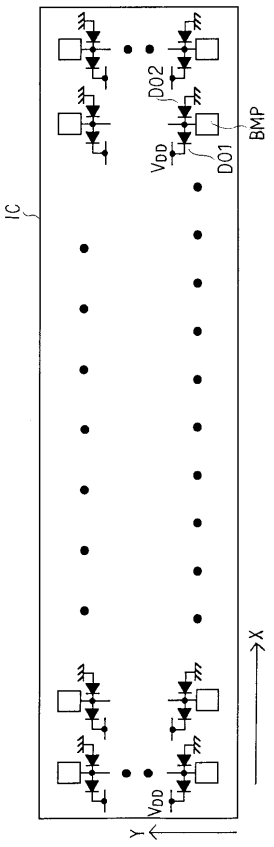
【図５】

図５



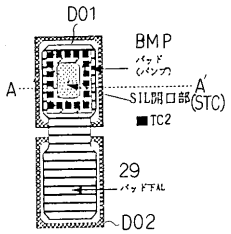
【図６】

図６



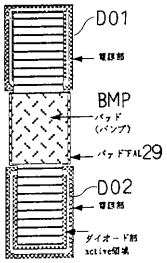
【図７】

図７



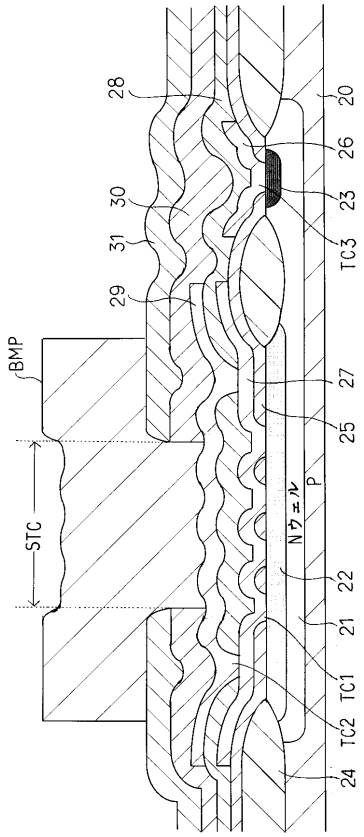
【図８】

図８



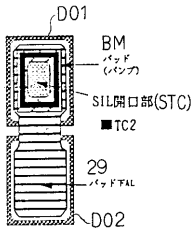
【図９】

図９



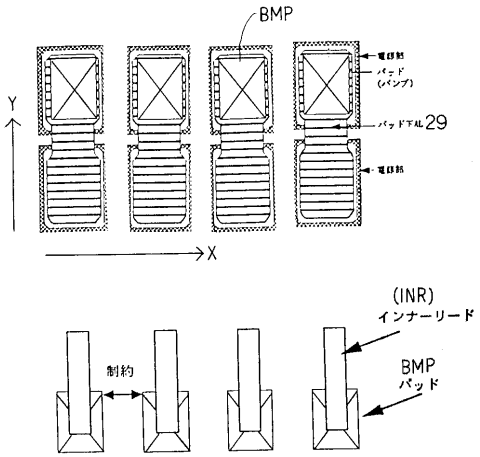
【図１０】

図１０



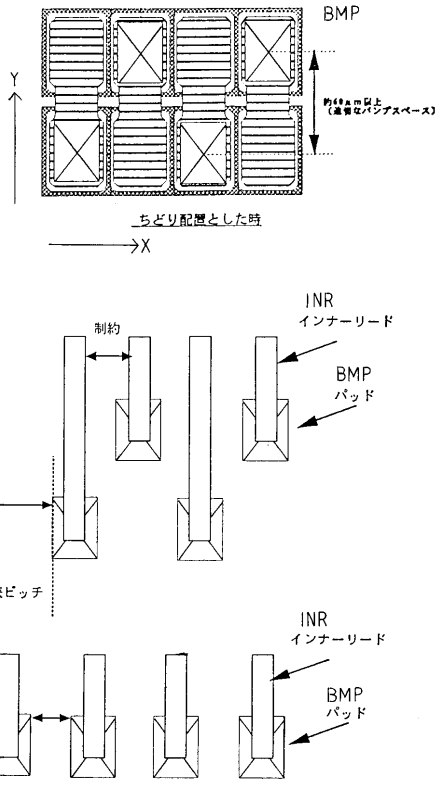
【図１１】

図１１



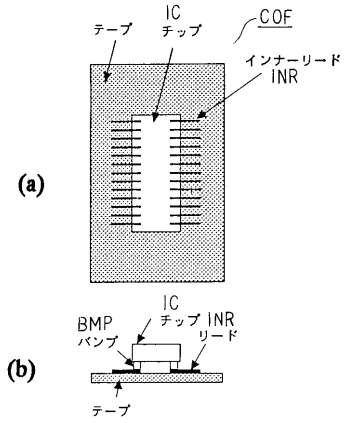
【図１２】

図１２



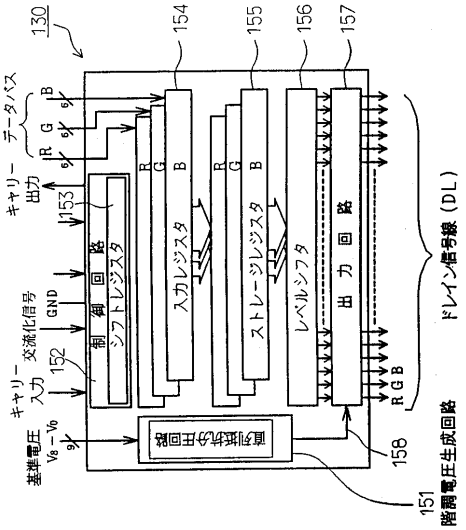
【図１３】

図１３



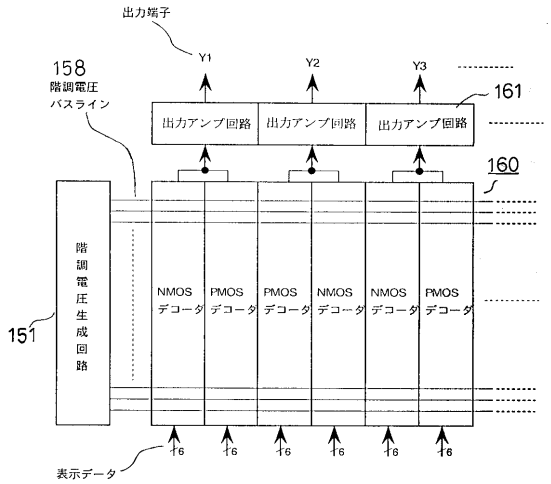
【図１４】

図１４



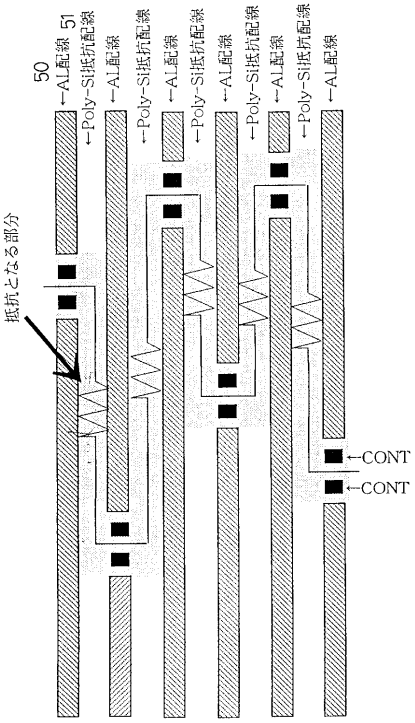
【図１５】

図１５



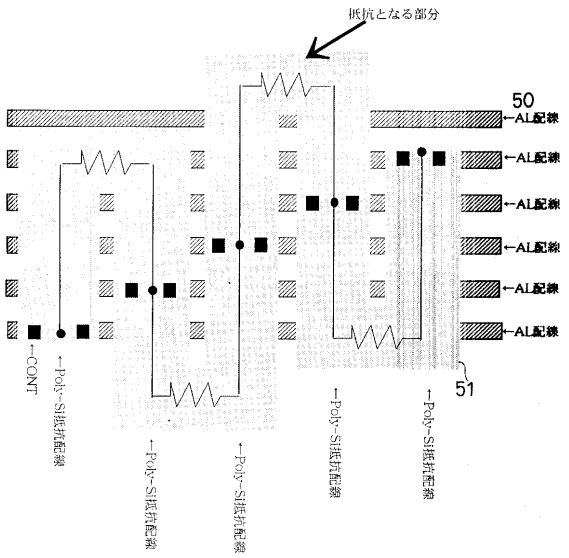
【図１６】

図１６



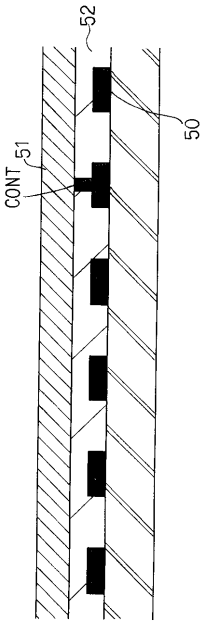
【図１７】

図１７



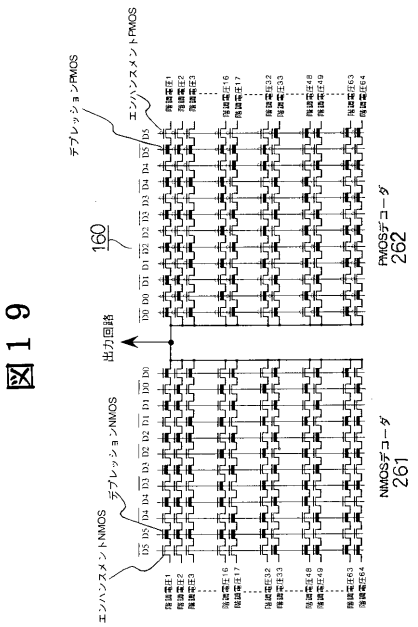
【図１８】

図１８



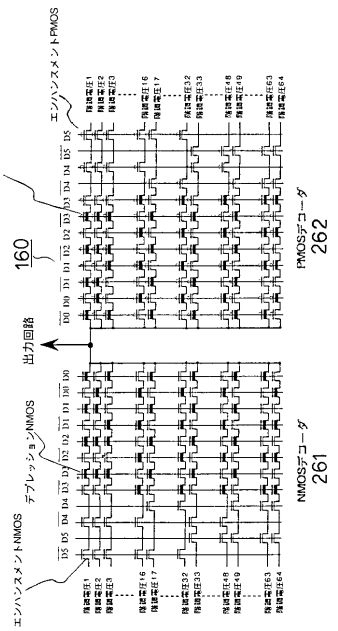
【図１９】

図１９



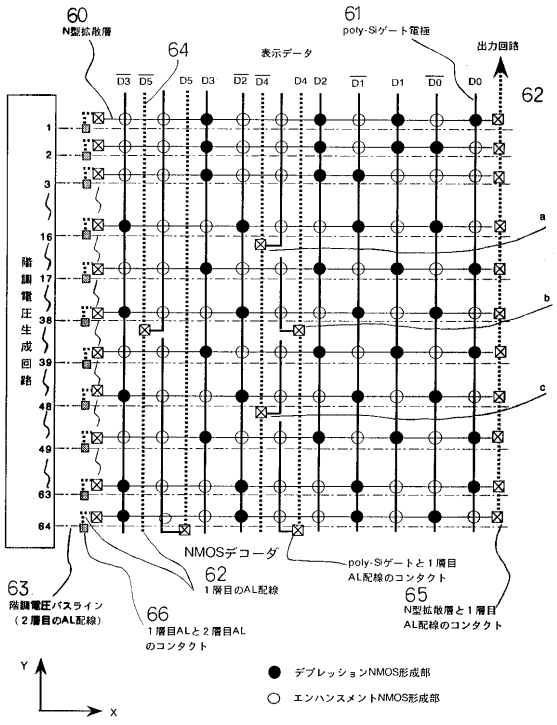
【図２０】

図２０



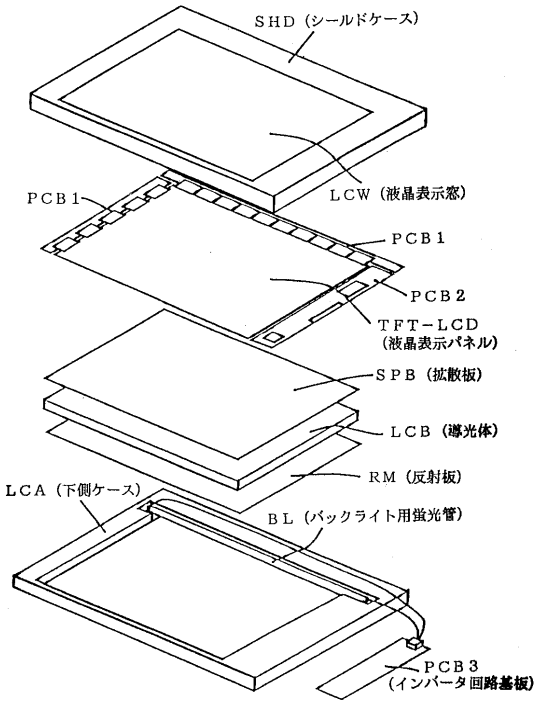
【図２１】

図２１



【図２２】

図２２



フロントページの続き

(72)発明者　斉藤　将也
千葉県茂原市早野３３００番地　株式会社日立製作所　電子デバイス事業部内
(72)発明者　安川　信治
千葉県茂原市早野３６８１番地　日立デバイスエンジニアリング株式会社内
(72)発明者　小倉　明
千葉県茂原市早野３６８１番地　日立デバイスエンジニアリング株式会社内
(72)発明者　縣　健太郎
千葉県茂原市早野３６８１番地　日立デバイスエンジニアリング株式会社内

審査官　藤田　都志行

(56)参考文献　特開平１０－０４８６５９（ＪＰ，Ａ）
特開平１０－０４８６５５（ＪＰ，Ａ）
特開平０９－２４４０５１（ＪＰ，Ａ）
国際公開第９６／２１９４８（WO，Ａ１）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G02F　1/1345
H01L 27/04　　H