



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년10월07일

(11) 등록번호 10-2713402

(24) 등록일자 2024년09월27일

(51) 국제특허분류(Int. Cl.)
G11C 29/18 (2006.01) **G11C 29/00** (2006.01)
 (52) CPC특허분류
G11C 29/18 (2013.01)
G11C 29/787 (2013.01)
 (21) 출원번호 10-2016-0169704
 (22) 출원일자 2016년12월13일
 심사청구일자 2021년11월19일
 (65) 공개번호 10-2018-0068095
 (43) 공개일자 2018년06월21일
 (56) 선행기술조사문헌
 US20080304341 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091
 (72) 발명자
이정환
 경기도 구리시 아차산로487번길 10 금호어울림아파트 103동 602호
 (74) 대리인
특허법인태평양

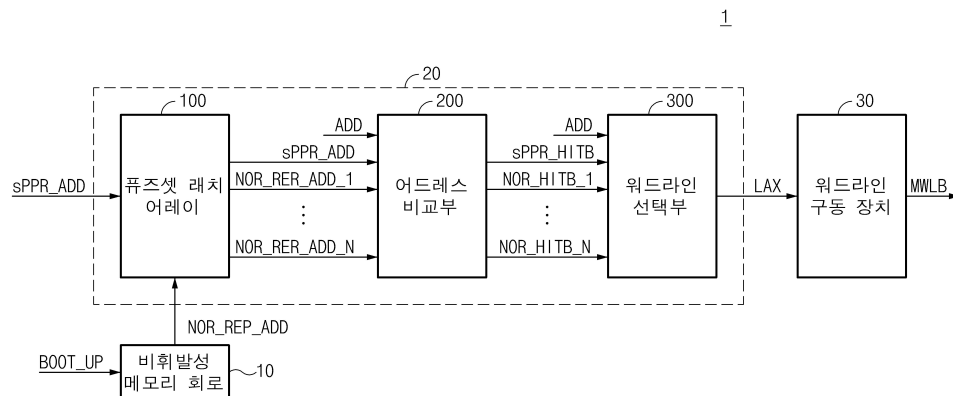
전체 청구항 수 : 총 20 항

심사관 : 손윤식

(54) 발명의 명칭 반도체 장치 및 이를 포함하는 반도체 시스템

(57) 요약

본 발명의 일 실시예에 따른 반도체 장치는, 제1 리페어 어드레스와 제2 리페어 어드레스를 저장하는 리페어 어드레스 저장부; 입력 어드레스와 제1 리페어 어드레스를 비교하여 제1 비교신호를 생성하고, 상기 입력 어드레스와 상기 제2 리페어 어드레스를 비교하여 제2 비교신호를 생성하는 어드레스 비교부; 및 상기 제1 비교신호 및 상기 제2 비교신호에 기초하여, 상기 제1 비교신호에 대응하는 제1 리턴던시 워드라인 선택신호 및 상기 제2 비교신호에 대응하는 제2 리턴던시 워드라인 선택신호를 각각 생성하는 워드라인 선택부를 포함한다.

대표도 - 도1

(52) CPC특허분류
G11C 29/81 (2013.01)

명세서

청구범위

청구항 1

제1 리페어 어드레스와 제2 리페어 어드레스를 저장하는 리페어 어드레스 저장부;

입력 어드레스와 제1 리페어 어드레스를 비교하여 제1 비교신호를 생성하고, 상기 입력 어드레스와 상기 제2 리페어 어드레스를 비교하여 제2 비교신호를 생성하는 어드레스 비교부; 및

상기 제1 비교신호 및 상기 제2 비교신호에 기초하여, 상기 제1 비교신호에 대응하는 제1 리턴던시 워드라인 선택신호 및 상기 제2 비교신호에 대응하는 제2 리턴던시 워드라인 선택신호를 각각 생성하는 워드라인 선택부를 포함하고,

상기 워드라인 선택부는 상기 제1 비교신호와 상기 제2 비교신호가 동시에 활성화된 경우 상기 제1 리턴던시 워드라인 선택신호를 활성화하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 반도체 장치는 상기 제2 리페어 어드레스가 저장된 비휘발성 메모리 회로를 더 포함하고,

상기 리페어 어드레스 저장부는 상기 비휘발성 메모리 회로로부터 상기 제2 리페어 어드레스를 전송받아 저장하는 것을 특징으로 하는 반도체 장치.

청구항 3

제2항에 있어서,

상기 제1 리페어 어드레스는 상기 반도체 장치의 외부로부터 입력되는 것을 특징으로 하는 반도체 장치.

청구항 4

제3항에 있어서,

상기 제1 리페어 어드레스는 모드 레지스터 커맨드를 이용하여 상기 리페어 어드레스 저장부에 저장되는 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서,

상기 어드레스 비교부는,

상기 입력 어드레스와 상기 제1 리페어 어드레스를 비교하여 제1 비교신호를 생성하는 제1 비교기와,

상기 입력 어드레스와 상기 제2 리페어 어드레스를 비교하여 제2 비교신호를 생성하는 제2 비교기

를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 6

제1항에 있어서,

상기 워드라인 선택부는,

상기 제1 리턴던시 워드라인 선택신호 및 상기 제2 리턴던시 워드라인 선택신호를 각각 생성하는 리턴던시 워드라인 선택부; 및

상기 입력 어드레스에 기초하여 노멀 워드라인 선택신호를 생성하는 노멀 워드라인 선택부

를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 7

제6항에 있어서,

상기 리턴던시 워드라인 선택부는,

상기 제1 비교신호가 활성화된 경우, 상기 제1 리턴던시 워드라인 선택신호를 활성화하는 것을 특징으로 하는 반도체 장치.

청구항 8

제6항에 있어서,

상기 리턴던시 워드라인 선택부는,

상기 제2 비교신호가 활성화되고 상기 제1 비교신호가 비활성화된 경우 상기 제2 리턴던시 워드라인 선택신호를 활성화하는 것을 특징으로 하는 반도체 장치.

청구항 9

제6항에 있어서,

상기 노멀 워드라인 선택부는,

상기 제1 비교신호 및 상기 제2 비교신호에 기초하여 디코더 인에이블 신호를 생성하는 디코더 인에이블 신호 생성부; 및

상기 디코더 인에이블 신호에 응답하여 상기 노멀 워드라인 선택신호를 생성하는 디코더

를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 10

제9항에 있어서,

상기 디코더 인에이블 신호 생성부는,

상기 제1 비교신호 및 상기 제2 비교신호가 모두 비활성화된 경우에 상기 디코더 인에이블 신호를 활성화하는 것을 특징으로 하는 반도체 장치.

청구항 11

제9항에 있어서,

상기 디코더는, 상기 입력 어드레스를 디코딩한 값에 대응하는 노멀 워드라인 선택신호를 활성화하는 것을 특징으로 하는 반도체 장치.

청구항 12

반도체 장치에 제1 리페어 어드레스를 저장하는 컨트롤러; 및

입력 어드레스와 상기 제1 리페어 어드레스 및 내부에 저장된 제2 리페어 어드레스를 각각 비교한 결과에 기초하여 상기 제1 리페어 어드레스 및 상기 제2 리페어 어드레스에 각각 대응하는 제1 리턴던시 워드라인 선택신호 및 제2 리턴던시 워드라인 선택신호를 생성하는 상기 반도체 장치

를 포함하는 반도체 시스템.

청구항 13

제12항에 있어서,

상기 반도체 장치는,

상기 제1 리페어 어드레스 및 상기 제2 리페어 어드레스를 저장하는 리페어 어드레스 저장부;

상기 입력 어드레스와 상기 리페어 어드레스 저장부에 저장된 제1 리페어 어드레스를 비교하여 제1 비교신호를 생성하고, 상기 입력 어드레스와 상기 리페어 어드레스 저장부에 저장된 제2 리페어 어드레스를 비교하여 제2 비교신호를 생성하는 어드레스 비교부; 및

상기 제1 비교신호 및 상기 제2 비교신호에 기초하여, 상기 제1 비교신호에 대응하는 제1 리턴던시 워드라인 선택신호 및 상기 제2 비교신호에 대응하는 제2 리턴던시 워드라인 선택신호를 각각 생성하는 워드라인 선택부

를 포함하는 것을 특징으로 하는 반도체 시스템.

청구항 14

제13항에 있어서,

상기 컨트롤러는 상기 반도체 장치에 모드 레지스터 커맨드를 전송함으로써 상기 제1 리페어 어드레스를 상기 리페어 어드레스 저장부에 저장하는 것을 특징으로 하는 반도체 시스템.

청구항 15

제13항에 있어서,

상기 워드라인 선택부는,

상기 제1 리턴던시 워드라인 선택신호 및 상기 제2 리턴던시 워드라인 선택신호를 각각 생성하는 리턴던시 워드라인 선택부; 및

상기 입력 어드레스에 기초하여 노멀 워드라인 선택신호를 생성하는 노멀 워드라인 선택부

를 포함하는 것을 특징으로 하는 반도체 시스템.

청구항 16

제15항에 있어서,

상기 리턴던시 워드라인 선택부는,

상기 제1 비교신호가 활성화된 경우, 상기 제1 리턴던시 워드라인 선택신호를 활성화하는 것을 특징으로 하는 반도체 시스템.

청구항 17

제15항에 있어서,

상기 리턴던시 워드라인 선택부는,

상기 제2 비교신호가 활성화되고 상기 제1 비교신호가 비활성화된 경우 상기 제2 리턴던시 워드라인 선택신호를 활성화하는 것을 특징으로 하는 반도체 시스템.

청구항 18

제15항에 있어서,

상기 노멀 워드라인 선택부는,

상기 제1 비교신호 및 상기 제2 비교신호에 기초하여 디코더 인에이블 신호를 생성하는 디코더 인에이블 신호 생성부; 및

상기 디코더 인에이블 신호에 응답하여 상기 노멀 워드라인 선택신호를 생성하는 디코더

를 포함하는 것을 특징으로 하는 반도체 시스템.

청구항 19

제18항에 있어서,

상기 디코더 인에이블 신호 생성부는,

상기 제1 비교신호 및 상기 제2 비교신호가 모두 비활성화된 경우에 상기 디코더 인에이블 신호를 활성화하는 것을 특징으로 하는 반도체 시스템.

청구항 20

제18항에 있어서,

상기 디코더는, 상기 입력 어드레스를 디코딩한 값에 대응하는 노멀 워드라인 선택신호를 활성화하는 것을 특징으로 하는 반도체 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 이를 포함하는 반도체 시스템에 관한 것으로, 특히 하나의 입력 어드레스에 대응하는 리페어 어드레스가 2이상 존재하는 경우, 그 중 하나의 리페어 어드레스를 선택하는 것에 관한 것이다.

배경 기술

[0002] 일반적으로 반도체 장치는 수많은 메모리 셀을 포함하며, 공정 기술이 발달함에 따라 집적도가 증가하여 그 개수가 더욱 증가하고 있다. 이러한 메모리 셀들 중 어느 하나에라도 결함이 발생하면 반도체 장치가 오동작하게 된다. 따라서, 불량 셀을 포함하는 반도체 장치는 원하는 동작을 수행하지 못하기 때문에 반도체 장치를 사용할 수 없게 된다.

[0003] 하지만, 요즘 반도체 장치의 공정 기술이 발달함에 따라 확률적으로 소량의 메모리 셀에만 결함이 발생한다. 이러한 소량의 불량으로 인하여 반도체 장치 전체를 불량품으로 폐기 처분하기에는 제품의 수율(yield)을 고려해 볼 때 매우 비효율적이다. 따라서, 이를 보완하기 위하여 반도체 장치 내에는 노멀 메모리 셀(normal memory cell)과 더불어 리던던시 메모리 셀(redundancy memory cell)이 추가적으로 구비된다.

[0004] 노멀 메모리 셀에 결함이 발생한 경우 테스트를 통해 이를 미리 인지하고 있다가 특정 노멀 메모리 셀에 대한 접근 요청이 발생하면 결함이 발생한 노멀 메모리 셀 대신 리던던시 메모리 셀에 포함된 셀로 접속을 전환하기 위한 리던던시 제어 회로가 이용되고 있다. 즉, 리던던시 메모리 셀은 노멀 메모리 셀에 불량이 발생하는 경우 이 불량이 발생한 메모리 셀(이하, '페일 셀(failed cell)'이라 한다)을 리페어하기 위해 구비되는 메모리 셀이다.

[0005] 구체적으로, 예컨대 리드/라이트 동작시 페일 셀이 액세스 되는 경우 내부적으로 페일 셀이 아닌 정상적인 메모리 셀을 액세스한다. 이때, 액세스되는 메모리 셀이 리던던시 메모리 셀이다.

[0006] 따라서, 반도체 장치는 입력 어드레스에 대응하는 메모리 셀이 페일 셀인 경우 리던던시 메모리 셀을 액세스하기 위한 동작(이하, '리페어 동작'이라 한다)에 의해 반도체 장치는 정상적인 동작을 보장받는다.

[0007] 전술한 리페어 동작을 수행하기 위해, 반도체 장치는 비휘발성 메모리 회로를 구비하고, 페일 셀의 어드레스, 즉 리페어 어드레스를 비휘발성 메모리 회로에 저장해 둔다. 비휘발성 메모리 회로로서, 이-퓨즈 어레이 회로, NAND 플래시 메모리, NOR 플래시 메모리, MRAM(Magnetic Random Access Memory), STT-MRAM(Spin Transfer Magnetic Random Access Memory), ReRAM(Resistive Random Access Memory), PC RAM(Phase Change Random Access Memory) 등이 이용되고 있다.

발명의 내용

해결하려는 과제

[0008] 일반적으로 비휘발성 메모리에는 리페어 어드레스가 한 번만 저장되기 때문에 리페어 어드레스에 대응하는 리던던시 어드레스도 한 개만 존재하게 된다.

[0009] 그러나, 리페어 어드레스를 2회 이상 저장할 수도 있으며, 이에 따라 동일한 리페어의 어드레스가 2회 이상 저장되는 경우가 발생할 수 있다. 이 경우 리페어 어드레스에 대응하는 리던던시 어드레스가 2 이상 존재하게 되어, 복수의 워드라인이 활성화되는 충돌 현상이 발생할 수 있다.

과제의 해결 수단

- [0010] 본 발명의 일 실시예에 따른 반도체 장치는, 제1 리페어 어드레스와 제2 리페어 어드레스를 저장하는 리페어 어드레스 저장부; 입력 어드레스와 제1 리페어 어드레스를 비교하여 제1 비교신호를 생성하고, 상기 입력 어드레스와 상기 제2 리페어 어드레스를 비교하여 제2 비교신호를 생성하는 어드레스 비교부; 및 상기 제1 비교신호 및 상기 제2 비교신호에 기초하여, 상기 제1 비교신호에 대응하는 제1 리턴던시 워드라인 선택신호 및 상기 제2 비교신호에 대응하는 제2 리턴던시 워드라인 선택신호를 각각 생성하는 워드라인 선택부를 포함한다.
- [0011] 본 발명의 일 실시예에 따른 반도체 시스템은, 반도체 장치에 제1 리페어 어드레스를 저장하는 컨트롤러; 및 입력 어드레스와 상기 제1 리페어 어드레스 및 내부에 저장된 제2 리페어 어드레스를 각각 비교한 결과에 기초하여 상기 제1 리페어 어드레스 및 상기 제2 리페어 어드레스에 각각 대응하는 제1 리턴던시 워드라인 선택신호 및 제2 리턴던시 워드라인 선택신호를 생성하는 상기 반도체 장치를 포함한다.

발명의 효과

- [0012] 본 발명의 일 실시예에 의하면, 리페어 어드레스가 복수회 저장되어 있는 경우 그 중 우선 순위를 갖는 위치에 저장된 리페어 어드레스에 대응하는 리턴던시 어드레스가 가리키는 워드라인만을 활성화함으로써, 의도치 않게 복수의 워드라인이 활성화되는 것을 피할 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 구성도.
 도 2는 도 1의 퓨즈셋 래치 어레이의 구성도.
 도 3은 도 1의 어드레스 비교부의 구성도.
 도 4는 도 1의 워드라인 선택부의 회로도.
 도 5는 본 실시예에 따른 각 신호의 타이밍도.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 본 발명의 바람직한 실시예에 대하여 도면을 참조하여 설명한다.
- [0015] 도 1은 본 발명의 일 실시예에 따른 반도체 장치(1)의 구성도이다.
- [0016] 도 1을 참조하면, 반도체 장치(1)는 비휘발성 메모리 회로(10), 리페어 제어 장치(20) 및 워드라인 구동 장치(30)를 포함한다.
- [0017] 비휘발성 메모리 회로(10)에는, 반도체 장치(1)의 내부 전원값이나 내부 신호의 초기값이 저장되어 있으며, 특히 리페어 어드레스(NOR_REP_ADD)가 저장되어 있다. 본 명세서에서는, 후술하는 sPPR 어드레스(sPPR_ADD)에 대비하여, 비휘발성 메모리 회로(10)로부터 전송되는 리페어 어드레스(NOR_REP_ADD)를 '노멀 리페어 어드레스'라 한다. 또한, 노멀 리페어 어드레스(NOR_REP_ADD)와 sPPR 어드레스(sPPR_ADD)를 통칭하여 리페어 어드레스(REP_ADD)라고 한다.
- [0018] 비휘발성 메모리 회로(10)에 저장된 노멀 리페어 어드레스(NOR_REP_ADD)는 부트업 신호(BOOT_UP)에 응답하여 리페어 제어 장치(20)의 퓨즈셋 래치 어레이(리페어 어드레스 저장부; 100)에 저장된다. 노멀 리페어 어드레스(NOR_REP_ADD)는 복수의 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N)을 나타낸다. 부트업 신호(BOOT_UP)는 반도체 장치(1)의 파워업 이후에 소정 시간 경과 후 자동으로 활성화되거나, 또는 컨트롤러(미도시)의 지시에 의해 활성화되는 신호이다. 컨트롤러는 반도체 장치(1)를 제어 가능한 장치로서, 예를 들면 중앙 제어 장치(CPU), 애플리케이션 프로세서(AP), 메모리 컨트롤러일 수 있다.
- [0019] 리페어 제어 장치(20)는 퓨즈셋 래치 어레이(100), 어드레스 비교부(200) 및 워드라인 선택부(300)를 포함한다.
- [0020] 퓨즈셋 래치 어레이(100)에는 복수의 리페어 어드레스(REP_ADD)가 저장된다. 퓨즈셋 래치 어레이(100)에 저장되는 리페어 어드레스(REP_ADD)는 전술한 바와 같이 비휘발성 메모리 회로(10)로부터 전송되는 노멀 리페어 어드레스(NOR_REP_ADD)와, 비휘발성 메모리 회로(10)가 아닌 다른 경로로 전송되는 리페어 어드레스(sPPR_ADD)를 포함한다.

- [0021] 비휘발성 메모리 회로(10)가 아닌 다른 경로로 리페어 어드레스(sPPR_ADD)를 전송하는 방식으로는 소프트 포스트 패키지 리페어 방식(Soft Post Package Repair; sPPR)이 있다. 통상, 반도체 장치(1)의 제조 과정에서 테스트를 통해 검출된 불량 메모리 셀의 노멀 리페어 어드레스(NOR_REP_ADD)가 비휘발성 메모리 회로(10)에 저장된다. 그러나, 메모리 셀의 불량은 반도체 장치(1)의 제조 과정뿐만 아니라, 패키징된 이후에도 검출될 수 있다.
- [0022] 소프트 포스트 패키지 리페어 방식이란, 반도체 장치(1)의 패키징 이후에, 리페어 어드레스가 저장되는 퓨즈셋 래치 어레이(100)에 직접 리페어 어드레스(sPPR_ADD)를 저장하는 방식이다. 비휘발성 메모리 회로(10)가 아니라 퓨즈셋 래치 어레이(100)에 리페어 어드레스(sPPR_ADD)가 저장되기 때문에, 반도체 장치(1)에 전원 공급이 중단되면 퓨즈셋 래치 어레이(100)에 저장된 리페어 어드레스(sPPR_ADD)는 사라진다. 이러한 의미에서, '소프트' 소프트 포스트 패키지 리페어 방식이라고 한다.
- [0023] 예를 들면, 소프트 포스트 패키지 리페어 동작은 모드 레지스터 커맨드를 이용하여 퓨즈셋 래치 어레이(100)의 특정 위치에 리페어 어드레스(sPPR_ADD)를 저장함으로써 수행될 수 있다.
- [0024] 반도체 장치(1)에는 동작 모드들을 정의하기 위한 모드 레지스터가 구비되며, 이러한 모드 레지스터의 값을 설정하는 것을 모드 레지스터 셋이라고 한다. 모드 레지스터 셋은 동기형 DRAM(dynamic random access memory)이나 SRAM(Static Random Access Memory)에 필요한 것으로서, 칩(chip)을 사용하기 전에 버스트 타입(Burst Type), 버스트 랭쓰(BL, Burst Length), 카스 레이턴시(CL, Column address strobe Latency) 및 리드 레이턴시(RL, Read Latency) 등으로 구성된 동작 모드(operation mode)들을 설정하기 위한 것이다. 모드 레지스터 셋은 판매자(vendor)가 칩을 검사하기 위한 테스트 모드하에서 수행되거나, JEDEC(Joint Electron Device Engineering Council) 스펙상 사용자(user)에 의한 동작 모드 설정을 제공하는 모드 하에서 수행될 수 있다. 모드 레지스터 셋은 모드 레지스터 커맨드와 함께 특정 어드레스를 인가함으로써 수행된다. 소프트 포스트 패키지 리페어 동작은 전술한 모드 레지스터 커맨드를 이용하여 수행될 수 있다.
- [0025] 비휘발성 메모리 회로(10)를 통해 저장되는 노멀 리페어 어드레스(NOR_REP_ADD)와 소프트 포스트 패키지 리페어 방식에 의해 저장되는 sPPR 어드레스(sPPR_ADD)는 저장 경로가 상이하기 때문에, 노멀 리페어 어드레스(NOR_REP_ADD)와 sPPR 어드레스(sPPR_ADD)가 동일한 경우가 발생할 수 있다. 이러한 경우 노멀 리페어 어드레스(NOR_REP_ADD) 및 sPPR 어드레스(sPPR_ADD)에 대응하는 리턴던시 워드라인이 각각 활성화될 수 있다.
- [0026] 어드레스 비교부(200) 및 워드라인 선택부(300)는 이러한 경우 노멀 리페어 어드레스(NOR_REP_ADD)에 대응하는 리턴던시 워드라인과, sPPR 어드레스(sPPR_ADD)에 대응하는 리턴던시 워드라인 중 어느 하나를 우선하여 활성화한다. 예를 들어, sPPR 어드레스(sPPR_ADD)에 대응하는 리턴던시 워드라인이 우선하여 활성화될 수 있다.
- [0027] 어드레스 비교부(200)는 퓨즈셋 래치 어레이(100)에 저장된 리페어 어드레스(sPPR_ADD, NOR_REP_ADD_1~NOR_REP_ADD_N) 각각과 입력 어드레스(ADD)를 비교하여, 리페어 어드레스(sPPR_ADD, NOR_REP_ADD_1~NOR_REP_ADD_N) 각각에 대응하는 sPPR 비교신호(sPPR_HITB) 및 노멀 비교신호(NOR_HITB_1~NOR_HITB_N; 이하 NOR_HITB라고도 한다)를 생성한다. 이하에서는 sPPR 비교신호(sPPR_HITB) 및 노멀 비교신호(NOR_HITB_1~NOR_HITB_N)를 통칭하여 비교신호(HITB)라고도 한다.
- [0028] 워드라인 선택부(300)는 비교신호(sPPR_HITB, NOR_HITB_1~NOR_HITB_N)에 기초하여 워드라인 선택 신호(LAX)를 활성화한다. 도 1에서 1개의 워드라인 선택 신호(LAX)만이 도시되었지만, 워드라인 선택 신호(LAX)는 노멀 워드라인 및 리턴던시 워드라인의 각각에 대응하여 복수개 존재한다.
- [0029] 이때, 워드라인 선택부(300)는 노멀 비교신호(NOR_HITB_1~NOR_HITB_N) 중 적어도 하나와 sPPR 비교신호(sPPR_HITB)가 동시에 활성화된 경우, 즉 퓨즈셋 래치 어레이(100)에 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N) 중 적어도 하나와 sPPR 어드레스(sPPR_ADD)가 동일한 값으로 저장되어 있고, 입력 어드레스(ADD)가 리페어 어드레스(NOR_REP_ADD) 및 sPPR 어드레스(sPPR_ADD)와 동일한 경우에는, sPPR 비교신호(sPPR_HITB)에 대응하는 워드라인 선택 신호(LAX)만을 활성화되고, 노멀 비교신호(NOR_HITB)에 대응하는 워드라인 선택 신호(LAX)는 비활성화한다. 이에 따라, 퓨즈셋 래치 어레이(100)에 저장된 노멀 리페어 어드레스(NOR_REP_ADD)와 sPPR 어드레스(sPPR_ADD)가 동일한 경우, 두 개 이상의 워드라인이 활성화되는 것을 방지하고, sPPR 방식에 의해 저장된 리페어 어드레스(sPPR_ADD)에 대응하는 리턴던시 워드라인을 활성화할 수 있다.
- [0030] 본 실시예에서는 퓨즈셋 래치 어레이(100)에 저장된 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N) 중 적어도 하나와 sPPR 어드레스(sPPR_ADD)가 동일한 경우, sPPR 어드레스(sPPR_ADD)에 해당하는 리턴던시 워드라인을 우선하여 활성화하는 것으로 설명하였다. 그러나, 본 발명은 이에 한하지 않으며, 반대로 노멀 리페어 어드

레스(NOR_REP_ADD_1~NOR_REP_ADD_N) 중 적어도 하나에 대응하는 리턴던시 워드라인을 우선하여 활성화할 수도 있다.

- [0031] 워드라인 선택부(300)는 노멀 비교신호(NOR_HITB) 및 sPPR 비교신호(sPPR_HITB)가 모두 활성화되지 않는 경우에 입력 어드레스(ADD)에 대응하는 워드라인 선택신호(LAX)를 활성화할 수 있다.
- [0032] 워드라인 구동 장치(30)는 리페어 제어 장치(10)에서 생성된 리턴던시 워드라인 선택신호 또는 노멀 워드라인 선택신호(LAX)에 응답하여 리턴던시 워드라인 선택신호 또는 노멀 워드라인 선택신호(LAX)에 대응하는 워드라인 구동신호(MWLБ)를 활성화한다. 워드라인 구동 장치(30)는 공지의 회로가 이용될 수 있다.
- [0033] 도 2는 도 1의 퓨즈셋 래치 어레이(100)의 구성도이다.
- [0034] 도 2를 참조하면, 퓨즈셋 래치 어레이(100)는 복수의 퓨즈셋 래치(100_0~100_N)를 포함한다. 각 퓨즈셋 래치(100_0~100_N)에는 리페어 어드레스(REP_ADD)가 저장된다. 예를 들어, 0번째 퓨즈셋 래치(100_0)에는 sPPR 어드레스(sPPR_ADD)가 저장되고, 1~N번째 퓨즈셋 래치(100_1~100_N)에는 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N)가 각각 저장될 수 있다.
- [0035] 각 퓨즈셋 래치(100_0~100_N)에는 각 퓨즈셋 래치(100_0~100_N)에 저장된 리페어 어드레스(sPPR_ADD, NOR_REP_ADD_1~NOR_REP_ADD_N)가 유효한지를 나타내는 퓨즈셋 인에이블 신호(FSEN_0~FSEN_N; FSEN으로 대표하여 나타내기도 함)가 저장될 수 있다. 퓨즈셋 인에이블 신호(FSEN)는 본래 비휘발성 메모리 회로(10)에 저장되어 있었던 신호일 수 있다. 비휘발성 메모리 회로(10)는 정보가 저장되지 않은 초기 상태에 특정 값, 예를 들면 '0'을 갖도록 설정되어 있다. 이 경우, 비휘발성 메모리 회로(10)에 '0'의 데이터를 기록한다면, 비휘발성 메모리 회로(10)에 아직 정보가 저장되지 않은 상태인지, 아니면 '0'의 정보를 기록한 것인지를 알 수 없다. 따라서, 퓨즈셋 인에이블 신호(FSEN)를 특정 값, 예를 들면 '1'로 설정함으로써, 정보가 저장된 상태임을 표시할 수 있다. 비휘발성 메모리 회로(10)는 퓨즈셋 래치 어레이(100)와 동일한 구조를 갖는, 복수의 퓨즈셋을 갖는 퓨즈셋 어레이일 수 있다. 이 경우, 각 퓨즈셋에 대해 정보의 저장 여부를 나타내기 위해 퓨즈셋 인에이블 신호(FSEN)를 특정값으로 설정할 수 있다. 퓨즈셋 래치 어레이(100)의 퓨즈셋 인에이블 신호(FSEN_1~FSEN_N)는, 부트업 신호(BOOT_UP) 신호에 응답하여 비휘발성 메모리 회로(10)로부터 정보가 전송될 때, 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N)와 함께 전송되어 저장될 수 있다. 또한, 퓨즈셋 래치 어레이(100)의 퓨즈셋 인에이블 신호(FSEN_0)는, 소프트 포스트 패키지 리페어 동작시, sPPR 어드레스(sPPR_ADD)와 함께 전송되어 저장될 수 있다.
- [0036] 도 2에서는 0번째 퓨즈셋 래치(100_0)에 sPPR 어드레스(sPPR_ADD)가 저장되고, 1~N번째 퓨즈셋 래치(100_1~100_N)에는 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N)가 각각 저장되는 경우를 도시하였다. 그러나, 본 발명의 실시예는 이에 한하지 않으며, sPPR 어드레스(sPPR_ADD)는 복수의 퓨즈셋 래치(100_1~100_N) 중 임의의 위치에 저장될 수 있다. 또한, 도 2에서는 1개의 sPPR 어드레스(sPPR_ADD)가 저장되는 것으로 설명하였지만 복수의 sPPR 어드레스(sPPR_ADD)가 저장될 수도 있다.
- [0037] 도 3은 도 1의 어드레스 비교부(200)의 구성도이다.
- [0038] 도 3을 참조하면, 어드레스 비교부(200)는 복수의 비교기(200_0~200_N)를 포함한다. 비교기(200_0~200_N)는 sPPR 어드레스(sPPR_ADD) 및 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N)에 각각 대응한다.
- [0039] 비교기(200_0)는 sPPR 어드레스(sPPR_ADD)와 입력 어드레스(ADD)의 일치 여부를 판단하여 sPPR 비교신호(sPPR_HITB)를 생성한다. 비교기(200_0)는 sPPR 어드레스(sPPR_ADD)와 입력 어드레스(ADD)가 일치하면 sPPR 비교신호(sPPR_HITB)를 로우 인에이블하고, 일치하지 않으면 하이 디스에이블할 수 있다. 이때, 비교기(200_0)는 퓨즈셋 인에이블 신호(FSEN_0)가 활성화된 경우에만 sPPR 비교신호(sPPR_HITB)를 인에이블할 수 있다.
- [0040] 비교기(200_1~200_N)는 대응하는 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N)와 입력 어드레스(ADD)의 일치 여부를 판단하여 각 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N)에 대응하는 노멀 비교신호(NOR_HITB_1~NOR_HITB_N)를 생성한다. 비교기(200_1~200_N)는 대응하는 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N)와 입력 어드레스(ADD)가 일치하면 각 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N)에 대응하는 노멀 비교신호(NOR_HITB_1~NOR_HITB_N)를 로우 인에이블하고, 일치하지 않으면 하이 디스에이블할 수 있다. 이때, 비교기(200_1~200_N)는 대응하는 퓨즈셋 인에이블 신호(FSEN_1~FSEN_N)가 활성화된 경우에만 노멀 비교신호(NOR_HITB_1~NOR_HITB_N)를 인에이블할 수 있다.
- [0041] 도 2의 퓨즈셋 래치 어레이(100)에서, sPPR 어드레스(sPPR_ADD)와 노멀 리페어 어드레스(NOR_REP_ADD)가 동일할

수 있다. 이때, 입력 어드레스(ADD)가 sPPR 어드레스(sPPR_ADD) 및 노멀 리페어 어드레스(NOR_REP_ADD)와 동일하면, sPPR 비교신호(sPPR_HITB)와 노멀 비교신호(NOR_HITB)가 활성화된다. 즉, 본 실시예에서는 퓨즈셋 래치 어레이(100)에 2 이상의 동일한 리페어 어드레스(sPPR_ADD, NOR_REP_ADD)가 저장되어 있는 경우, 각 리페어 어드레스(sPPR_ADD, NOR_REP_ADD)에 대응하는 비교신호(sPPR_HITB, NOR_HITB)를 모두 활성화한다.

[0042] 도 4는 도 1의 워드라인 선택부(300)의 상세 회로도이다.

[0043] 도 4를 참조하면, 워드라인 선택부(300)는 sPPR 비교신호(sPPR_HITB), 노멀 비교신호(NOR_HITB_1~NOR_HITB_N) 및 입력 어드레스(ADD)에 기초하여 워드라인 선택신호(LAX<0>~LAX<N>, LAX<K>~LAX<K+M>)를 생성한다. 워드라인 선택부(300)는 리턴던시 워드라인 선택신호(LAX<0>~LAX<N>)를 생성하는 리턴던시 워드라인 선택부(310) 및 노멀 워드라인 선택신호(LAX<K>~LAX<K+M>)를 생성하는 노멀 워드라인 선택부(320)를 포함한다.

[0044] 리턴던시 워드라인 선택부(310)는 복수의 리턴던시 워드라인 선택 유닛(310_0~310_N)을 포함한다. 본 실시예에서 각 비교신호(sPPR_HITB, NOR_HITB_1~NOR_HITB_N), 즉 각 리페어 어드레스(sPPR_ADD, NOR_REP_ADD_1~NOR_REP_ADD_N)는 리턴던시 워드라인에 대응할 수 있다. 다시 말해, 각 리페어 어드레스(sPPR_ADD, NOR_REP_ADD_1~NOR_REP_ADD_N)에 대응하는 리턴던시 워드라인이 미리 설정되어 있을 수 있다. 예를 들어, sPPR 어드레스(sPPR_ADD)에는 리턴던시 워드라인 선택신호(LAX<0>)를 통해 특정 리턴던시 워드라인이 대응하고, 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N)에는 리턴던시 워드라인 선택신호(LAX<1>~LAX<N>)를 통해 다른 리턴던시 워드라인이 각각 대응할 수 있다.

[0045] 리턴던시 워드라인 선택 유닛(310_0)은 sPPR 비교신호(sPPR_HITB)가 입력되는 인버터와, 상기 인버터의 출력 및 '1'의 낸드 연산을 수행하는 낸드 연산자와, 낸드 연산자의 출력에 연결되는 인버터를 포함한다.

[0046] 이에 따라, 리턴던시 워드라인 선택 유닛(310_0)은 입력 어드레스(ADD)가 sPPR 어드레스(sPPR_ADD)와 일치하여 sPPR 비교신호(sPPR_HITB)가 활성화되면, 리턴던시 워드라인 선택신호(LAX<0>)를 활성화한다. 그리고, 워드라인 구동 장치(30)는, 리턴던시 워드라인 선택신호(LAX<0>)가 활성화됨에 따라, 리턴던시 워드라인 선택신호(LAX<0>)에 대응하는 리턴던시 워드라인을 구동한다.

[0047] 리턴던시 워드라인 선택 유닛(310_1~310_N)의 각각은, 대응하는 노멀 비교신호(NOR_HITB_1~NOR_HITB_N)가 입력되는 인버터와, 상기 인버터의 출력 및 sPPR 비교신호(sPPR_HITB)의 낸드 연산을 수행하는 낸드 연산자와, 낸드 연산자의 출력에 연결되는 인버터를 포함한다.

[0048] 이에 따라, 리턴던시 워드라인 선택 유닛(310_1~310_N)은, 입력 어드레스(ADD)가, 대응하는 노멀 리페어 어드레스(NOR_REP_ADD_1~NOR_REP_ADD_N)와 일치하여 노멀 비교신호(NOR_HITB_1~NOR_HITB_N)가 활성화되더라도, sPPR 비교신호(sPPR_HITB)가 활성화되지 않은 경우에 한하여 대응하는 리턴던시 워드라인 선택신호(LAX<1>~LAX<N>)를 활성화한다. 즉, 리턴던시 워드라인 선택 유닛(310_1~310_N)은, 노멀 비교신호(HITB_1~HITB_N)가 로우 인에이블되고, sPPR 비교신호(sPPR_HITB)가 하이 디스에이블된 경우에만, 대응하는 리턴던시 워드라인 선택신호(LAX<1>~LAX<N>)를 활성화한다. 이에 따라, 퓨즈셋 래치 어레이(100)에 저장된 sPPR 어드레스(sPPR_ADD)와 노멀 리페어 어드레스(NOR_REP_ADD_1)가 동일하고, 입력 어드레스(ADD)가 sPPR 어드레스(sPPR_ADD)와 일치하고 또한 입력 어드레스(ADD)가 노멀 리페어 어드레스(NOR_REP_ADD_1)와도 일치하는 경우에, sPPR 어드레스(sPPR_ADD)에 대응하는 리턴던시 워드라인 선택신호(LAX<0>)만을 활성화함으로써, 리턴던시 워드라인이 중복하여 활성화되는 것을 방지할 수 있다.

[0049] 따라서, 본 실시예에 의하면, sPPR 비교신호(sPPR_HITB)와 노멀 비교신호(NOR_HITB)가 모두 활성화된 경우, sPPR 비교신호(sPPR_HITB), 즉 sPPR 어드레스(sPPR_ADD)에 대응하는 리턴던시 워드라인만을 활성화할 수 있다. 이에 따라, sPPR 비교신호(sPPR_HITB) 및 노멀 비교신호(NOR_HITB)에 각각 대응하는 리턴던시 워드라인이 활성화됨에 따라 중복 리페어 동작이 발생하는 것을 방지할 수 있다.

[0050] 노멀 워드라인 선택부(320)는 입력 어드레스(ADD)가 복수의 리페어 어드레스(sPPR_ADD, NOR_REP_ADD_1~NOR_REP_ADD_N)와 모두 일치하지 않는 경우, 입력 어드레스(ADD)에 대응하는 노멀 워드라인 선택신호(LAX<K>~LAX<L> 중 어느 하나)를 활성화한다.

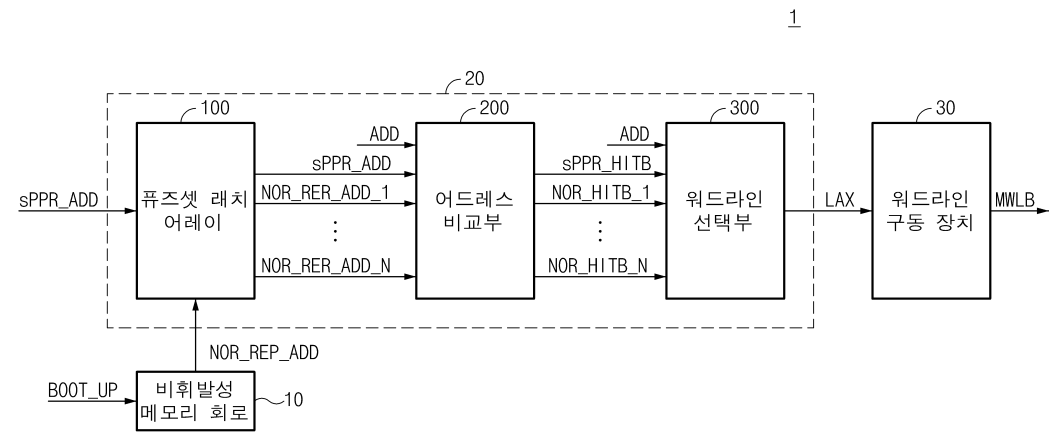
[0051] 도 4를 참조하면, 노멀 워드라인 선택부(320)는 디코더 인에이블 신호 생성부(321) 및 디코더(322)를 포함한다.

[0052] 디코더 인에이블 신호 생성부(321)는 비교 신호(sPPR_HITB, NOR_HITB_1~NOR_HITB_N)의 낸드 연산자 및 부정 연산자를 포함하여, 비교 신호(sPPR_HITB, NOR_HITB_1~NOR_HITB_N)가 모두 비활성화된 경우 디코더 인에이블 신호(DEC_EN)를 활성화한다.

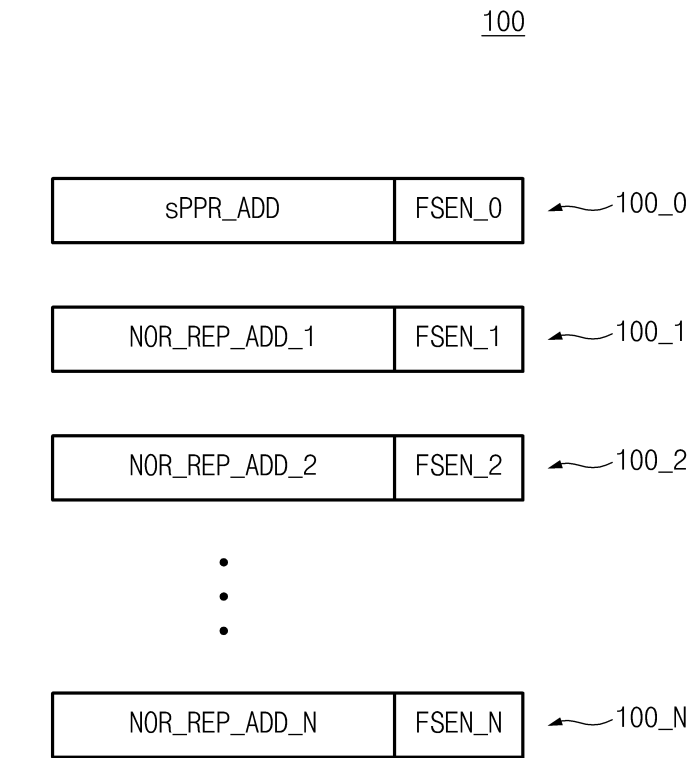
- [0053] 디코더(420)는 디코더 인에이블 신호(DEC_EN)에 응답하여 입력 어드레스(ADD)를 디코딩한 값에 대응하는 노멀 워드라인 선택신호(LAX<K>~LAX<K+M> 중 어느 하나)를 활성화한다. 그리고, 워드라인 구동 장치(30)는 활성화된 노멀 워드라인 선택신호(LAX<K>~LAX<K+M> 중 어느 하나)에 대응하는 노멀 워드라인을 구동한다.
- [0054] 즉, 워드라인 선택부(300)는 입력 어드레스(ADD)가 페일 어드레스, 즉 리페어 어드레스(REP_ADD)에 해당하면, 리페어 어드레스(REP_ADD)에 대응하는 리턴던시 워드라인 선택신호(LAX<0>~LAX<N>)를 활성화한다. 그리고, 워드라인 선택부(300)는 입력 어드레스(ADD)가 리페어 어드레스(REP_ADD)에 해당하지 않으면, 입력 어드레스(ADD)에 대응하는 노멀 워드라인 선택신호(LAX<K>~LAX<L>)를 활성화한다. 이때, 입력 어드레스가 sPPR 어드레스(sPPR_ADD) 및 노멀 리페어 어드레스(NOR_REP_ADD)에 모두 해당하면, sPPR 어드레스(sPPR_ADD)에 해당하는 리턴던시 워드라인 선택신호(LAX<0>~LAX<N>)를 활성화한다.
- [0055] 도 1을 다시 참조하면, 워드라인 구동 장치(30)는 워드라인 선택신호(LAX)에 대응하는 워드라인 구동신호(MWL B)를 구동한다. 이때, 워드라인 선택신호(LAX)는 한 개만이 활성화되기 때문에, 그에 대응하는 하나의 워드라인 구동신호(MWL B)가 구동되고, 이에 따라 하나의 워드라인만이 활성화될 수 있다.
- [0056] 도 5는 본 실시예에 따른 각 신호의 타이밍도이다. 도 5에서 입력 어드레스(ADD), sPPR 어드레스(sPPR_ADD) 및 노멀 리페어 어드레스(NOR_REP_ADD_1)가 동일하다고 가정한다.
- [0057] 도 5를 참조하면, t1에서, 입력 어드레스(ADD)와 sPPR 어드레스(sPPR_ADD)가 동일하므로 어드레스 비교부(200)의 비교기(200_0)는 sPPR 비교신호(sPPR_HITB)를 로우 인에이블하고, 입력 어드레스(ADD)와 노멀 리페어 어드레스(NOR_REP_ADD_1)가 동일하므로 어드레스 비교부(200)의 비교기(200_1)는 비교신호(NOR_HITB_1)를 로우 인에이블한다.
- [0058] t2에서, sPPR 비교신호(sPPR_HITB)가 로우 인에이블됨에 따라, 워드라인 선택부(300)의 리턴던시 워드라인 선택 유닛(310_0)은 리턴던시 워드라인 선택신호(LAX<0>)를 하이 인에이블한다. 또한, sPPR 비교신호(sPPR_HITB)가 로우 인에이블되고 노멀 비교신호(NOR_HITB_1)가 로우 인에이블됨에 따라, 워드라인 선택부(300)의 리턴던시 워드라인 선택유닛(310_1)은 리턴던시 워드라인 선택신호(LAX<1>)의 로우 디스에이블 상태를 유지한다.
- [0059] t3에서, 리턴던시 워드라인 선택신호(LAX<0>)에 대응하는 리턴던시 워드라인 구동신호(MWL B<0>)는 로우 인에이블되고, 리턴던시 워드라인 선택신호(LAX<1>)에 대응하는 리턴던시 워드라인 구동신호(MWL B<1>)은 하이 디스에이블 상태를 유지한다.
- [0060] t1으로부터 소정의 시간이 경과한 t4에서, sPPR 비교신호(sPPR_HITB) 및 노멀 비교신호(NOR_HITB_1)가 하이 디스에이블된다. t1~t4의 길이는 워드라인이 액티브 상태를 유지하는 시간일 수 있다.
- [0061] t5에서, sPPR 비교신호(sPPR_HITB)에 대응하는 리턴던시 워드라인 선택신호(LAX<0>)가 로우 디스에이블된다. 그리고, 노멀 비교신호(NOR_HITB<1>)에 대응하는 리턴던시 워드라인 선택신호(LAX<1>)는 로우 디스에이블 상태를 유지한다.
- [0062] t6에서, 리턴던시 워드라인 선택신호(LAX<0>)에 대응하는 리턴던시 워드라인 구동신호(MWL B<0>)가 하이 디스에이블되고, 리턴던시 워드라인 선택신호(LAX<1>)에 대응하는 리턴던시 워드라인 구동신호(MWL B<1>)는 하이 디스에이블 상태를 유지한다.
- [0063] 즉, 도 5의 점선으로 표시한 바와 같이, 본 실시예에 의하면, sPPR 어드레스(sPPR_ADD)와 노멀 리페어 어드레스(NOR_REP_ADD_1)가 동일하여, 입력 어드레스(ADD)가 sPPR 어드레스(sPPR_ADD)와 일치하고 또한 입력 어드레스(ADD)가 노멀 리페어 어드레스(NOR_REP_ADD_1)와도 일치하는 경우에, sPPR 어드레스(sPPR_ADD)에 대응하는 리턴던시 워드라인 선택신호(LAX<0>)만을 활성화함으로써, 리턴던시 워드라인이 중복하여 활성화되는 것을 방지할 수 있다.
- [0064] 이상, 본 발명의 실시예에 따라 구체적인 설명을 하였다. 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.
- [0065] 참고적으로, 본 발명의 기술적 사상과는 직접 관련이 없는 부분이지만, 본 발명을 보다 자세히 설명하기 위하여 추가적인 구성을 포함한 실시예를 예시할 수 있다. 또한, 신호 및 회로의 활성화 상태를 나타내기 위한 액티브 하이(Active High) 또는 액티브 로우(Active Low)의 구성은 실시 예에 따라 달라질 수 있다. 또한, 동일한 기능을 구현하기 위해 필요에 따라 트랜지스터의 구성은 변경될 수 있다. 이러한 회로의 변경은 너무 경우의 수가 많고, 이에 대한 변경은 통상의 전문가라면 누구나 쉽게 유추할 수 있기에 그에 대한 열거는 생략하기로 한다.

도면

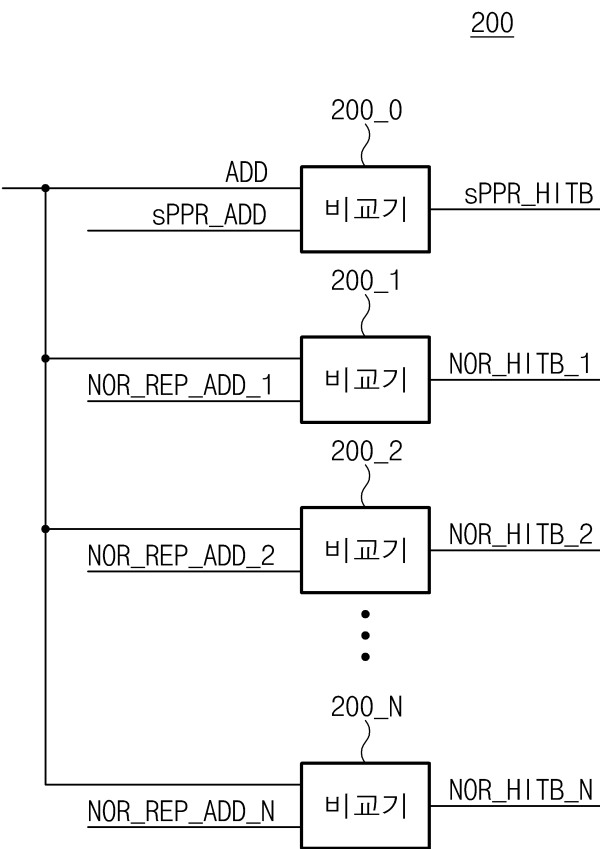
도면1



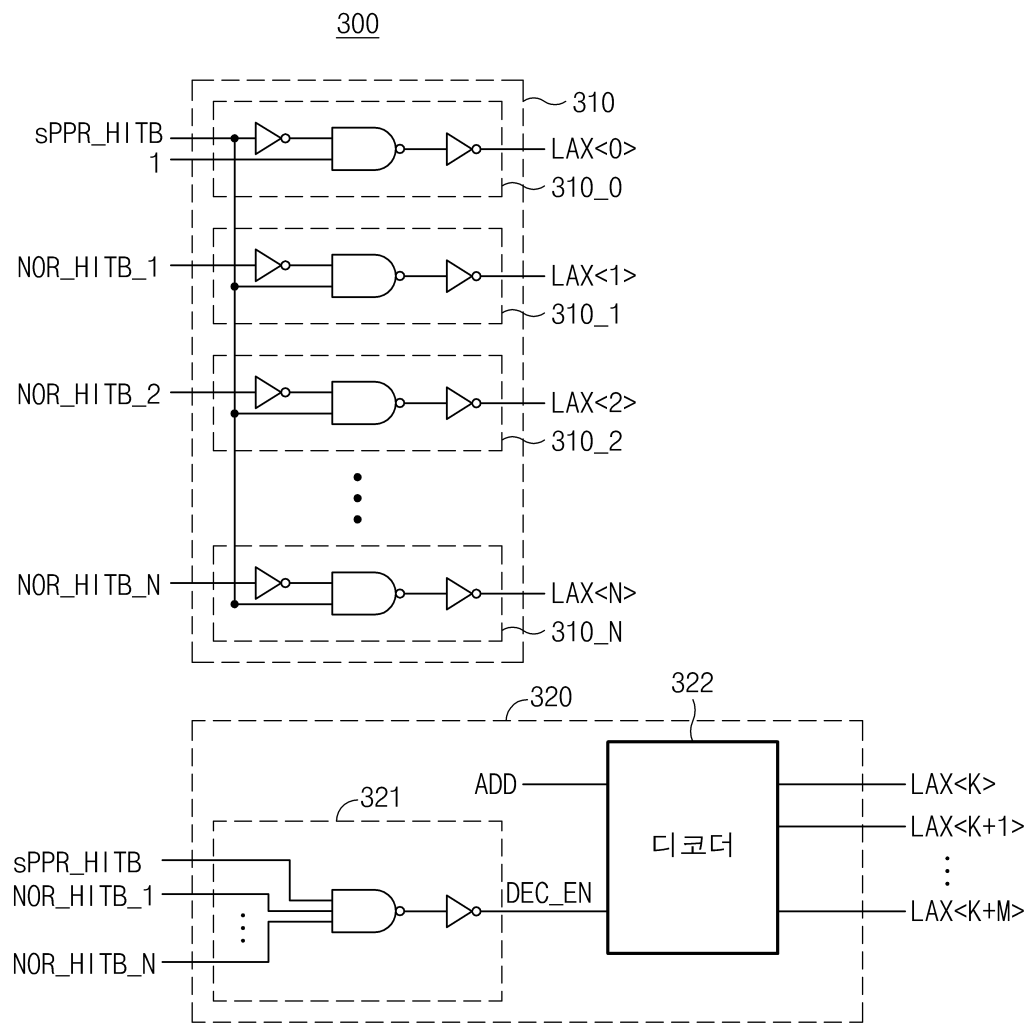
도면2



도면3



도면4



도면5

