

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4838550号
(P4838550)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年10月7日(2011.10.7)

(51) Int.Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G09G 3/20 (2006.01)	G09G 3/20	6 2 3 B
G02F 1/133 (2006.01)	G09G 3/20	6 1 1 A
H03F 3/45 (2006.01)	G09G 3/20	6 2 1 F
	G09G 3/20	6 1 1 J
請求項の数 4 (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2005-230270 (P2005-230270)	(73) 特許権者	308033711 ラピスセミコンダクタ株式会社 東京都八王子市東浅川町550番地1
(22) 出願日	平成17年8月9日(2005.8.9)	(74) 代理人	100086807 弁理士 柿本 恭成
(65) 公開番号	特開2007-47342 (P2007-47342A)	(72) 発明者	山崎 厚司 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内
(43) 公開日	平成19年2月22日(2007.2.22)	審査官	堀部 修平
審査請求日	平成20年3月5日(2008.3.5)		
最終頁に続く			

(54) 【発明の名称】 表示駆動回路

(57) 【特許請求の範囲】

【請求項1】

入力信号が与えられる第1入力端子及び帰還信号が与えられる第2入力端子を有し、出力端子から該第1及び第2入力端子の電位差に応じた信号を出力する差動増幅部と、

第1電源電位と出力ノードの間に接続されて所定の電流を流す第1導電型の第1のトランジスタと、

前記出力ノードと第2電源電位の間に接続され、制御電極に与えられる信号によって導通状態が制御される第2導電型の第2のトランジスタと、

前記差動増幅部の第2入力端子と前記第2のトランジスタの制御電極の間に接続されたキャパシタと、

表示装置が接続される出力パッドと前記出力ノードの間に接続され、前記入力信号の変化の開始と共に第1の制御信号が立ち上がるとほぼ同時に変化する第2の制御信号が与えられている間オフ状態となる第1のスイッチと、

前記差動増幅部の出力端子と前記第2のトランジスタの制御電極の間に接続され、前記第2の制御信号に引き続いて変化する第3の制御信号が与えられている間オフ状態となる第2のスイッチと、

前記出力ノードと前記差動増幅部の第2入力端子の間に接続され、前記第3の制御信号が与えられている間オフ状態となる第3のスイッチと、

前記第2のトランジスタの制御電極と前記第2電源電位の間に接続され、前記第3の制御信号に引き続いて変化する第4の制御信号が与えられている間オン状態となる第4のス

イッチと、

前記差動増幅部の第2入力端子と前記第2電源電位の間に接続され、前記第4の制御信号が与えられている間オン状態となる第5のスイッチとを備え、

前記入力信号が安定した後に前記第1の制御信号が立ち下がるとほぼ同時に前記第4の制御信号が与えられなくなって、前記第4のスイッチ及び前記第5のスイッチが共にオフ状態となり、引き続いて、前記第3の制御信号が与えられなくなって、前記第2のスイッチ及び前記第3のスイッチが共にオン状態となり、更に、前記第2の制御信号が与えられなくなって、前記第1のスイッチがオン状態となることを特徴とする表示駆動回路。

【請求項2】

前記第2、第4及び第5のスイッチは第2導電型のトランジスタで構成し、前記第1及び第3のスイッチはトランスファークロークで構成したことを特徴とする請求項1記載の表示駆動回路。

10

【請求項3】

入力信号が与えられる第1入力端子及び帰還信号が与えられる第2入力端子を有し、出力端子から該第1及び第2入力端子の電位差に応じた信号を出力する差動増幅部と、

第1電源電位と出力ノードの間に接続されて所定の電流を流す第1導電型の第1のトランジスタと、

前記出力ノードと第2電源電位の間に接続され、制御電極に与えられる信号によって導通状態が制御される第2導電型の第2のトランジスタと、

前記差動増幅部の第2入力端子と前記第2のトランジスタの制御電極の間に接続されたキャパシタと、

20

表示装置が接続される出力パッドと前記出力ノードの間に接続され、前記入力信号の変化の開始と共に与えられる第1の制御信号とほぼ同時に変化する第2の制御信号が与えられている間オフ状態となる第1のスイッチと、

前記差動増幅部の出力端子と前記第2のトランジスタの制御電極の間に接続され、前記第2の制御信号に引き続き変化する第3の制御信号が与えられている間オフ状態となる第2のスイッチと、

前記出力ノードと前記差動増幅部の第2入力端子の間に接続され、前記第3の制御信号が与えられている間オフ状態となる第3のスイッチと、

前記第2のトランジスタの制御電極と前記第2電源電位の間に接続され、前記第3の制御信号に引き続いて変化する第4の制御信号が与えられている間オン状態となる第4のスイッチと、

30

前記差動増幅部の第1及び第2入力端子の間に接続され、前記第4の制御信号が与えられている間オン状態となる第5のスイッチとを備え、

前記入力信号が安定した後に前記第1の制御信号が立ち下がるとほぼ同時に前記第4の制御信号が与えられなくなって、前記第4のスイッチ及び前記第5のスイッチが共にオフ状態となり、引き続いて、前記第3の制御信号が与えられなくなって、前記第2のスイッチ及び前記第3のスイッチが共にオン状態となり、更に、前記第2の制御信号が与えられなくなって、前記第1のスイッチがオン状態になることを特徴とする表示駆動回路。

【請求項4】

40

前記第2及び第4のスイッチは第2導電型のトランジスタで構成し、前記第1、第3及び第5のスイッチはトランスファークロークで構成したことを特徴とする請求項3記載の表示駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LCD(Liquid Crystal Display)等の表示器を駆動する表示駆動回路、特にその低消費電力での表示品質維持に関するものである。

【背景技術】

【0002】

50

図2は、従来のLCD駆動回路の構成図である。

このLCD駆動回路は、例えばLCDの縦方向の表示ラインを駆動するもので、アナログの入力信号INが与えられる差動増幅部、この差動増幅部で増幅された信号を低出力インピーダンスで出力する出力部、及び入力信号INが変化するときの不安定な表示を防止するためのスイッチ部を有している。

【0003】

差動増幅部は、PチャンネルMOSトランジスタ(以下、「PMOS」という)1P、2P、3Pと、NチャンネルMOSトランジスタ(以下、「NMOS」という)4N、5Nで構成されている。PMOS1Pのゲートには入力信号INが与えられ、ソースはPMOS3Pを介して電源電位VDDに接続され、ドレインはNMOS4Nを介して接地電位GNDに接続されている。NMOS4Nのゲートは、NMOS5Nのゲートとドレインに接続されている。NMOS5Nのソースは接地電位GNDに接続され、ドレインはPMOS2Pを介してPMOS1Pのソースに接続されている。PMOS3Pのゲートには、所定のバイアス電流を流すためのバイアス電圧VBが与えられている。

10

【0004】

出力部は、接地電位GNDと電源電位VDDの間に直列に接続されたNMOS6NとPMOS7Pを有し、このNMOS6Nのゲートが差動増幅部のPMOS1Pのドレインに接続されている。PMOS7Pのゲートにはバイアス電圧VBが与えられている。また、NMOS6NとPMOS7Pの接続点であるノードN1の信号S1が、差動増幅部のPMOS2Pのゲートにフィードバックされるようになっている。更に、ノードN1とNMOS6Nのゲートの間には、補償用のキャパシタ8が接続されている。

20

【0005】

スイッチ部は、NMOSとPMOSを並列に接続して、これらのゲートに相補的な制御信号を与えることによってオン/オフ制御するトランスファージェート(以下、「TG」という)9で構成され、出力信号OUTが出力されるパッド10とノードN1との間を、制御信号ENに従ってオン/オフするものである。なお、パッド10には、負荷回路LDとしてLCDの表示ラインが接続されるようになっている。

【0006】

このLCD駆動回路では、例えばLCDの横方向の走査ラインを順次切り替える度に、縦方向の表示ラインに印加する入力信号INが変化し、この入力信号INの変化タイミングに合わせて、所定時間だけレベル“L”となる制御信号ENが与えられる。

30

【0007】

制御信号ENが“L”になると、TG9はオフ状態となり、ノードN1とパッド10の間は切り離され、パッド10に接続される負荷回路LDへの出力信号OUTの供給は停止される。その間に、入力信号INは次の走査ラインに対する値に変化し、ノードN1の信号もこれに対応した値に変化する。

【0008】

所定時間が経過すると、制御信号ENはレベル“H”に戻り、TG9はオン状態となる。これにより、ノードN1の信号がTG9を介してパッド10へ出力され、出力信号OUTは切り替え後の走査ラインに対応する値に変化する。

40

【発明の開示】

【発明が解決しようとする課題】

【0009】

前記LCD駆動回路では次のような課題があった。

即ち、LCD駆動回路で発生する熱を低減するために、差動増幅部及び出力部に流れる定常電流を減らして消費電力を下げるのが一般的に行われている。しかしながら、定常電流を減らすと、入力信号INが変化したときの応答時間が長くなり、画質が劣化するという課題があった。

【0010】

本発明は、定常電流を減らしても画質の劣化が少ない表示駆動回路を提供することを目

50

的としている。

【課題を解決するための手段】

【0011】

本発明のうち第1の発明の表示駆動回路は、入力信号が与えられる第1入力端子及び帰還信号が与えられる第2入力端子を有し、出力端子から該第1及び第2入力端子の電位差に応じた信号を出力する差動増幅部と、第1電源電位と出力ノードの間に接続されて所定の電流を流す第1導電型の第1のトランジスタと、前記出力ノードと第2電源電位の間に接続され、制御電極に与えられる信号によって導通状態が制御される第2導電型の第2のトランジスタと、前記差動増幅部の第2入力端子と前記第2のトランジスタの制御電極の間に接続されたキャパシタと、表示装置が接続される出力パッドと前記出力ノードの間に接続され、入力信号の変化の開始と共に外部から与えられる第1の制御信号とほぼ同時に変化する第2の制御信号が与えられている間オフ状態となる第1のスイッチと、前記差動増幅部の出力端子と前記第2のトランジスタの制御電極の間に接続され、前記第2の制御信号に引き続いて変化する第3の制御信号が与えられている間オフ状態となる第2のスイッチと、前記出力ノードと前記差動増幅部の第2入力端子の間に接続され、前記第3の制御信号が与えられている間オフ状態となる第3のスイッチと、前記第2のトランジスタの制御電極と前記第2電源電位の間に接続され、前記第3の制御信号に引き続いて変化する第4の制御信号が与えられている間オン状態となる第4のスイッチと、前記差動増幅部の第2入力端子と前記第2電源電位の間に接続され、前記第4の制御信号が与えられている間オン状態となる第5のスイッチとを備えている。そして、前記入力信号が安定した後に前記第1の制御信号が立ち下がると、ほぼ同時に前記第4の制御信号が与えられなくなって、前記第4のスイッチ及び前記第5のスイッチが共にオフ状態となり、引き続いて、前記第3の制御信号が与えられなくなって、前記第2のスイッチ及び前記第3のスイッチが共にオン状態となり、更に、前記第2の制御信号が与えられなくなって、前記第1のスイッチがオン状態となることを特徴としている。

10

20

本発明のうち第2の発明の表示駆動回路は、入力信号が与えられる第1入力端子及び帰還信号が与えられる第2入力端子を有し、出力端子から該第1及び第2入力端子の電位差に応じた信号を出力する差動増幅部と、第1電源電位と出力ノードの間に接続されて所定の電流を流す第1導電型の第1のトランジスタと、前記出力ノードと第2電源電位の間に接続され、制御電極に与えられる信号によって導通状態が制御される第2導電型の第2のトランジスタと、前記差動増幅部の第2入力端子と前記第2のトランジスタの制御電極の間に接続されたキャパシタと、表示装置が接続される出力パッドと前記出力ノードの間に接続され、前記入力信号の変化の開始と共に与えられる第1の制御信号と、ほぼ同時に変化する第2の制御信号が与えられている間オフ状態となる第1のスイッチと、前記差動増幅部の出力端子と前記第2のトランジスタの制御電極の間に接続され、前記第2の制御信号に引き続き変化する第3の制御信号が与えられている間オフ状態となる第2のスイッチと、前記出力ノードと前記差動増幅部の第2入力端子の間に接続され、前記第3の制御信号が与えられている間オフ状態となる第3のスイッチと、前記第2のトランジスタの制御電極と前記第2電源電位の間に接続され、前記第3の制御信号に引き続いて変化する第4の制御信号が与えられている間オン状態となる第4のスイッチと、前記差動増幅部の第1及び第2入力端子の間に接続され、前記第4の制御信号が与えられている間オン状態となる第5のスイッチとを備えている。そして、前記入力信号が安定した後に前記第1の制御信号が立ち下がると、ほぼ同時に前記第4の制御信号が与えられなくなって、前記第4のスイッチ及び前記第5のスイッチが共にオフ状態となり、引き続いて、前記第3の制御信号が与えられなくなって、前記第2のスイッチ及び前記第3のスイッチが共にオン状態となり、更に、前記第2の制御信号が与えられなくなって、前記第1のスイッチがオン状態になることを特徴としている。

30

40

【発明の効果】

【0012】

本発明のうち第1の発明によれば、入力信号の変化タイミングで順番に与えられる第1

50

の制御信号、第2の制御信号、第3の制御信号及び第4の制御信号によって、出力ノード及び第2のトランジスタを、差動増幅部及び出力パッドから切り離すと共に、キャパシタを放電させるための第1～第5のスイッチを備えている。これにより、入力信号が安定して第1の制御信号が解除された瞬間に、第2のトランジスタが極めて小さなオン抵抗で出力パッドに接続され、この出力パッドに接続される負荷回路の電荷を充放電して急速に入力信号に対応した電圧に変化させることができる。これにより、差動増幅部の定常電流を減らしても速い応答速度が得られ、画質の劣化が少ないという効果がある。

本発明のうち第2の発明によれば、第4の制御信号によって差動増幅部の第1入力端子と第2入力端子との間が導通状態となることによって、入力信号の状態がキャパシタを介して第2導電型の第2トランジスタの制御電極における電位として反映されることになるので、入力信号の変化量が大きい時には小さなオン抵抗で負荷回路の電荷を充放電でき、入力信号の変化量が小さい時には負荷回路への無駄な充放電を抑制できるという効果がある。

10

【発明を実施するための最良の形態】

【0013】

差動増幅部の第2入力端子と第2電源電位の間接続された第5のスイッチに代えて、この差動増幅部の第1及び第2入力端子の間に、制御信号が与えられている間オン状態となる第5のスイッチを設ける。

【0014】

この発明の前記並びにその他の目的と新規な特徴は、次の好ましい実施例の説明を添付図面と照らし合わせて読むと、より完全に明らかになるであろう。但し、図面は、もっぱら解説のためのものであって、この発明の範囲を限定するものではない。

20

【実施例1】

【0015】

図1は、本発明の実施例1を示すLCD駆動回路の構成図であり、図2中の要素と共通の要素には共通の符号が付されている。

【0016】

このLCD駆動回路は、図2と同様にLCDの縦方向の表示ラインを駆動するもので、第1導電型のMOSトランジスタ(例えば、PMOS)1P, 2P, 3Pと、第2導電型のMOSトランジスタ(例えば、NMOS)4N, 5Nで構成される差動増幅部を有している。

30

【0017】

差動増幅部の第1入力端子であるPMOS1Pのゲートにはアナログの入力信号INが与えられ、ソースはPMOS3Pを介して第1の電源電位(例えば、VDD)に接続され、ドレインはNMOS4Nを介して第2の電源電位(例えば、接地電位GND)に接続されている。NMOS4Nのゲートは、NMOS5Nのゲートとドレインに接続されている。NMOS5Nのソースは接地電位GNDに接続され、ドレインはPMOS2Pを介してPMOS1Pのソースに接続されている。PMOS3Pのゲートには、所定のバイアス電流を流すためのバイアス電圧VBPが与えられている。

【0018】

40

差動増幅部の出力端子であるPMOS1Pのドレインは、スイッチ用のNMOS11Nを介してノードN2に接続され、このノードN2が出力部のNMOS6Nのゲートに接続されている。また、差動増幅部の第2入力端子であるPMOS2PのゲートはノードN3に接続され、このノードN3がTG12を介して出力部のノードN1に接続されている。

そして、ノードN1の信号が、PMOS2Pのゲートに帰還信号として与えられるようになっていて、また、NMOS11NとTG12は、第3の制御信号KLによってオン/オフ制御され、この制御信号KLが“H”のときにオン状態となり、“L”のときにオフ状態となるように構成されている。

【0019】

出力部は、接地電位GNDとノードN1の間接続されたNMOS6Nと、このノード

50

N 1 と電源電位 V D D の間に接続され、ゲートにバイアス電圧 V B P が与えられる P M O S 7 P で構成されている。

【 0 0 2 0 】

ノード N 2 , N 3 間には、補償用のキャパシタ 8 が接続され、これらのノード N 2 , N 3 と接地電位 G N D 間には、それぞれスイッチ用の N M O S 1 3 N , 1 4 N が接続されている。N M O S 1 3 N , 1 4 N のゲートには第 4 の制御信号 D C が与えられ、この制御信号 D C によってオン / オフ制御されるようになっている。

【 0 0 2 1 】

ノード N 1 は、第 2 の制御信号 E N でオン / オフ制御される T G 9 を介してパッド 1 0 に接続されている。T G 9 は、制御信号 E N が “ H ” のときにオン状態となってノード N 1 の信号を出力信号 O U T としてパッド 1 0 に出力し、この制御信号 E N が “ L ” のときにはオフ状態となるように構成されている。なお、パッド 1 0 には、負荷回路 L D として L C D の表示ラインが接続されるようになっている。

【 0 0 2 2 】

更に、この L C D 駆動回路は、入力信号 I N の変化タイミングに合わせて与えられる所定のパルス幅の第 1 の制御信号 T P に基づいて、第 2 の制御信号 E N , 第 3 の制御信号 K L , 第 4 の制御信号 D C を生成するためのタイミング制御部 2 0 を備えている。

【 0 0 2 3 】

タイミング制御部 2 0 は、制御信号 T P が入力信号 I N の変化開始時に “ L ” から “ H ” に立ち上がると、ほぼ同時に制御信号 E N を “ H ” から “ L ” に立ち下げ、その後、制御信号 K L を立ち下げ、更に、制御信号 D C を “ L ” から “ H ” に立ち上げるようになっている。また、入力信号 I N が安定するための所定時間が経過して、制御信号 T P が “ H ” から “ L ” に立ち下がると、タイミング制御部 2 0 は、ほぼ同時に制御信号 D C を立ち下げ、その後、順次制御信号 K L , E N を立ち上げるようになっている。なお、これらの制御信号 T P , E N , K L , D C は、若干の時間差はあるが、確実なスイッチ動作を行うための時間差であり、ほぼ同じタイミングの信号である。

【 0 0 2 4 】

図 3 は、図 1 の動作を示す信号波形図である。以下、この図 3 を参照しつつ図 1 の動作を説明する。

【 0 0 2 5 】

制御信号 T P が “ L ” で安定しているときは、N M O S 1 1 N と T G 9 , 1 2 はオン状態となり、N M O S 1 3 N , 1 4 N はオフ状態となる。これにより、差動増幅部と出力部によるボルテージフォロワ回路が構成され、入力信号 I N と同じ電圧の出力信号 O U T が、パッド 1 0 から出力される。

【 0 0 2 6 】

図 3 の時刻 T 1 において、入力信号 I N の変化（例えば、高電位から低電位へ）の開始と共に外部から与えられる制御信号 T P が立ち上がると、ほぼ同時に制御信号 E N が “ L ” となり、T G 9 がオフ状態となってノード N 1 とパッド 1 0 の間が切り離される。これにより、パッド 1 0 及びこれに接続された負荷回路 L D には、変化直前の入力信号 I N に対応した出力信号 O U T が、そのまま保持される。

【 0 0 2 7 】

引き続き、制御信号 K L が “ L ” となって N M O S 1 1 N と T G 1 2 がオフ状態となり、差動増幅部の出力側とノード N 2 の間が切り離されると共に、ノード N 1 , N 3 間も切り離される。更に、制御信号 D C が “ H ” となり、N M O S 1 3 N , 1 4 N はオン状態となる。これにより、ノード N 2 の電位 S 2 とノード N 3 の電位 S 3 は、接地電位 G N D となる。従って、キャパシタ 8 の電荷は放電される。

【 0 0 2 8 】

時刻 T 2 において、入力信号 I N が安定して外部から与えられる制御信号 T P が立ち下がると、ほぼ同時に制御信号 D C が “ L ” となり、N M O S 1 3 N , 1 4 N はオフ状態となる。これにより、ノード N 2 , N 3 は、接地電位 G N D から切り離される。

10

20

30

40

50

【 0 0 2 9 】

引き続き、制御信号 K L が “ H ” となって N M O S 1 1 N と T G 1 2 がオン状態となり、差動増幅部の出力側とノード N 2 の間が接続されると共に、ノード N 1 , N 3 間も接続される。更に、制御信号 E N が “ H ” となり、T G 9 がオン状態となってノード N 1 とパッド 1 0 の間が接続される。

【 0 0 3 0 】

これにより、ノード N 3 の電位 S 3 は、パッド 1 0 の電位（変化前の入力信号 I N に対応する出力信号 O U T ）まで急峻に上昇する。ノード N 2 は、キャパシタ 8 を介してノード N 3 に接続されているので、このノード N 2 の電位 S 2 は、キャパシタ 8 のカップリングによって急峻に上昇する。この時のノード N 2 の立ち上がりは、差動増幅部の定常電流とは無関係に、極めて短時間に行われる。

10

【 0 0 3 1 】

時刻 T 3 において、ノード N 2 の電位 S 2 が、N M O S 6 N を完全なオン状態にさせる電位まで上昇すると、パッド 1 0 に接続された負荷回路 L D に保持されていた電荷が、この N M O S 6 N を介して接地電位 G N D に急速に放電される。これにより、パッド 1 0 の出力信号 O U T の電位は、急速に入力信号 I N に応じた電位に近づく。

【 0 0 3 2 】

以上のように、この実施例 1 の L C D 駆動回路は、入力信号 I N が変化するタイミングで与えられる制御信号 T P が “ H ” になったときに、差動増幅部と出力部との間を切り離して補償用のキャパシタ 8 を放電させ、この制御信号 T P が “ L ” になったときに、パッド 1 0 の電位をキャパシタ 8 のカップリングによって出力部の N M O S 6 N のゲートに印加するように構成している。これにより、制御信号 T P が “ L ” になって出力信号 O U T の出力が開始された瞬間に、N M O S 6 N が極めて小さなオン抵抗でパッド 1 0 に接続される負荷回路 L D の電荷を充放電することができる。

20

【 0 0 3 3 】

従って、差動増幅部の定常電流を減らしても、入力信号 I N が変化したときの応答時間を短くすることができ、画質の劣化が少ないという利点がある。更に、負荷回路 L D の電荷の充放電が、N M O S 6 N によってオン抵抗の小さな状態で行われるので、この N M O S 6 N による消費電力が減少し、発熱を小さくすることができるという利点がある。

【 実施例 2 】

30

【 0 0 3 4 】

図 4 は、本発明の実施例 2 を示す L C D 駆動回路の構成図であり、図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 0 3 5 】

図 1 の L C D 駆動回路は、シンクアンプ(Sink AMP)と呼ばれ、入力信号 I N が接地電位 G N D から電源電位 V D D の 1 / 2 までの範囲で良好な特性が得られるものであったが、この実施例 2 の L C D 駆動回路は、ソースアンプ(Source AMP)と呼ばれ、入力信号 I N が V D D / 2 ~ V D D の範囲に対応するものである。

【 0 0 3 6 】

回路構成は、図 4 に示すように、図 1 中の P M O S を N M O S に、N M O S を P M O S に変更すると共に、電源電位 V D D と接地電位 G N D への接続を入れ替えたものである。これに伴い、各トランジスタに付した符号のサフィックス(N, P)を、付け替えている。また、P M O S 1 1 P のゲートには、制御信号 K L をインバータ 2 1 で反転した第 5 の制御信号 X K L を与え、P M O S 1 3 P , 1 4 P のゲートには、制御信号 D C をインバータ 2 2 で反転した第 6 の制御信号 X D C を与えるようにしている。

40

【 0 0 3 7 】

図 5 は、図 4 の動作を示す信号波形図である。この図 5 を参照しつつ図 4 の動作を説明する。なお、以下の動作は、基本的には図 1 の L C D 駆動回路の動作と同じである。

【 0 0 3 8 】

図 5 の時刻 T 1 において、入力信号 I N の変化（例えば、低電位から高電位へ）の開始

50

と共に外部から与えられる制御信号TPが立ち上がると、ほぼ同時に制御信号ENが“L”となり、TG9がオフ状態となってノードN1とパッド10の間が切り離される。これにより、パッド10及びこれに接続された負荷回路LDには、変化直前の入力信号INに対応した出力信号OUTが、そのまま保持される。

【0039】

引き続き、制御信号KLが“L”となってPMOS11PとTG12がオフ状態となり、差動増幅部の出力側とノードN2の間が切り離されると共に、ノードN1、N3間も切り離される。更に、制御信号DCが“H”となり、PMOS13P、14Pはオン状態となる。これにより、ノードN2の電位S2とノードN3の電位S3は、電源電位VDDとなる。従って、キャパシタ8に電荷が充電される。

10

【0040】

時刻T2において、入力信号INが安定して外部から与えられる制御信号TPが立ち上がると、ほぼ同時に制御信号DCが“L”となり、PMOS13P、14Pはオフ状態となる。これにより、ノードN2、N3は、電源電位VDDから切り離される。

【0041】

引き続き、制御信号KLが“H”となってPMOS11PとTG12がオン状態となり、差動増幅部の出力側とノードN2の間が接続されると共に、ノードN1、N3間も接続される。更に、制御信号ENが“H”となり、TG9がオン状態となってノードN1とパッド10の間が接続される。

【0042】

これにより、ノードN3の電位S3は、パッド10の電位(変化前の入力信号INに対応する出力信号OUT)まで急峻に下降する。ノードN2は、キャパシタ8を介してノードN3に接続されているので、このノードN2の電位S2は、キャパシタ8のカップリングによって急峻に下降する。この時、ノードN2の電位の立ち下がり、差動増幅部の定常電流とは無関係に、極めて短時間に行われる。

20

【0043】

時刻T3において、ノードN2の電位S2が、PMOS6Pを完全なオン状態にさせる電位まで下降すると、電源電位VDDからPMOS6Pを介してパッド10に接続された負荷回路LDに電流が流れ、このパッド10の出力信号OUTの電位は、急速に入力信号INに応じた電位に近づく。

30

【0044】

以上のように、この実施例2のLCD駆動回路は、入力信号INが変化するタイミングで与えられる制御信号TPが“H”になったときに、差動増幅部と出力部との間を切り離して補償用のキャパシタ8を充電させ、この制御信号TPが“L”になったときに、パッド10の電位をキャパシタ8のカップリングによって出力部のPMOS6Pのゲートに印加するように構成している。これにより、制御信号TPが“L”になって出力信号OUTの出力が開始された瞬間に、PMOS6Pが極めて小さなオン抵抗でパッド10に接続される負荷回路LDの電荷を充放電することができる。従って、このLCD駆動回路は、実施例1と同様の利点がある。

【実施例3】

40

【0045】

図6は、本発明の実施例3を示すLCD駆動回路の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0046】

このLCD駆動回路は、図1中のNMOS14Nを削除すると共に、入力端子(入力信号INが与えられるPMOS1Pのゲート)とノードN3の間にTG15を設け、このTGを制御信号DCでオン/オフ制御するように構成したものである。その他の構成は、図1と同様である。

【0047】

このLCD駆動回路では、入力信号INが変化する期間に制御信号DCが“H”になる

50

と、T G 1 5 がオン状態となり、ノード N 3 の電位 S 3 は入力信号 I N と同じ電位になる。従って、入力信号 I N が安定した時点では、ノード N 3 の電位 S 3 は変化後の入力信号 I N に対応した電位となり、キャパシタ 8 は変化後の入力信号 I N と同じ電圧に充電される。そして、制御信号 D C が “ L ” となり、更に、制御信号 K L , E N が “ H ” になると、それまでパッド 1 0 に保持されていた出力信号 O U T (即ち、変化前の入力信号 I N に対応する電圧) が、キャパシタ 8 を介してノード N 2 に与えられる。このため、ノード N 2 の電位 S 2 は、入力信号 I N の変化量に対応した電位となる。これにより、N M O S 6 N は入力信号 I N の変化量に応じて導通状態が制御され、パッド 1 0 の出力信号 O U T が、急速に入力信号 I N に応じた電位に近づく。

【 0 0 4 8 】

以上のように、この実施例 3 の L C D 駆動回路は、入力信号 I N が変化するタイミングで与えられる制御信号 T P が “ H ” になったときに、差動増幅部と出力部との間を切り離して補償用のキャパシタ 8 をこの入力信号 I N と同じ電圧に充電させ、この制御信号 T P が “ L ” になったときに、パッド 1 0 の電位をキャパシタ 8 のカップリングによって出力部の N M O S 6 N に印加するように構成している。これにより、制御信号 T P が “ L ” になって出力信号 O U T の出力が開始されたときに、N M O S 6 N は入力信号 I N の変化量に応じた導通状態に制御される。即ち、入力信号 I N の変化量が大きいときには実施例 1 と同様に極めて小さなオン抵抗で、パッド 1 0 に接続される負荷回路 L D の電荷を充放電することができる。一方、入力信号 I N の変化量が小さいときには比較的大きなオン抵抗になるが、負荷回路 L D へのオーバードライブによる過度で無駄な充放電を抑えることができる。

【 0 0 4 9 】

なお、この実施例 3 は、実施例 1 のシンクアンプに対応するものであるが、実施例 2 のソースアンプに対しても同様に適用することができる。即ち、図 4 において、P M O S 1 4 P を削除すると共に、入力端子とノード N 3 の間に T G 1 5 を設け、この T G を制御信号 D C でオン / オフ制御するように構成すれば良い。これにより、ソースアンプに対しても、この実施例 3 と同様の利点が得られる。

【 図面の簡単な説明 】

【 0 0 5 0 】

【 図 1 】 本発明の実施例 1 を示す L C D 駆動回路の構成図である。

【 図 2 】 従来 of L C D 駆動回路の構成図である。

【 図 3 】 図 1 の動作を示す信号波形図である。

【 図 4 】 本発明の実施例 2 を示す L C D 駆動回路の構成図である。

【 図 5 】 図 4 の動作を示す信号波形図である。

【 図 6 】 本発明の実施例 3 を示す L C D 駆動回路の構成図である。

【 符号の説明 】

【 0 0 5 1 】

1 P ~ 7 P , 1 1 P , 1 3 P , 1 4 P P M O S

1 N ~ 7 N , 1 1 N , 1 3 N , 1 4 N N M O S

8 キャパシタ

9 , 1 2 , 1 5 T G (トランスファークエート)

1 0 パッド

2 0 タイミング制御部

2 1 , 2 2 インバータ

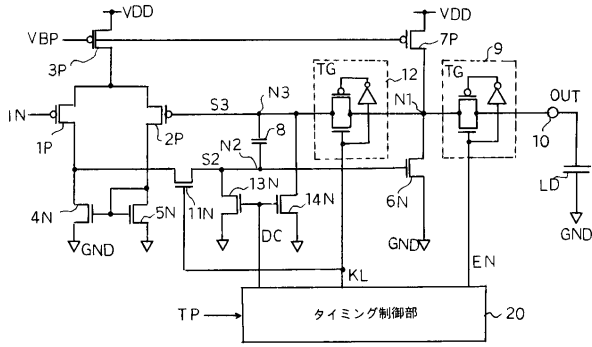
10

20

30

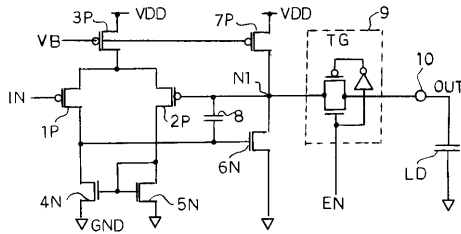
40

【図1】



本発明の実施例1のLCD駆動回路

【図2】



従来のLCD駆動回路

【図3】

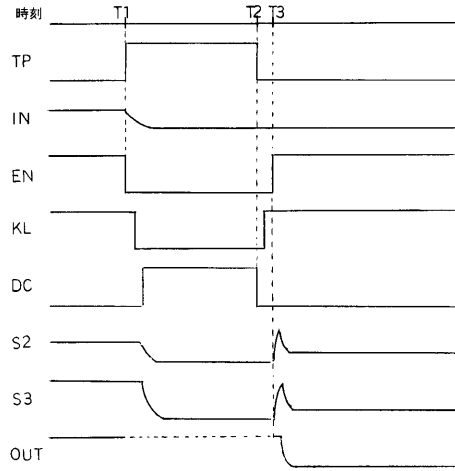
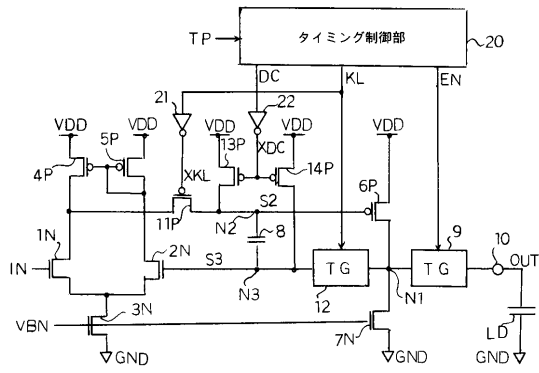


図1の信号波形

【図4】



本発明の実施例2のLCD駆動回路

【図5】

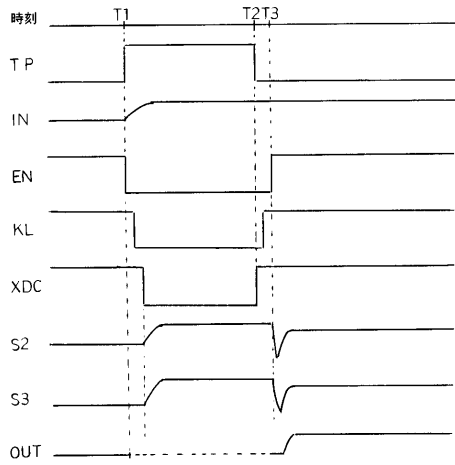
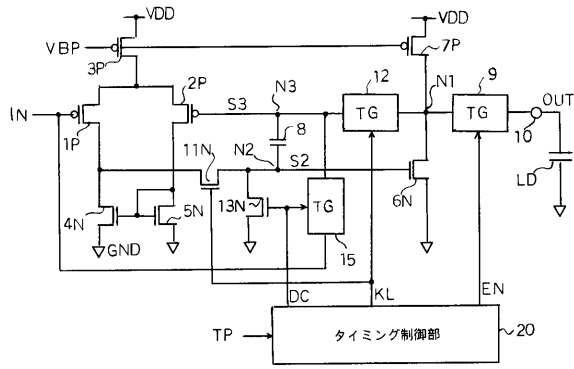


図4の信号波形

【図6】



本発明の実施例3のLCD駆動回路

フロントページの続き

(51)Int.Cl.

F I

G 0 2 F 1/133 5 5 0

H 0 3 F 3/45 Z

(56)参考文献 特開平 1 1 - 2 4 9 6 2 4 (J P , A)

特開平 1 0 - 3 4 0 0 7 2 (J P , A)

特開平 1 1 - 1 5 0 4 2 7 (J P , A)

特開平 1 0 - 0 1 3 1 6 6 (J P , A)

特開平 0 9 - 0 2 7 7 2 2 (J P , A)

特開平 0 6 - 2 9 1 5 7 4 (J P , A)

特開平 0 5 - 0 4 1 6 5 1 (J P , A)

特開昭 6 0 - 0 8 0 3 0 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 2 0 - 3 / 3 8