



(12) 发明专利申请

(10) 申请公布号 CN 105191137 A

(43) 申请公布日 2015. 12. 23

(21) 申请号 201280043196. 1

(51) Int. Cl.

(22) 申请日 2012. 09. 05

H03K 19/003(2006. 01)

(30) 优先权数据

H03K 19/0185(2006. 01)

11180174. 2 2011. 09. 06 EP

H03F 3/185(2006. 01)

61/549, 456 2011. 10. 20 US

H03F 1/52(2006. 01)

H03F 3/30(2006. 01)

(85) PCT国际申请进入国家阶段日

2014. 03. 05

(86) PCT国际申请的申请数据

PCT/EP2012/067320 2012. 09. 05

(87) PCT国际申请的公布数据

W02013/034595 EN 2013. 03. 14

(71) 申请人 意法爱立信有限公司

地址 瑞士普朗莱乌特尚德菲耶路 39 号

(72) 发明人 杰尔马诺·尼科利尼

马可·赞普罗尼奥

(74) 专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 黄志华

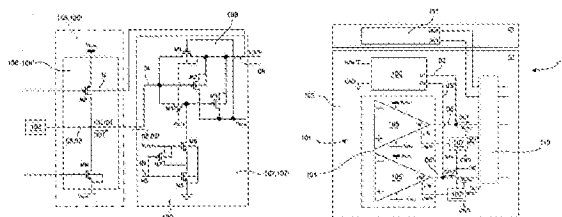
权利要求书3页 说明书7页 附图3页

(54) 发明名称

具有用于耳机 USB 连接器的便携式设备的体 - 偏置电路的电子设备

(57) 摘要

一种具有 CMOS 音频输出级 105 的电子 USB 或者相似的设备 101, 在第一模式, 例如, 该音频输出级用于通过一端口驱动耳机, 该端口在第二模式中也由数字数据传输级 103 公用而用于数字数据和供给, 音频输出级 P- 沟道晶体管 MP 根据运行模式通过偏置电路 107 来切换背栅偏置以获取高电压容差。



1. 一种电子设备(101),包括:

数字数据传输级(103),所述数字数据传输级(103)具有至少第一输出端子(03),以提供具有与第一基准电压(VUSB)或者第二基准电压(GND)相对应的电压值的第一数字信号(D1),所述数字数据传输级(103)设置成当作为数字数据传输模式的功能被选择时而运行;

音频信号放大级(104),所述音频信号放大级(104)包括至少第一放大器(105),所述第一放大器(105)具有第一输出级(106),所述第一输出级(106)包括在第三基准电压(VCCHS)和第四基准电压(VSSHs)之间彼此串联连接的PMOS晶体管(MP)和NMOS晶体管(MN),所述音频信号放大级(104)设置成当作为音频信号放大模式的功能被选择时而运行;

所述第一输出级(106)具有与所述数字数据传输级(103)的所述至少第一输出端子(03)连接的第一输出端子(05),以提供输出信号(OUT),当作为数字数据传输模式的功能被选择时,所述输出信号(OUT)与所述第一数字信号(D1)相对应,或者当作为音频信号放大模式的功能被选择时,所述输出信号(OUT)与音频信号(HSL)相对应;

所述第一输出级(106)的PMOS晶体管(MP)的体端子(B)的至少第一偏置电路(107),

所述电子设备(101)的特征在于,当作为数字数据传输模式的功能被选择时,所述至少第一偏置电路(107)设置成将与所述输出信号(OUT)的电压值和所述电子设备(101)的所述第三基准电压(VCCHS)之间的最高值相对应的偏压(V_{bMP})提供给所述第一输出级(106)的PMOS晶体管(MP)的体端子(B),当作为音频信号放大模式的功能被选择时,所述至少第一偏置电路(107)还设置成将与所述电子设备(101)的第三基准电压(VCCHS)相对应的偏压(V_{bMP})提供给所述第一输出级(106)的PMOS晶体管(MP)的体端子(B)。

2. 如权利要求1所述的电子设备(101),其中,所述至少第一偏置电路(107)包括第一输入端子(IN),以接收代表在作为数字数据传输模式的功能和作为音频信号放大模式的功能之间选择的功能的数字控制信号(HS)。

3. 如前述权利要求中任一项所述的电子设备(101),其中,所述至少第一偏置电路(107)具有连接到所述第一输出级(106)的所述第一输出端子(05)的第二输入端子(I8)和连接到所述第一输出级(106)的所述PMOS晶体管(MP)的所述体端子(B)的第二输出端子(08)。

4. 如权利要求3所述的电子设备(101),其中,所述至少第一偏置电路(107)包括:

第一PMOS晶体管(M1),所述第一PMOS晶体管(M1)具有连接到所述第三基准电压(VCCHS)的相应的栅极端子、连接到所述第一输出级(106)的所述第一输出端子(05)的相应的漏极端子、和连接到所述第一输出级(106)的所述PMOS晶体管(MP)的所述体端子(B)的相应的源极端子和相应的体端子;

第二PMOS晶体管(M2),所述第二PMOS晶体管(M2)具有连接到所述第一输出级(106)的第一输出端子(05)的相应的栅极端子、连接到所述第三基准电压(VCCHS)的相应的漏极端子、和连接到所述第一输出级(106)的所述PMOS晶体管(MP)的所述体端子(B)的相应的源极端子和相应的体端子;

第三PMOS晶体管(M3),所述第三PMOS晶体管(M3)具有连接到所述第三基准电压(VCCHS)的相应的漏极端子、连接到所述第一输出级(106)的所述PMOS晶体管(MP)的所述

体端子(B)的相应的源极端子和相应的体端子；

第四 PMOS 晶体管(M4),所述第四 PMOS 晶体管(M4)具有连接到所述第三基准电压(VCCHS)的相应的栅极端子、连接到所述第一输出级(106)的所述第一输出端子(O5)的相应的漏极端子、连接到所述第一输出级(106)的所述 PMOS 晶体管(MP)的所述体端子(B)的相应的体端子、和连接到所述第三 PMOS 晶体管(M3)的栅极端子的相应的源极端子。

5. 如权利要求 4 所述的电子设备(101),其中,所述至少第一偏置电路(107)还包括:

第一 NMOS 晶体管(M5),所述第一 NMOS 晶体管(M5)具有对应于所述至少第一偏置电路(107)的输入端子(IN)的相应的栅极端子、和连接到所述第二基准电压(GND)的相应的源极端子和相应的体端子;

第二 NMOS 晶体管(M6),所述第二 NMOS 晶体管(M6)具有连接到所述第三基准电压(VCCHS)的相应的栅极端子、连接到所述第四 PMOS 晶体管(M4)的源极端子的相应的漏极端子、连接到所述第一 NMOS 晶体管(M5)的漏极端子的相应的源极端子、和连接到所述第二基准电压(GND)的相应的体端子;

第五 PMOS 晶体管(M7),所述第五 PMOS 晶体管(M7)具有连接到所述第一 NMOS 晶体管(M5)的栅极端子的相应的栅极端子、连接到所述第一 NMOS 晶体管(M5)的漏极端子的相应的漏极端子、和连接到所述第三基准电压(VCCHS)的相应的源极端子和相应的体端子。

6. 如权利要求 5 所述的电子设备(101),还包括 USB 连接器(110),连接到所述数字数据传输级(103)的所述至少第一输出端子(O3)的所述第一输出级(106)的所述第一输出端子(O5)连接到所述 USB 连接器(110)。

7. 如前述权利要求中任一所述的电子设备(101),其中,所述数字数据传输级(103)具有第二输出端子(O3'),以提供具有与第一基准电压(VUSB)或者第二基准电压(GND)相对应的电压值的第二数字信号(D2),所述音频信号放大级(104)还包括具有第二输出级(106')的第二放大器(105'),所述第二放大器(105')与所述至少第一放大器(105)类似,所述第二放大器(105')的第二输出级(106')具有连接到所述数字数据传输级(103)的第二输出端子(O3')的第一输出端子(O5')。

8. 如权利要求 7 所述的电子设备(101),还包括所述第二放大器(105')的所述第二输出级(106')的所述 PMOS 晶体管的所述体端子的第二偏置电路(107'),所述第二偏置电路(107')具有相同的输入端子(IN)以接收数字控制信号(HS),所述第二偏置电路(107')与所述至少第一偏置电路(107)类似。

9. 如权利要求 8 所述的电子设备(101),其中,连接到所述数字数据传输级(103)的第二输出端子(O3')的所述第二放大器(105')的第一输出端子(O5')与所述 USB 连接器(110)连接。

10. 如权利要求 8 所述的电子设备(101),其中,所述第一放大器(105)设置成放大耳机左侧的音频信号,所述第二放大器(105')设置成放大耳机右侧的音频信号,所述耳机设置成通过所述 USB 连接器(110)连接到所述电子设备(101)。

11. 一种电子电路板(100),包括如权利要求 1-10 所述的电子设备(101)和 USB 充电器(111)。

12. 一种便携式设备,包括:

用于耳机的 USB 连接器;

如权利要求 11 所述的电子电路板(100)。

具有用于耳机 USB 连接器的便携式设备的体 - 偏置电路的 电子设备

技术领域

[0001] 本发明涉及具有耳机 USB 连接器的便携式设备,尤其涉及一种具有用于便携式设备的偏置电路的电子装置,且该便携式设备具有用于耳机 USB 的连接器的。

背景技术

[0002] 近来,在新一代便携式设备(例如移动电话)中已经需要用于耳机的 USB 连接器。

[0003] USB 连接器既用于 USB 数字数据传输,又用于 USB 耳机音频收听。当用于音频收听的耳机放大器被选择时,放大器通电,而 USB 电路利用高阻抗断开。当用于数据传输的 USB 电路被选择时,发生相反情况,即,USB 电路通电而耳机放大器由于高输出阻抗断电。

[0004] 通常,具有 USB 耳机放大器的移动电话包括设置成提供约 5V 或者 5.25V 的工作电压 VBUS 的 USB 充电器、USB 电路和一个或者多个耳机放大器。USB 电路设置成在第一基准电压 VUSB 和另一基准电压 GND 之间工作。USB 电路提供有:第一输出端子,以提供第一数字数据 D1;和第二输出端子,以提供第二数字数据 D2。第一数字数据 D1 和第二数字数据 D2 都具有对应于基准电压 VUSB (3V 或者 3.3V) 或者另一基准电压(0V) 的电压值。此外,根据 USB 需求,USB 电路必须要承受在传输的数字数据的高/低逻辑电平和 USB 充电器提供的基准电压 VBUS 之间可能的短路而不发生损坏。耳机放大器正电源电压通常是从 1.5v 到 2.1v,而耳机放大器的负电源电压通常是通过负电荷泵电路获得的从 -1.2v 到 -1.5v,这是本领域技术人员公知的。

[0005] 附图 3 示出了耳机放大器(图中未示出)的输出级 300 的电路实现。

[0006] 输出级 300 包括在放大器的正电源电压 VCCHS (例如,1.8V)与放大器的负电源电压 VSSHs (例如 -1.4V) 之间彼此串联连接的 PMOS 晶体管 MP 和 NMOS 晶体管 MN。

[0007] 附图 3 中的电路实现用于市售的大多数耳机放大器,无论如何,仅有的可能性是,用于耳机放大器正/负电源电压值少于几伏特(如上所述),如在用于移动电话,尤其是具有 USB 耳机放大器的移动电话的现代科技中发生的。

[0008] 在 USB 模式(数字数据传输)中,USB 收发器 301 由 VUSB (通常,3V 或者 3.3V) 供电,当前 USB 收发器 301 的输出端子 O1 上的第一数字信号 D1 具有等于 3.3V 的电压值,于是高于耳机放大器的正电压电源 VCCHS (1.8V),使 PMOS 晶体管 MP 在漏极端子 D 和体端子 B 之间的结二极管正向导通。此外,USB 收发器 301 不能不降低数据传输速度而获得当前电流,而且该大电流也会引起可靠性问题或者损坏 PMOS 晶体管 MP 的结。如上所述,考虑到 USB 收发器 301 的输出端 O1 可能与 USB 充电器的参考电压 VBUS (5.25V) 意外的短路,则情况更糟。

[0009] 第一种现有技术的解决方案是将 PMOS 晶体管的体端子 B 连接到 USB 充电器的基准电压 VBUS,以在其阈值电压接受一定量的体效应降级。然而,该第一种解决方案有一些缺点:PMOS 晶体管 MP 为了驱动目的已经尺寸很大了,这种方案会进一步增大 PMOS 晶体管 MP 的尺寸,仅为了补偿体效应;基准电压 VBUS 通常不出现在耳机音频收听模式;通常,提供基

准电压 VBUS 的 USB 充电器不能出现在与 USB 收发器和 USB 耳机放大器存在的相同芯片中，因此 VBUS 信号不能被访问。

[0010] 第二种现有技术的解决方案，如图 4 示意性所示，当耳机音频收听模式被选择时（数字控制信号 HS=1），将输出级 400 的 PMOS 晶体管 MP 的体端子 B 和耳机放大器正电压电源 VCCHS 连接，然而在 USB 数据传输模式被选择时（数字控制信号 HS=0），将其切换到 USB 充电器的基准电压 VBUS。

[0011] 该第二种现有技术的解决方案解决了关于体效应降级的第一种缺点。然而，这种方案需要在 USB 音频收听模式被选择时，USB 充电器的基准电压 VBUS 断电（下拉）或者在高阻抗状态，否则 PMOS 晶体管 MS2 的源极端子 S2 和体端子 B2 之间的结会正向偏置，而引入从基准电压 VBUS 向正电压电源 VCCHS 的不可接受的大电流消耗及可靠性问题。更重要的是，当 VBUS 不可访问时，即 USB 充电器与 USB 电路和耳机放大器不在同一芯片上时，该第二种现有技术的解决方案不能被采用。

发明内容

[0012] 本发明的目的是提供具有用于便携式设备的偏置电路的电子设备，且该便携式设备具有耳机 USB 连接器，该电子设备解决了现有技术中已知的缺点和限制。

[0013] 根据本发明的电子设备包括：数字数据传输级，该数字数据传输级具有至少第一输出端子，以提供具有与第一基准电压或者第二基准电压相对应的电压值的第一数字信号，数字数据传输级设置成当作为数字数据传输模式的功能被选择时而运行；音频信号放大级，该音频信号放大级包括至少第一放大器，该第一放大器包括第一输出级，该第一输出级包括在第三基准电压和第四基准电压之间彼此串联连接的 PMOS 晶体管和 NMOS 晶体管，音频信号放大级设置成当作为音频信号放大模式的功能被选择时而运行，所述第一输出级具有与所述数字数据传输级的至少第一输出端子连接的第一输出端子，以提供输出信号，当作为数字数据传输模式的功能被选择时，所述输出信号与所述第一数字信号相对应，或者当作为音频信号放大模式的功能被选择时，所述输出信号与音频信号相对应；所述第一输出级的 PMOS 晶体管的体端子的至少第一偏置电路。当作为数字数据传输模式的功能被选择时，根据本发明的至少第一偏置电路设置成将与所述输出信号的电压值和电子设备的第三基准电压之间最高值相对应的偏压提供给第一输出级的 PMOS 晶体管的体端子，当作为音频信号放大模式的功能被选择时，至少第一偏置电路还设置成将与电子设备的第三基准电压相对应的偏压提供给第一输出级的 PMOS 晶体管的体端子。

[0014] 本发明的另一实施方式是一种包括根据本发明的电子设备及 USB 电子充电器的电子电路板。

[0015] 本发明的另一实施方式是一种包括耳机 USB 连接器及电子电路板的便携式设备。

附图说明

[0016] 本发明具有体 - 偏置电路的电子设备的特征和有益效果可以在如下其中的一个实施方式的详细描述中更好的理解，该详细描述通过结合附图进行的说明性并非限制性的示例的方式给出，附图中：

[0017] 图 1 示出包括具有本发明的高速体 - 偏置电路的电子设备和 USB 充电器的电子电

路板的电路图；

[0018] 图 2 示出图 1 的电子电路板的一部分，其从电路角度表示本发明的体 - 偏置电路和具有待偏压的 PMOS 晶体管的耳机放大器的输出级；

[0019] 图 3 示出现有技术中的 USB 电路和耳机放大器的输出级的电路图；

[0020] 图 4 示出现有技术的一种具有待偏压的 PMOS 晶体管和体 - 偏置电路的耳机放大器的输出级的电路图。

具体实施方式

[0021] 可以参照图 1 和图 2 描述本发明的具有体 - 偏置电路的电子设备的优选实施方式的电路图。

[0022] 具体的，参照图 1，电子电路板 100 包括根据本发明的电子设备 101 和 USB 充电器 111。USB 充电器设置成在主工作电压 VBUS（例如电源电压）和基准电压 GND（例如接地电压）下工作。例如，电源 VBUS 可能的值的示例是 5V 或者 5.25V。

[0023] 应当注意的是，这样的电子设备 101 可以集成在半导体材料的芯片 C1 上。

[0024] 在电子电路板 100 的第一实施方式（附图中没有示出）中，USB 充电器 111 也可以与电子设备 101 集成在相同的芯片上。

[0025] 在电子电路板 100 的第二实施方式（如图 1 所示）中，USB 充电器 111 可以集成在与芯片 C1 不同的另一半导体材料芯片 C2 上。

[0026] 电子电路板 100 可以用于具有耳机 USB 连接器的任何便携式设备上，例如，移动电话或者蜂窝式电话、MP3 播放器、PDA（个人数字助理）、便携式计算机、平板电脑等。

[0027] 参照图 1 和图 2，电子设备 101 包括电气部分 102，该电气部分 102 设置成在第一基准电压 VUSB（例如第一电源电压）以及第二基准电压 VCCHS（例如第二电源电压）下工作。例如，第一电源电压 VUSB 可能的值的示例在 3.0V-3.3V 范围内。例如，第二电源电压 VCCHS 可能的值的示例在 1.5V-2.1V 范围内。

[0028] 具体的，电气部分 102 包括数字数据传输级 103，该数字数据传输级 103 具有用以提供第一数字信号 D1 的至少第一输出端子 O3，且该第一数字信号 D1 具有与第一基准电压 VUSB 或者另一基准电压 GND（例如接地电压）相对应的电压值。

[0029] 此外，电气部分 102 包括至少具有放大器 105（例如，运算放大器）的音频信号放大级 104，且该放大器 105 具有包括在所述第二基准电压 VCCHS 和另一基准电压 VSSHs（例如另一电源电压）之间的彼此串联连接的 PMOS 晶体管 MP 和 NMOS 晶体管 MN 的输出级 106。例如，这样的另一电源电压 VSSHs 的可能值的示例在 -1.2V-1.5V 范围内。

[0030] 输出级 106 具有相应的输出端子 O5，用以提供输出信号 OUT，其中输出端子 O5 连接到数字数据传输级 103 的所述至少第一输出端子 O3。因此，输出信号 OUT 在电气部分 102 的数字数据传输模式中对应于第一数字信号 D1，或者在电气部分 102 的音频放大模式中对应于音频信号 HSL。

[0031] 具体的，输出级 106 的相应的输出端子 O5 对应于连接到 NMOS 晶体管 MN 的漏极端子的 PMOS 晶体管 MP 的漏极端子。PMOS 晶体管 MP 具有连接到第二基准电压 VCCHS 的源极端子和连接到 NMOS 晶体管的漏极端子的漏极端子。NMOS 晶体管 MN 的源极端子连接到另一基准电压 VSSHs。PMOS 晶体管的栅极端子和 NMOS 晶体管的栅极端子分别连接到放大器

105 的放大电路(在附图中没有示出),其被设置在输出级 106 的上游。

[0032] 再次参照电气部分 102,其还包括所述输出级 106 的 PMOS 晶体管 MP 的体端子 B 的至少一个偏置电路 107。

[0033] 该至少一个偏置电路 107 有利地设置成将与在输出信号 OUT 的电压值和电子设备 101 的电气部分 102 的第二基准电压 VCCHS 之间的最高值相对应的偏压 V_{bMP} 提供给输出级 106 的 PMOS 晶体管 MP 的体端子 B。

[0034] 具体的,如下所述,在电子设备 101 的电气部分 102 的数字数据传输模式,至少一个偏置电路 107 设置成将与在第一数字数据 D1 的电压值和第二基准电压 VCCHS 之间的最高值相对应的偏压 V_{bMP} 提供给输出级 106 的 PMOS 晶体管 MP 的体端子 B。

[0035] 实际上,还如下详细所述,在电子设备 101 的电气部分 102 的音频信号放大模式,至少一个偏置电路 107 设置成将与第二基准电压 VCCHS 相对应的偏压 V_{bMP} 提供给输出级 106 的 PMOS 晶体管 MP 的体端子 B。

[0036] 为了依据电子设备 101 的电气部分 102 的工作模式进行操作,至少一个偏置电路 107 优选包括输入端子 IN,以接收数字控制信号 HS,该数字控制信号 HS 表示电气部分 102 在数字数据传输模式和音频信号放大模式之间选择的工作模式。

[0037] 尤其结合附图 2,至少一个偏置电路 107 包括第一电路部 108,该第一电路部 108 具有连接到输出级 106 的输出端子 O5 的输入端子 I8 和连接到输出级 106 的 PMOS 晶体管 MP 的体端子 B 的输出端子 O8。

[0038] 此外,至少一个偏置电路 107 包括具有对应于该至少一个偏置电路 107 的输入端子 IN 的输入端子的第二电路部 109。这样的第二电路部 109 连接在第二基准电压 VCCHS 和另一基准电压 GND 之间。

[0039] 第一电路部 108 通过第二电路部 109 连接到另一基准电压 GND。

[0040] 从电路的角度,至少一个偏置电路 107 的第一电路部 108 包括第一 PMOS 晶体管 M1,该第一 PMOS 晶体管 M1 具有连接到第二基准电压 VCCHS 的相应的栅极端子、连接到输出级 106 的输出端子 O5 的相应的漏极端子、和连接到输出级 106 的 PMOS 晶体管 MP 的体端子 B 的相应的源极端子和相应的体端子。

[0041] 至少一个偏置电路 107 的第一电路部 108 还包括第二 PMOS 晶体管 M2,该第二 PMOS 晶体管 M2 具有连接到输出级 106 的输出端子 O5 的相应的栅极端子、连接到第二基准电压 VCCHS 的相应的漏极端子、和连接到输出级 106 的 PMOS 晶体管 MP 的体端子 B 的相应的源极端子和相应的体端子。

[0042] 此外,至少一个偏置电路 107 的第一电路部 108 还包括第三 PMOS 晶体管 M3,该第三 PMOS 晶体管 M3 具有连接到第二基准电压 VCCHS 的相应的漏极端子、和连接到输出级 106 的 PMOS 晶体管 MP 的体端子 B 的相应的源极端子和相应的体端子。

[0043] 最后,至少一个偏置电路 107 的第一电路部 108 还包括第四 PMOS 晶体管 M4,该第四 PMOS 晶体管 M4 具有连接到第二基准电压 VCCHS 的相应的栅极端子、连接到输出级 106 的输出端子 O5 的相应的漏极端子、连接到输出级 106 的 PMOS 晶体管 MP 的体端子 B 的相应的体端子、和连接到第三 PMOS 晶体管 M3 的栅极端子的相应的源极端子。

[0044] 如图 2 所示的偏置电路 107 的第二电路部 109,其包括第一 NMOS 晶体管 M5,该第一 NMOS 晶体管 M5 具有对应于至少一个偏置电路 107 的输入端子 IN 的相应的栅极端子、和

连接到另一基准电压 GND 的相应的源极端子和相应的体端子。

[0045] 此外,第二电路 109 还包括第二 NMOS 晶体管 M6,该第二 NMOS 晶体管 M6 具有连接到第二基准电压 VCCHS 的相应的栅极端子、连接到第一电路部 108 的第四 PMOS 晶体管 M4 的源极端子的漏极端子、连接到第一 NMOS 晶体管 M5 的漏极端子的相应的源极端子、和连接到另一基准电压 GND 的相应的体端子。

[0046] 此外,第二电路部 109 包括第五 PMOS 晶体管 M7,该第五 PMOS 晶体管 M7 具有连接到第一 NMOS 晶体管 M5 的栅极端子的相应的栅极端子、连接到第一 NMOS 晶体管 M5 的漏极端子的相应的漏极端子、和连接到第二基准电压 VCCHS 的相应的源极和相应的体端子。

[0047] 回顾图 1,电气部分 102 还包括 USB 连接器 110。

[0048] 此外,从电路的角度看,连接到数字数据传输级 103 的至少第一输出端子 O3 的至少放大器 105 的输出端子 O5 连接到 USB 连接器 110。

[0049] 此外,USB 充电器 111 也通过两个分别对应于主工作电压 VBUS 和基准电压 GND 的两个端子而连接到 USB 连接器 110。

[0050] 参照图 1 示出的实施方式,电子设备 101 的数字数据传输级 103 具有两个输出端子 O3、O3',用以提供具有与第一基准电压 VUSB 或者另一基准电压 GND 相对应的电压值的两个数字信号 D1、D2。

[0051] 此外,电子设备 101 的音频信号放大级 104 包括类似于前文描述的所述至少放大器 105 的两个放大器 105、105'。

[0052] 具体的,所述两个放大器 105 和 105' 的输出级 106 和 106' 具有分别连接到数字数据传输级 103 的输出端子 O3 和 O3' 的分别的输出端子 O5 和 O5'。

[0053] 具体的,图 1 的电子设备 101 的电气部分 102 包括相应地所述两个放大器 105 和 105' 的输出级 106 和 106' 的 PMOS 晶体管的体端子的两个偏置电路 107 和 107'。

[0054] 两个偏置电路 107 和 107' 具有相同的输入端子 IN,以接收数字控制信号 HS。

[0055] 此外,两个偏置电路 107 和 107' 类似于前文详细描述至少一个偏置电路 107。

[0056] 此外,分别连接到数字数据传输级 103 的两个输出端子 O3 和 O3' 的两个放大器 105 和 105' 的两个输出端子 O5 和 O5' 被连接到电子设备 101 的 USB 连接器 110。

[0057] 更详细的,两个放大器中的一个(105)设置成放大耳机左侧的音频信号(附图中没有示出),两个放大器中的另一个(105')设置成放大耳机右侧的音频信号。

[0058] 耳机设置成通过 USB 连接器 110 连接到电子设备 101 (因而连接到电子电路板 100)。

[0059] 根据本发明的使用电子设备 101 的便携式设备的示例包括前文描述的用于耳机的 USB 连接器和电子电路板 100。

[0060] 考虑到上述考量,本发明电子设备 101 的性能如下所述,具体参照图 2 的电路图,即音频放大级 104 的设置成用于放大耳机一侧(例如左侧)的音频信号的部分。

[0061] 在电气部分 102 的数据传输模式,例如,提供给至少一个偏置电路 107 的第二电路部 109 的输入端子 IN 的数字控制信号 HS 等于 0。此外,存在于至少一个偏置电路 107 的第一电路部 108 的输入端子 I8 处的输出信号 OUT 仅与数字数据 D1 相对应(不存在音频信号 HSL)。

[0062] 因而,至少一个偏置电路 107 的第二电路部 109 的第一 NMOS 晶体管 M5 截止。

[0063] 关于至少一个偏置电路 107 的第一电路部 108 的性能,在第一数字数据 D1 的电压值是低电平(对应于另一基准电压 GND,例如 0V)的情况下,第二 PMOS 晶体管 M2 导通,第一 PMOS 晶体管 M1 和第四 PMOS 晶体管 M4 截止,而由于第三 PMOS 晶体管 M3 与第二 PMOS 晶体管 M2 (导通)并联,第三 PMOS 晶体管 M3 的状态(导通或截止)不重要。

[0064] 鉴于上述内容,由至少一个偏置电路 107 提供给输出级 106 的 PMOS 晶体管 MP 的体端子 B 的偏压 V_{bMP} 与第二基准电压 V_{CCHS} 相等。

[0065] 在第一数字数据 D1 的电压值是高电平(对应于第一基准电压 V_{USB} ,例如 3V 或者 3.3V)的情况下,第一 PMOS 晶体管 M1 和第四 PMOS 晶体管 M4 导通,而第二 PMOS 晶体管 M2 和第三 PMOS 晶体管 M3 截止。

[0066] 鉴于此,由至少一个偏置电路 107 提供给输出级 106 的 PMOS 晶体管 MP 的体端子 B 的偏压 V_{bMP} 与第一数字数据 D1 (输出信号 OUT)相等。

[0067] 因此,可以证实,在电气部分 102 的数据传输模式,提供给输出级 106 的 PMOS 晶体管 MP 的体端子 B 的偏压 V_{bMP} 与第一数字数据 D1 的电压值和第二基准电压 V_{CCHS} 之间的最高值相对应。

[0068] 在电气部分 102 的音频传输模式,例如,提供给至少一个偏置电路 107 的第二电路部 109 的输入端子 IN 的数字控制信号 HS 等于 1。此外,存在于至少一个偏置电路 107 的第一电路部 108 的输入端子 I8 处的输出信号 OUT 仅与音频信号 HSL 对应。优选地,音频信号 HSL (及音频信号 HSR)是模拟信号。例如,音频信号 HSL (和音频信号 HSR)的电压值在 $-1V$ ~ $+1V$ 范围内。

[0069] 在音频传输模式,第一电路部 108 的第一 PMOS 晶体管 M1 截止。

[0070] 第二 PMOS 晶体管 M2 是截止或者导通取决于音频信号 HSL 的电压值。

[0071] 然而,第四 PMOS 晶体管 M4 截止,以有利地将第三 PMOS 晶体管 M3 的栅极端子与音频信号 HSL 隔离。

[0072] 此外,第二电路部 109 的第一 NMOS 晶体管 M5 导通。鉴于此并且考虑第二 NMOS 晶体管 M6 一直是导通的,电流流入第二电路部 109,使第三 PMOS 晶体管 M3 的栅极端子为另一基准电压 GND (0V)。从而,第三 PMOS 晶体管 M3 总是导通并且因此提供给输出级 106 的 PMOS 晶体管 MP 的体端子 B 的偏压 V_{bMP} 与第二基准电压 V_{CCHS} 相等。

[0073] 因此,可以确定在电气部分 102 的音频信号放大模式,至少一个偏置电路 107 设置成为输出级 106 的 PMOS 晶体管 MP 的体端子 B 提供与第二基准电压 V_{CCHS} 相对应的偏压 V_{bMP} 。

[0074] 再次参照至少一个偏置电路 107 的性能,应该注意的是第二电路部 109 的第二 NMOS 晶体管 M6 和第五 PMOS 晶体管 M7 被引入,以在电气部分 102 在数据传输模式下工作的情况下提高偏置电路的可靠性。

[0075] 事实上,如前面所述,在电气部分 102 的数据传输模式,其中第一数字数据 D1 处于高电平的情况下,第四 PMOS 晶体管 M4 导通并且第三 PMOS 晶体管 M3 的栅极端子的电压值可以与第一数字数据 D1 相对应。

[0076] 在 USB 充电器 111 的主工作电压 V_{BUS} 短路的情况下,第一数字数据 D1 可以与 V_{BUS} (例如 5.25V)相等。因此,在前述电压值的示例的情况下,没有第二 NMOS 晶体管 M6 和第五 PMOS 晶体管 M7,第一 NMOS 晶体管 M5 将使栅 - 源电压和漏 - 源电压与 $V_{BUS}=5.25V$ 相等,其

高于为了处理的可靠性而施加的约 3.6V 的最大电压值。

[0077] 引入第二 NMOS 晶体管 M6, 其仅具有连接到第二基准电压 VCCHS 的相应的栅极端子, 因为第二 NMOS 晶体管 M6 的漏 - 源电压将会是 $V_{BUS} - (V_{CCHS} - V_T) = 5.25V - (1.8V - 0.6V) = 4.1V$ (其再次高于 3.6V), 上面阐述的问题不能解决。

[0078] 另一方面, 将第五 PMOS 晶体管 M7 也引入可使第二电路部 109 的第二 NMOS 晶体管 M6 的源极端子达到第二基准电压 VCCHS, 从而, 有利地, 第二 NMOS 晶体管 M6 的漏 - 源电压等于 $V_{BUS} - V_{CCHS} = 5.25V - 1.8V = 3.45V$, 其低于 3.6V, 在电压值为之前描述的例子中的值的情况下, 解决了上述可靠性问题。

[0079] 本发明的电子设备允许将与均存在于电子设备的电气部分 102 中的输出信号 OUT 的电压值和第二基准电压 VCCHS 之间的最高值相对应的偏压提供给输出级的 PMOS 晶体管的体端子。

[0080] 也就是说, 本发明的电子设备允许在不需要使用主工作电压 VBUS 情况下, 进行在具有耳机的 USB 连接器的便携式设备中体端子的偏置, 因而克服了所述现有技术中提到的缺点。

[0081] 此外, 电子设备的偏置电路由于电路仅由开关 (PMOS 晶体管和 NMOS 晶体管) 构成并且不需要激活电路或者反馈, 因而是高速型。

[0082] 一种具有高速性能的体 - 偏置电路, 可以有利地用于 USB 传输速度可以达到几百 MHz 的具有耳机 USB 连接器的便携式设备。

[0083] 最后, 本发明的偏置电路的布置 (晶体管 M6 和晶体管 M7) 允许获取高速偏置性能的同时保证偏置电路的可靠性。事实上, 当前 CMOS 处理将栅 - 源电压和漏 - 源电压限制在最大值约为 3.6V, 从而避免 MOS 晶体管的性能劣化或者损坏。

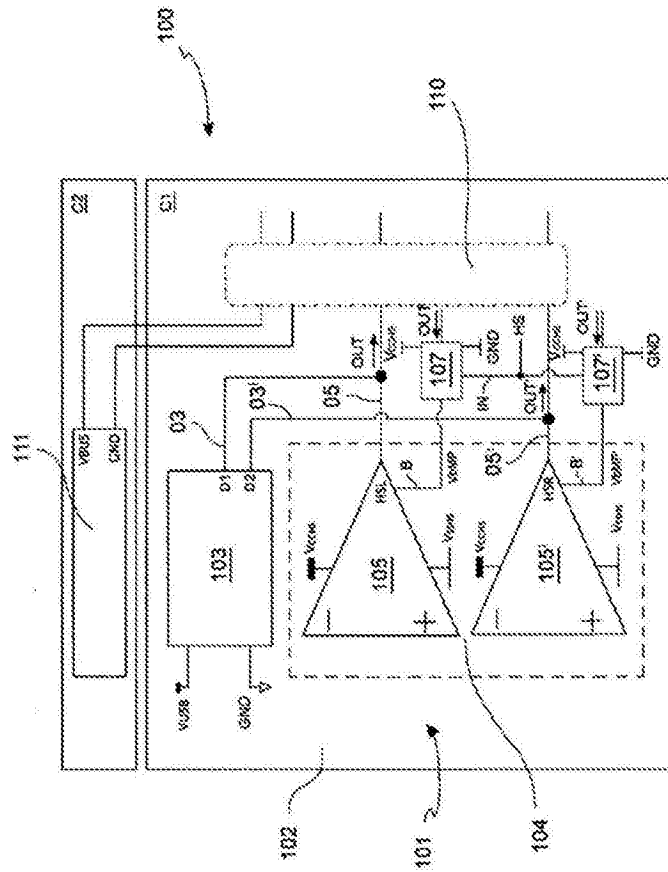


图 1

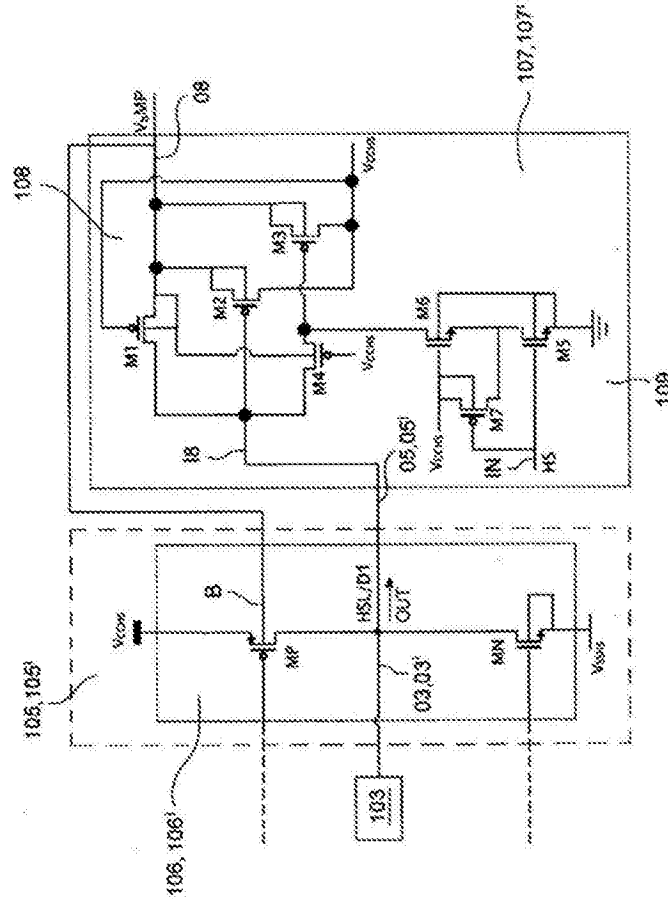


图 2

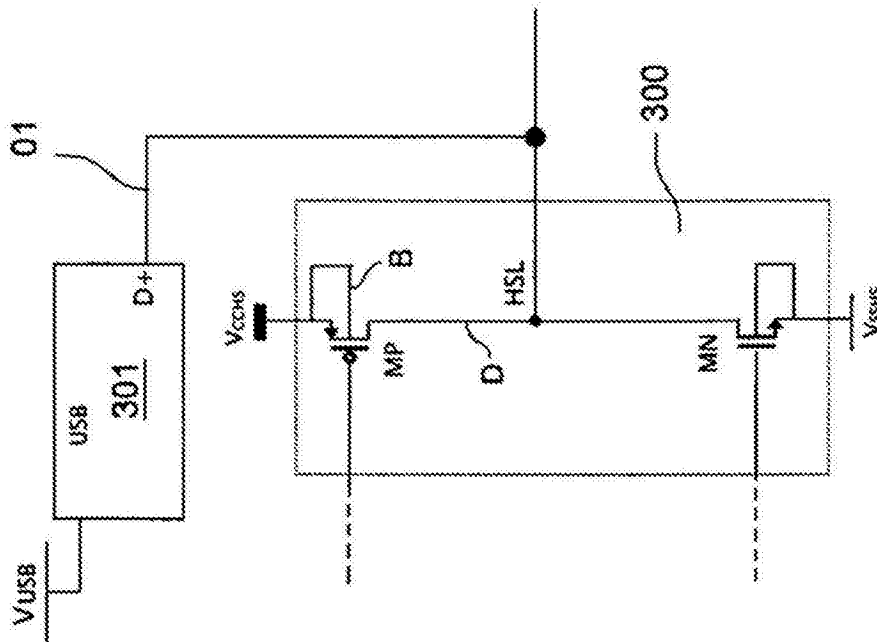


图 3 现有技术

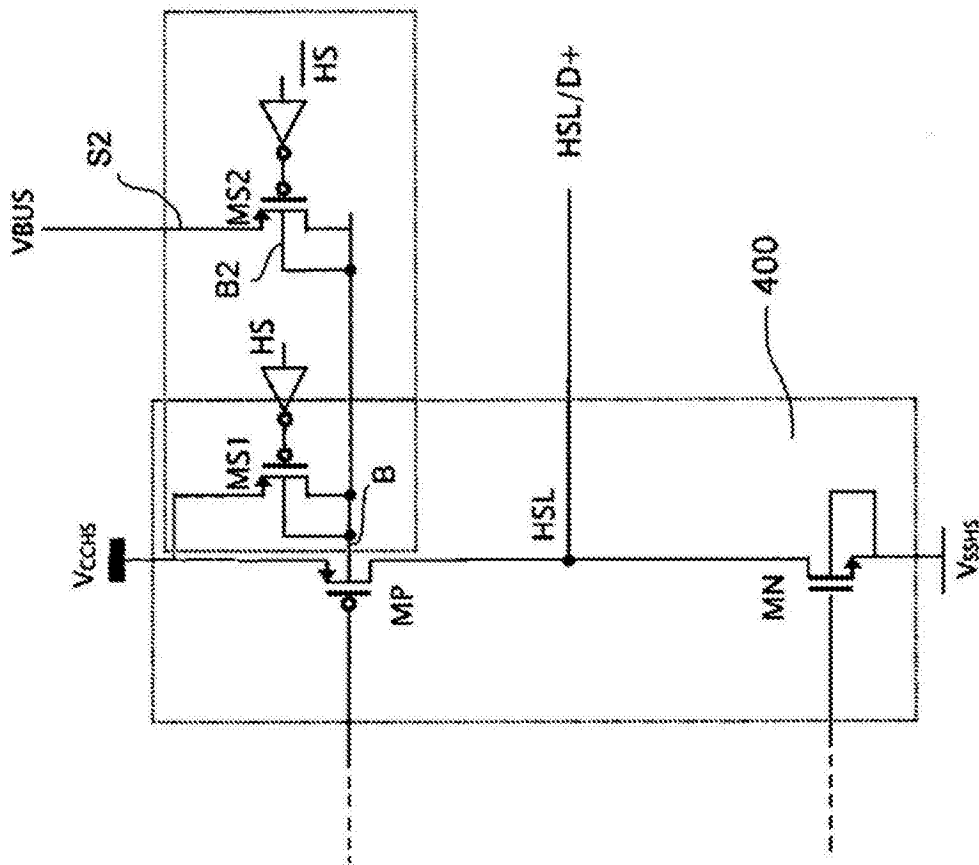


图 4 现有技术