



(12) 发明专利

(10) 授权公告号 CN 101715594 B

(45) 授权公告日 2014. 04. 30

(21) 申请号 200880018235. 6

(51) Int. Cl.

(22) 申请日 2008. 03. 31

G11C 7/06 (2006. 01)

(30) 优先权数据

(56) 对比文件

11/695, 015 2007. 03. 31 US

US 6191989 B1, 2001. 02. 20,

11/695, 017 2007. 03. 31 US

US 5301152 A, 1994. 04. 05,

(85) PCT国际申请进入国家阶段日

US 6154064 A, 2000. 11. 28,

2009. 11. 30

US 5572474 A, 1996. 11. 05,

(86) PCT国际申请的申请数据

审查员 刘佳

PCT/US2008/058937 2008. 03. 31

(87) PCT国际申请的公布数据

W02008/121979 EN 2008. 10. 09

(73) 专利权人 桑迪士克 3D 有限责任公司

地址 美国加利福尼亚州

(72) 发明人 卢卡·G·法索利

阿里·阿尔-沙马 肯尼思·K·索

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临

权利要求书4页 说明书11页 附图8页

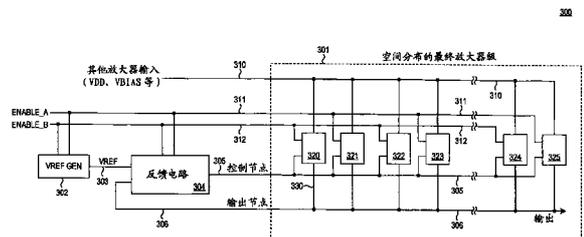
(54) 发明名称

空间分布的放大器电路和控制放大器电路的方法

(57) 摘要

本发明提供了一种示例性的放大器电路, 其包括: 具有第一配置的第一组空间分布的最终放大器级; 以及具有与第一配置不同的第二配置的第二组空间分布的最终放大器级。所述两组为它们各自的最终放大器级共享相同的控制节点, 且两组共享相同的放大器输出节点。每组一般在另一组被禁用时被使能。在并入了存储器阵列的特定实施例中, 仅需要在整个存储器阵列上对一个关键模拟节点走线。

CN 101715594 B



1. 一种电路,包括:

第一放大器控制节点;

第一放大器输出节点;

第一多个空间分布的最终放大器级,其各自具有耦接到该第一放大器控制节点的相应输入,各自具有耦接到该第一放大器输出节点的相应输出,并各自包括第一电路结构;

第二多个空间分布的最终放大器级,其各自具有耦接到该第一放大器控制节点的相应输入,各自具有耦接到该第一放大器输出节点的相应输出,并各自包括与第一电路结构不同的第二电路结构;

部件,用于在第一操作模式中使能第一多个最终放大器级,还用于在第二操作模式中使能第二多个最终放大器级;以及

第一反馈部件,其响应于第一放大器输出节点,用于在第一操作模式中在该第一放大器控制节点上生成第一信号,还用于在第二操作模式中在该第一放大器控制节点上生成第二信号。

2. 如权利要求 1 所述的电路,其中,所述第一反馈部件包括:

第一前置放大器电路,用于当在第一操作模式中使能时,在该第一放大器控制节点上生成第一信号;以及

第二前置放大器电路,用于当在第二操作模式中使能时,在该第一放大器控制节点上生成第二信号。

3. 如权利要求 1 到 2 任一个所述的电路,还包括:

第一存储器阵列,其包括阵列线;

其中,第一和第二多个最终放大器级在空间上跨越第一存储器阵列而分布;以及

其中,该第一放大器输出节点被耦接,以在第一操作模式中提供第一电压给该第一存储器阵列内的某些阵列线,并在第二操作模式中提供第二电压给该第一存储器阵列内的某些阵列线。

4. 如权利要求 3 所述的电路,还包括:

第二存储器阵列,其包括阵列线;

第二放大器控制节点;

第二放大器输出节点;

第三多个空间分布的最终放大器级,其各自具有耦接到第二放大器控制节点的相应输入,各自具有耦接到第二放大器输出节点的相应输出,并各自包括第一电路结构;

第四多个空间分布的最终放大器级,其各自具有耦接到第二放大器控制节点的相应输入,各自具有耦接到第二放大器输出节点的相应输出,并各自包括第二电路结构;

第二反馈部件,其响应于第二放大器输出节点,用于在第二存储器阵列的第一操作模式中,在第二放大器控制节点上生成第一信号,并用于在第二存储器阵列的第二操作模式中,在第二放大器控制节点生成第二信号;

部件,用于在第二存储器阵列的第一操作模式中使能第三多个最终放大器级,并用于在第二存储器阵列的第二操作模式中使能第四多个最终放大器级;

其中,第三和第四多个最终放大器级在空间上跨越第二存储器阵列而分布;

其中,第二放大器输出节点被耦接,以在第二存储器阵列的第一操作模式中提供第一

电压给第二存储器阵列内的某些阵列线,并在第二存储器阵列的第二操作模式中提供第二电压给第二存储器阵列内的某些阵列线;以及

其中,同时地,第一存储器阵列可以针对于第一和第二操作模式中的一个被使能,并且,第二存储器阵列可以针对于第一和第二操作模式中的另一个被使能。

5. 如权利要求 4 所述的电路,其中,第一和第二反馈部件共同包括:

第一前置放大器电路,其具有选择性地耦接到第一和第二放大器输出节点中的一个的第一输入,还具有选择性地耦接到第一和第二放大器控制节点中的一个的输出,用于针对于第一操作模式,在第一和第二放大器控制节点中的一个上生成第一信号;以及

第二前置放大器电路,其具有选择性地耦接到第一和第二放大器输出节点中的一个的第一输入,还具有选择性地耦接到第一和第二放大器控制节点中的一个的输出,用于针对于第二操作模式,在第一和第二放大器控制节点中的另一个上生成第二信号。

6. 如权利要求 3 所述的电路,其中:

该第一存储器阵列包括在衬底之上形成的三维存储器阵列;以及

第一和第二多个最终放大器级被置于在该第一存储器阵列之下。

7. 如权利要求 1 到 2 中的任一个所述的电路,其中,第一多个最终放大器级的每个分别包括:

源极跟随器器件,其响应于第一放大器控制节点;以及

开关器件,其响应于第一使能信号;

其中,所述源极跟随器器件和所述开关器件被串联耦接在相关联的电压供应节点和该第一放大器输出节点之间;并且,

其中,第二多个最终放大器级的每个分别包括:

公共栅极器件,其响应于第一放大器控制节点;以及

开关器件,其响应于第二使能信号;

其中,所述公共栅极器件和所述开关器件被串联耦接在相关联的电压供应节点和第一放大器输出节点之间。

8. 如权利要求 1 到 2 中的任一个所述的电路,其中,第一和第二多个最终放大器级的每个分别包括:

第一晶体管,其具有耦接到该第一放大器控制节点的控制端,具有耦接到该第一放大器输出节点的第一电流处理端,还具有耦接到第一内部节点的第二电流处理端;以及

第二晶体管,其具有耦接到相关联的使能信号节点的控制端,具有耦接到第一内部节点的第一电流处理端,还具有耦接到相关联的电压供应节点的第二电流处理端;

其中,第一多个最终放大器级的第一和第二晶体管之一具有与第二多个最终放大器级的对应第一或第二晶体管的导电性类型相反的导电性类型;并且,

其中,与第一多个最终放大器级相关联的电压供应节点和与第二多个最终放大器级相关联的电压供应节点相同。

9. 一种控制放大器电路的方法,包括:

在第一操作模式中使能具有第一电路结构的第一多个空间分布的最终放大器级,其各自响应于第一放大器控制节点,并被耦接,以驱动第一放大器输出节点;

在第二操作模式中使能具有与第一电路结构不同的第二电路结构的第二多个空间分

布的最终放大器级,其各自响应于该第一放大器控制节点,并被耦接,以驱动该第一放大器输出节点;

在第一操作模式中,将该第一放大器控制节点驱动至适当电压,用于在该第一放大器输出节点生成第一电压,而在第二操作模式中,将该第一放大器控制节点驱动至适当电压,用于在该第一放大器输出节点生成第二电压;

在第一操作模式中使能第一前置放大器电路,用于响应于该第一放大器输出节点,在该第一放大器控制节点生成第一信号;以及

在第二操作模式中使能第二前置放大器电路,用于响应于该第一放大器输出节点,在该第一放大器控制节点生成第二信号。

10. 如权利要求 9 所述的方法,其中,第一和第二多个最终放大器级在空间上跨越具有阵列线的第一存储器阵列而分布,并且,其中,所述方法还包括:

在第一操作模式中,将该第一放大器输出节点耦接到该第一存储器阵列内的某些阵列线,以在其上提供第一电压,并且,在第二操作模式中,将该第一放大器输出节点耦接到该第一存储器阵列内的某些阵列线,以在其上提供第二电压。

11. 如权利要求 10 所述的方法,还包括:

在第二存储器阵列的第一操作模式中,使能跨越第二存储器阵列而分布的第三多个空间分布的最终放大器级,其各自具有第一电路结构,各自响应于第二放大器控制节点,并被耦接,以驱动第二放大器输出节点;

在第二存储器阵列的第二操作模式中,使能跨越第二存储器阵列而分布的第四多个空间分布的最终放大器级,其各自具有第二电路结构,各自响应于第二放大器控制节点,并被耦接,以驱动第二放大器输出节点;

在第二存储器阵列的第一操作模式中,将第二放大器控制节点驱动至适当电压,用于在第二放大器输出节点上生成第一电压,并且,在第二存储器阵列的第二操作模式中,将第二放大器控制节点驱动至适当电压,用于在第二放大器输出节点上生成第二电压;

在第二存储器阵列的第一操作模式中,将第二放大器输出节点耦接到第二存储器阵列内的某些阵列线,以在其上提供第一电压,并且,在第二存储器阵列的第二操作模式中,将第二放大器输出节点耦接到第二存储器阵列内的某些阵列线,以在其上提供第二电压;以及

针对于第一和第二操作模式中的一个,使能第一存储器阵列,同时,针对于第一和第二操作模式中的另一个,使能第二存储器阵列。

12. 如权利要求 11 所述的方法,还包括:

将第一前置放大器电路的第一输入耦接到第一和第二放大器输出节点中的一个,并将第一前置放大器电路的输出耦接到第一和第二放大器控制节点中的一个,并针对于第一操作模式而在其上生成第一信号;以及

将第二前置放大器电路的第一输入耦接到第一和第二放大器输出节点中的另一个,并将第二前置放大器电路的输出耦接到第一和第二放大器控制节点中的另一个,并针对于第二操作模式而在其上生成第二信号。

13. 如权利要求 10 到 12 中的任一个所述的方法,其中:

该第一存储器阵列包括在衬底之上形成的三维存储器阵列;以及

---

第一和第二多个最终放大器级被置于在该第一存储器阵列之下。

## 空间分布的放大器电路和控制放大器电路的方法

### 技术领域

[0001] 本发明涉及放大器电路,且具体地,涉及具有分布的并联放大器级的放大器电路。

[0002] 背景技术

[0003] 放大器电路有时包括放大器级,其由多个并联晶体管、而不是仅仅一个晶体管实现。例如,精密的差分放大器电路可以在第一放大器级中包括差分晶体管对。形成这个差分对的两个晶体管中的每个实际上可被实现为并联耦合的多个(例如,4、8、或16个)单独的晶体管。然而,第一和第二差分对晶体管两者的各个晶体管以二维阵列的方式,在空间上相互混杂。这样,由半导体器件间的参数的变化程度导致的晶体管特性的不同趋向于抵消,并导致差分放大器的较低偏移电压。这里的变化程度可以包括掺杂度、温度、电或磁场、迁移率、阈值电压等的变化。在放大器电路中的这样的多个器件通常在紧凑的局部区域内实现,以使由其间的变化程度引起的任何参数差异的幅度最小,尽管分散的物理分布有助于减少(或甚至抵消)这些变化程度对该放大器的偏移量引起的影响。

[0004] 在其他放大器中,这种多个并联级可以在空间上跨越电路的大面积而分布。例如,放大器可以被配置用于传输高电流到横跨集成电路的大面积的输出节点,但这种输出电流可能在沿着输出节点的任何位置上局部地流出。在这种情况下,将最终放大器级(或驱动级)分布在大面积上会将很多最终级置于更接近于实际的输出电流负载。这可以减少输出节点对布线阻抗、噪声耦合以及其他效应的灵敏度。

[0005] 现在参考图1,放大器电路100在放大器输出节点102上生成输出信号,该放大器输出节点102横跨存储器阵列104而分布。显示了两个放大器,一个在图的下部,另一个在图的上部。第一放大器包括多个空间分布的输出驱动NMOS晶体管116、117、118,其各自都具有耦接到电源节点(例如,这里显示为VDD节点)的漏极端、耦接到CTRL\_A控制节点114的栅极端、以及耦接到放大器输出节点102的源极端。当由在节点112上传送的ENABLE\_A信号(即,也被称为“使能112”信号)使能这个放大器时,将放大器输出节点102与在节点113上传递的参考电压VREF\_A比较,并相应地生成CTRL\_A信号114。分布的NMOS驱动晶体管116、117和118是源极跟随器配置,其中,放大器输出节点102电压比CTRL\_A电压低。

[0006] 第二放大器包括多个空间分布的输出驱动PMOS晶体管126、127、128,其各自都具有耦接到电源节点的漏极端、耦接到CTRL\_B控制节点124的栅极端、以及耦接到放大器输出节点102的源极端。当由在节点122上传送的ENABLE\_B信号(即,也被称为“使能122”信号)使能这个放大器时,将放大器输出节点102与在节点123上传递的参考电压VREF\_B比较,并相应地生成在节点124上传递的CTRL\_B信号。分布的PMOS驱动晶体管126、127和128是公共栅极放大器配置,其中,放大器输出节点102电压比CTRL\_B电压高。

[0007] 很多集成电路利用钨金属化以互连布线,特别是在沉积这样的布线层之后需要高温操作的情况下。这种钨互连线具有比铝或掺杂铜的铝(例如,0.04欧姆/平方)更高的阻抗(例如,1.3欧姆/平方)。某些三维存储器架构可能需要使用钨,以便在存储器阵列下进行配电,这是由于需要高温以在多个存储器面上中的每个上形成存储单元。另外,基于

二极管的存储器阵列可能需要在选中的阵列块中调整未选中的字线和未选中的位线电压。由于未选中的二极管的反向电流,在调整未选中的字线和未选中的位线的电压时,可观的电流可能会流过未选中的存储单元。这个电流可能集中在非常小的区域内,而电流流过的特定区域可能出现在阵列内的任何位置(即,在大范围区域上)。

[0008] 利用具有分布的驱动器的放大器(即,更一般地,“最终放大器级”)减轻了这些问题,这是因为,它能提供非常低的输出阻抗,其在某种程度上与电流负载的位置(即,与选中的阵列块的位置)无关。如果需要不同的电压电平用于读或写,则可以利用共享同一输出节点、但每个具有横跨阵列而分布的多个驱动器的两个不同的放大器(即,一个用于读,一个用于写,就像上面的例子那样)。每个这种放大器都需要灵敏的控制节点以驱动它的驱动器组。随着存储器阵列变得越来越密集,对每个控制节点走线(routing)变得更加困难。在走线自由度受限的三维存储器阵列中尤其是这样。

### 发明内容

[0009] 通常,各自包括多个空间分布的最终放大器级的两个放大器电路可对于不同的放大器配置而共享放大器的最终级的同一控制节点。通常,每个在另一个被禁用时使能,且两者都可以共享同一放大器输出节点。这样,只需要在集成电路(例如存储器阵列)的区域上对一个关键模拟节点走线。

[0010] 在应用于存储器阵列中的本发明的某些实施例中,一组存储单元可以被使能用于写,而另外一组被使能用于读,从而提供同时读写架构。例如,第一存储器块、存储器阵列、存储器核心、或存储单元的其他物理分组(在此一般称为存储器阵列)可以被使能用于写,且相应的写放大器可以被使能用于在存储单元的第一物理分组的公共放大器输出线上提供写电压,而存储单元的第二物理分组可以被使能用于读,且相应的读放大器可以被使能用于在存储单元的第二物理分组的公共放大器输出线上提供读电压。在存储单元的第一和第二物理分组中的每个内,相应的放大器可共享公共的灵敏控制节点。

[0011] 一方面,本发明提供了一种电路,在示例性的实施例中,其包括放大器控制节点和放大器输出节点。示例性电路还包括第一多个空间分布的最终放大器级,其各自具有耦接到放大器控制节点的相应输入,各自具有耦接到放大器输出节点的相应输出,且各自包括第一电路结构。示例性电路还进一步包括第二多个空间分布的最终放大器级,其各自具有耦接到放大器控制节点的相应输入,各自具有耦接到放大器输出节点的相应输出,且各自包括与第一电路结构不同的第二电路结构。

[0012] 在另一方面,本发明提供了一种方法,在示例性实施例中,其包括:在第一操作模式中,使能具有第一电路结构的第一多个空间分布的最终放大器级,其各自响应于放大器控制节点,并被耦接以驱动放大器输出节点。示例性方法还包括:在第二操作模式中,使能具有与第一电路结构不同的第二电路结构的第二多个空间分布的最终放大器级,其各自响应于放大器控制节点,并被耦接以驱动放大器输出节点。示例性方法还进一步包括:在第一操作模式中,驱动放大器控制节点到适当电压,以便在放大器输出节点上生成第一电压,并且,在第二操作模式中,驱动放大器控制节点到适当电压,以便在放大器输出节点上生成第二电压。

[0013] 在一些方面,本发明特别适于集成电路(包括那些具有存储器阵列的集成电路)

内实现,适于操作这些电路的方法,适于并入了这些电路的系统,以及适于这些电路的计算机可读介质编码,所有这些在这里会更详细描述,并在所附的权利要求书中阐述。明确考虑了多种多样的集成电路,包括那些具有在衬底上形成的三维存储器阵列的集成电路。

[0014] 当与某些可擦除存储器阵列技术(例如,并入了特定阻性无源元件存储单元的那些)一起使用时,本发明特别有用。这些单元在编程和擦除时,趋向于具有高泄漏电流,因此存储器阵列,特别是三维存储器阵列,在所需的编程和擦写电压下需要较大的空间局部电流。

[0015] 上文是概述,因此不可避免地包括细节的简化、泛化和省略。因此,本领域技术人员会意识到上文概述仅仅是解说性的,并不是为了以任何方式限制本发明。而且,本发明在此描述的方面涉及单独使用或联合使用。由权利要求书唯一定义本发明的其他方面,创造性特征和优势,其从下面列出的详细说明可以表现出来。

### 附图说明

[0016] 通过参考附图,本发明可以被更好地理解,它的众多目标、特征和优势对本领域技术人员来说是显而易见的。

[0017] 图 1 是现有技术的放大器电路的示意图。

[0018] 图 2 是根据本发明的某些实施例的放大器电路的示意图。

[0019] 图 3 是根据本发明的某些实施例的又一个放大器电路的示意图。

[0020] 图 4 是根据本发明的某些实施例的放大器电路的框图。

[0021] 图 5 是根据本发明的某些实施例的、具有设置在存储器阵列上的空间分布的最终放大器级的放大器电路的框图。

[0022] 图 6 是根据本发明的某些实施例的又一个放大器电路的框图。

[0023] 图 7 是对本发明的某些实施例有用的存储器阵列的框图。

[0024] 图 8 是描述包括对本发明的某些实施例有用的三维存储器阵列的示例性集成电路的框图。

[0025] 相同参考符号在不同的附图中使用表示相似或相同的项目。

### 具体实施方式

[0026] 现在参考图 2,放大器电路 150 在共享的放大器输出节点 152 上生成输出信号,该放大器输出节点 152 横跨存储器阵列 154 而分布。显示了两个放大器,每个具有其自身的分布的最终放大器级集合,但所述两个放大器共享相同的放大器输出节点 152。第一放大器包括相应的多个空间分布的最终放大器级 186、187、188,其每个都包括:与响应于使能信号的开关器件(例如,PMOS 晶体管 166)串联的源极跟随器输出驱动晶体管(例如,NMOS 晶体管 116)。每个源极跟随器晶体管 116、117 和 118 具有耦接到控制节点 162 的栅极端、以及耦接到放大器输出节点 152 的源极端。当这个放大器被使能时,在节点 164 上传递的 /EN\_A 使能信号(即,使能 A “扛”或补)被激活(例如,在此情况下,低),以导通每个 PMOS 开关器件 166、167、168,从而使能每个最终放大器级 186、187、188。另外,节点 112 上传递的 EN\_A 信号被激活,以使能差分放大器电路 110(这里有时也被称为“前置放大器”电路或“比较器”电路)。将放大器输出节点 152 与在节点 113 上传递、通过多路复用器 158、并加

到放大器输入节点 160 上的参考电压 VREF\_A 比较,并相应地生成在节点 162 上传递的共享控制节点信号。分布的 NMOS 驱动晶体管 116、117 和 118 具有源极跟随器配置,其中,放大器输出节点 152 电压比控制节点 162 电压低(当使能时)。

[0027] 第二放大器包括相应的多个空间分布的最终放大器级 196、197、198,其每个都包括与响应于使能信号的开关器件(例如,PMOS 晶体管 176)串联的公共栅极输出驱动晶体管(例如,PMOS 晶体管 126)。每个公共栅极输出驱动晶体管 126、127、128 都具有耦接到共享控制节点 162 的栅极端、以及耦接到放大器输出节点 152 的漏极端。当这个放大器被使能时,节点 174 上传递的 /EN\_B 使能信号被激活(例如,在这里,低),以导通每个开关器件 176、177 和 178,从而使能每个最终放大器级 196、197、198。另外,节点 122 上传递的 EN\_B 信号被激活,以使能差分放大器电路 120。将放大器输出节点 152 与在节点 123 上传递、通过多路复用器 158 并加到放大器输入节点 160 上的参考电压 VREF\_B 比较,相应地生成共享控制节点 162 信号(例如,电压)。分布的 PMOS 驱动晶体管 126、127 和 128 具有公共栅极配置,其中输出节点 152 电压比控制节点 162 电压高(当使能时)。

[0028] 在这个实施例中,“A”放大器的最终放大器级 186、187 和 188 耦接到在节点 180 上传递的电源电压 SUPPLY A,同时,“B”放大器的最终放大器级 196、197 和 198 耦接到节点 182 上传递的分离的电源电压 SUPPLYB。在其他实施例中,两个(或更多)放大器的最终放大器级可以耦接到同一电源节点,如此后描述的实施例中所示。

[0029] 在这个实施例中,多路复用器 158 选择两个参考电压 VREF\_A 和 VREF\_B 之一,并将其传送到所述两个放大器的公共输入节点。在其他实施例中,每个参考电压可以直接耦接到其相应的放大器。在另外的实施例中,单个参考生成器电路(未显示)可以具有耦接到例如节点 160 的公共放大器输入节点的单个 VREF 输出,并且,VREF 输出的电压取决于所述两个放大器中的哪个被使能而变化(例如,如图 4 所示)。

[0030] 在示例性使用中,具有源极跟随器最终级的 A 放大器可以在读模式期间被使用,以在输出节点 152 上提供适当电压给存储器阵列中的某些阵列线。例如,这样的读模式电压可以被传送给存储器阵列内的一个或多个存储器块内的未选中的字线。具有公共栅极最终级的 B 放大器可以在写模式期间被使用,以在输出节点 152 上提供适当电压给存储器阵列中的某些阵列线。例如,这样的写模式电压可以被传送给存储器阵列内的一个或多个存储器块内的未选中的字线。公共栅极配置使得这种调整的写模式电压高于使用源极跟随器配置的情况,但源极跟随器配置能够以更好稳定性、以及更好的瞬态响应生成这种读模式电压。

[0031] 所述两个放大器的最终级横跨存储器阵列上而分布(虽然图中只显示三个这样的最终级)。所述两个放大器共享控制节点 162,其为灵敏模拟节点,因此只有单个模拟节点分布在存储器阵列上。通过使能一组最终放大器级(例如,使能通过一组级的导电路径)并使能放大器的其余电路(例如,差分放大器电路 110 或 120),来实现在一个放大器和另一个之间的切换。

[0032] 多个最终放大器级中的每个可以被看作具有耦接到公共控制节点的输入,且具有耦接到放大器输出节点的输出。例如,晶体管 116 的栅极端可以被看作最终放大器级 186 的输入。另外,多个最终放大器级中的每个可以被看作具有耦接到相应使能信号的使能输入。例如,晶体管 166 的栅极端可以被看作最终放大器级 186 的使能输入,其耦接到 /EN\_A

信号。在其他配置中,最终级输入端和使能输入端可以不是晶体管的栅极端。

[0033] 现在参考图 3,显示了放大器电路 200,其提供了读模式电压给被使能用于读的一个存储器阵列,并同时提供写模式电压给被使能用于写的另一个存储器阵列。如前,在给定的存储器阵列内,由该存储器阵列内的读和写放大器共享公共控制节点,并且,通过改变存储器阵列外部的一些逻辑开关的状态,在放大器输出节点为给定阵列生成的电压可以被置于读模式电平或写模式电平。

[0034] 存储器核心之一(即,存储器阵列 0)由 154 标识,其大体上与图 2 所示相对应,除了这里所述两个放大器的分布的最终放大器级被示出为共享同一电源节点 202。另外,源极跟随器最终放大器级由在节点 252 上传送的 /EN\_RD\_0 使能信号使能,公共栅极最终放大器级由在节点 254 上传送的 /EN\_WR\_0 使能信号使能。公共控制节点由 256 标识,且公共放大器输出节点由 258 标识。

[0035] 第二存储器核心(即,存储器阵列 1)由 204 标识,其在结构上与存储器核心 154 相同。在这个阵列中,源极跟随器最终放大器级由在节点 253 上传送的 /EN\_RD\_1 信号使能,而公共栅极最终放大器级由在节点 255 上传送的 /EN\_WR\_1 信号使能。公共控制节点由 257 标识,公共放大器输出节点由 259 标识。

[0036] 单个写放大器比较器 230(即,差分放大器)被用于:在被使能用于写的存储器阵列的公共控制节点上提供适当电压。例如,如果存储器阵列 154 被使能用于写,则放大器输出节点 258 通过开关 234 耦接到比较器 230 的非反相输入节点 235,该比较器 230 的输出通过开关 238 耦接到公共控制节点 256。开关 232 和 240 保持断开。因此,将在节点 231 上传送的写参考电压 VREF\_WR 与放大器输出节点 258 比较,并相应地在公共控制节点 256 上生成电压。

[0037] 可替换地,如果存储器阵列 204 被使能用于写,则放大器输出节点 259 通过开关 232 耦接到比较器 230 的非反相输入节点 235,该比较器 230 的输出通过开关 248 耦接到公共控制节点 257。开关 234 和 238 保持断开。因此,将在节点 231 上传送的写参考电压 VREF\_WR 与放大器输出节点 259 比较,并相应地在公共控制节点 257 上生成电压。

[0038] 以类似的方式,单个读放大器比较器 240 被用于:在被使能用于读的存储器阵列的公共控制节点上提供适当电压。例如,如果存储器阵列 154 被使能用于读,则放大器输出节点 258 通过开关 242 耦接到比较器 240 的反相输入节点 245,比较器 240 的输出通过开关 240 耦接到公共控制节点 256。开关 244 和 250 保持断开。因此,将在节点 241 上传送的读参考电压 VREF\_RD 与放大器输出节点 258 比较,并相应地在公共控制节点 256 上生成电压。

[0039] 可替换地,如果存储器阵列 204 被使能用于读,则放大器输出节点 259 通过开关 244 耦接到比较器 240 的反相输入节点 245,比较器 240 的输出通过开关 250 耦接到公共控制节点 257。开关 242 和 248 保持断开。因此,将在节点 241 上传送的读参考电压 VREF\_RD 与放大器输出节点 259 比较,并相应地在公共控制节点 257 上生成电压。

[0040] 由在节点 233 上传送的 EN\_WR 信号使能写比较器 230,由在节点 243 上传送的 EN\_RD 信号使能读比较器 240。四个控制信号 EN\_RD\_0、EN\_RD\_1、EN\_WR\_0 和 EN\_WR\_1 用于控制各开关,所述开关针对每个操作模式而耦接读和写比较器的输入和输出。这些开关可以用各种方式实现,包括完整的 CMOS 传输门(利用互补使能信号)、部分传输门,等等。

[0041] 应该理解,每个存储器阵列内的分布的最终放大器级可以与被实现用于单个存储器阵列的模拟电路相同。这提供了“双核”架构,其可以通过对实际存储器核心(即,阵列)和其内的分布的放大器级的最小改动或附加复杂度来实现。另外,一个阵列内的 VOUT 电压与单个阵列情况中相同。这是对其他双核电源方案,例如读和写电压两者被同时分配到所述两个核心的那些方案,的改善。而且,这个实施例提供了:仅利用单个读放大器(例如,比较器 240)和单个写放大器(例如,比较器 230),读一个存储器核心同时写另一个存储器核心。这也是对其他可能的双核心电源方案的改善,在该双核心电源方案中,对于每个核心可能存在两个放大器(读+写),总共有 4 个放大器。

[0042] 在其他实施例中,可以提供多于一个读放大器,使得所述两个核心可以同时被读取。相似地,可以提供多于一个写放大器,使得所述两个核心可以同时被写入。

[0043] 现在参考图 4,显示了放大器电路 300,其可以被看作概括本发明的某些实施例。该放大器电路 300 在可横跨存储器阵列 301 而分布的共享放大器输出节点 306 上生成输出信号。显示了两组分布的最终放大器级。第一组包括空间分布的最终放大器级 321、323 和 325,其每个都响应于在节点 311 上传送的 ENABLE\_A 信号。第二组包括空间分布的最终放大器级 320、322 和 324,其每个都响应于在节点 312 上传送的 ENABLE\_B 信号。第一组的最终放大器级在配置上相对于第二组的最终放大器级不同。

[0044] 在这个实施例中,参考电压生成器 302 由 ENABLE\_A 信号或 ENABLE\_B 信号使能,以在耦接到放大器输入节点的节点 303 上生成单个 VREF 输出。VREF 输出的电压的大小取决于使能了两种放大器模式中的哪一种。当反馈电路 304 由 ENABLE\_A 信号或 ENALBE\_B 信号使能时,反馈电路 304 将放大器输出节点 306 的电压与参考电压 VREF 比较,并相应地生成共享控制节点 305 电压,其足以使放大器输出节点 306 电压被驱动以匹配 VREF 303 电压。这样的反馈电路可以包括一个或多个差分放大器、比较器、前置放大器、开关和/或其他部件,其使得:控制节点响应于放大器输出节点电压和参考电压而被驱动。“A”放大器的分布的最终放大器级 321、323 和 325、以及“B”放大器的分布的最终放大器级 320、322 和 324 被耦接到一个或多个其他信号节点 310 上(例如,电源电压、偏置电压等等)。

[0045] 现在参考图 5,显示了放大器电路 350,其包括空间分布的最终放大器级(例如,级 358),其被设置在三维(3D)存储器阵列,例如半导体衬底上面形成的阵列,下。提供了反馈电路 354,其比较放大器输出节点 356 电压和参考电压 VREF,并适当地驱动控制节点 355。还描绘了单组空间分布的最终放大器级,其全部被图中未示出的一个或多个控制信号同时使能或禁用。如前,每个最终放大器级被耦接到共享放大器输出节点 356,其分布在存储器阵列上,该存储器阵列在这里被描绘为包括三个存储器阵列块 360、362 和 364。在某些实施例中,存储器阵列是例如在半导体衬底上面形成的三维存储器阵列,并且,空间分布的最终放大器级被设置在存储器阵列(例如,一般在半导体衬底内形成)下面。

[0046] 现在参考图 6,显示了放大器电路 400,其利用多于两组分布的最终放大器级。这个放大器电路 400 在分布在集成电路或其一部分上的共享放大器输出节点 406 上生成输出信号。显示了多组(例如,3,4 或直到“n”组)分布的最终放大器级 401。第一组包括空间分布的最终放大器级 420、.....、424,其每个都响应于在节点 422 上传送的 ENABLE\_1 信号。第二组包括空间分布的最终放大器级 421、.....、425,其每个都响应于节点 412 上传送的 ENABLE\_2 信号。第“n”组包括空间分布的最终放大器级 422、.....、426,其每个都响

应于节点 413 上传送的 ENABLE<sub>n</sub> 信号。优选地,每组的最终放大器级在配置上相对于其他组的最终放大器级不同。另外,最终放大器级被耦接到在节点 410 上传送的一个或多个其他放大器输入,如电源节点、内部生成的电压供应节点、偏置电压节点、参考电压节点等等。

[0047] 在这个实施例中,将参考电压从节点 403 传送到反馈电路 404。这个反馈电路 404 被耦接到各种使能信号中的每个,并且,当其被使能用于给定的放大器配置时,比较放大器输出节点 406 的电压和参考电压 VREF,并相应地生成在节点 405 上传送的共享控制节点信号。每个单独的使能信号 411、412 和 413 可能影响反馈电路 404 中适当的配置变化,包括生成适合于特定放大器模式的附加参考电压,并将各种内部节点耦接到其中各种内部电路的输入或输出,以便在控制节点 405 上生成电压,该电压适合于分布的最终放大器级的配置,也适合于期望的放大器输出 406 电压。

[0048] 现在参考图 7,描绘了示例性的存储器阵列 650。这幅图是描绘了具有分段的字线安排的三维存储器阵列一部分的三维视图。每个字线都由在存储器阵列的至少一个,最好多于一个,字线层上的一个或多个字线段形成。例如,第一字线由设置在存储器阵列的一个字线层上的字线段 660、以及设置在另一个字线层上的字线段 662 形成。由垂直连接 658 连接字线段 660 和 662,以形成第一字线。垂直连接 658 还提供到字线驱动器件 632、634 的连接路径,该字线驱动器件优选被设置在另一层(例如,在半导体衬底内)。来自全局行解码器(图中未显示)的全局行选择线 RSEL 输出 606 有时通过器件 634 将字线段 660、662 耦接到解码的源选择总线线路 XSELN 626,而在其他时间,通过器件 632 将字线段 660、662 耦接到解码的反向源选择总线线路 XSELP616。还显示了字线段 661、663,其由垂直连接 659 连接,以形成第二字线,并提供到字线驱动电路 642 和 644 的连接路径,该字线驱动电路 642 和 644 耦接到第二行选择 RSEL 输出 608。

[0049] 图 8 是示例性电路 700 的框图,其包括两个存储器阵列 718、720。双行解码器 702 和 704 为阵列生成行选择线,其各自横跨存储器阵列 718、720。在这个实施例中,字线驱动电路(未显示)在存储器阵列下面空间分布,并通过在各个存储器阵列块(其中的两个分别由 706、708 标识)交替侧的垂直连接(其中之一由 710 标识)而连接到字线。电路 700 还包括四个列解码器和位线及 I/O 电路块 712、714、715、716,其分别在该电路的顶部、中上部、中下部以及下部。也可以并入附加阵列。每个存储器阵列块内的位线可以 2 : 1 交织,以放宽列相关电路的间距要求。作为示例,位线 722 与顶部的列电路块 712 相关联(即,被其驱动和感测),而位线 724 与中上部的列电路块 714 相关联。

[0050] 在示例性实施例中,存储器电路 700 包括在四个存储器面的每个上形成的无源元件存储单元的三维存储器阵列。优选地,这种存储单元带有可微调电阻元件,也可以包括反熔丝。每个逻辑字线都连接到四个字线层(每个都与各自的存储器面相关联)的每个上的字线段。

[0051] 示例性存储器电路 700 的每个阵列 718、720 可以被分为大量块,如块 708。在选中的存储器阵列块中,“N”个源选择总线线路 XSELN(或反向源选择总线线路 XSELP)之一被解码,并由行偏置电路(未显示)驱动到激活的偏置状态,并且,剩下的 N-1 个总线线路 XSELN(也被称为“偏置线路”)被驱动到非激活状态(即,适合于未选中字线的电压)。因此,单个被选中的 RSEL 线路最好在选中的存储器块中驱动一个字线激活,并将选中的块上的 N-1 个字线驱动到未选中的偏置电平。在其他未选中的存储器块中,源的单独总线线

路和反向源选择总线均不被驱动为激活,导致没有字线被激活的 RSEL 线路选中。如上述不同实施例中描述的分布在存储器阵列上的放大器输出节点可被耦接到这些行偏置电路,以便例如在存储器阵列内的选中或未选中字线上提供适当的电压,或者,在其他实施例中,在存储器阵列内的其他阵列线上提供适当的电压。

[0052] 示例性的存储器阵列、有用的解码电路、偏置状态、包括读和编程模式的操作模式等等都进一步在下面的文件中描述:授予 Christopher J. Petti 等人的美国专利第 7054219 号,通过引用将该专利的全部公开内容合并于此;授予 Roy E. Scheuerlein 等人的美国专利第 6856572 号,通过引用将该专利的全部公开内容合并于此;授予 Roy E. Scheuerlein 等人的美国专利第 6859410 号,通过引用将该专利的全部公开内容合并于此;授予 Luca G. Fasoli 等人的美国专利第 7142471 号,通过引用将该专利的全部公开内容合并于此;授予 Roy E. Scheuerlein 等人的美国专利第 6879505 号,通过引用将该专利的全部公开内容合并于此;Roy E. Scheuerlein 等人的美国申请公开第 2006-0221702A1 号,现在为美国专利第 7272052 号,标题为“Decoding Circuit for Non-Binary Groups of Memory Line Drivers”,通过引用将该专利的全部公开内容合并于此;Luca G. Fasoli 等人的美国专利申请公开第 2006-0146639A1 号,现在为美国专利第 7286439 号,标题为“Apparatus and Method for Hierarchical Decoding of Dense Memory Arrays Using Multiple Levels of Multiple-Headed Decoders”,通过引用将该专利的全部公开内容合并于此。

[0053] 对于阵列被构造在衬底之外的层上的特定存储器技术,例如,对于构造在半导体衬底之上构造的单片三维存储器阵列,上述特定电路可以在存储器子阵列下面实现,而不需要存储器阵列以外的区域。可以被构造在半导体衬底之上的示例性的单片三维存储器阵列在以下文件中被描述:授予 Johnson 等人的美国专利第 6034882 号;授予 N. Johan Knall 等人的美国专利第 6420215 号;授予 Johnson 等人的美国专利第 6525953 号;授予 Vyvoda 等人的美国专利第 6952043 号;以及授予 Scheuerlein 等人的美国专利第 6545898 号,通过引用将上述专利的全部公开内容合并于此。

[0054] 如在此使用的,具有三维存储器阵列的集成电路假定是单片集成电路,而不是多于一个单片集成电路的集合。本发明的方法和装置也可以在单片三维存储器(例如,三维、非易失性、现场可编程存储器阵列(一次性写入和可重写存储器阵列))中加以利用。而且,本发明的方法和装置也可以在包括二维阵列的集成电路、以及很多其他无存储器集成电路中加以利用。

[0055] 很多类型的存储单元能够利用反偏置而被编程。这种单元包括具有金属氧化物(例如,过渡金属氧化物)和二极管的无源元件单元。其他适当的单元包括具有阻性材料的单元,其利用二极管选择元件在低 R 状态和高 R 状态间被编程。例子包括可编程的金属化连接、例如 GST 材料的相变电阻器、有机材料可变电阻器、复合金属氧化物、碳聚合物膜、碳纳米管电阻器、掺杂硫系化合物玻璃以及肖特基势垒二极管,其包括移动原子,以改变阻抗。被选择的阻性材料可以提供一次可编程(OTP)存储单元,或多次写存储单元。另外,可以利用多晶硅二极管,其具有通过反偏置应力改变的导电性。

[0056] 通过引用而被合并于此的下列文献提供了有用的二端存储单元的描述:(i) Pirovano 等人,“Electronic Switching in Phase-Change Memories,”IEEE Transactions

on Electronic Devices, Vol. 51, No. 3, March 2003 ;(ii)Baek 等人,“Multi-layer Cross-point Binary Oxide Resistive Memory(OxRRAM)for Post-NAND Storage Application,”IEEE International Electron Devices Meeting,2005 ;(iii)Baek 等人,“Highly Scalable Non-volatile Resistive Memory using Simple Binary Oxide Driven by Asymmetric Unipolar Voltage Pulses,”IEEE International Electron Devices Meeting,2004 ;以及 (iv)Hwang 等人,“Writing Current Reduction for High-Density Phase-Change RAM,”IEEE International Electron Devices Meeting,2003。在通过引用而被合并于此的授予 Tsuchida 的美国专利 6891748 中也提供了附加的细节。

[0057] 在以下专利文件中描述了其他有用的存储单元:授予 S. Brad Herner 等人的美国专利第 6,952,030 号,标题为“High-Density Three-Dimensional Memory Cell”;以及 Tanmay Kumar 等人的美国申请第 11/237,167 号,现在为美国专利申请公开第 2007-0090425 号,于 2005 年 9 月 28 日提交,标题为“Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance”。S. Brad Herner 的美国申请第 11/394,903 号描述了适当的金属氧化物存储单元,该申请现在为美国专利申请公开第 2007-0236981 号,于 2006 年 3 月 31 日提交,标题为“Multilevel Nonvolatile Memory Cell Comprising a Resistivity-Switching Oxide or Nitride and an Antifuse”。Roy E. Scheuerlein 等人、标题为“Non-Volatile Memory Cell Comprising a Dielectric Layer and a Phase Change Material in Series”的美国专利申请公开第 2005-0158950 号描述了利用相变材料且可以提供多种阻抗状态的适当的存储单元。具有过渡金属氧化物的其他示例性的存储单元(例如,包括具有钴的那些存储单元)、以及其中操控 (steering) 元件本身的多晶硅材料包括可变阻抗材料的示例性单元在以下文件中描述: Tanmay Kumar、S. Brad Herner、Roy E. Scheuerlein 和 Christopher J. Petti 的美国申请第 11/496,986 号,现在为美国专利申请公开第 2007-0072360 号,于 2006 年 7 月 31 日提交,标题为“Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance”。通过引用将上述专利的全部公开内容合并于此。

[0058] 另外, S. Brad Herner 等人的标题为“Rewritable Memory Cell Comprising a Diode and a Resistance Switching Material”的美国申请第 11/125,939 号,于 2005 年 5 月 9 日提交,现在为美国专利申请公开第 2006-0250836 号,揭示了一种有用的可重写存储单元,其包括与例如氧化镍的氧化物串联的二极管,其中存储单元的阻抗可以重复性地从低到高和从高到低阻抗状态切换。S. Brad Herner 等人的标题为“Nonvolatile Memory Cell Comprising a Diode and a Resistance Switching Material”的美国申请第 11/395,995 号,于 2006 年 3 月 31 日提交,现在为美国专利申请公开第 2006-0250837 号,揭示了 OTP 多级存储单元,其使用正偏置而被置位,使用反偏置而被复位。通过引用将上述专利的全部公开内容合并于此。

[0059] 如在此使用的,电路的配置需要考虑晶体管类型和拓扑结构。例如,在拓扑意义上相同连接、但使用不同类型晶体管的两个电路被视为具有不同的电路结构。

[0060] 特定实施例考虑无源元件存储器阵列,如在此所述的。在一些实施例中,无源元件存储器阵列包括可变阻抗存储单元,如在此所述的。

[0061] 上面描述的某些实施例描绘了空间分布在存储器阵列上的最终放大器级,但这并不是必须的,除非在权利要求中明确列举。具有空间分布的最终放大器级的其他实施例不需要空间分布在存储器阵列上,而是可以分布在任何适当的集成电路或其部分上。在此说明项目的使用,如前置放大器、比较器、差分放大器等等不应该推断为暗示了其输入和输出电压任何具体电平。

[0062] 上面描述的某些实施例可以视为最多使能单组空间分布的最终放大器级(例如,“A”放大器级或“B”放大器级)。然而,这些级不一定以互斥的方式被使能。例如,两组分布的放大器级可以对于一个操作模式被同时使能,但对于第二操作模式,只有一组分布的放大器级被使能。

[0063] 在此描述的某些实施例包括用于使能给定的最终放大器级的开关器件,该器件具有耦接到它的栅极端的使能信号。最终放大器级被显示为当使能信号被驱动到导通该开关器件的适当电压时被使能。然而,其他方法和配置也被考虑用于使能最终放大器级。例如,这样的开关器件不必是 PMOS 器件。作为另一个示例,与控制设备串联的开关器件可以按照在这里示出的次序被反向。作为另一个示例,可以使用开关电源,在每个最终放大器级内都不包括显式的开关器件。

[0064] 关于在此使用的一般专用术语,本领域技术人员应该可以理解,当描述包括电路内各种信号和节点的电路的操作时,一些表达式中的任一个可被同等良好地使用。任何类型的信号,不论是逻辑信号或是更一般的模拟信号,都采用电路内节点的电压电平(或者,对于一些电路技术,电流电平)的物理形式。认为信号通过电线或总线传送可能是正确的。例如,可以将特定电路操作描述为“电路 10 的输出驱动节点 11 的电压至 VDD,因此断言信号 OUT 在节点 11 上传送。”这是一种准确、尽管不灵活的表达。因此,本领域中众所周知,等效地描述该电路操作为“电路 10 驱动节点 11 为高”、以及“由电路 10 将节点 11 置于高”、“电路 10 将 OUT 信号拉高”、以及“电路 10 驱动 OUT 为高”。描述电路操作的这些短句可以更高效地传递电路操作的细节,尤其是因为附图中的示意图清晰地将各种信号名称与相应的电路块和节点名称相关联。为了方便起见,传送 CLK 信号的未命名节点可以被称为 CLK 节点。相似地,像短语“拉高”,“驱动高”以及“充电”一般是同义的,除非特别区分,短语“拉低”、“驱动低”以及“放电”也是这样。相信使用这些更简明的描述性表达增强了本文的清晰度和教义。本领域的技术人员应该理解,这些或其他相似地短语可以交替使用以描述普通的电路操作,并且,机巧的推论不应该被理解为在此说明书内的变化的使用。

[0065] 晶体管可以被概念化为具有控制端,其控制第一电流处理端(或电流运送端)和第二电流处理端之间的电流流动。控制端上的适当状态使得电流从/向第一电流处理端、以及向/从第二电流处理端流动(对于第一和第二电流处理端的典型操作电压)。在双极晶体管中,第一电流处理端可被视为发射极,控制端被视为基极,第二电流处理端被视为集电极。MOS 晶体管可以同样地被概念化为具有控制端,其控制第一电流处理端和第二电流处理端之间的电流流动。虽然 MOS 晶体管经常被认为具有漏极、栅极和源极,但在大多数这些器件中,漏极可以与源极互换。这是因为,晶体管的布局和半导体处理是对称的(典型地,这不是双极晶体管的情况)。对于 N 沟道 MOS 晶体管,通常驻留于较高电压的电流处理端被惯称为漏极。通常驻留于较低电压的电流处理端被惯称为源极。栅极上的足够高的电压(相对于源极电压)使得电流从漏极流向源极(假定漏极和源极各自的电压不同)。对于

增强模式 N 沟道器件, 大于阈值电压 (包括体效应) 的正的栅极 - 源极电压就足够了。在 N 沟道 MOS 器件等式中提到的源极电压仅仅表示任意电流处理端在任意给定时间点具有较低电压。例如, 双向 CMOS 传输门的 N 沟道器件的“源极”取决于传输门哪侧具有更低的电压。为了反映大多 N 沟道 MOS 晶体管的此对称性, 控制端可被视为栅极, 第一电流处理端可被命名为“漏极 / 源极”, 且第二电流处理端可被命名为“源极 / 漏极”。这样的描述对 P 沟道 MOS 晶体管是同等有效的, 这是因为, 漏极和源极电压之间的极性、以及漏极与源极之间电流流动的方向都不在这些术语中暗示。或者, 一个电流处理端可以任意地被视为“漏极”而另一个被视为“源极”, 暗含这样的理解: 两者并非截然不同, 但可互换。

[0066] 关于电源, 用于向电路供电的单个正电源电压 (例如, 2.5 伏电源) 通常被称为“VDD”电源。在集成电路中, 晶体管和其他电路元件实际上都与 VDD 端或 VDD 节点耦接, 其又在操作上连接到 VDD 电源。诸如“绑定到 VDD”或“连接到 VDD”的短语的非正式使用应该被理解为“连接到 VDD 节点”, 随后, 其一般又在操作上被连接, 以在集成电路的使用期间实际接收 VDD 电源电压。

[0067] 单个电源电路的参考电压经常被称为“VSS”。晶体管和其他电路元件实际上连接到 VSS 端或 VSS 节点, 随后, 其在集成电路的使用期间又在操作上被连接到 VSS 电源。VSS 端经常被耦接到参考地电位, 或正是“地”。描述用特定晶体管或电路“接地”的节点 (除非另外定义) 与用晶体管或电路“拉低”或“拉到地”意思相同。

[0068] 这里的框图可以利用连接框的单个节点的术语描述。然而, 应该理解, 当上下文要求时, 这个“节点”可以实际代表传送差分信号的一对节点, 或可以代表传送几个相关信号或传送形成数字字的多个信号的多个独立线路 (例如, 总线)。

[0069] 尽管电路和物理结构被一般性地假定, 但公认的是, 在现代半导体设计和装配中, 物理结构和电路可以被实体化为: 计算机可读描述性形式, 其适合于用在随后的设计、测试或装配活动; 以及产生的装配的半导体集成电路。相应地, 针对传统电路或结构的权利要求可以与其特定语言一致, 根据计算机可读编码和其表示而读取, 无论是否在介质中被实体化、还是与适当的读设备组合以允许装配、测试或设计相应电路和 / 或结构的改良。本发明考虑包括电路、相关方法或操作、用于产生这些电路的相关方法、以及这些电路和方法的计算机可读介质编码, 这都在此描述, 并在所附的权利要求书中定义。如在此使用的, 计算机可读介质至少包括光盘, 磁带或其他磁、光、半导体 (例如, 闪存卡、ROM) 或电介质、以及网络、电线、无线或其他通信介质。电路的编码可以包括电路原理信息、物理布局信息、行为仿真信息, 和 / 或可以包括可以代表或传达所述电路的任何其他编码。

[0070] 前面提到的细节描述仅仅描述了本发明的多种可能的实现方式的一小部分。为此, 这些细节描述意在作为列举, 而不是作为限制。在此揭示的实施例可以在基于此描述且不脱离本发明范围和本质的前提下做改变和修改。而且, 上面描述的实施例特别考虑了单独使用和以不同的结合方式使用的情况。仅仅是下面的权利要求书, 包括所有对等物, 意在定义本发明的范围。相应地, 其他在此未描述的实施例、变化、以及改善不被排除在本发明的范围外。

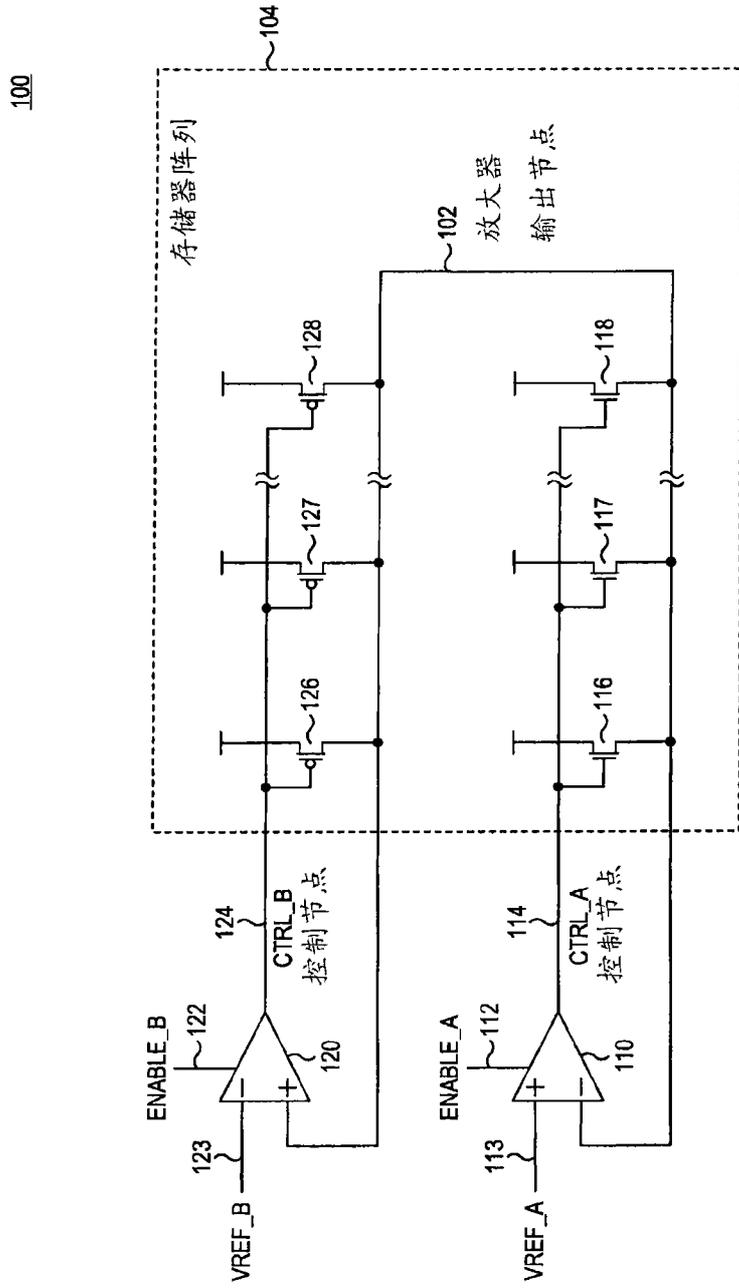


图 1

(现有技术)



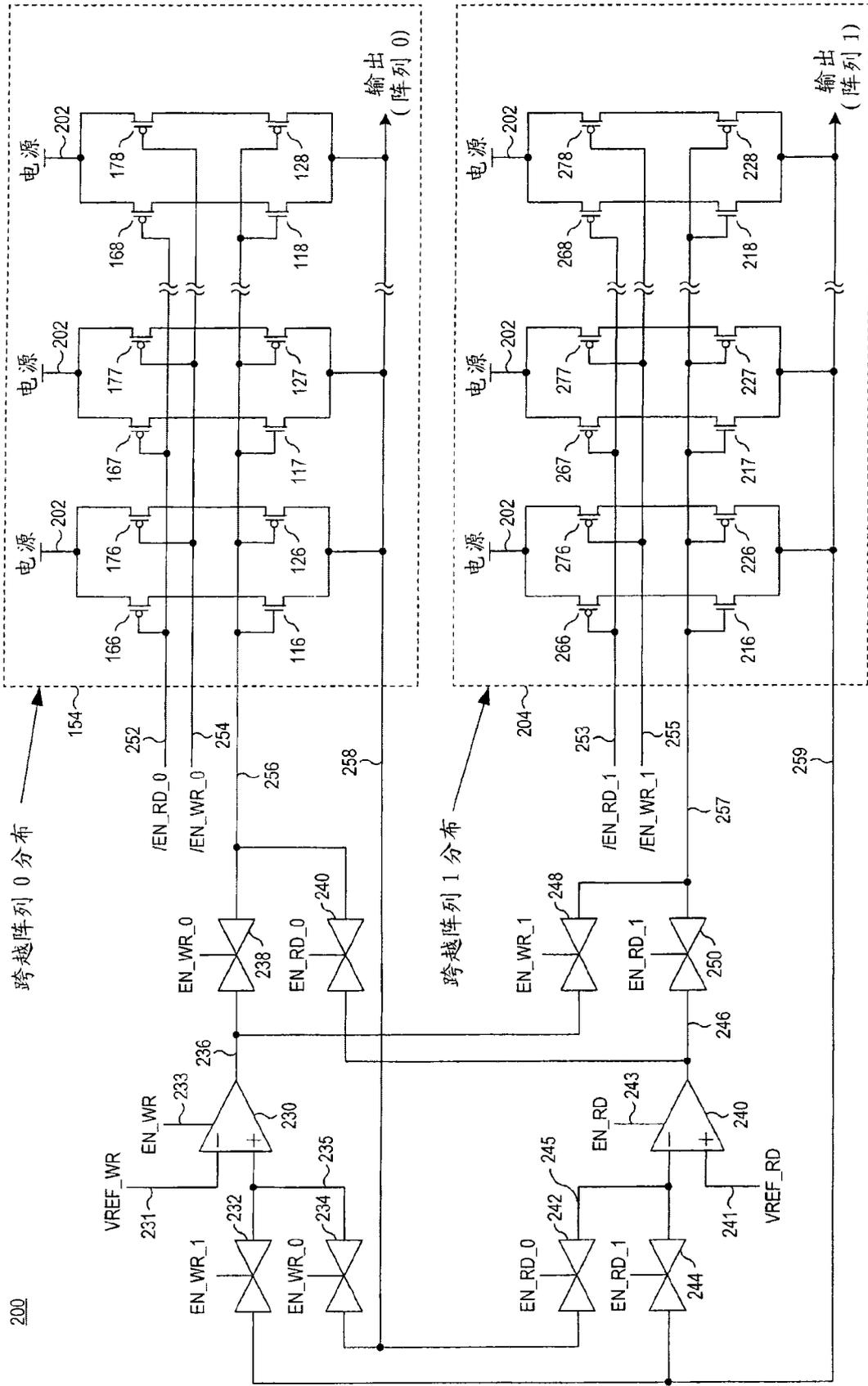


图 3

300

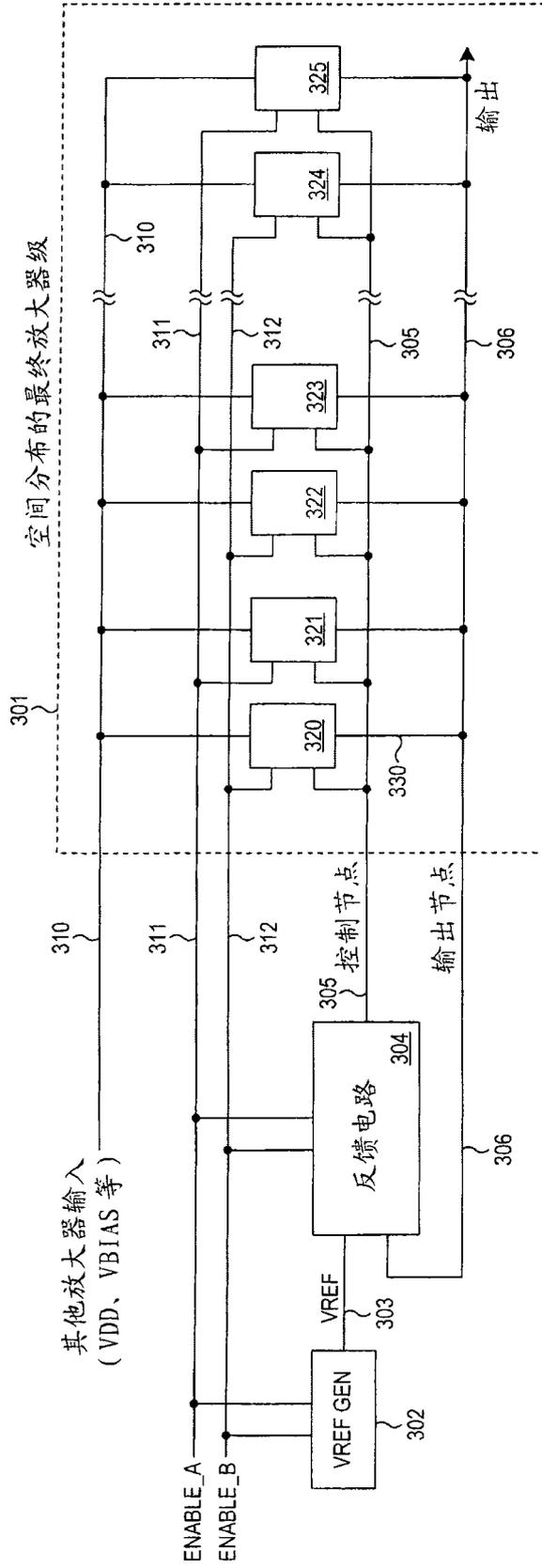


图 4

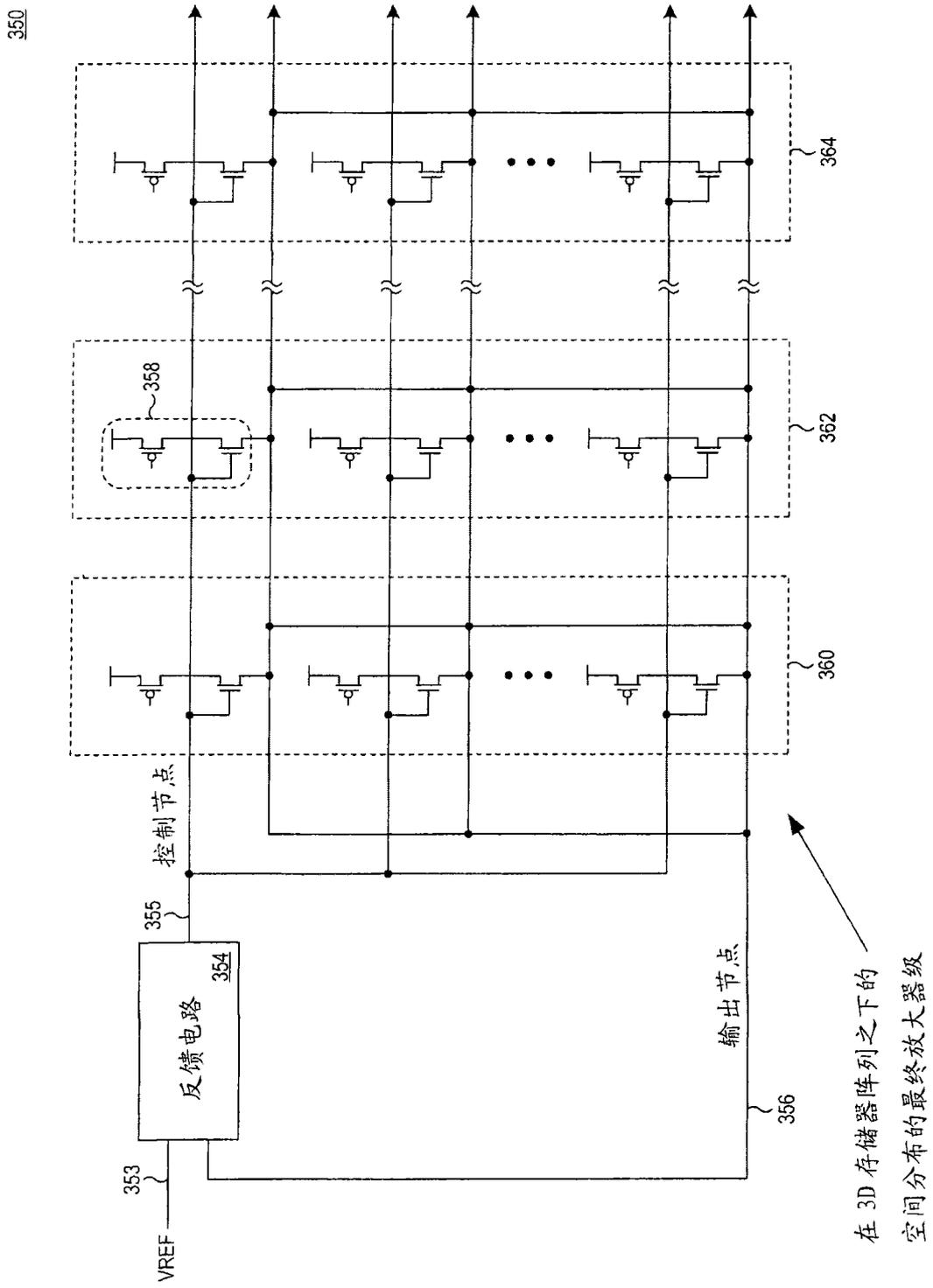


图 5

400

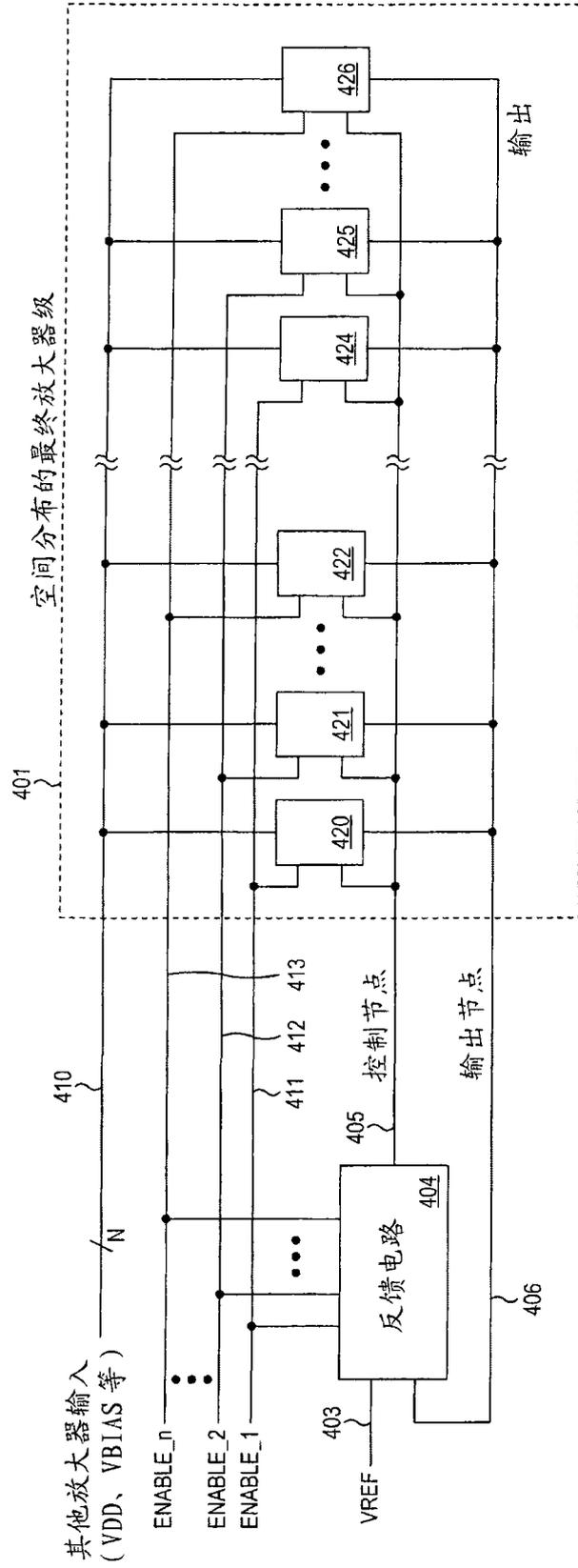


图 6

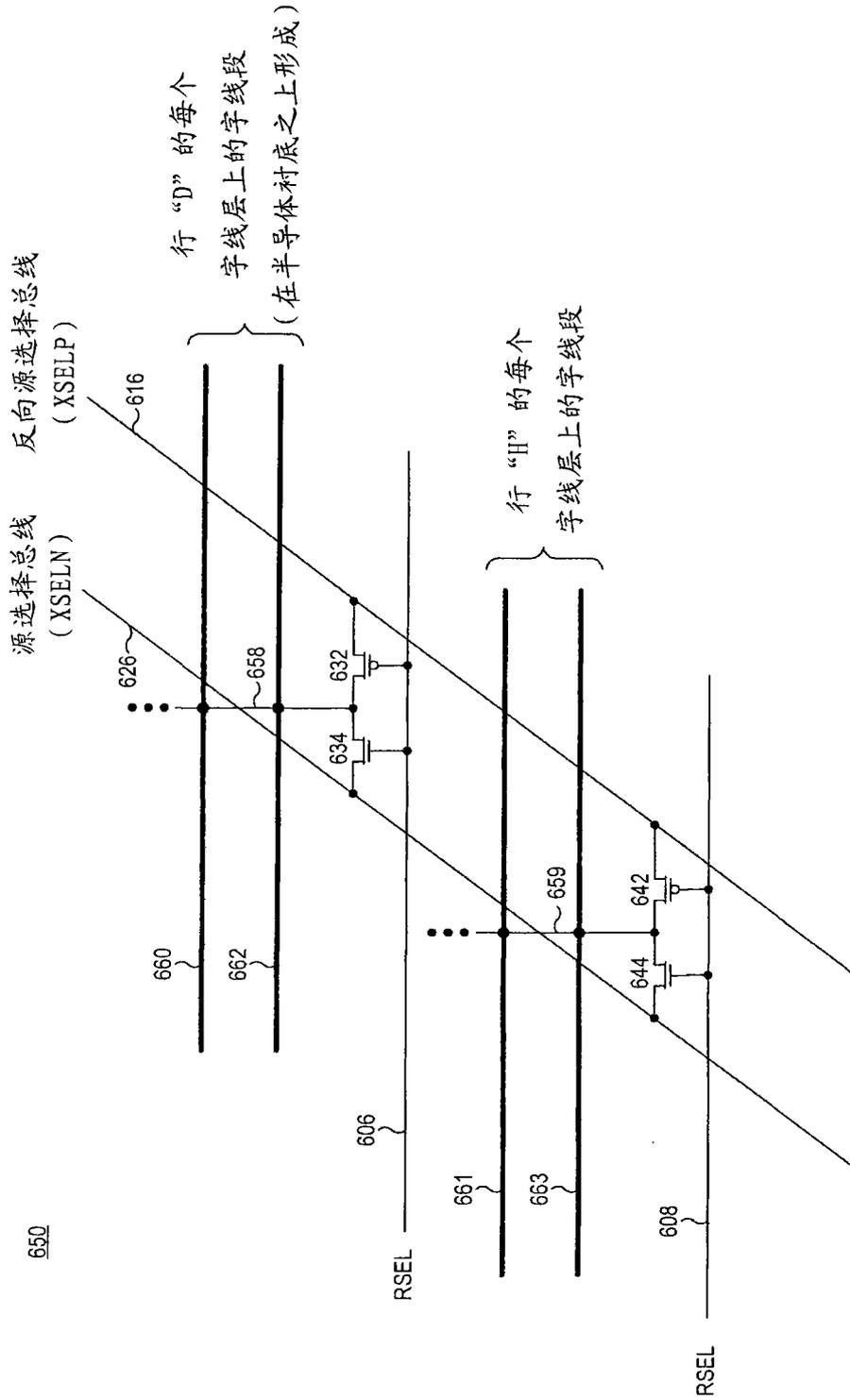


图 7

700

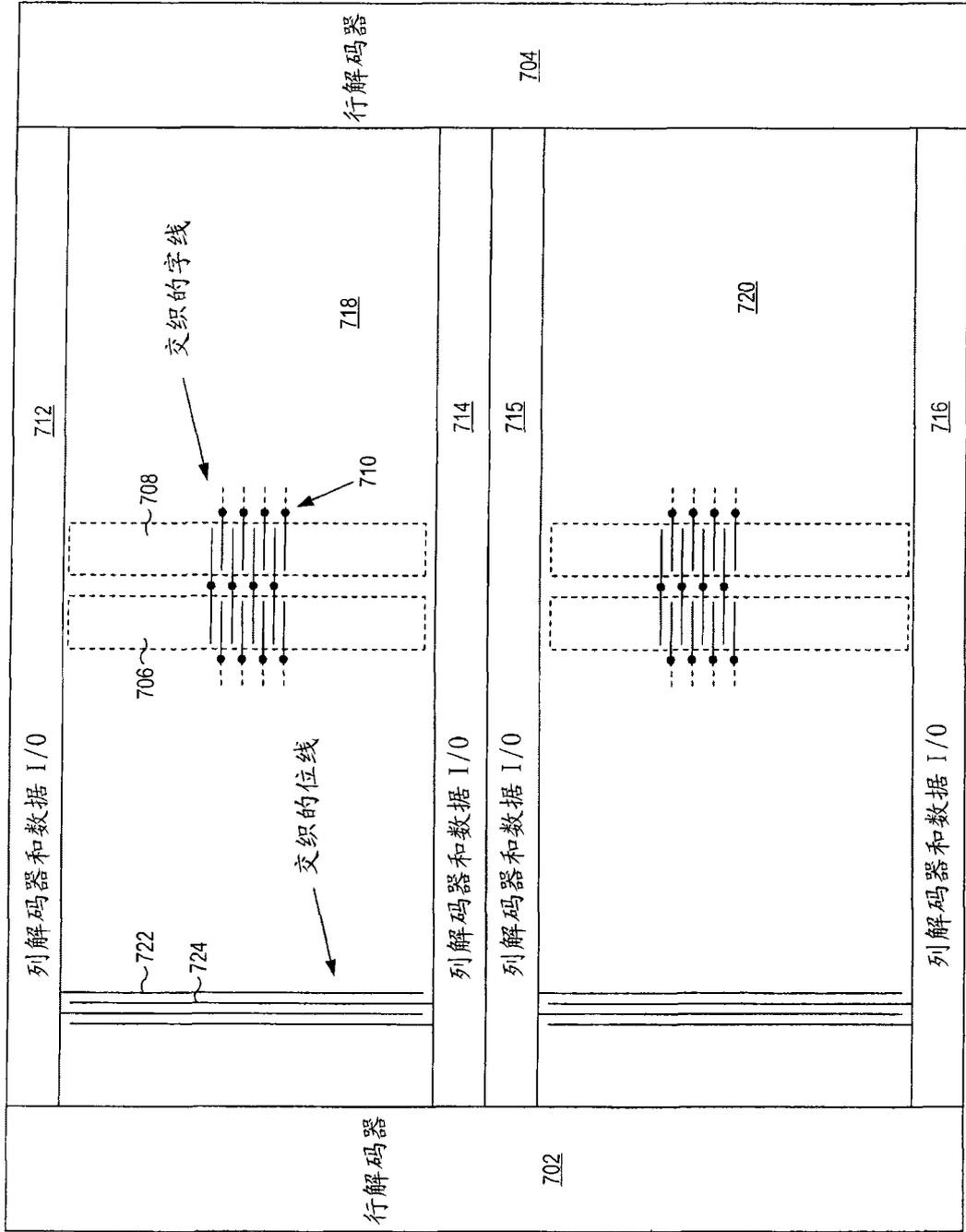


图 8