

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/82

H01L 21/28 H01L 27/10

G11C 11/22



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 99123959.8

[45] 授权公告日 2003 年 12 月 10 日

[11] 授权公告号 CN 1130765C

[22] 申请日 1999. 11. 19 [21] 申请号 99123959. 8

[30] 优先权

[32] 1998. 11. 20 [33] US [31] 09/197,385

[71] 专利权人 塞姆特利克斯公司

地址 美国科罗拉多

共同专利权人 日本电气株式会社

[72] 发明人 约瑟夫·D·库奇奥 古谷晃

卡洛斯·A·帕斯·德阿劳科

宫坂洋一

审查员 朱永全

[74] 专利代理机构 永新专利商标代理有限公司

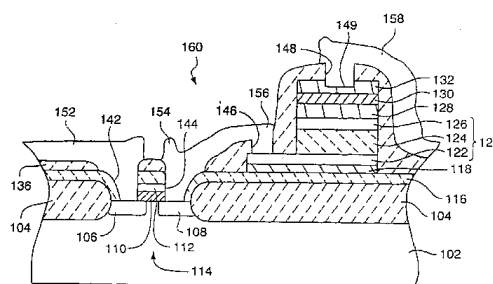
代理人 韩 宏

权利要求书 3 页 说明书 17 页 附图 4 页

[54] 发明名称 具有自对准的氢阻挡层的集成电路
及其制做方法

[57] 摘要

在一集成电路中, 各自包括一底电极(122)、一金属氧化物薄膜(124)、一顶电极(126)、一下阻挡-粘附层(128)、一氢阻挡层(130)和一上阻挡-粘附层(132)被构型以形成覆盖有一自对准氢阻挡层(130)的一存储电容器(120)。较佳地, 该顶和底电极包括铂, 该金属氧化物材料包括铁电分层的超晶格材料, 该上和下阻挡-粘附层包括钛, 且该氢阻挡层(130)包括氮化钛。该氢阻挡层(130)禁止氢的扩散, 从而防止金属氧化物的氢退化。部分上阻挡-粘附层(132)被去除以提供该层中的电传导性。较佳地, 该存储电容器是一铁电永久性存储器。较佳地, 该分层的超晶格材料包括钽酸锶铌或铌酸锶铌。



1、一种用于制做一铁电集成电路的方法，包括有步骤：形成一集成电路部分，包括一金属氧化物材料的薄膜（124）；所述方法其特征在于在所述金属氧化物材料的薄膜（124）正上方形成一第一阻挡一粘附层（128）；在所述第一阻挡一粘附层（128）上形成一氢阻挡层（130）；在所述氢阻挡层（130）上形成具有一顶表面的一第二阻挡一粘附层（132），一起构型所述第一阻挡一粘附层（128）、所述氢阻挡层（130）和所述第二阻挡一粘附层（132）。

2、根据权利要求1的方法，其特征在于还包括有步骤：去除所述第二阻挡一粘附层（132）的一部分以在所述顶表面形成一布线槽（149）。

3、根据权利要求1或2的方法，其特征在于所述第一阻挡一粘附层（128）包括钛，所述氢阻挡层（130）包括氮化钛，及所述第二阻挡一粘附层（132）包括钛。

4、根据权利要求3的方法，其特征在于所述第二阻挡一粘附层（132）包括氧化钛。

5、根据权利要求1或2的方法，其特征在于所述金属氧化物材料包括一 ABO_3 -型钙钛矿。

6、根据权利要求1或2的方法，其特征在于所述金属氧化物材料包括一铁电分层的超晶格材料。

7、根据权利要求6的方法，其特征在于所述铁电分层的超晶格材料包括从铌酸锶铋钽或钽酸锶铋组成的群中选择的一材料。

8、根据权利要求1或2的方法，其中所述形成一集成电路部分的步骤包括有步骤：提供一基底；在所述基底上形成一底电极层（122）；在所述底电极层（122）上形成所述金属氧化物材料的薄膜（124）；及在所述金属氧化物材料的薄膜（124）上形成一顶电极层（126）；其特征在于所述在所述金属氧化物材料的薄膜（124）正上方形成一

第一阻挡-粘附层(128)的步骤包括在所述顶电极层(126)上形成所述第一阻挡-粘附层(128)。

9、根据权利要求8的方法，其特征在于还包括有步骤：一起构型所述顶电极层(126)、所述第一阻挡-粘附层(128)、所述氢阻挡层(130)和所述第二阻挡-粘附层(132)。

10、根据权利要求8的方法，其特征在于所述底电极层(122)和所述顶电极层(126)包括铂。

11、一种集成电路，包括：包括一金属氧化物材料薄膜(124)的一集成电路部分；其特征在于包括在所述金属氧化物材料的薄膜(124)正上方的一第一阻挡-粘附层(128)；在所述第一阻挡-粘附层(128)上且在所述金属氧化物材料的薄膜(124)正上方的一氢阻挡层(130)；和所述氢阻挡层(130)上的具有一顶表面的一第二阻挡-粘附层(132)；所述第一阻挡-粘附层(128)、所述氢阻挡层(130)和所述第二阻挡-粘附层(132)被自对准。

12、根据权利要求11的集成电路，其特征在于所述第二阻挡-粘附层(132)的一部分在所述顶表面具有一布线槽(149)。

13、根据权利要求11或12的集成电路，其特征在于所述第一阻挡-粘附层(128)包括钛，所述氢阻挡层(130)包括氮化钛，及所述第二阻挡-粘附层(132)包括钛。

14、根据权利要求11或12的集成电路，其特征在于所述第二阻挡-粘附层(132)包括氧化钛。

15、根据权利要求11或12的集成电路，其特征在于所述金属氧化物材料包括一 ABO_3 -型钙钛矿。

16、根据权利要求11或12的集成电路，其特征在于所述金属氧化物材料包括一铁电分层的超晶格材料。

17、根据权利要求16的集成电路，其特征在于所述铁电分层的超晶格材料包括从钽酸锶铋和铌酸锶铋组成的群中选择的一材料。

18、根据权利要求 11 或 12 的集成电路，其中所述集成电路部分包括：一基底；在所述基底上的一底电极层（122）；在所述底电极层（122）上的所述金属氧化物材料的薄膜（124）；及在所述金属氧化物材料的薄膜（124）上的一顶电极层（126）；其特征在于所述在所述金属氧化物材料的薄膜（124）正上方的一第一阻挡-粘附层（128）被定位在所述顶电极层（126）上。

19、根据权利要求 18 的集成电路，其特征在于所述电极层（126）、所述第一阻挡-粘附层（128）、所述氢阻挡层（130）和所述第二阻挡-粘附层（132）被自对准。

20、根据权利要求 19 的集成电路，其特征在于所述底电极层（122）和所述顶电极层（126）包括铂。

具有自对准的氢阻挡层的集成电路及其制做方法

本发明涉及一种具有氢阻挡层以保护包含铁电或高介电常数金属氧化物材料的电路元件的集成电路，及制做这样一电路的方法。

铁电化合物拥有用于永久性集成电路存储器的有利特性。见 Miller 的美国专利 No.5, 046, 043。一铁电装置，例如一电容器，当其拥有期望的电子特性，例如高残余极化、良好的矫顽磁场、高疲劳阻抗和低漏电流时可用作为一永久性存储器。含铅的 ABO_3 型铁电氧化物例如 PZT（锆酸钛酸铅）和 PLZT（锆酸钛酸镧铅）已被研究实际用在集成电路中。分层的超晶格材料氧化物也已被研究用于集成电路。见 Watanabe 的美国专利 No.5, 434, 102。分层的超晶格材料在铁电存储器中呈现优于 PZT 和 PLZT 若干数量级的特性。包含铁电元件的集成电路装置被当前生产。尽管如此，在制做过程中的氢退化（hydrogen degradation）的顽固问题妨碍了铁电存储器的大批生产的经济性和使用分层的超晶格材料化合物的其他的 IC 装置具有期望的电子特性。

一集成电路中的一典型的铁电存储器装置包含一半导体基底和与一铁电装置，通常为铁电电容器电接触的一金属氧化物半导体场效应晶体管（MOSFET）。一铁电电容器通常包含位于第一，底电极和第二、顶电极之间的一铁电薄膜，这些电极通常包含白金。在电路的制做中，MOSFET 被经受导致硅基底中出现缺陷的条件。例如，该 CMOS/MOSFET 制做过程常常包括高能步骤，例如离子铣蚀刻和等离子蚀刻。缺陷也在相对高温，经常在 500°C — 900°C 的范围内对铁电薄膜的结晶进行热处理期间产生。结果，在该半导体硅基底的单晶结构中生成数个缺陷，导致 MOSFET 的电子特性的劣化。

为恢复 MOSFET/CMOS 的硅特性，该制做过程通常包括一氢退火

步骤，其中通过利用氢的还原特性消除例如悬空键的缺陷。已开发了各种技术来实现氢退火，例如形成一气体退火（“FGA”）。常规地，FGA处理在 350℃和 550℃之间，典型地在 400—450℃左右在 H_2-N_2 气体混合物的环境条件下被进行约 30 分钟的时间周期。而且，该集成电路制做过程要求其他的制做步骤：将集成电路曝露在氢气下，常在高温下，例如用于沉积金属和介电质的富氢等离子 CVD 处理，从硅烷或 TEOS 源生出二氧化硅，及使用氢和氢等离子体的蚀刻处理。在包含氢气的处理中，氢气主要通过顶电极扩散到铁电薄膜并还原铁电材料中包含的氧化物。吸收的氢还通过还原金属氧化物使铁电薄膜的表面金属化。结果，该电容器的电子性质被退化。而且，通过在界面发生的化学变化，铁电薄膜对上电极的粘附性被降低。替换地，上电极通过氧气、水及发生的氧化还原反应的其他产物被向上推。这样，可能在顶电极和铁电薄膜之间的界面上发生剥脱。而且，氢气还能到达下电极，导致内部应力，使该电容器剥离其基底。这些问题在包含分层的超晶格材料化合物的铁电存储器中是剧烈的，因为这些氧化物化合物是特别复杂且倾向于通过氢还原而分解。在形成一气体退火（FGA）后，铁电体的残余极化很低且不再适于存储信息。而且，导致漏电流的增大。

在现有技术中已告知几种方法来防止或逆转在铁电氧化物材料中的期望的电子性质的氢退化。在高温（800℃）下氧气退火约 1 小时导致通过氢处理而退化的铁电体性质的实质地完全的还原。但该高温氧气退火自身可能在硅晶体结构中产生缺陷，从而多少抵消了先前形成气体一退火对 CMOS 特性的有利影响。而且，高温氧气退火仅可在铝金属化之前进行。而且，如果氢破坏已导致结构损坏，例如电容器层剥离下层和上层，则这样的损坏不能通过氧气还原退火而被恢复。

为了减少氢的不利影响并保护金属氧化物元件，现有技术还告知应用氢阻挡层以防止氢扩散进铁电或介电金属氧化物材料。该阻挡层通常被施加于金属氧化物元件上，但有时被施加于该元件的下方和侧边。

利用氢阻挡层导致制做过程的附加的复杂性，使成本相应地提高。需要额外的沉积步骤来在集成电路基底上形成该阻挡层。这些氢阻挡层还要求额外的构型步骤。如果被用于形成该层的材料是差的电导体，则可能需要在另一处理步骤中将其去除以避免对电信号产生干扰。反过来，如果该材料是导电的。它可能导致电布线和电路路径的缩短。而且，一些众所周知的氢阻挡层的成分不能良好地粘附至通常在集成电路中使用的金属，例如钛和铝。

氢退化还是集成电路中非铁电，高介电常数应用中使用的复合金属氧化物中的一问题。氢反应导致结构破坏，如以上对铁电氧化物所述，并导致介电性质的劣化。经受氢退化的金属氧化物的例子包括钛酸钡锶（“BST”），铌酸钡锶（“BSN”），某些 ABO_3 —型钙钛矿，和某些分层的超晶格材料。因此，氢阻挡层还被使用来保护非铁电、高介电常数金属氧化物。

这样，提供一种具有一氢阻挡层的集成电路和一种用于制做这样一电路（在保护铁电体和非铁电体、高介电常数金属氧化物材料，具体地为铁电体分层的超晶格材料免受氢退化的影响中利用一氢阻挡层）的方法，同时使集成电路及其制做方法的复杂性最小是有用的。

本发明通过提供一种具有自对准氢阻挡层的集成电路，和一种用于制做这样一集成电路的方法解决了上述问题。根据本发明的一氢阻挡层通过防止氢向金属氧化物的扩散来保护金属氧化物材料，且从而保存良好的铁电体或金属氧化物材料的高介电常数性质。

本发明的一特征是在一金属氧化物材料薄膜正上方形成一粘附层，该粘附层用于确保该氢阻挡层良好地粘附至下面的电路层，该粘附层被称为下、第一阻挡—粘附层。然后在第一阻挡—粘附层上形成一氢阻挡层，随后在该氢阻挡层上形成一上、第二阻挡—粘附层。且一起构型所述第一阻挡—粘附层（128）、所述氢阻挡层（130）和所述第二阻挡—粘附层（132）。

该金属氧化物材料可以是铁电材料，或可以是非铁电、高介电常数材料。一铁电材料薄膜的组分可从一合适的铁电氧化物材料的群中

选择, 该群包括但不限于: 一 ABO_3 -型钙钛矿, 例如钛酸盐 (如, $BaTiO_3$, $SrTiO_3$, $PbTiO_3$ (PT), $PbZrTiO_3$ (PZT)), 铌酸盐 (如, $KNbO_3$), 且最好是分层的超晶格材料。替换地, 可从包括但不限于: 钛酸钡锶 (“BST”), 铌酸钡锶 (“BSN”), 某些 ABO_3 -型钙钛矿, 和某些分层的超晶格材料的群中选择一非铁电、高介电常数材料薄膜。

最好, 该金属氧化物材料包括铁电分层的超晶格材料。较佳地, 该第一阻挡-粘附层包括钛, 该氢阻挡层包括氮化钛, 且该上、第二阻挡-粘附层包括钛和氧化钛。

本发明的目的是在包含一金属氧化物材料薄膜的存储电容器正上方上形成一氢阻挡层。通过沉积一底电极层, 然后在该底电极上形成该金属氧化物材料薄膜, 并最终在该金属氧化物薄膜上形成一顶电极层来形成一存储电容器。然后, 在该金属氧化物材料的薄膜上的顶电极正上方上形成一下、第一阻挡-粘附层, 随后在该金属氧化物材料的薄膜上的第一阻挡-粘附层的正上方上形成该氢阻挡层, 并最终该氢阻挡层上形成一上、第二阻挡-粘附层。最好, 该存储电容器是一铁电、永久性存储电容器。较佳地, 该金属氧化物材料包括铁电分层的超晶格材料。最好, 该电容器电极包括铂。

在本发明的一较佳实施例中, 底电极、金属氧化物薄膜、顶电极、第一阻挡-粘附层、氢阻挡层和第二阻挡-粘附层形成一叠薄膜层, 其可使用最少数量的构型步骤而被构型以形成该集成电路中的自对准层。

本发明一特征是第二阻挡-粘附层的顶表面附近的氧化钛与氢反应并防止氢向金属氧化物薄膜扩散。在第二阻挡-粘附层的顶半部中的氧化钛量在 0 和 50% 之间。通过在上、第二阻挡-粘附层的顶半部的溅射-沉积处理期间在溅射气氛中包括 0 和约体积比 10% 之间的氧气来形成该氧化钛。

本发明的另一目的是去除第二阻挡-粘附层的一部分以在该层的顶部形成一布线槽以提高通过该层到下面的电路层的整体电传导性。

在本发明的一较佳实施例中, 铁电分层的超晶格材料的薄膜包含

铌酸锶铋钽或钽酸锶铋。

本发明提供一集成电路装置，包括一金属氧化物材料薄膜、在该金属氧化物材料薄膜正上方上的第一阻挡一粘附层、在该第一阻挡一粘附层上且在该金属氧化物材料薄膜正上方上的一氢阻挡层、和在该氢阻挡层上，具有一顶表面的第二阻挡一粘附层，所述第一阻挡一粘附层（128）、所述氢阻挡层（130）和所述第二阻挡一粘附层（132）被自对准（self-align）。最好，该金属氧化物材料包括铁电分层的超晶格材料。最好该第一和第二阻挡一粘附层包括钛。最好，该氢阻挡层包括氮化钛。最好，该铁电分层的超晶格材料的薄膜、该第一阻挡一粘附层、该氢阻挡层、和该第二阻挡一粘附层被自对准。最好第二阻挡一粘附层在其顶表面的一部分已被去除以提高通过该层的电传导性。最好，该铁电分层的超晶格材料包括铌酸锶铋钽或钽酸锶铋。

在一较佳实施例中，该集成电路包括形成在一半导体基底上的一叠层电容器，包括一底电极、在该底电极上的金属氧化物材料薄膜、在该金属氧化物薄膜上的一顶电极，在该顶电极上带有第一阻挡一粘附层。最好，该金属氧化物薄膜、该顶电极、该第一阻挡一粘附层、该氢阻挡层、和该第二阻挡一粘附层被自对准。

从以下结合附图所作的描述中，本发明的若干其他特征、目的和优点将变得显然。

图 1 是如可由本发明的方法执行的一集成电路的制做的中间阶段的截面视图，示出一 MOSFET 和构型之前的一叠薄膜层；

图 2 是如可由本发明的方法执行的一集成电路的制做的进一中间阶段的截面视图，示出在一初始构型处理后的图 1 的自对准薄膜层；

图 3 是如可由本发明的方法执行的一集成电路的制做的进一中间阶段的截面视图，示出在一第二构型处理后的自对准的薄膜层，该第二构型处理形成由一氢阻挡层和第一及第二阻挡一粘附层所覆顶的一铁电电容器；

图 4 是如可由本发明的方法执行的一集成电路的制做的进一中间阶段的截面视图，示出被形成以覆盖图 3 的 MOSFET 和自对准薄膜层的

一 ILD 层;

图 5 是如可由本发明的方法执行的一集成电路的制做的进一中间阶段的截面视图, 示出在 ILD 层和第二阻挡一粘附层的顶表面中的布线槽中形成的布线孔;

图 6 是如可由本发明的方法执行的一集成电路的制做的进一中间阶段的截面视图, 示出在这些布线孔中形成的布线层;

图 7 是示出根据本发明制做一永久性铁电存储器装置的方法的一较佳实施例的流程图。

1、概述

应理解示出集成电路装置的制做阶段的图 1—6 并不意味着是一实际的集成电路装置的任何具体部分的实际的平面或截面视图。在实际装置中, 这些层将不是为规则的且厚度可以具有不同的比例。实际装置中的不同层常是弯曲的且拥有重叠的边沿。这些图示出了理想化的表示, 它们被采用以更清楚地且全面地示出本发明的可能的结构和方法。而且, 这些图仅表示使用本发明的方法可被制做的铁电装置的多种变化中的一种。图 6 示出包含与一铁电电容器电连接的一场效应晶体管形式的一开关的铁电存储器。但本发明的氢阻挡层也可在一铁电 FET 存储器中被使用, 在该铁电 FET 存储器中铁电元件被结合在该开关元件中。这样一铁电 FET 在 McMillan 的美国专利 No.5, 523, 964 中被描述。类似地, 使用本发明制做的其他集成电路可包括其他的元件和材料组分。例如, 尽管本发明的描述集中在—氢阻挡层被使用来保护—铁电永久性存储器, 本发明可用于保护包含非铁电金属氧化物的集成电路免受氢破坏。

参见图 1, 示出有根据本发明可被制做的一示例性永久性铁电存储器单元的制做中的一中间阶段的截面视图。在 Mihara 的美国专利 No.5, 46, 629 和 Yoshimori 的美国专利 No.5, 468, 684 中描述了用于制做包含 MOSFET 和铁电电容器元件的集成电路的通用制做步骤。在其他的参考文献中也描述了通用的制做方法。

在图 1 中, 在一硅基底 102 的表面上形成一场氧化物区 104。在硅基底 102 内相互分开地形成一源极区 106 和一漏极区 108。在该源极区 106 和漏极区 108 之间的硅基底上形成一门极绝缘层 110。而且, 在该门极绝缘层 110 上形成一门极 112。这些源极区 106、漏极区 108、门极绝缘层 110 和门极 112 一起形成一 MOSFET114。

在基底 102 和场氧化物区 104 上形成由 BPSG (掺杂硼的磷硅玻璃) 制成的第一层间介电层 (ILD) 116。在 ILD116 上形成一粘附层 118。该粘附层 118 由例如钛制成, 且典型地具有 20nm 的厚度。例如钛薄膜的粘附层加强了电极对该些电路的相邻的下面或上面的层的粘附。

如图 1 所示, 由铂制成且最好具有 200nm 厚度的一底电极层 122 被沉积在粘附层 118 上。然后在底电极层 122 上形成一分层的超晶格材料的铁电薄膜 124。在该铁电薄膜 124 上形成一由铂制成且最好具有 2000 埃的厚度的顶电极层 126。铁电薄膜 124 的组分将在下面进行详细描述。

在顶电极层 126 上沉积包括钛且具有在 20—50nm 范围内的厚度的第一阻挡—粘附层 128。然后在阻挡—粘附层 128 上形成包括氮化钛且具有 50—200nm 范围内的厚度的氢阻挡层 130。然后在阻挡层 130 上形成具有一顶表面的第二阻挡—粘附层 132。第二阻挡—粘附层 132 最好包括钛且具有 20—50nm 范围内的厚度。该上、第二阻挡—粘附层 132 还可包括替代钛的氮化硅。得到的图 1 所示的该叠薄膜层然后在至少两个的构型过程中被构型以形成由一自对准的氢阻挡层覆盖的一叠式存储电容器。

如图 2 所示, 层 124、126、128、130 和 132 的一部分向下去除到层 122 的表面。然后, 如图 3 所示, 层 122 和 118 的一部分被向下去除到层 116 的表面。如图 3 所示, 这些构型过程导致由自对准的氢阻挡层 130 和自对准的阻挡—粘附层 128 和 132 覆盖的一叠式铁电电容器 120 的形成。第一阻挡—粘附层 128 中的钛加强了氢阻挡层 130 对顶电极 126 的粘附, 因为来自层 128 的自由钛分子扩散进铂电极层 126。

如图 4 所示, 在 ILD116 上形成由 NSG (未掺杂的硅玻璃) 制成的第二层间介电层 (ILD) 136, 覆盖铁电电容器 120 和氢阻挡层 130。在层 136 中也可使用一 PSG (磷硅玻璃) 膜或 BPSG (硼磷硅玻璃) 膜。

如图 5 所示, ILD136 被构型以形成与 MOSFET114 和铁电电容器 120 电接触的布线孔。布线孔 142 选择地通过 ILD136 和 ILD116 被开通以曝露出源极区 106, 且布线孔 144 选择地通过 ILD136 和 ILD116 被开通以曝露出漏极区 108。布线孔 146 选择地通过 ILD136 被开通以曝露出一部分底电极 122。布线孔 148 选择地通过 ILD136 和第二阻挡一粘附层 132 在其顶表面的一顶部分被开通以曝露出第二阻挡一粘附层 132, 从而在层 132 中形成布线槽 149。布线槽 149 的垂直深度最好为约第二阻挡一粘附层 132 的厚度的一半。

如图 6 所示, 形成源极布线 152 和漏极布线 154 以分别填充布线孔 142 和 144。形成底电极布线 156 以填充布线孔 146, 且形成顶电极布线 158 以填充布线孔 148 和布线槽 149。漏极布线 154 被电连接至底电极布线 156, 且最好是相同的布线元件。各这些布线 152、154、156 和 158 最好由 Al-Si-Cu 标准互连金属制成, 具有约 3000 埃的厚度。第二阻挡一粘附层 132 中的钛加强了布线层 158 对氢阻挡层 130 的粘附, 因为自由钛原子扩散进铝布线。最好不直接在氢阻挡层 130 上形成布线层 158, 因为铝将破坏阻挡层 130 的氮化钛且从而将降低阻挡层防止氢扩散的有效性。因为第二阻挡一粘附层 132 在集成电路的各种制做步骤期间被经受氧化情况, 可能在第二阻挡一粘附层 132 的顶表面的层 132 中形成氧化物。另一方面, 在随后的氢退火期间氧化钛有利地起到氢的吸气剂的作用。另一方面, 由于处理降低了层 132 中的整体电传导性, 氧化钛出现在第二阻挡一粘附层 132 的表面及附近, 且从而妨碍了与铁电电容器 120 的电接触。因此, 通过在图 5 中所示的构型步骤中去除第二阻挡一粘附层 132 的一部分而形成布线槽 149。导致层 132 中的电传导性的整体提高。

图 6 中的铁电元件,例如电容器的制做常规地包括可能破坏开关 114 和集成电路的其他元件的氧化情况的步骤。在形成铁电元件后,通常执行该电路的氢热处理以修补该开关的氧化损坏。在该氢处理,典型地为 FGA 处理期间,以及在其他引致还原情况的高能步骤期间,铁电薄膜 124 的铁电性质倾向于劣化,因为氢可能通过电容器的顶部扩散并与铁电薄膜 124 中的分层的超晶格材料的氧化物接触。但位于铁电薄膜 124 正上方的氢阻挡层 130 有效地防止氢通过顶电极 126 垂直地扩散进该铁电薄膜。而且,一些小量的氢通常会横向地从电容器 120 的侧边扩散进铁电薄膜 124,不利地影响电容器的漏泄性能。因此,通过在薄膜 124 中包括超过形成铁电薄膜 124 的分层的超晶格材料所需的化学计算地平衡的量的金属部分,可在铁电薄膜 124 中有意地形成过量的金属氧化物。该过量的氧化物与在该铁电薄膜的横向边沿的氢结合并阻止氢扩散进铁电薄膜 124 的内部。这样,该过量氧化物起到氢“吸气剂”的作用并保护了铁电薄膜 124 的内部。

类似地,在形成上、第二阻挡-粘附层 132 期间可将小量的氧化物加至溅射一气体气氛以形成氧化钛。钛层 132 中的氧化钛还起到氢的吸气剂的作用且从而提供防止铁电薄膜 124 的氢退化的附加保护。

术语“基底”可意指其上形成的该集成电路的下面晶片 102,以及其上沉积以薄膜层,例如 BPSG 层 116 的任何物品。在该公开文本中,“基底”应意指所考虑的层被施加至的对象;例如,当我们讨论一底电极,例如层 122 时,该基底包括底电极层 122,以及在其上形成电极 122 的层 118 和 116。

在这里的术语“上方”、“上”和“顶”是相对硅基底 102 而言。也就是说,如果一第二元件是在一第一元件的“上方”,是指更远离基底 102。相反意义上的术语,例如“下方”、“下”、“底”和“下面”是指它比其他元件更接近于基底 102。基底 102 的长向的尺度定义了被认为是—“水平”平面的一平面,且垂直于此平面的方向被认为是“垂直”。

一铁电元件典型地包括一相对平坦的铁电材料薄膜。术语“横向”

或横向地“是指该薄膜的该平坦的平面的方向。在图 1—6 中，横向的方向将是水平方向。

本说明书不同地涉及一层“在”另一层的“正上方”；例如，一氢阻挡层被形成在一金属氧化物材料薄膜正上方。“在...正上方”是指一层在另一层的至少一部分的上方，但不需在该层的整体的上方。例如，在图 6 中，氢阻挡层 130 在铁电薄膜 124 正上方，且它还在底电极 122 上，即使它不直接地在与布线层 156 接触的底电极 122 的部分上。术语“在...正上方”不意指这些层相互直接接触。只要氢阻挡层在一金属氧化物层的一部分的正上方，它将保护该部分免受氢扩散。显然金属氧化物元件可以相对于水平和垂直的改变的取向被制造。例如，如果该铁电薄膜是在垂直平面内，则词语“横向”将指该垂直方向，且“在...正上方”将指垂直于该薄膜的垂直平面的一取向。当涉及一集成电路层相对于另一、下面层或基底的位置或形成时，术语“在...上”和“到...上”经常在本说明书中被使用。与“在...正上方”相反，术语“在...上”和“到...上”通常是指直接接触，且从它们被使用的各种文本中可显见。

术语“薄膜”在这里被使用，如它在集成电路技术中被使用的一样。通常，它意指在厚度上小于一微米的膜。这里公开的薄膜是在厚度小于 0.5 微米的情况下。较佳地，铁电薄膜 124 为 100nm 至 300nm 厚，且最好为 120nm 至 250nm 厚。集成电路技术的这些薄膜应不与可同集成电路技术兼容的通过整个不同的处理所形成的宏观的电容器技术的分层的电容器相混淆。

术语“自对准”是被用于指以这样一方式被形成且构型的一或多个层：它们自动地与一或多个其他的层对准。例如，如果在同一光掩模和蚀刻构型处理中一起构型顶电极 126、阻挡—粘附层 128 和 132、及氢阻挡层 130，它们将被自对准。

可从适合的铁电氧化物材料的一群，包括但不限于：— ABO_3 —型 钙 钛 矿，例如 钛 酸 盐（如，

$\text{BaTiO}_3, \text{SrTiO}_3, \text{PbTiO}_3(\text{PT}), \text{PbZrTiO}_3(\text{PZT})$), 铌酸盐 (如, KNbO_3), 和分层的超晶格材料中选择铁电薄膜 124 的组分。较佳地, 薄膜层 124 包括一铁电分层的超晶格材料, 包括但不限于: 钽酸铋铌 ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) 和铌酸铋铌钽 ($\text{SrBi}_2\text{Ta}_{2-x}\text{Ni}_x\text{O}_9$)。最好, 薄膜 124 包括带有由分子式 $\text{SrBi}_{2.18}\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 代表的组分的分层的超晶格材料。可替换地, 该薄膜 124 可包括非铁电金属氧化物, 例如在 DRAM 单元中使用的高介电常数材料, 其可从一群中进行选择, 该群包括但不限于: 钛酸钡铌 (“BST”), 铌酸钡铌 (“BSN”), 某些 ABO_3 -型钙钛矿, 和某些分层的超晶格材料。

词语“组分”精确地指一同族物质, 其中等同的分子全都包括相同的化学元素和结构。术语“材料”可包括不同组分的分子。例如, 该分层的超晶格材料铌酸铋铌钽可包括互连的晶格, 其中两不同种的原子, 钛和铌, 不同地占有该晶体结构的 B 格点位置。尽管如此, 在本说明书中, 术语“分层的超晶格材料”、“分层的超晶格化合物”和“分层的超晶格材料化合物”实际地被可互换地使用且它们的含义从该文本中显见。

1996 年 5 月 21 日颁布的美国专利 No.5, 519, 234 公开了分层的超晶格化合物, 例如钽酸铋铌, 在铁电应用中具有相比于最好的现有材料的优良的性质且具有高介电常数和低漏电流。1995 年 7 月 18 日颁布的美国专利 No.5, 434, 102 和 1995 年 11 月 21 日颁布的美国专利 No.5, 468, 684 描述了用于将这些材料集中进具体的集成电路中的处理。

该分层的超晶格材料可在下式中被概述:

$$(1) \quad A1^{+a_1}A2^{+a_2} \dots A_j^{+a_j}S1^{+s_1}S2^{+s_2} \dots S_k^{+s_k}B1^{+b_1}B2^{+b_2} \dots B_l^{+b_l}Q_z^{-2},$$

其中 $A1, A2 \dots A_j$ 代表在钙钛矿样结构中的 A 格点元素, 其可以是例如铋、钙、钡、铋、铅等其他的元素; $S1, S2 \dots S_k$ 代表超晶格生成元素, 通常是铋, 担也可以是例如钇、铈、镧、铈、铈和铈的元素; $B1, B2 \dots B_l$ 代表在钙钛矿样结构中的 B 格点元素, 其可以是例如钛、钽、

合、钨、铌、锆的元素，和其他元素；且 Q 代表一阴离子，通常是氧，但也可以是其他元素，例如氟、氯和这些元素的混合物，例如氟氧化物、氯氧化物等。式 (1) 中的上标指示各自元素的价，而下标指示一摩尔该化合物中的该材料的摩尔数，或用单位晶胞来说，指示该单位晶胞中平均的该元素的原子数。这些下标可以是整数或分数。也就是说，式 (1) 包括这些情况：该单位晶胞在该材料整个中，例如在 $\text{Sr}_{.75}\text{Ba}_{.25}\text{Bi}_2\text{Ta}_2\text{O}_9$ 中可以改变，平均地，A 格点的 75% 被铈原子占有而 A 格点的 25% 被钡原子占有。如果在该化合物中仅有一个 A 格点元素，则它由“A1”元素表示且 $w_2 \dots w_j$ 全等于零。如果在该化合物中仅有一个 B 格点元素，则它由“B1”元素表示且 $y_2 \dots y_j$ 全等于零。类似地对于超晶格生成元素。常见的情况是有一个 A 格点元素，一个超晶格生成元素、和一或两个 B 格点元素，尽管式 (1) 被以概括得多的形式被写出，因为本发明意图在于包括这些格点或该超晶格生成元素可具有多个元素的情况。Z 的值从下式中求出：

$$(2) \quad (a_1w_1 + a_2w_2 \dots + a_jw_j) + (s_1x_1 + s_2x_2 \dots + s_kx_k) + (b_1y_1 + b_2y_2 \dots + b_ly_l) = 2z.$$

式 (1) 包括在 1996 年 5 月 21 日颁布的美国专利 No.5,519,234 中讨论的全部三种斯莫伦斯基 (Smolenskii) 型化合物。该分层的超晶格材料不包括可被填入式 (1) 中的每个材料，而仅是那些自发地将它们自己形成为带有各别的交替的层的结晶的结构材料。

术语“化学计算的”可被适用于一材料，例如分层的超晶格材料的固体膜，或用于形成一材料的前体。当它被适用于一固体膜时，它指示出一最后固体膜中各元素的实际相对量。当适用于一前体时，它指示在该前体中的金属的摩尔比。一“平衡的”化学计算式是其中恰好有足够的各元素来形成该材料的一完整的结晶结构，带有被占有的晶格的所有格点的一化学计算式，尽管在实际的实践中在室温下在晶体中总有一些缺陷。例如， $\text{SrBi}_2\text{TaNbO}_9$ 和 $\text{SrBi}_2\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 是平衡的

化学计算式。相反，一用于铌酸锶铋钽（其中锶、铋、钽和铌的摩尔比分别是 1,2.18,1.44 和 0.56）的前体在此由不平衡的“化学计算的”式 $\text{SrBi}_{2.18}\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 表示，因为它包含过量的铋，超出的铋被需要以形成一完整的结晶材料。在该公开文本中，一金属化元素的“过”量意味着比与其他存在的金属键和所需的量大的一量以制做所期望的材料，所有原子格点被占有且不留下任何金属量。

根据 1995 年 7 月 18 日颁布给 Watanabe 等的美国专利 No.5, 434, 102 及根据有关的工作，由本技术领域的熟练技术人员推荐的用于制做分层的超晶格材料的前体具有化学计算式 $\text{SrBi}_{2.18}\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 。相信具有该式的一前体将导致一帶有平衡的化学计算式 $\text{SrBi}_2\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 的一最终的固体铌酸锶铋钽薄膜。也就是说，该最终的薄膜不包含过量的铋，因为在制做过程期间该前体中的过量的铋被带走作为氧化铋气。该前体溶液包含对应于化学计算比 $\text{SrBi}_{2.18}\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 的化学前体的量。该化学计算式在此被称为具有铌对钽的“标准”比例的“标准”式。具有该标准化学计算式的前体包括约 9% 的过量铋。也就是说，该标准化学计算式包括在该前体中的高于与所有锶、钽和铌键和所需的量的铋的量以形成一分层的超晶格化合物，该晶体中所有的原子格点被占有。本发明的一个特征在于带有过量的金属，也就是说，至少一金属，例如铋和铌的量高于或附加至标准式中所示的金属量的一最终的超晶格化合物相比于用具有该标准式的前体制成的材料对由氢导致的退化有更强的抵抗力。一相关的特征是在一分层的超晶格材料中的 B 格点的元素，例如铌的过量在防止由曝露给氢导致的电子性质的劣化方面是有效的。

2、 详细描述

图 7 的视图是在本发明中使用以制做一铁电存储器 160 的制做步骤的流程图。最好在一常规的晶片上形成铁电存储器 160，该常规的晶片可以是硅、砷化镓或其他半导体，或例如玻璃或氧化镁（MgO）的

绝缘体。在步骤 212, 提供一半导体基底 102 (图 1), 在步骤 214, 在该半导体基底 102 上设置一开关 114。该开关典型地是一 MOSFET。在步骤 216, 形成第一层间介电层 116 以将该开关元件与待被形成的铁电元件分开。在步骤 218, 形成一底电极层 122。最好该电极层 122 由铂制成且被溅射沉积以形成一厚度约 200nm 的层。在该较佳的方法中, 最好具有约 20nm 厚度的由钛或氮化钛制成的一粘附层 118 将在此步骤形成, 最好通过溅射, 在沉积该电极之前形成。在步骤 220, 制备将形成期望的铁电薄膜的分层的超晶格化合物的化学前体。在步骤 222, 该铁电薄膜 124 被提供给底电极层。MOCVD 方法是形成该薄膜的最佳方法。还可使用液体沉积技术, 例如旋转涂覆或如美国专利 No.5, 456, 945 描述的喷雾 (misted) 沉积方法提供该铁电薄膜。经常, 从可购得的包含该化学前体化合物的溶液制备一最终的前体溶液。较佳地, 在步骤 220 中调节该可购得的溶液中提供的不同前体的浓度以适应具体的生产或操作条件。例如, 用于分层的超晶格薄膜的一典型的可购得的溶液中的不同元素的化学计算量可以是 $\text{SrBi}_{2.18}\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 。然而, 经常期望将额外的铌或铋加至该溶液以生成额外的氧化物, 其在还原情况期间保护铁电化合物免受氢退化。施加步骤 222 后最好跟随一处理步骤 224, 其可包括一干燥步骤, 用于液体沉积技术, 和在提高的温度下的一结晶子步骤, 例如氧气炉内退火或一快速热处理 (RTP) 退火; 处理步骤 224 可以包括在施加步骤 222 期间或之后用紫外线辐射的处理。可根据形成期望厚度的一膜的需要而重复步骤 222 和 224。例如, 在一典型的旋转 (spin-on) 程序中, 该前体的涂层可被施加且干燥。然后另一前体涂层可被施加且干燥。在步骤 226 中该被处理的膜然后在氧气中被退火以形成得到的铁电薄膜 124。跟随步骤 222—226, 在步骤 228 中形成顶电极层 126。最好, 顶电极层 126 由铂制成且被溅射沉积以形成较佳地具有约 200nm 厚度的一层。在步骤 230 中, 在顶电极层 126 上方依次形成第一阻挡—粘附层 128、氢阻挡层 130 和第二阻挡—粘附层 132。在步骤 230 中, 较佳地通过一溅射处理将包括钛且

具有较低的 30nm 厚度的下、第一阻挡-粘附层 128 沉积到顶电极层 126 上。接着, 较佳地通过一溅射处理沉积包括氮化钛且具有较佳的 120nm 厚度的氢阻挡层 130。最后, 较佳地通过一溅射处理将包括钛且具有较佳的 30nm 厚度的第二阻挡-粘附层 132 沉积到氢阻挡层 130 上。可能期望通过在层 132 的溅射沉积的后面部分期间在溅射气氛中包括一小量的 O_2 气, 在第二阻挡-粘附层 132 的顶表面附近沉积氧化钛。在第二阻挡-粘附层 132 中形成的得到的氧化物通过与可存在于各不同制做处理步骤中的氢气发生反应来保护该存储器装置中的铁电化合物。在体积百分比的 0 至约 10 之间的 O_2 气在沉积顶半部第二阻挡-粘附层 132 期间被加至溅射气氛, 且该量足以氧化在该顶半部第二阻挡-粘附层 132 中沉积的 0 至 50% 之间的钛原子。较佳地, 在该顶半部中的约 50% 的钛以钛氧化物的形式存在。在阻挡层形成步骤 230 后最好跟随构型步骤 232, 在构型步骤 232 中, 叠放的层 118、122、124、126、128、130 和 132 被构型以形成被自对准氢阻挡层 130 和阻挡-粘附层 128 和 132 覆盖的铁电电容器 120。较佳地, 仅需两个蚀刻步骤来完成步骤 232 的构型。较佳地, 在步骤 232 中利用一常规的离子铣处理。然后在步骤 234 中沉积一第二 ILD 层 136 以覆盖 ILD116 和电容器 120, 包括氢阻挡层 130 和阻挡-粘附层 128 和 132, 在步骤 236, 如图 5 所示, 通过 ILD 层 116 和 136 制做布线孔 142、144、146 和 148, 分别通至开关 114 (典型地是到 MOSFET 的源极区和漏极区)、底电极 122 和第二阻挡-粘附层 132。还在步骤 236 中, 在第二阻挡-粘附层 132 中蚀刻出布线槽 149。布线槽 149 的垂直深度较佳地是第二阻挡-粘附层 132 的厚度的约一半。较佳地, 使用标准离子铣处理执行步骤 236。在步骤 238, 最好使用一溅射处理来配置布线 152、154、156 和 158。然而, 也可使用 CVD 处理, 不管它们的伴生还原条件, 因为氢阻挡层 130 保护薄膜 124 的铁电氧化物。该电路在步骤 240 中被完成, 其典型地包括沉积一钝化层。最后, 在步骤 242 中执行氢退火以修补缺陷并恢复开关 (MOSFET) 114 中的期望的半导体性质。最好,

该集成电路的氢退火是一 FGA 处理，最好在 200℃至 400℃的温度下，在大气压力下用带有 1—10%的 H_2 的 H_2-N_2 （形成气体）气体混合物进行 10 至 40 分钟的持续时间。

实验表明氢通过该铁电薄膜的横向扩散，也就是说，在平行于该铁电薄膜的平面的方向上的扩散，相比于垂直于该铁电薄膜的平面的方向上的扩散是低的。因此，相信在铁电层 124 的横向边沿的铁电材料中的额外的氧化物有效地起到用于在横向上可透过的氢的吸气剂的作用并保护其余材料免受氢的影响。总之，通过常规的 IC 制做过程，氮化钛氢阻挡层 132 和铁电薄膜 124 中的过量的氧化物足以保护铁电薄膜 124 免受显著的氢退化。

如上所述，本发明的特征在于提供覆盖铁电分层的超晶格材料薄膜的一氢阻挡层。而且，通过使用带有过量金属，例如过量铋和/或过量铌的前体可保持良好的铁电性质。而且，接着在这些铁电层下面配置的集成电路层中，例如在上、阻挡—粘附层中的存在附加的氧（其氧化物在接着的氢处理期间起到对氢的吸气剂的作用）也可有效地与本发明的氢阻挡层组合使用。以此方式，本发明提供了在生产和完善集成电路的其他部分所需的制做步骤期间，有效地防止暴露给氢的铁电元件的退化。

描述了用于保护集成电路中铁电和非铁电、高介电常数金属氧化物材料免受氢退化的氢阻挡层的新的结构和组成。具体地，描述了用于制做一允许暴露给氢的铁电集成电路并仍导致装置具有良好的电子性质的方法和结构。应理解在附图中示出及在说明书中描述的具体实施例是用于举例的目的且不应被用于限制在后附权利要求书描述的本发明。而且，显然本领域的熟练技术人员在不脱离本发明的概念的前提下可对这些具体实施例进行多种应用和改型。还显然所描述的步骤在一些情况下可以不同的次序执行；或可对所描述的各种结构、和处理进行等效替换。因此，本发明将被说明为包括在该制做过程、电子装置、和所述的电子装置生产方法中呈现的或它们拥有的各个和每个新

颖性特征及若干特征的新颖性组合。

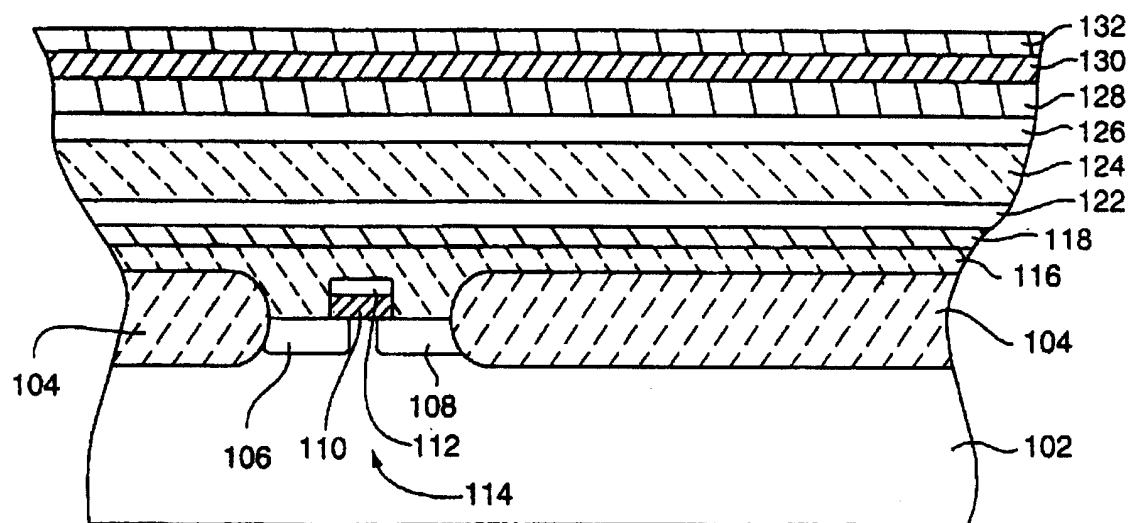


图1

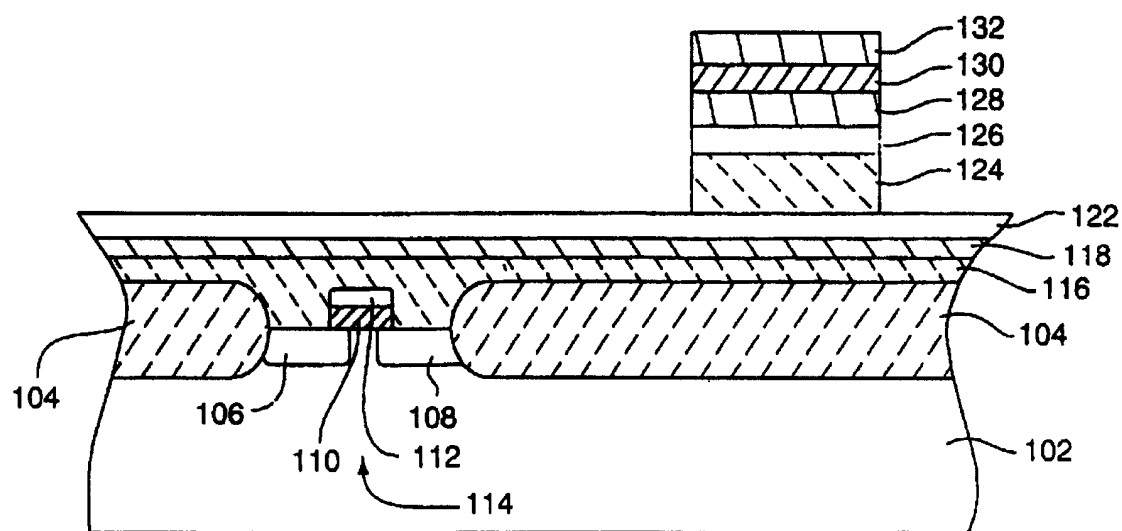


图2

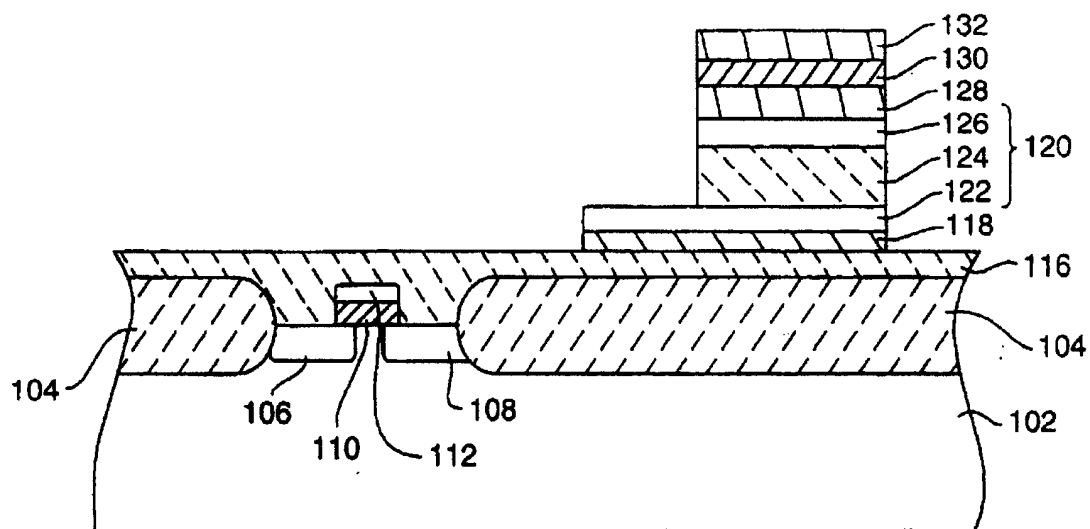


图3

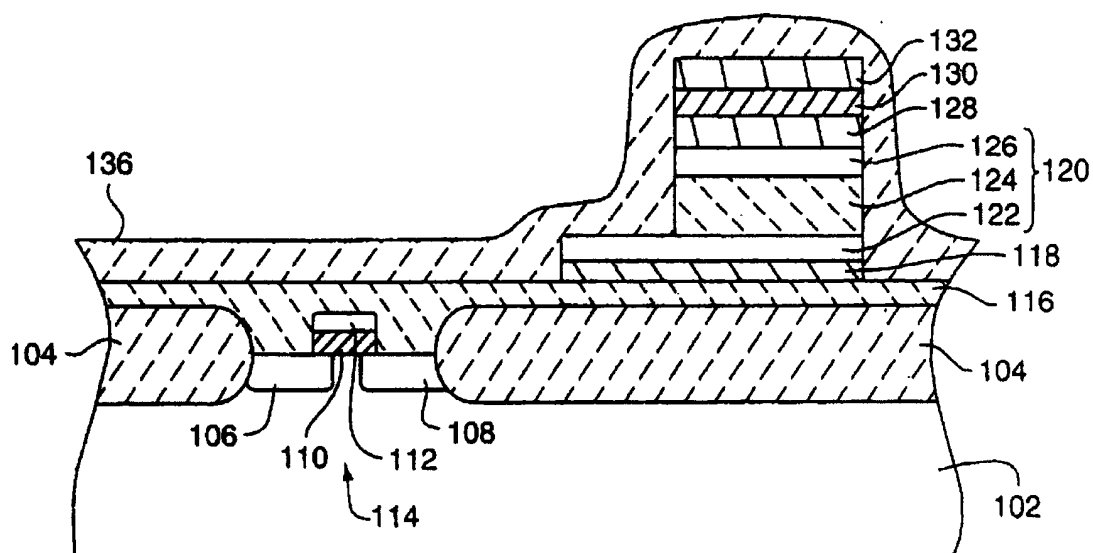


图4

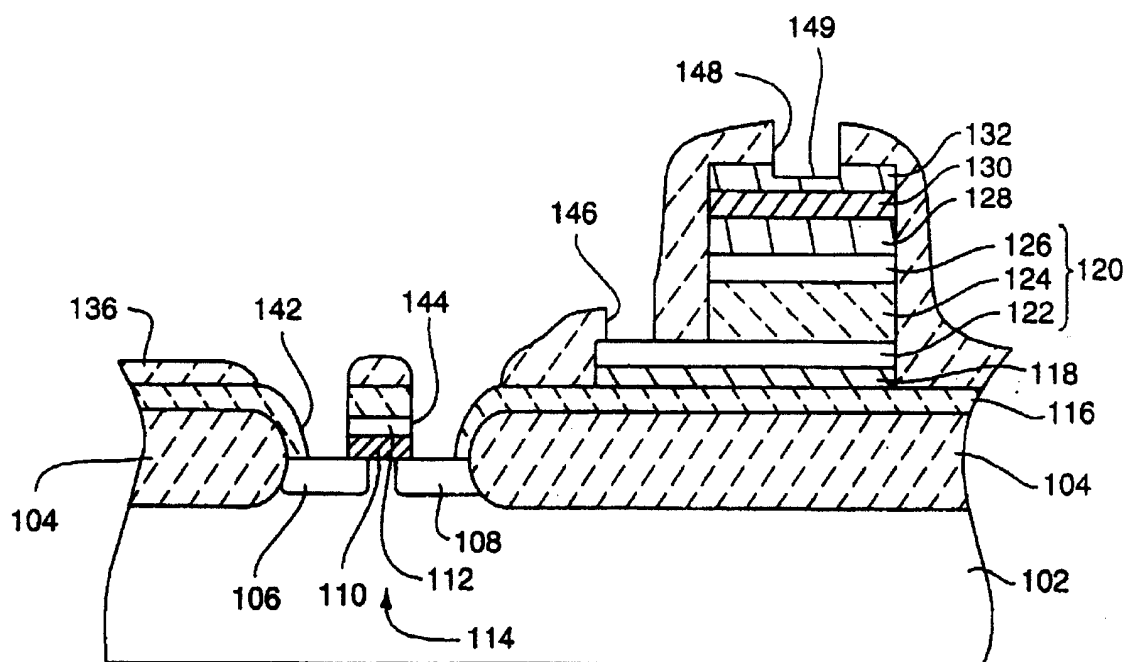


图5

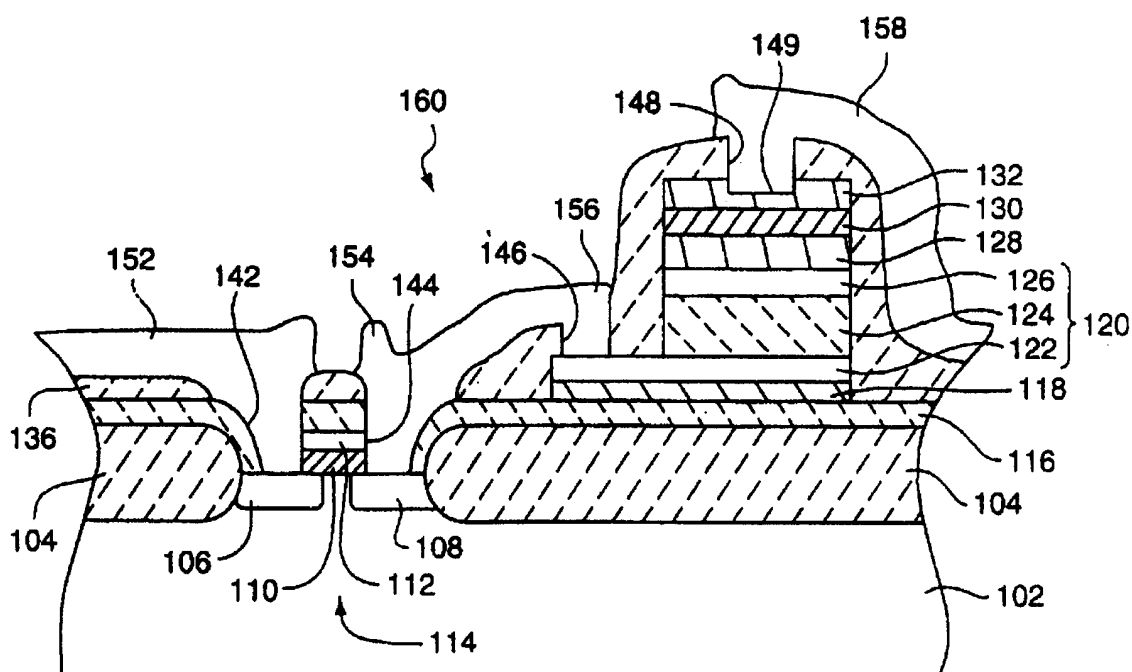


图6

