

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年6月28日(28.06.2018)



(10) 国際公開番号

WO 2018/116559 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) H01L 21/8234 (2006.01)
H01L 21/3205 (2006.01) H01L 23/522 (2006.01)
H01L 21/768 (2006.01) H01L 27/088 (2006.01)

(21) 国際出願番号: PCT/JP2017/034408

(22) 国際出願日: 2017年9月25日(25.09.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-246946 2016年12月20日(20.12.2016) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 古橋 隆寿 (FURUHASHI Takahisa);
〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

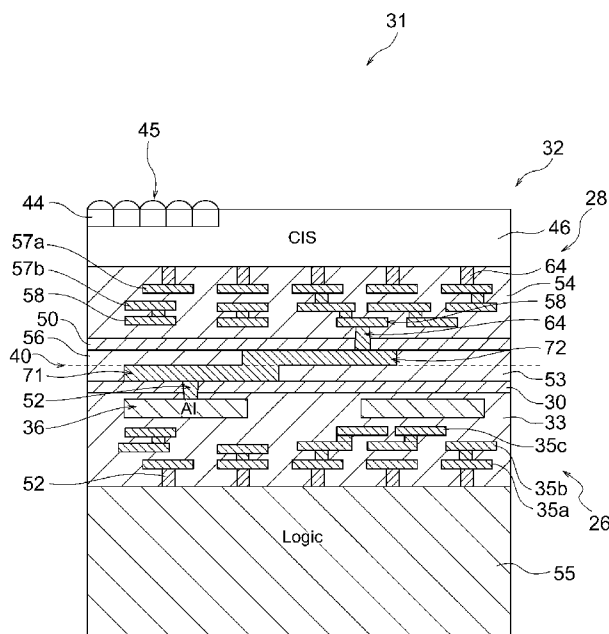
(74) 代理人: 渡邊 薫 (WATANABE Kaoru);
〒1080074 東京都港区高輪2丁目20番29号 サクセス泉岳寺ビル3階 薫風国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SOLID-STATE IMAGING DEVICE, METHOD FOR MANUFACTURING SOLID-STATE IMAGING DEVICE, AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像装置、固体撮像装置の製造方法および電子機器

[図3]



(57) Abstract: Provided is a solid-state imaging device in which the number of wiring layers is reduced by means of a free layout design, thereby achieving size reduction. The solid-state imaging device comprises: a first semiconductor chip which is formed with a first electrode pad, first wiring connected to the first electrode pad by way of a first via, and a logic circuit; and a second semiconductor chip which is joined to the first semiconductor chip and is formed with a second electrode pad, second wiring connected to the second electrode pad by way of a second via, and a pixel array. At a joint



WO 2018/116559 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

surface between the first semiconductor chip and the second semiconductor chip, the first electrode pad and the second electrode pad are joined to each other in a staggered manner, wherein a total length of the stagger-joined first and second electrode pads in an extending direction of the one of the first and second wirings with a longer pitch is at least twice the length in the extending direction of the wiring with the longer pitch.

(57) 要約: 自由なレイアウト設計により、配線層の数を削減し、小型化を図ることができる固体撮像装置を提供する。固体撮像装置は、第1電極パッド、第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路が形成された第1の半導体チップと、第1の半導体チップと接合され、第2電極パッド、該第2電極パッドに第2ビアを介して接続された第2配線および画素アレイが形成された第2の半導体チップと、を有し、第1の半導体チップと第2の半導体チップとの接合面で、第1電極パッドと第2電極パッドとが互いにずれて接合され、ずれて接合された第1および第2電極パッドの、第1および第2配線のうちのピッチが長い配線の延在方向の合計の長さは、ピッチが長い配線の延在方向の長さの2倍以上である。

明 細 書

発明の名称：

固体撮像装置、固体撮像装置の製造方法および電子機器

技術分野

[0001] 本技術は、固体撮像装置、固体撮像装置の製造方法および電子機器に関し、特に、複数の半導体チップを接合して構成される固体撮像装置の技術に関する。

背景技術

[0002] 従来から、半導体部材で構成される半導体装置同士を接合して3次元集積回路や固体撮像装置等を作製する場合には、半導体装置の接合面に設けられたCu電極同士を直接接合する方法が用いられている。このような方法により接合されるCu電極は、配線として利用されているが、Cu電極同士を平面内で繋ぐために接続電極の引き回しが必要で、構成回路の種類によっては、接続電極を配線するための占有面積が大きくなり、半導体装置の小型化が阻害されるおそれがあった。

[0003] これに対し、例えば、特許文献1では、アクティブ領域を有する半導体層と、前記アクティブ領域を用いて構成された半導体素子と、前記半導体層の一部を前記アクティブ領域に対して孤立させた島状に金属化してなる接続領域と、前記半導体層の一主面側を覆って設けられた絶縁膜と、前記絶縁膜を介して前記半導体素子と前記接続領域とに対向して配置された電極と、前記半導体素子または前記接続領域と前記電極との間を接続する各部位のうち、必要に応じた部位に選択的に前記絶縁膜を貫通して設けられたコンタクトとを備えた半導体装置が提案されている。特許文献1の技術によれば、配線の引き回しのみによらずに、コンタクトの配置の選択によって所望の回路を形成することができるようになるため、半導体装置の小型化を図ることが可能となるとされている。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-072418号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献1で提案された技術では、設計自由度が制限され、自由なレイアウト設計ができず、半導体装置および固体撮像装置のサイズを小さくすることによるコストダウンが図れないおそれがある。

[0006] そこで、本技術は、このような状況に鑑みてなされたものであり、自由なレイアウト設計により、配線層の数を削減し、更なる装置の小型化によりコストダウンを図ることができる固体撮像装置を提供することを目的とする。

課題を解決するための手段

[0007] 上記課題を解決するため、本技術の一例である固体撮像装置は、第1電極パッド、第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路が形成された第1の半導体チップと、第1の半導体チップと接合され、第2電極パッド、該第2電極パッドに第2ビアを介して接続された第2配線および画素アレイが形成された第2の半導体チップと、を有し、第1の半導体チップと第2の半導体チップとの接合面で、第1電極パッドと第2電極パッドとが互いにずれて接合され、ずれて接合された第1および第2電極パッドの、第1および第2配線のうちのピッチが長い配線の延在方向の合計の長さは、ピッチが長い配線の延在方向の長さの2倍以上である。

[0008] また、本技術の一例である固体撮像装置の製造方法は、第1電極パッド、第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路を第1の半導体チップに形成するステップと、第1の半導体チップと接合され、第2電極パッド、第2電極パッドに第2ビアを介して接続された第2配線および画素アレイを第2の半導体チップに形成するステップと、第1の半導体チップと第2の半導体チップとが接合面で接合するステップと、を含み、接合面で、第1電極パッドと第2電極パッドとが互いにずれて接合され、

ずれて接合された第1および第2電極パッドの、第1および第2配線のうちのピッチが長い配線の延在方向の合計の長さは、ピッチが長い配線の延在方向の長さの2倍以上である。

[0009] また、本技術の一例である電子機器は、第1電極パッド、第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路が形成された第1の半導体チップと、第1の半導体チップと接合され、第2電極パッド、第2電極パッドに第2ビアを介して接続された第2配線および画素アレイが形成された第2の半導体チップと、を有し、第1の半導体チップと第2の半導体チップとの接合面で、第1電極パッドと第2電極パッドとが互いにずれて接合され、ずれて接合された第1および第2電極パッドの、第1および第2配線のうちのピッチが長い配線の延在方向の合計の長さは、ピッチが長い配線の延在方向の長さの2倍以上である固体撮像装置を備える。

発明の効果

[0010] 本技術によれば、自由なレイアウト設計により、配線層の数を削減し、固体撮像装置の小型化を図ることが可能となる。なお、本技術の効果は、必ずしも上記の効果に限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0011] [図1]本技術に係る固体撮像装置の構成例を示すブロック図である。
[図2A]本技術に係る固体撮像装置の積層構造を示す模式図である。
[図2B]本技術に係る固体撮像装置の積層構造を示す模式図である。
[図2C]本技術に係る固体撮像装置の積層構造を示す模式図である。
[図3]本技術に係る固体撮像装置の第1実施形態の要部を示す概略断面図である。
[図4]第1実施形態の接合部分の要部を示す拡大断面図である。
[図5]第1実施形態の接合部分の要部を示す拡大平面図である。
[図6]第1実施形態の接合部分の要部を示す拡大構成図である。
[図7]第1実施形態の変形例における接合部分の要部を示す拡大構成図である

。

[図8]第2実施形態の接合部分の要部を示す拡大断面図である。

[図9]第2実施形態の接合部分の要部を示す拡大平面図である。

[図10]第2実施形態の接合部分の要部を示す拡大構成図である。

[図11]第2実施形態の変形例における接合部分の要部を示す拡大構成図である。

[図12]第3実施形態の接合部分の要部を示す拡大断面図である。

[図13]第3実施形態の接合部分の要部を示す拡大平面図である。

[図14]第4実施形態の接合部分の要部を示す拡大断面図である。

[図15]第4実施形態の接合部分の要部を示す拡大平面図である。

[図16]本技術に係る固体撮像装置の第5実施形態の要部を示す概略断面図である。

[図17]本技術に係る第6実施形態の電子機器の概略構成図である。

発明を実施するための形態

[0012] 以下、本技術を実施するための好適な形態について図面を参照しながら説明する。なお、以下に説明する実施形態は、本技術の代表的な実施形態の一例を示したものであり、これにより本技術の範囲が狭く解釈されることはない。

[0013] なお、説明は以下の順序で行う。

1. 固体撮像装置の構成例
2. 固体撮像装置の積層構造例
3. 第1実施形態の固体撮像装置
4. 第2実施形態の固体撮像装置
5. 第3実施形態の固体撮像装置
6. 第4実施形態の固体撮像装置
7. 第5実施形態の固体撮像装置
8. 第6実施形態の電子機器

[0014] <1. 固体撮像装置の構成例>

図 1 は、本技術に係る固体撮像装置の構成例を示すブロック図である。

[0015] 図 1 に示すように、固体撮像装置 1 は、例えば、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサとして構成される。固体撮像装置 1 は、図示しない半導体基板（例えば Si 基板）に複数の画素 2 が規則的に 2 次元アレイ状に配列された画素領域（画素アレイ） 3 と、周辺回路部とを有する。

[0016] 画素 2 は、光電変換部（例えばフォトダイオード）と、複数の画素トランジスタ（MOS トランジスタ）を有する。複数の画素トランジスタは、例えば、転送トランジスタ、リセットトランジスタ、および増幅トランジスタの 3 つのトランジスタで構成することができる。また、複数の画素トランジスタは、選択トランジスタを追加して 4 つのトランジスタで構成することもできる。なお、単位画素の等価回路は周知な技術と同様であるので、詳細な説明は省略する。

[0017] また、画素 2 は、1 つの単位画素として構成することもできるし、共有画素構造とすることもできる。この画素共有構造は、複数のフォトダイオードが、フローティングディフュージョン、および複数の転送トランジスタ以外の他のトランジスタを共有する構造である。すなわち、共有画素では、複数の単位画素を構成するフォトダイオードおよび転送トランジスタが、他の 1 つずつの画素トランジスタを共有して構成される。

[0018] 周辺回路部は、垂直駆動回路 4、カラム信号処理回路 5、水平駆動回路 6、出力回路 7、および制御回路 8 を有する。

[0019] 垂直駆動回路 4 は、例えばシフトレジスタによって構成される。垂直駆動回路 4 は、画素駆動配線を選択し、選択された画素駆動配線に画素を駆動するためのパルスを供給し、行単位で画素を駆動する。すなわち、垂直駆動回路 4 は、画素アレイ 3 の各画素 2 を行単位で順次垂直方向に選択走査する。そして、垂直駆動回路 4 は、垂直信号線 9 を通して各画素 2 の光電変換部において受光量に応じて生成された信号電荷に基づく画素信号を、カラム信号処理回路 5 に供給する。

[0020] カラム信号処理回路 5 は、例えば画素 2 の列毎に配置される。カラム信号処理回路 5 は、1 行分の画素 2 から出力される信号に対して画素列毎に、ノイズ除去などの信号処理を行う。具体的には、カラム信号処理回路 5 は、画素 2 固有の固定パターンノイズを除去するための CDS (Correlated Double Sampling) や、信号増幅、A/D (Analog/Digital) 変換等の信号処理を行う。カラム信号処理回路 5 の出力段には、水平選択スイッチ（図示せず）が水平信号線 10 との間に接続されて設けられる。

[0021] 水平駆動回路 6 は、例えばシフトレジスタによって構成される。水平駆動回路 6 は、水平走査パルスを順次出力することによって、カラム信号処理回路 5 それぞれを順番に選択し、カラム信号処理回路 5 それぞれからの画素信号を水平信号線 10 に出力させる。

[0022] 出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 10 を通して順次に供給される信号に対し、信号処理を行って出力する。出力回路 7 は、例えば、バッファリングだけ行う場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を行う場合もある。

[0023] 制御回路 8 は、入力クロックと、動作モード等を指令するデータを受け取り、また固体撮像装置 1 の内部情報等のデータを出力する。また、制御回路 8 は、垂直同期信号、水平同期信号、およびマスタクロックに基づいて、垂直駆動回路 4、カラム信号処理回路 5 および水平駆動回路 6 等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路 8 は、これらの信号を垂直駆動回路 4、カラム信号処理回路 5、および水平駆動回路 6 等に入力する。

[0024] 入出力端子 12 は、外部と信号のやりとりをする。

[0025] < 2. 固体撮像装置の積層構造例 >

図 2 A ないし C は、本技術に係る固体撮像装置の積層構造例を示す模式図である。図 2 A ないし C を用いて、本技術が適用される固体撮像装置の積層構造例について説明する。

[0026] 第 1 の例として、図 2 A に示される固体撮像装置 1 a は、第 1 の半導体基

板 2 1 と第 2 の半導体基板 2 2 とから構成される。第 1 の半導体基板 2 1 には、画素アレイ 2 3 と制御回路 2 4 が搭載される。第 2 の半導体基板 2 2 には、信号処理回路を含むロジック回路 2 5 が搭載される。そして、第 1 の半導体基板 2 1 と第 2 の半導体基板 2 2 とが相互に電氣的に接続されることで、1 つの半導体チップとしての固体撮像装置 1 a が構成される。

[0027] 第 2 の例として、図 2 B に示される固体撮像装置 1 b は、第 1 の半導体基板 2 1 と第 2 の半導体基板 2 2 とから構成される。第 1 の半導体基板 2 1 には、画素アレイ 2 3 が搭載される。第 2 の半導体基板 2 2 には、制御回路 2 4 と、信号処理回路を含むロジック回路 2 5 が搭載される。そして、第 1 の半導体基板 2 1 と第 2 の半導体基板 2 2 とが相互に電氣的に接続されることで、1 つの半導体チップとしての固体撮像装置 1 b が構成される。

[0028] 第 3 の例として、図 2 C に示される固体撮像装置 1 c は、第 1 の半導体基板 2 1 と第 2 の半導体基板 2 2 とから構成される。第 1 の半導体基板 2 1 には、画素アレイ 2 3 と、画素アレイ 2 3 を制御する制御回路 2 4 - 1 が搭載される。第 2 の半導体基板 2 2 には、ロジック回路 2 5 を制御する制御回路 2 4 - 2 と、信号処理回路を含むロジック回路 2 5 が搭載される。そして、第 1 の半導体基板 2 1 と第 2 の半導体基板 2 2 とが相互に電氣的に接続されることで、1 つの半導体チップとしての固体撮像装置 1 c が構成される。

[0029] 図示しないが、CMOS イメージセンサの構成によっては、2 つ以上の半導体チップ部を貼り合わせて構成することもできる。例えば、上記の第 1 および第 2 の半導体チップ部以外に、メモリ素子アレイを備えた半導体チップ部、その他の回路素子を備えた半導体チップ部などを追加して 3 つ以上の半導体チップ部を貼り合わせて、1 つのチップとした CMOS イメージセンサを構成することもできる。

[0030] < 3. 第 1 実施形態の固体撮像装置 >

[固体撮像装置の構成例]

図 3 に、本技術に係る固体撮像装置（イメージセンサ）、すなわち、裏面照射型の CMOS イメージセンサの第 1 実施形態を示す。裏面照射型の CM

OSイメージセンサは、受光部が回路部の上部に配置され、表面照射型に比べて高感度で低ノイズのCMOSイメージセンサである。第1実施形態に係る固体撮像装置31は、ロジック回路55が形成された第1の半導体チップ部26と、図2Aの固体撮像装置1aと同様の、画素アレイ23と制御回路24が形成された第2の半導体チップ部28とが貼り合わされた積層半導体チップ32を有して構成される。第1の半導体チップ部26と第2の半導体チップ部28とは、後述する互いの多層配線層が向かい合うようにして、かつ互いの電極パッド同士が直接接合するように、張り合わされる。

[0031] 第1の半導体チップ部26は、シリコンによる第1の半導体基板の各半導体チップ部となる領域に、周辺回路を構成するロジック回路55が形成される。ロジック回路55は、CMOSトランジスタを含む複数のMOSトランジスタで形成される。図3に示される、ロジック回路55が形成された第1の半導体基板の表面側（図3の上方側）上には、層間絶縁膜33を介して複数層、本実施形態では3層のメタルによる配線35a～35cおよび1層のアルミニウム（Al）による配線（下層配線）36を配置した多層配線層が形成されている。配線35a～35cには、デュアルダマシン法による銅（Cu）配線が用いられている。

[0032] 第1の半導体チップ部26では、第1の半導体基板の表面側の半導体ウェル領域に、各MOSトランジスタが一对のソース・ドレイン領域とゲート絶縁膜を介してゲート電極を有して形成される。各MOSトランジスタは、例えば、STI構造の素子分離領域で分離される。

[0033] 第1の半導体チップ部26の多層配線層では、MOSトランジスタと配線35aとの間、隣り合う上下層の配線35a～35cの間が、導電性の第1ビア52を介して接続される。さらに、第2の半導体チップ部28との接合面40に臨んで、メタルの第1電極パッド（第1の導電体）71が形成される。第1電極パッド71は、第1ビア52を介して4層目のアルミニウム（Al）による所要の配線（下層配線）36に接続される。第1電極パッド71は、配線として利用される。

[0034] 第2の半導体チップ部28は、薄膜化されたシリコンによる第2の半導体基板に、光電変換部となるフォトダイオードPDと複数の画素トランジスタからなる複数の画素を列状に2次元配列した画素アレイが形成される。また、図示しないが、第2の半導体基板に制御回路24を構成する複数のMOSトランジスタが形成される。第2の半導体基板の表面側（図3の下方側）には、層間絶縁膜54を介して複数、本実施形態では3層のメタルによる配線57a、57bおよび58を配置した多層配線層が形成される。配線57a、57bおよび58は、デュアルダマシン法で形成された銅（Cu）配線が用いられる。第2の半導体基板の裏面側（図3の上方側）には、CIS（CMOSイメージセンサ）46の領域に、絶縁膜および平坦化膜を介して有効画素アレイ上にカラーフィルタ44およびオン半導体チップレンズ45が形成されている。また、第2の半導体基板の裏面側には、図示しないが、CIS46の絶縁膜を介して形成されたオプティカルブラック領域上にオン半導体チップレンズ45を形成することもできる。

[0035] 第2の半導体チップ部28の多層配線層では、対応する画素トランジスタと配線57aとの間、隣り合う上下層の配線57a、57bおよび58の間が、導電性の第2ビア64を介して接続される。さらに、第1の半導体チップ部26との接合面40に臨んで、メタルの第2電極パッド（第2の導電体）72が形成される。第2電極パッド72は、第2ビア64を介して3層目のメタルによる所要の配線（上層配線）58に接続される。第2電極パッド72は、配線として利用される。

[0036] 第1の半導体チップ部26と第2の半導体チップ部28とは、互いの多層配線層が向かい合うようにして、接合面40に臨む第1電極パッド71および第2電極パッド72を直接接合して、電氣的に接続される。第1の半導体チップ部26の接合付近には、層間絶縁膜53が形成されている。第2の半導体チップ部28の接合付近には、層間絶縁膜56が形成されている。層間絶縁膜53および56は、それぞれ絶縁層30および50を介して層間絶縁膜33および54に接合されている。

[0037] 層間絶縁膜53および56は、後述の製法で示すように、第1電極パッド71および第2電極パッド72のCu拡散を防止するためのCu拡散バリア性絶縁膜とCu拡散バリア性を有しない絶縁膜の組み合わせで形成される。第1電極パッド71および第2電極パッド72の直接接合は、熱拡散接合で行う。第1電極パッド71および第2電極パッド72以外の層間絶縁膜53および56の接合は、プラズマ接合、あるいは接着剤で行う。

[0038] 上記のように、接合面40に臨む第1電極パッド71および第2電極パッド72を直接接合する方法以外に、互いの多層配線層の表面に、極めて薄い均一な絶縁性薄膜（図示せず）を成膜して、プラズマ接合等で接合する方法でも可能である。

[0039] ここで、従来の技術では、Cu電極を配線として利用する場合に、電極パッド同士または接続配線同士を互いの接合面が一致するように接合されていた。これに対し、本実施形態では、特に、図3および図4（要部の拡大図）に示すように、第1電極パッド71および第2電極パッド72は、互いの接合面がずれて接合されている。これにより、本実施形態の固体撮像装置31では、自由なレイアウト設計を行うことが可能となる。

[0040] [固体撮像装置の要部の構成例]

図4ないし図7を用いて、本実施形態の固体撮像装置の要部について説明する。図4は、本実施形態の第1の半導体チップ部26および第2の半導体チップ部28の接合部分を示す拡大断面図である。図5は、本実施形態の第1の半導体チップ部26および第2の半導体チップ部28の接合部分を示す拡大平面図である。図6は、本実施形態の第1の半導体チップ部26および第2の半導体チップ部28の接合部分を示す拡大構成図である。

[0041] 図4に示すように、本実施形態の第1電極パッド71は、第1ビア52を介して第1配線である下層A1配線36に接続されている。また、本実施形態の第2電極パッド72は、第2ビア64を介して第2配線である上層Cu配線58に接続されている。そして、第1電極パッド71および第2電極パッド72は、接合面40において、互いにずれて接合されている。また、図

5 および図6に示すように、第1電極パッド71および第2電極パッド72の平面形状は、共に矩形であり、それぞれの長手方向が一致する向きに一部を重ねて接合されている。

[0042] ここで、第2電極パッド72の長手方向の長さを L_1 とし、第1電極パッド71の第2電極パッド72と重なっていない部分の長手方向の長さを L_2 とする。すなわち、ずれて接合された第1電極パッド71および第2電極パッド72の長手方向の端から端までの合計の長さが $L_1 + L_2$ である。また、本実施形態では、第1配線36および第2配線58のうちのピッチが長い配線が第1配線36であるため、第1配線36の延在方向の長さを L とする。そして、本実施形態では、ずれて接合された第1電極パッド71および第2電極パッド72の長手方向と第1配線36の延在方向とが一致している。

[0043] 上記の条件に基づいて、本実施形態では、ずれて接合された第1電極パッド71および第2電極パッド72の長手方向の合計の長さ($L_1 + L_2$)が、第1配線36の延在方向の長さ(L)の2倍以上($L_1 + L_2 \geq 2L$)となるように、第1電極パッド71、第2電極パッド72および第1配線36が配置されている。ここで、第1配線36の「延在方向の長さの2倍以上」とは、第1配線36の最小ピッチと同義で、上記合計の長さ($L_1 + L_2$)は、最小ピッチ以上の長さがないと隣接する第1配線36同士を電極パッドで繋ぐことができないため、第1配線36の延在方向の長さ(L)の2倍以上の長さが必要になる。なお、第1配線36および第2配線58のうちのピッチが長い配線が第2配線58の場合は、第2配線58の延在方向の長さを L として、第1電極パッド71、第2電極パッド72および第2配線58を配置する。

[0044] 本実施形態の固体撮像装置31は、上述のような配置がなされていることにより、自由なレイアウト設計を行うことができたため、配線層の数を削減することができる。また、従来の上下同一のCu電極パッドで配線を形成する構造よりも長さを短くすることができる。これらにより、更なる装置の小型化が可能となり、材料費を削減することができる。

[0045] また、第1電極パッド71および第2電極パッド72の接合部の面積(S_o)は、第1電極パッド71および第2電極パッド72にそれぞれ接続された第1ビア52および第2ビア64の合計の接合面積($N \times S_v$)以上の大きさ($S_o \geq N \times S_v$)にすることができる。ここで、 N はいずれかの電極パッドに接続されたビア数(本実施形態では $N=2$)を示し、 S_v はビアの接続面積を示す。

[0046] これにより、電極パッドの電圧降下をビアの電圧降下よりも小さくして、回路設計における抵抗値をビア律速にすることができるため、高抵抗による電圧降下の発生をぼうしすることができる。また、電極パッドの抵抗値に自由度を持たせることができる。その結果、低い抵抗値で大きな電流が流せるようになり、より効果的に電極パッドを配線として利用することができる。

[0047] 図7は、本実施形態の変形例における第1の半導体チップ部26および第2の半導体チップ部28の接合部分を示す拡大構成図である。図7の変形例は、第1電極パッド73の幅が第1電極パッド71よりも細い点で図6の本実施形態と相違する。

[0048] 図7のように、第1電極パッド73および第2電極パッド72の形状が異なっても、ずれて接合された第1電極パッド73および第2電極パッド72の長手方向の合計の長さ($L_1 + L_2$)が、ピッチが長い方の第1配線36の延在方向の長さ(L)の2倍以上($L_1 + L_2 \geq 2L$)となるように、第1電極パッド73、第2電極パッド72および第1配線36を配置することで、上記本実施形態と同様の効果を得ることができる。さらに、図7の変形例によれば、片方の第2電極パッド72が大きいため、接合ずれに対する導通マージンを拡大することもできる。なお、本技術に係る電極パッドの平面形状は種々の形状が考えられ、本実施形態のような矩形に限られない。

[0049] [固体撮像装置の製造方法例]

次に、本実施形態に係る固体撮像装置31の製造方法の一例を示す。

[0050] まず、例えばシリコンによる第2の半導体ウェハ(以下、半導体基板という)の各半導体チップ部となる領域に半導体ウェル領域を形成し、この半導

体ウェル領域に各画素の光電変換部となるフォトダイオードPDを形成する。一例として、素子分離領域を最初に形成して置くことができる。各フォトダイオードPDは、半導体ウェル領域の深さ方向に延長して形成される。フォトダイオードPDは、画素アレイを構成する有効画素アレイおよびオプティカルブラック領域に形成する。

[0051] さらに、半導体ウェル領域の表面側に各画素を構成する複数の画素トランジスタを形成する。画素トランジスタは、例えば、転送トランジスタ、リセットトランジスタ、増幅トランジスタ、選択トランジスタで構成することができる。ここでは、前述したように、画素トランジスタを代表して示す。各画素トランジスタは、一对のソース・ドレイン領域と、ゲート絶縁膜を介して形成したゲート電極とを有して形成される。

[0052] 半導体基板の表面側の上部には、層間絶縁膜54を介して複数層、本実施形態では3層メタルによる配線57a、57b、58を、第2ビア64を含めて形成する。配線57a、57b、58は、デュアルダマシン法で形成することができる。すなわち、層間絶縁膜54にビアファーストによる接続孔と配線溝を同時に形成し、Cu拡散を防止するためのCu拡散バリア性メタル膜とCuシード膜を形成した後、めっき法によりCu材料層を埋め込む。Cu拡散バリア性メタル膜としては、例えばTa、Ta₂N₅、Ti、TiN、W、WN、Ru、TiZrN、これらを含む合金膜が挙げられる。次いで、CMP（化学機械研磨）法により余剰のCu材料層を除去し、平坦化された導電ビアと一体のCu配線が形成される。その後、Cu拡散バリア性絶縁膜を成膜する。Cuバリア性絶縁膜としては、例えば、Si₃N₄、SiC、SiCN、SiON等の絶縁膜を用いることができる。この工程を繰り返して、3層のメタルによる配線57a、57b、58を形成する。

[0053] 次に、Cu拡散バリア性を有しない第1絶縁膜、Cu拡散バリア性を有しない第2絶縁膜およびCu拡散バリア性絶縁膜を順次形成する。第1絶縁膜と第2絶縁膜は、SiO₂膜、SiCOH膜などで形成される。また、Cuバリア性絶縁膜としては、前述同様に例えば、Si₃N₄、SiC、SiCN、

S i O N等の絶縁膜を用いることができる。これらC u拡散バリア性絶縁膜、第1絶縁膜、第2絶縁膜は、層間絶縁膜54に相当する。次いで、リソグラフィおよびエッチング技術を用いてビアファーストで、最表面のC u拡散バリア性絶縁膜および第2絶縁膜および第1絶縁膜をパターニングしビア孔を選択的に開口部する。その後、第2絶縁膜部をパターニングし選択的に開口部を形成する。すなわち、形成すべき第2電極パッド72に対応する部分の開口部と、ビア孔を有するようにパターニングする。

[0054] 次に、前述と同様に、デュアルダマシン法を用いて開口部およびビア孔内にC u材料を埋め込むようにして、開口部を有する第2電極パッド72と配線58に接続する第2ビア64とを形成する。第2電極パッド72は、4層目のメタルにより形成する。これによって、メタルによる配線57a、57b、58、第2電極パッド72と、層間絶縁膜54、絶縁膜とにより、多層配線層が形成される。

[0055] さらに、第2電極パッド72の上部には、極めて薄い均一な絶縁性薄膜を成膜することができる。

[0056] 一方、例えばシリコンによる第1の半導体ウェハ（以下、半導体基板という）の各半導体チップ部となる領域に半導体ウェル領域を形成する。この半導体ウェル領域にロジック回路55を構成する複数のM O Sトランジスタを形成する。ここでは、前述したように、M O Sトランジスタを代表して示す。一例として、素子分離領域を最初に形成して置くことができる。

[0057] 半導体基板の表面側の上部には、層間絶縁膜33を介して複数層、本実施形態では3層のメタルによる配線35a、35b、35cを、第1ビア52を含めて形成する。配線35a、35b、35cは、デュアルダマシン法で形成することができる。すなわち、層間絶縁膜にビアファーストによる接続孔と配線溝を同時に形成し、C u拡散を防止するためのC u拡散バリア性メタル膜とC uシード膜を形成した後、めっき法によりC u材料層を埋め込む。C u拡散バリア性メタル膜としては、例えばT a、T a N、T i、T i N、W、W N、R u、T i Z r N、これらを含む合金膜が挙げられる。次いで

、CMP（化学機械研磨）法により余剰のCu材料層を除去し、平坦化された導電ビアと一体のCu配線が形成される。その後、図示しないがCu拡散バリア性絶縁膜を成膜する。Cuバリア性絶縁膜としては、例えば、SiN、SiC、SiCN、SiON等の絶縁膜、を用いることができる。この工程を繰り返して、3層のメタルによる配線35a～35cを形成する。

[0058] 次に、Cu拡散バリア性を有しない第1絶縁膜、Cu拡散バリア性を有しない第2絶縁膜およびCu拡散バリア性絶縁膜を順次形成する。第1絶縁膜と第2絶縁膜は、SiO₂膜、SiCOH膜などで形成される。またCuバリア性絶縁膜としては、前述同様に例えば、SiN、SiC、SiCN、SiON等の絶縁膜を用いることができる。これらCu拡散バリア性絶縁膜、第1絶縁膜、第2絶縁膜は、層間絶縁膜33に相当する。次いで、リソグラフィおよびエッチング技術を用いてビアファーストで、最表面のCu拡散バリア性絶縁膜および第2絶縁膜および第1絶縁膜をパターンングしビア孔を選択的に開口部する。その後、第2絶縁膜部をパターンングし選択的に開口部を形成する。開口部は、第2の半導体チップ部28側の第2電極パッド72の開口部を覆う位置に形成する。この開口部は、後に第1の半導体基板と第2の半導体基板を接合するとき、合わせずれによる光洩れがないように、第2電極パッド72の開口部を覆いかつ第1電極パッド71に一部重なる大きさに形成することが望ましい。すなわち、形成すべき第1電極パッド71に対応する部分の開口部とビア孔を有するようにパターンングする。

[0059] 次に、前述と同様に、デュアルダマシン法を用いて開口部およびビア孔内にCu材料を埋め込むようにして、第1電極パッド71と、第1電極パッド71に接続する第1ビア52および第1配線36とを形成する。第1電極パッド71は、5層目のメタルにより形成する。これによって、メタルによる配線35a～35c、第1配線36、第1電極パッド71と、層間絶縁膜33、絶縁膜とにより、多層配線層が形成される。

[0060] さらに、第1電極パッド71の上部には、極めて薄い均一な絶縁性薄膜を成膜することができる。

[0061] 次に、第1の半導体基板と第2の半導体基板を、互いの多層配線層が向かい合って双方の第1電極パッド71および第2電極パッド72が直接接触して電氣的に接続されるように、第1の半導体基板および第2の半導体基板を接合する。つまり、第1および第2の半導体基板を物理的に接合し、かつ電氣的に接続する。このとき、第1電極パッド71および第2電極パッド72も、重なる部分で直接接合する。すなわち、熱処理により第1電極パッド71および第2電極パッド72同士を熱拡散接合する。このときの熱処理温度は、100℃～500℃程度とすることができる。また、層間絶縁膜である絶縁膜同士を表面処理してプラズマ接合する。なお、層間絶縁膜である絶縁膜同士は、接着剤により接合することもできる。

[0062] このとき、第1電極パッド71および第2電極パッド72の長手方向の合計の長さ($L_1 + L_2$)が、ピッチが長い方の第1配線36の延在方向の長さ(L)の2倍以上($L_1 + L_2 \geq 2L$)となるように、第1電極パッド71および第2電極パッド72をずらして接合する。

[0063] このように、第1電極パッド71の第1の導電体と第2電極パッド72の第2の導電体とは、初めに接合面40に絶縁膜を挟んでおき、その後熱を加えることにより導電体である銅を結晶成長させて繋げられるため、接合面40付近で電氣的に接続されている。したがって、第1の導電体および第2の導電体は、それぞれ第1の半導体チップ部26および第2の半導体チップ部28に形成されたロジック回路55および配線58よりも接合面40側に配置されている。

[0064] 次に、第2の半導体基板を、裏面側からフォトダイオードPDの必要膜厚が残るようにCMP法等を用いて研削、研磨して薄膜化する。

[0065] 次に、薄膜化した表面上に絶縁膜を介して、オプティカルブラック領域に対応するフォトダイオードPD上を含んで遮光膜を形成する。また、平坦化膜を介して有効画素アレイに対応するフォトダイオードPD上にカラーフィルタ44およびオン半導体チップレンズ45を形成する。

[0066] 次に、接合された第1の半導体基板および第2の半導体基板を各半導体

チップに分離する半導体チップ化を行い、図3に示す目的の固体撮像装置31を得る。

[0067] 第1電極パッド71および第2電極パッド72、これらと同層の配線となるメタルとしては、導電性が高く、遮光性が高い材料で且つ接合し易い材料が望ましい。このような性質を有する材料としては、Cu以外に、Al、W、Ti、Ta、Mo、Ru等の単一材料、あるいは合金を用いることができる。

[0068] 本実施形態における第1電極パッド71および第2電極パッド72の膜厚は、発光する第1の半導体チップ部26側の光の波長にわせて決めるのが望ましい。本実施形態では、第1の半導体チップ部26のMOSトランジスタのホットキャリアからの発光を遮光する必要があるため、波長1 μ m前後の光に対して電極パッドの膜厚を設計する必要がある。例えば、第1電極パッド71および第2電極パッド72の膜厚としては、50nm～800nm程度とすることができる。

[0069] 本実施形態に係る固体撮像装置31の製造方法によれば、第1電極パッド71および第2電極パッド72を配線層としてメタルで形成されるので、従来技術に比べて接合された半導体チップ全体の厚みを小さくすることができる、固体撮像装置31をより薄型化することができる。これにより半導体チップ全体の厚みを増やさずに暗電流、ランダムノイズの少ない固体撮像装置31を提供することができる。

[0070] また、本実施形態に係る固体撮像装置31の製造方法によれば、配線、接続配線、電極パッドを同時に形成することができるので、製造工程数の削減、材料費の削減が行え、低コストで暗電流、ランダムノイズの少ない固体撮像装置を製造することができる。

[0071] <4. 第2実施形態の固体撮像装置>

図8ないし図11を用いて、本技術に係る固体撮像装置の第2実施形態について説明する。本実施形態が、図6の第1実施形態と相違する点は、第1電極パッド81と第2電極パッド72との、それぞれの長手方向が直交する

向きに接合されている点である。

[0072] 本実施形態では、第2電極パッド72の長手方向の長さを L_1 とし、第1電極パッド81の第2電極パッド72と重なっていない部分の長手方向の長さを L_2 としている。また、第1配線36および第2配線58のうちのピッチが長い第1配線36の延在方向の長さを L としている。本実施形態でも、ずれて接合された第1電極パッド81および第2電極パッド72の長手方向の合計の長さ($L_1 + L_2$)が、第1配線36の延在方向の長さ(L)の2倍以上($L_1 + L_2 \geq 2L$)となるように、第1電極パッド81、第2電極パッド72および第1配線36が配置されている。

[0073] 上記構成により、本実施形態の固体撮像装置31も、第1実施形態の固体撮像装置31と同様の効果を得ることができる。さらに、2次元方向のレイアウト設計の自由度が拡大し、所望のところで曲げることが可能なため、配線の引き回し量の低減が図れるメリットがある。

[0074] 図11は、本実施形態の変形例における第1の半導体チップ部26および第2の半導体チップ部28の接合部分を示す拡大構成図である。図11の変形例は、第1電極パッド83の幅が第1電極パッド81よりも細い点で図10の本実施形態と相違する。

[0075] 図11のように、第1電極パッド83および第2電極パッド72の形状が異なっても、ずれて接合された第1電極パッド83および第2電極パッド72の長手方向の合計の長さ($L_1 + L_2$)が、ピッチが長い方の第1配線36の延在方向の長さ(L)の2倍以上($L_1 + L_2 \geq 2L$)となるように、第1電極パッド83、第2電極パッド72および第1配線36を配置することで、上記本実施形態と同様の効果を得ることができる。

[0076] <5. 第3実施形態の固体撮像装置>

図12および図13を用いて、本技術に係る固体撮像装置の第3実施形態について説明する。本実施形態が、図6の第1実施形態と相違する点は、第1ビア52と第2ビア64とが、複数の第1電極パッド71a、71bおよび第2電極パッド72a、72bを介して接続されている点である。なお、

第1電極パッドおよび第2電極パッドの数は、本実施形態に限らず、いずれかが1つであってもよく、3つ以上であってもよい。

[0077] 本実施形態では、第2電極パッド72a、72bの長手方向のそれぞれの長さを L_1 とし、第1電極パッド71a、71bの第2電極パッド72a、72bと重なっていない部分の長手方向の長さを L_2 としている。また、第1配線36および第2配線58のうちのピッチが長い第1配線36の延在方向の長さを L としている。本実施形態でも、ずれて接合された第1電極パッド71a、71bおよび第2電極パッド72a、72bの長手方向の合計の長さ($L_1 \times 2 + L_2 \times 2$)が、第1配線36の延在方向の長さ(L)の2倍以上($L_1 \times 2 + L_2 \times 2 \geq 2L$)となるように、第1電極パッド81、第2電極パッド72および第1配線36が配置されている。

[0078] 上記構成により、本実施形態の固体撮像装置31も、第1実施形態の固体撮像装置31と同様の効果を得ることができる。また、Cu電極パッド1つあたりの長さを短くできるため、EM、SMの寿命向上を図ることができる。また、CuCu接合面積が増加するため、接合強度を拡大することができる。さらに、所望のところで直角に曲げることが可能なため、レイアウト設計の自由度が拡大するメリットがある。

[0079] <6. 第4実施形態の固体撮像装置>

図14および図15を用いて、本技術に係る固体撮像装置の第4実施形態について説明する。本実施形態が、図6の第1実施形態と相違する点は、第1の半導体チップ部26にのみ電極パッドが存在し、その電極パッド(第1電極パッド71)に第1ビア52a、52bを介して第1配線36aが2つ接続されている点である。

[0080] 本実施形態では、第1電極パッド71の長手方向の長さを L_2 とし、第1配線36の延在方向の長さを L としている。本実施形態では、第1電極パッド71の長手方向の長さ(L_2)が、第1配線36の延在方向の長さ(L)の2倍以上($L_2 \geq 2L$)となるように、第1電極パッド71および2つの第1配線36が配置されている。なお、第1配線36および第1ビア52の

数は、2つに限られない。

[0081] 上記構成により、本実施形態の固体撮像装置31も、第1実施形態の固体撮像装置31と同様の効果を得ることができる。また、片側の半導体チップ部にのみCu電極パッドが存在しているため、接合ずれによるCu電極パッド同士のショートが無くなるメリットがある。さらに、Cu電極パッドのコストを削減することができる。

[0082] <7. 第5実施形態の固体撮像装置>

図16を用いて、本技術に係る固体撮像装置の第5実施形態について説明する。図16は、CIS46、ロジック回路55、DRAM101、およびロジック回路102を接合した、多層積層構造の固体撮像装置100の要部を示す概略断面図である。

[0083] 本実施形態に係る固体撮像装置100は、CIS46が形成された第2の半導体チップ部28と、ロジック回路55が形成された第1の半導体チップ部26と、DRAM101が形成された第3の半導体チップ部103と、ロジック回路102が形成された第4の半導体チップ部104と、がこの順序で貼り合わされた積層半導体チップを有して構成される。第1の半導体チップ部26および第2の半導体チップ部28、並びに第3の半導体チップ部103および第4の半導体チップ部104は、互いの多層配線層が向かい合うようにして、かつ互いの電極パッド同士が直接接合するように、張り合わされる。第1の半導体チップ部26および第3の半導体チップ部103は、互いの配線同士が直接接合するように張り合わされる。

[0084] 本実施形態の第1の半導体チップ部26および第2の半導体チップ部28は、図3に示す接合の他に、第2の半導体チップ部28の配線58と第1の半導体チップ部26の配線901とが、第2の半導体チップ部28のビア64を介して接続されている。本実施形態の第1の半導体チップ部26および第3の半導体チップ部103は、第1の半導体チップ部26の配線902と第3の半導体チップ部103の配線903とが、接合面41で接続されている。また、本実施形態の第1の半導体チップ部26および第3の半導体チッ

プ部103は、第1の半導体チップ部26のロジック回路55の下層に位置する絶縁層801下部の層間絶縁膜803と第3の半導体チップ部103のDRAM101の上層に位置する絶縁層802上部の層間絶縁膜804とが、接合面41で接続されている。

[0085] 第3の半導体チップ部103は、薄膜化されたシリコンによる第3の半導体基板に、DRAM101が形成される。図16に示される第3の半導体基板の下層には、層間絶縁膜106を介して複数、本実施形態では3層のメタルによる配線113a～113cおよび1層のアルミニウム（Al）による配線（上層配線）107を配置した多層配線層が形成される。配線113a～113cには、デュアルダマシン法による銅（Cu）配線が用いられている。

[0086] 第3の半導体チップ部103の多層配線層では、第3の半導体基板と配線113cとの間、隣り合う上下層の配線113a、113bおよび113cの間が、導電性のビア105を介して接続される。さらに、第4の半導体チップ部104との接合面42に臨んで、絶縁層108の下層にメタルの第3電極パッド（第3の導電体）115が形成される。第3電極パッド115は、ビア114を介して4層目のアルミニウム（Al）による所要の配線（上層配線）107に接続される。第3電極パッド115は、配線として利用される。

[0087] 第4の半導体チップ部104は、シリコンによる第4の半導体基板に、周辺回路を構成するロジック回路102が形成される。ロジック回路102は、CMOSトランジスタを含む複数のMOSトランジスタで形成される。図16に示される、ロジック回路102が形成された第4の半導体基板の上層には、層間絶縁膜112を介して複数層、本実施形態では3層のメタルによる配線118a～118cを配置した多層配線層が形成されている。配線118a～118cには、デュアルダマシン法による銅（Cu）配線が用いられている。

[0088] 第4の半導体チップ部104の多層配線層では、MOSトランジスタと配

線 1 1 8 c との間、隣り合う上下層の配線 1 1 8 a ~ 1 1 8 c の間が、導電性のビア 1 1 9 を介して接続される。さらに、第 3 の半導体チップ部 1 0 3 との接合面 4 2 に臨んで、絶縁層 1 1 1 の上層にメタルの第 4 電極パッド（第 4 の導電体） 1 1 6 が形成される。第 4 電極パッド 1 1 6 は、導電性のビア 1 1 7 を介して 1 層目のメタルによる所要の配線（下層配線） 1 1 8 c に接続される。第 4 電極パッド 1 1 6 は、配線として利用される。

[0089] 第 3 の半導体チップ部 1 0 3 と第 4 の半導体チップ部 1 0 4 とは、互いの多層配線層が向かい合うようにして、接合面 4 2 に臨む第 3 電極パッド 1 1 5 および第 4 電極パッド 1 1 6 を直接接合して、電氣的に接続される。第 3 の半導体チップ部 1 0 3 の接合付近には、層間絶縁膜 1 0 9 が形成されている。第 4 の半導体チップ部 1 0 4 の接合付近には、層間絶縁膜 1 1 0 が形成されている。層間絶縁膜 1 0 9 および 1 1 0 は、それぞれ絶縁層 1 0 8 および 1 1 1 を介して層間絶縁膜 1 0 6 および 1 1 2 に接合されている。

[0090] 本実施形態では、第 1 実施形態と同様に、図 1 6 に示す第 3 電極パッド 1 1 5 および第 4 電極パッド 1 1 6 は、互いの接合面がずれて接合されている。これにより、本実施形態の固体撮像装置 1 0 0 でも、自由なレイアウト設計を行うことが可能となる。

[0091] 本実施形態でも、ずれて接合される電極パッド同士の長手方向の合計の長さが、長いピッチの配線の延在方向の長さの 2 倍以上となるように、互いの電極パッドおよび配線 3 6 が配置されている。これにより、本実施形態の固体撮像装置 1 0 0 も、第 1 実施形態の固体撮像装置 3 1 と同様の効果を得ることができる。また、固体撮像装置 1 0 0 は、複数の半導体チップを上下に直接積層することで半導体チップ相互間の距離が短くなるため、処理の高速化が可能となる。さらに、固体撮像装置 1 0 0 は、様々な機能を有する半導体チップを積層するため、処理の高機能化が可能となる。なお、固体撮像装置 1 0 0 の積層構造は 4 層に限らず、何層であってもよい。また、本実施形態の固体撮像装置は、上記配置を備えることにより、あらゆる半導体装置に適用することができる。

[0092] < 8. 第 6 実施形態の電子機器 >

図 1 7 を用いて、本技術に係る固体撮像装置の第 6 実施形態について説明する。

図 1 7 は、本技術に係る電子機器を示す図である。上述の本技術に係る固体撮像装置は、例えばデジタルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話、あるいは撮像機能を備えた他の機器、などの電子機器に適用することができる。

[0093] 図 1 7 に、本技術に係る電子機器の一例としてカメラに適用した第 6 実施形態を示す。本実施形態例に係るカメラは、静止画像又は動画撮影可能なビデオカメラを例としたものである。本実施形態に係るカメラ 2 0 1 は、固体撮像装置 2 0 2 と、固体撮像装置 2 0 2 の受光センサ部に入射光を導く光学系 2 0 3 と、シャッタ装置 2 0 4 を有する。さらに、固体撮像装置 2 0 2 を駆動する駆動回路 2 0 5 と、固体撮像装置 2 0 2 の出力信号を処理する信号処理回路 2 0 6 とを有する。

[0094] 固体撮像装置 2 0 2 は、上述した各実施形態の固体撮像装置のいずれかが適用される。光学系（光学レンズ） 2 0 3 は、被写体からの像光（入射光）を固体撮像装置 2 0 2 の撮像面上に結像させる。これにより、固体撮像装置 2 0 2 内に、一定期間信号電荷が蓄積される。光学系 2 0 3 は、複数の光学レンズから構成された光学レンズ系としてもよい。シャッタ装置 2 0 4 は、固体撮像装置 2 0 2 への光照射期間及び遮光期間を制御する。駆動回路 2 0 5 は、固体撮像装置 2 0 2 の転送動作及びシャッタ装置 2 0 4 のシャッタ動作を制御する駆動信号を供給する。駆動回路 2 0 5 から供給される駆動信号（タイミング信号）により、固体撮像装置 2 0 2 の信号転送を行う。信号処理回路 2 0 6 は、各種の信号処理を行う。信号処理が行われた映像信号は、メモリなどの記憶媒体に記憶され、あるいは、モニタに出力される。

[0095] 第 6 実施形態に係る電子機器によれば、上述の本技術における裏面照射型の固体撮像装置 2 0 2 を備えるので、ロジック回路の MOS トランジスタからのホットキャリアで発光した光が画素アレイ側に入射されず、暗電流、ラ

ンダムノイズを抑制することができる。従って、高画質の電子機器を提供することができる。例えば、画質を向上したカメラなどを提供することができる。

[0096] なお、本技術の実施形態は、上述した実施形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。例えば、上述した複数の実施形態の全てまたは一部を組み合わせた形態を採用することができる。

[0097] また、本技術は、以下のような構成を取ることができる。

(1) 第1電極パッド、該第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路が形成された第1の半導体チップと、

前記第1の半導体チップと接合され、第2電極パッド、該第2電極パッドに第2ビアを介して接続された第2配線および画素アレイが形成された第2の半導体チップと、を有し、

前記第1の半導体チップと前記第2の半導体チップとの接合面で、前記第1電極パッドと前記第2電極パッドとが互いにずれて接合され、

該ずれて接合された前記第1および前記第2電極パッドの、前記第1および第2配線のうちのピッチが長い配線の延在方向の合計の長さは、前記ピッチが長い配線の延在方向の長さの2倍以上である固体撮像装置。

(2) 前記第1および第2電極パッドの接合部の面積は、前記第1および第2電極パッドにそれぞれ接続された前記第1および第2ビアの合計の接合面積以上の大きさである上記(1)に記載の固体撮像装置。

(3) 前記第1電極パッドの大きさと前記第2電極パッドの大きさとが異なる上記(2)に記載の固体撮像装置。

(4) 前記第1および第2電極パッドが互いに接合する表面の形状は共に矩形であり、前記第1電極パッドと前記第2電極パッドとは、それぞれの長手方向が直交する向きに接合されている上記(2)に記載の固体撮像装置。

(5) 前記第1電極パッドの長手方向の長さ、前記第1電極パッドに接合されていない部分の第2電極パッドの長手方向の長さとの合計の長さは、前

記ピッチが長い配線の延在方向の長さの2倍以上である上記（4）に記載の固体撮像装置。

（6）前記第1ビアと前記第2ビアとは、複数の前記第1および／または第2電極パッドを介して接続されている上記（1）に記載の固体撮像装置。

（7）第1電極パッド、該第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路が形成された第1の半導体チップを有し、

前記第1電極パッドの前記第1配線の延在方向の長さは、前記第1配線の延在方向の長さの2倍以上である固体撮像装置。

（8）第1電極パッド、該第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路を第1の半導体チップに形成するステップと、

前記第1の半導体チップと接合され、第2電極パッド、該第2電極パッドに第2ビアを介して接続された第2配線および画素アレイを第2の半導体チップに形成するステップと、

前記第1の半導体チップと前記第2の半導体チップとが接合面で接合するステップと、を含み、

該接合面で、前記第1電極パッドと前記第2電極パッドとが互いにずれて接合され、該ずれて接合された前記第1および前記第2電極パッドの、前記第1および第2配線のうちのピッチが長い配線の延在方向の合計の長さは、前記ピッチが長い配線の延在方向の長さの2倍以上である固体撮像装置の製造方法。

（9）第1電極パッド、該第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路が形成された第1の半導体チップと、

前記第1の半導体チップと接合され、第2電極パッド、該第2電極パッドに第2ビアを介して接続された第2配線および画素アレイが形成された第2の半導体チップと、を有し、

前記第1の半導体チップと前記第2の半導体チップとの接合面で、前記第1電極パッドと前記第2電極パッドとが互いにずれて接合され、

該ずれて接合された前記第1および前記第2電極パッドの、前記第1およ

び第2配線のうちのピッチが長い配線の延在方向の合計の長さは、前記ピッチが長い配線の延在方向の長さの2倍以上である固体撮像装置を備えた電子機器。

符号の説明

- [0098] 1、1 a～1 c、3 1、1 0 0 固体撮像装置
- 2 画素
- 3、2 3 画素アレイ（画素領域）
- 4 垂直駆動回路
- 5 カラム信号処理回路
- 6 水平駆動回路
- 7 出力回路
- 8、2 4、2 4－1、2 4－2 制御回路
- 9 垂直信号線
- 1 0 水平信号線
- 1 2 入出力端子
- 2 1 第1の半導体基板
- 2 2 第2の半導体基板
- 2 5、5 5、1 0 2 ロジック回路
- 2 6 第1の半導体チップ部
- 2 8 第2の半導体チップ部
- 3 0、5 0、1 0 8、1 1 1、8 0 1、8 0 2 絶縁層
- 3 2 積層半導体チップ
- 3 5 a～3 5 c、3 6、3 6 a、5 7 a～5 7 b、5 8、1 0 7、1 1 3 a
～1 1 3 c、1 1 8 a～1 1 8 c、9 0 1～9 0 3 配線
- 4 0、4 1、4 2 接合面
- 4 4 カラーフィルタ
- 4 5 オン半導体チップレンズ
- 4 6 C I S（CMOSイメージセンサ）

52、52a、52b、64、105、114、117、119 ビア
33、53、54、56、106、109、110、112、803、804
4 層間絶縁膜
71、71a、71b、73、81、83 第1電極パッド（第1の導電体）
72、72a、72b 第2電極パッド（第2の導電体）
101 DRAM
103 第3の半導体チップ部
104 第4の半導体チップ部
115 第3電極パッド（第3の導電体）
116 第4電極パッド（第4の導電体）

請求の範囲

- [請求項1] 第1電極パッド、該第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路が形成された第1の半導体チップと、
前記第1の半導体チップと接合され、第2電極パッド、該第2電極パッドに第2ビアを介して接続された第2配線および画素アレイが形成された第2の半導体チップと、を有し、
前記第1の半導体チップと前記第2の半導体チップとの接合面で、前記第1電極パッドと前記第2電極パッドとが互いにずれて接合され、
該ずれて接合された前記第1および前記第2電極パッドの、前記第1および第2配線のうちのピッチが長い配線の延在方向の合計の長さは、前記ピッチが長い配線の延在方向の長さの2倍以上である固体撮像装置。
- [請求項2] 前記第1および第2電極パッドの接合部の面積は、前記第1および第2電極パッドにそれぞれ接続された前記第1および第2ビアの合計の接合面積以上の大きさである請求項1に記載の固体撮像装置。
- [請求項3] 前記第1電極パッドの大きさと前記第2電極パッドの大きさとが異なる請求項2に記載の固体撮像装置。
- [請求項4] 前記第1および第2電極パッドが互いに接合する表面の形状は共に矩形であり、前記第1電極パッドと前記第2電極パッドとは、それぞれの長手方向が直交する向きに接合されている請求項2に記載の固体撮像装置。
- [請求項5] 前記第1電極パッドの長手方向の長さと、前記第1電極パッドに接合されていない部分の第2電極パッドの長手方向の長さとの合計の長さは、前記ピッチが長い配線の延在方向の長さの2倍以上である請求項4に記載の固体撮像装置。
- [請求項6] 前記第1ビアと前記第2ビアとは、複数の前記第1および／または第2電極パッドを介して接続されている請求項1に記載の固体撮像装

置。

[請求項7] 第1電極パッド、該第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路が形成された第1の半導体チップを有し、

前記第1電極パッドの前記第1配線の延在方向の長さは、前記第1配線の延在方向の長さの2倍以上である固体撮像装置。

[請求項8] 第1電極パッド、該第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路を第1の半導体チップに形成するステップと、

前記第1の半導体チップと接合され、第2電極パッド、該第2電極パッドに第2ビアを介して接続された第2配線および画素アレイを第2の半導体チップに形成するステップと、

前記第1の半導体チップと前記第2の半導体チップとが接合面で接合するステップと、を含み、

該接合面で、前記第1電極パッドと前記第2電極パッドとが互いにずれて接合され、該ずれて接合された前記第1および前記第2電極パッドの、前記第1および第2配線のうちのピッチが長い配線の延在方向の合計の長さは、前記ピッチが長い配線の延在方向の長さの2倍以上である固体撮像装置の製造方法。

[請求項9] 第1電極パッド、該第1電極パッドに第1ビアを介して接続された第1配線およびロジック回路が形成された第1の半導体チップと、

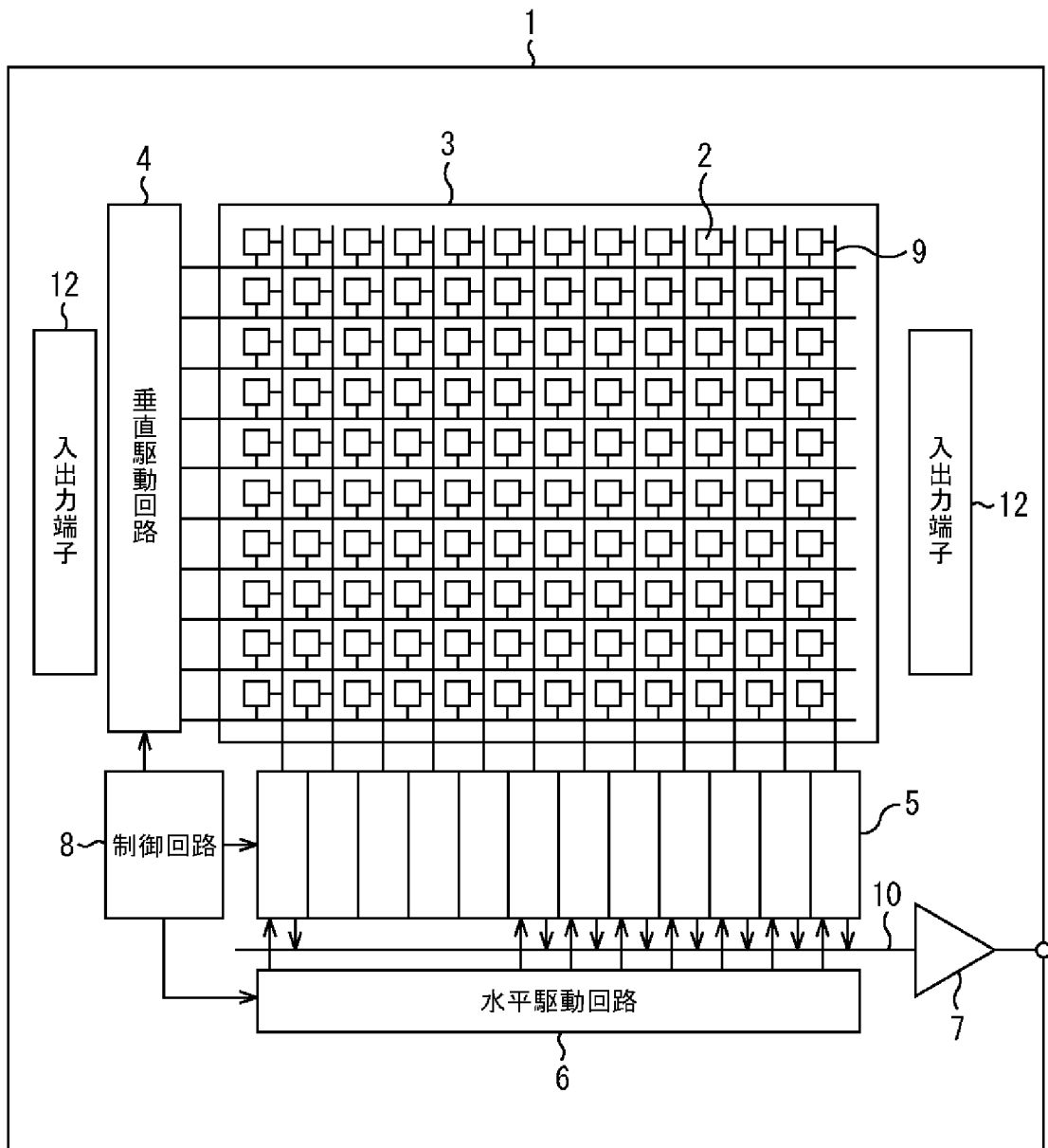
前記第1の半導体チップと接合され、第2電極パッド、該第2電極パッドに第2ビアを介して接続された第2配線および画素アレイが形成された第2の半導体チップと、を有し、

前記第1の半導体チップと前記第2の半導体チップとの接合面で、前記第1電極パッドと前記第2電極パッドとが互いにずれて接合され、

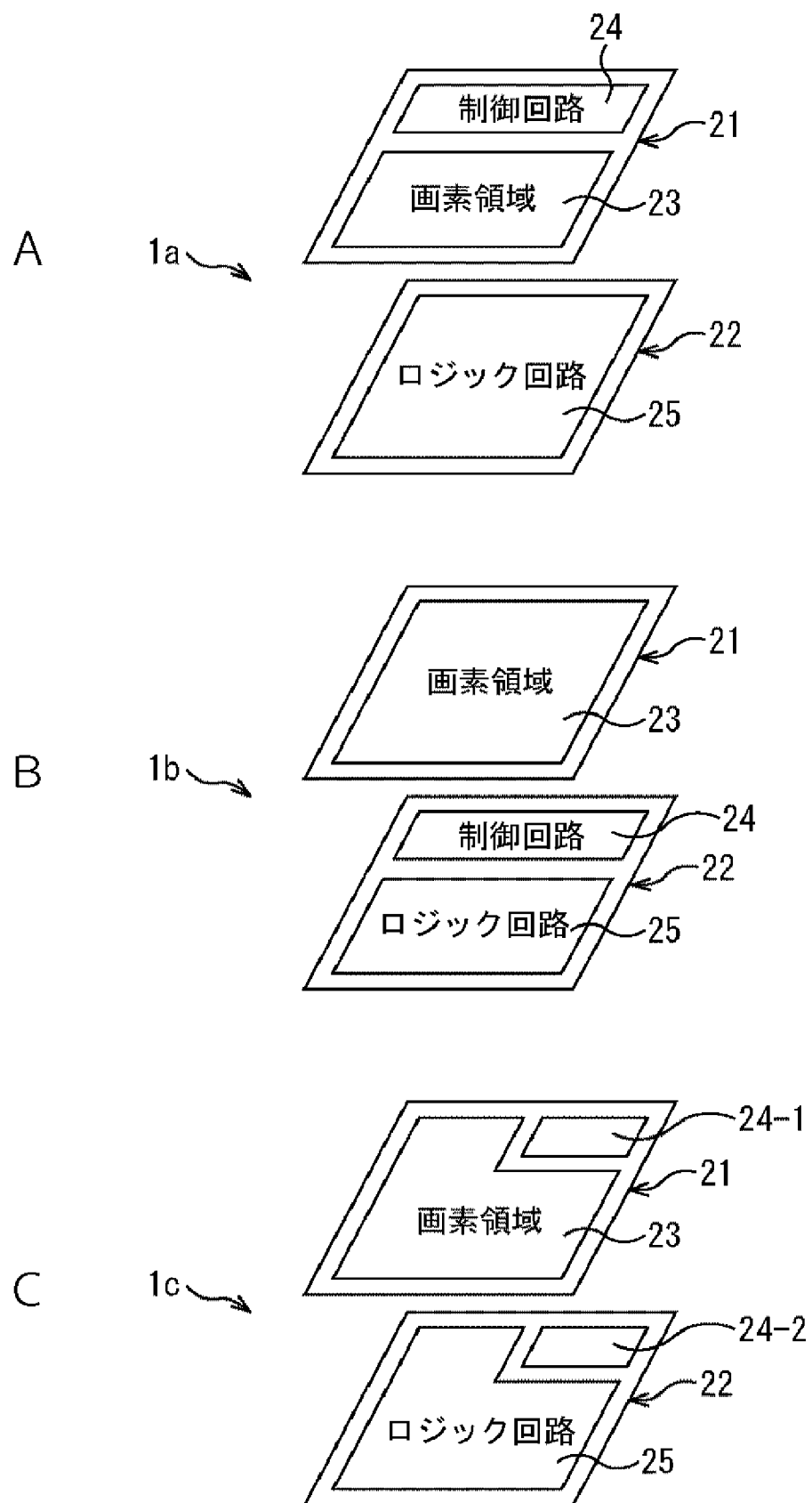
該ずれて接合された前記第1および前記第2電極パッドの、前記第

1 および第 2 配線のうちのピッチが長い配線の延在方向の合計の長さは、前記ピッチが長い配線の延在方向の長さの 2 倍以上である固体撮像装置を備えた電子機器。

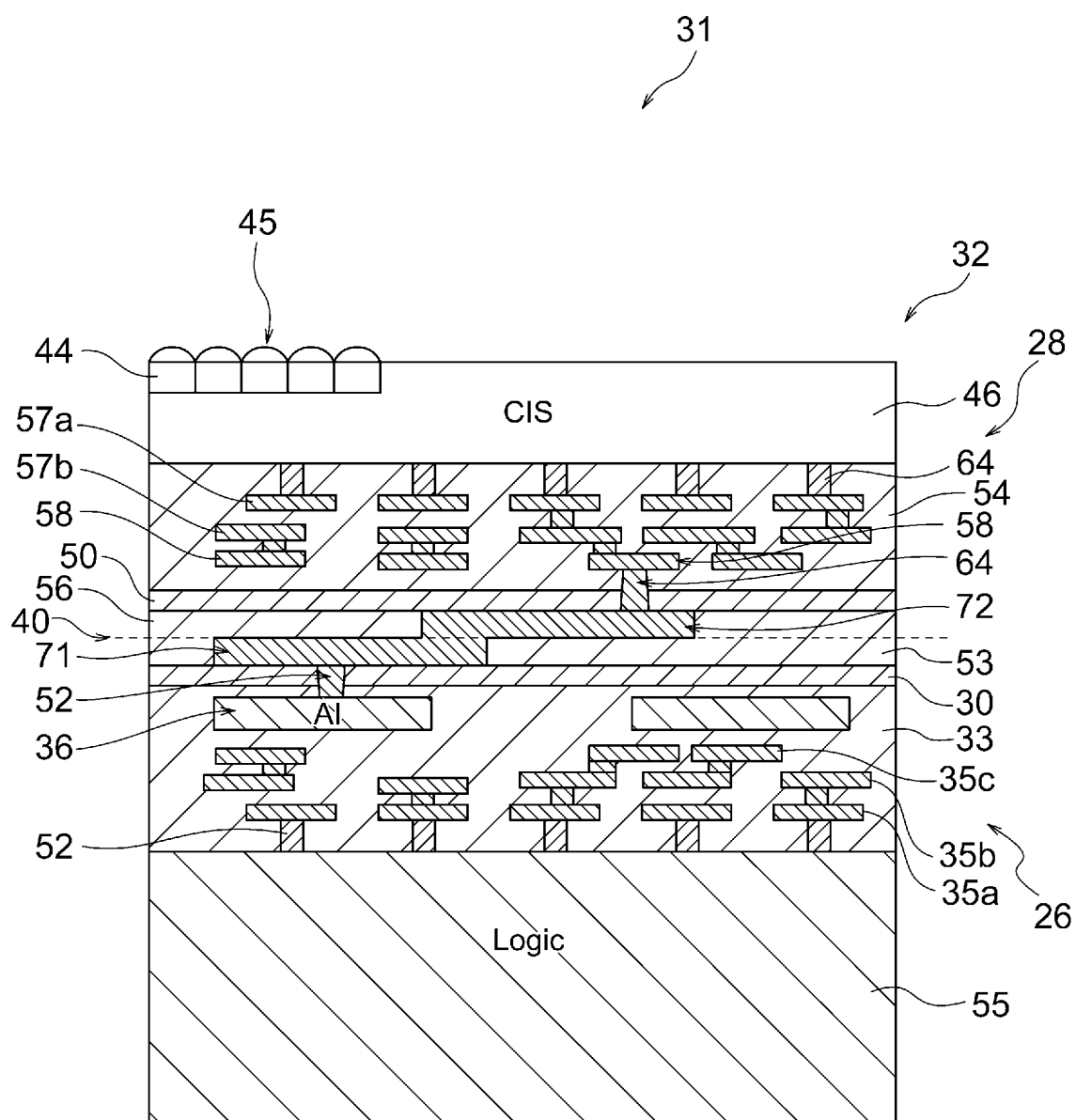
[図1]



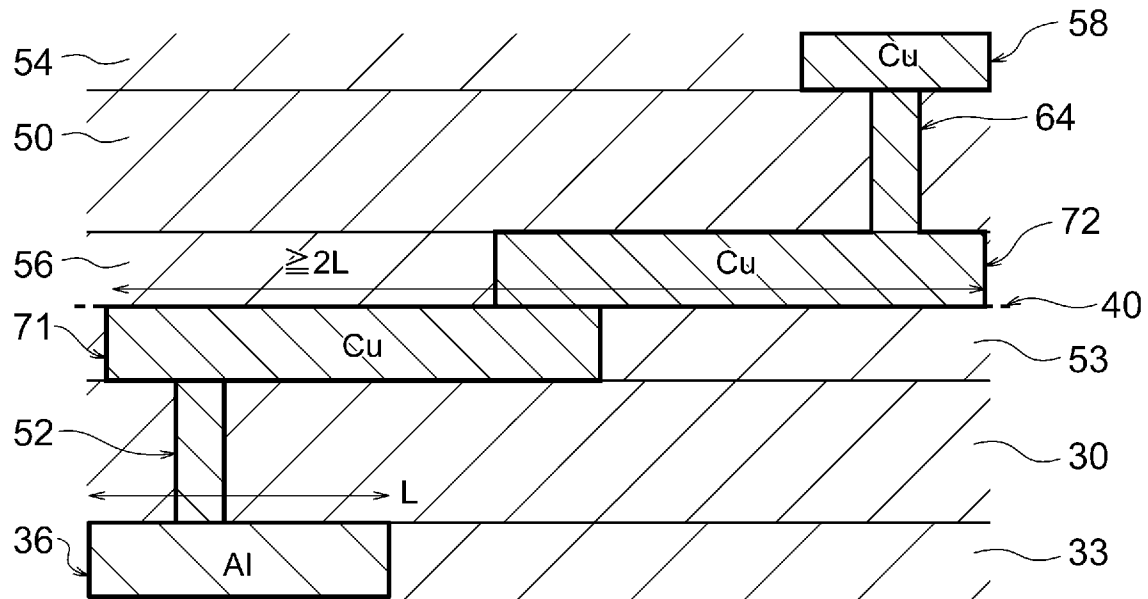
[図2]



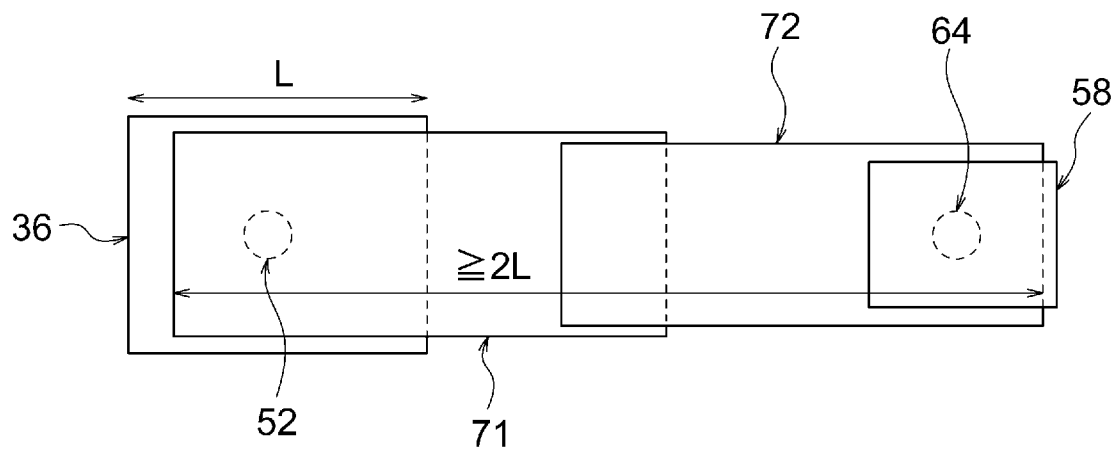
[図3]



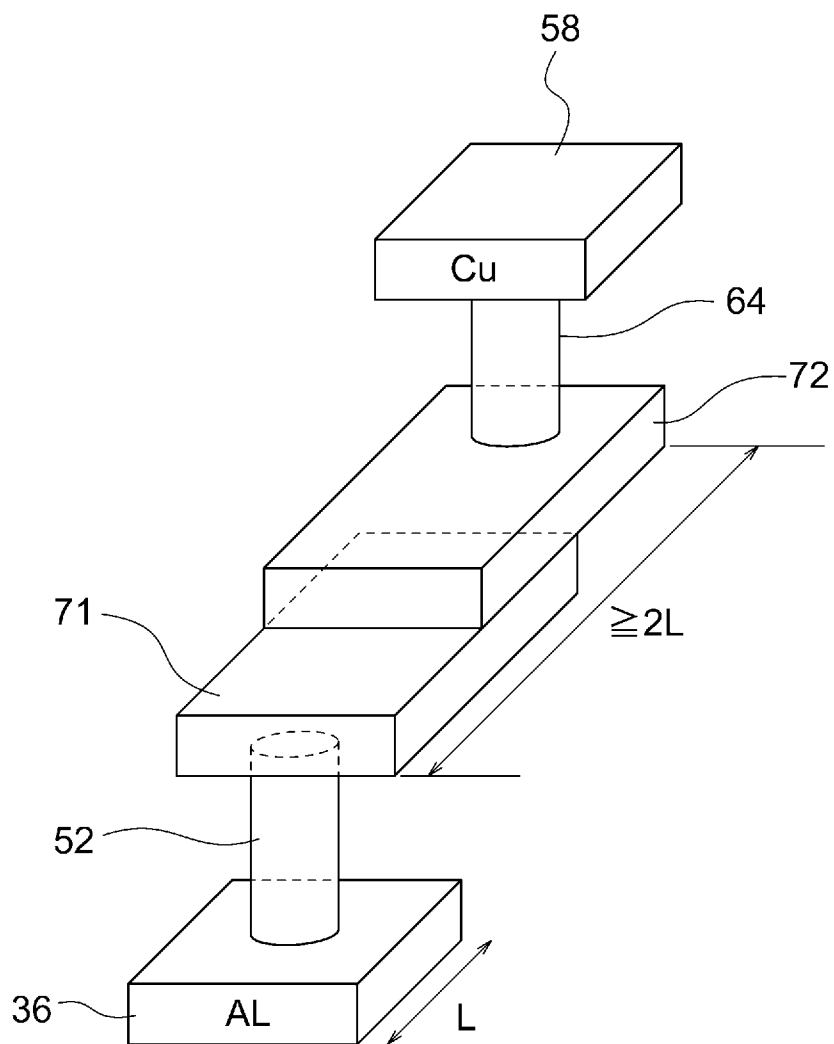
[図4]



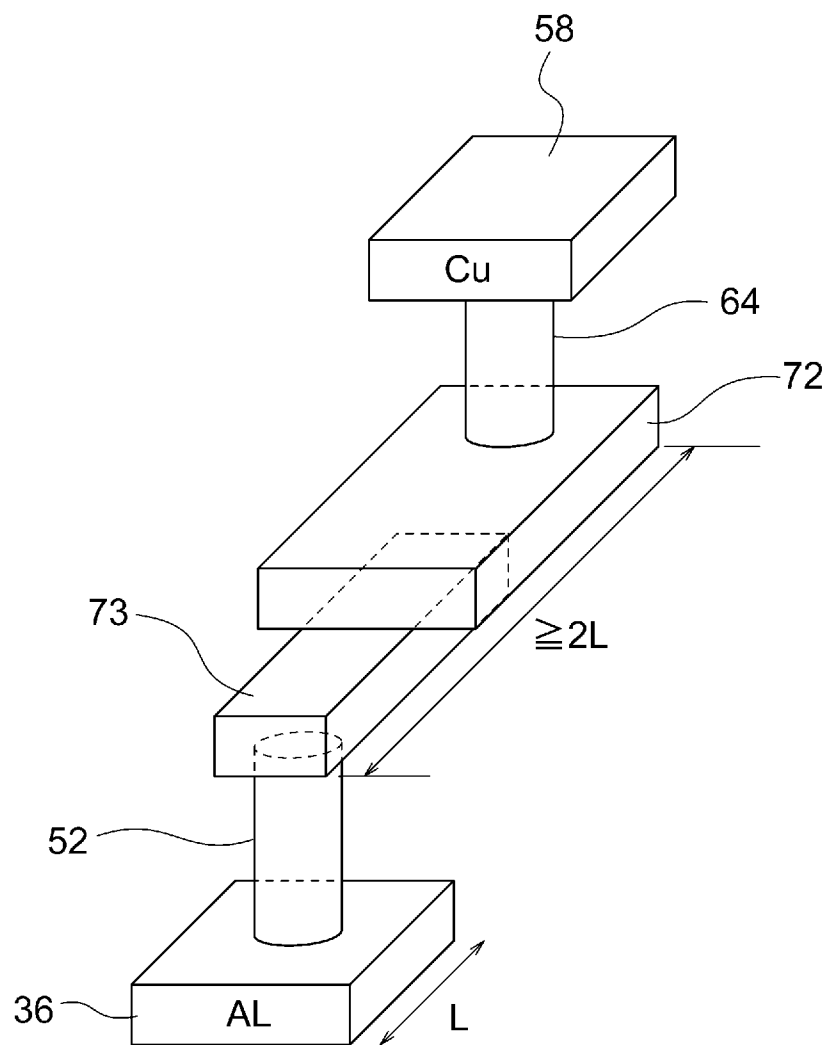
[図5]



[図6]

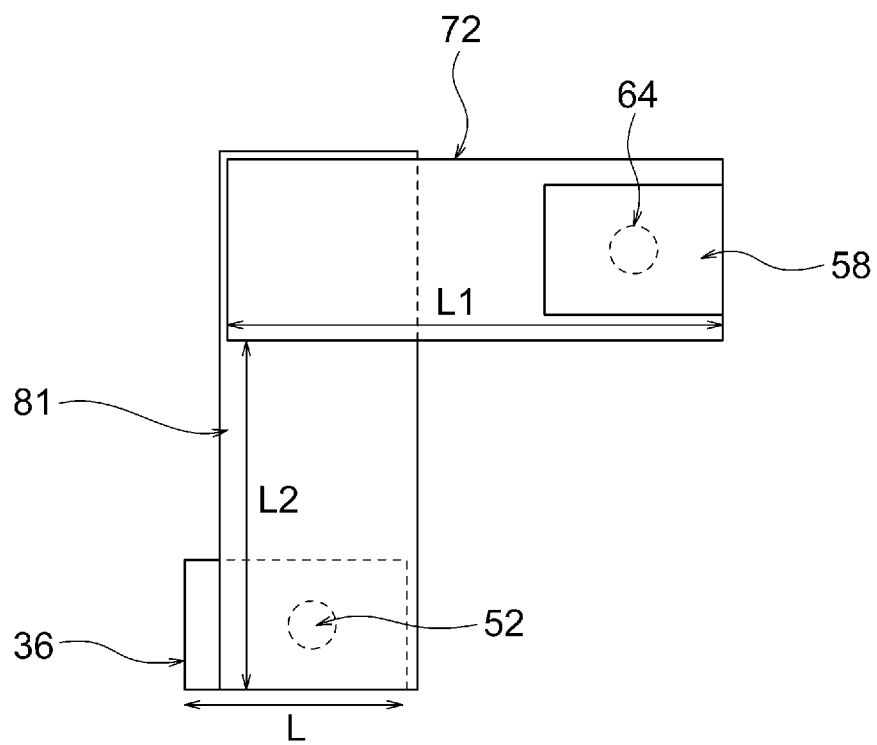


[図7]

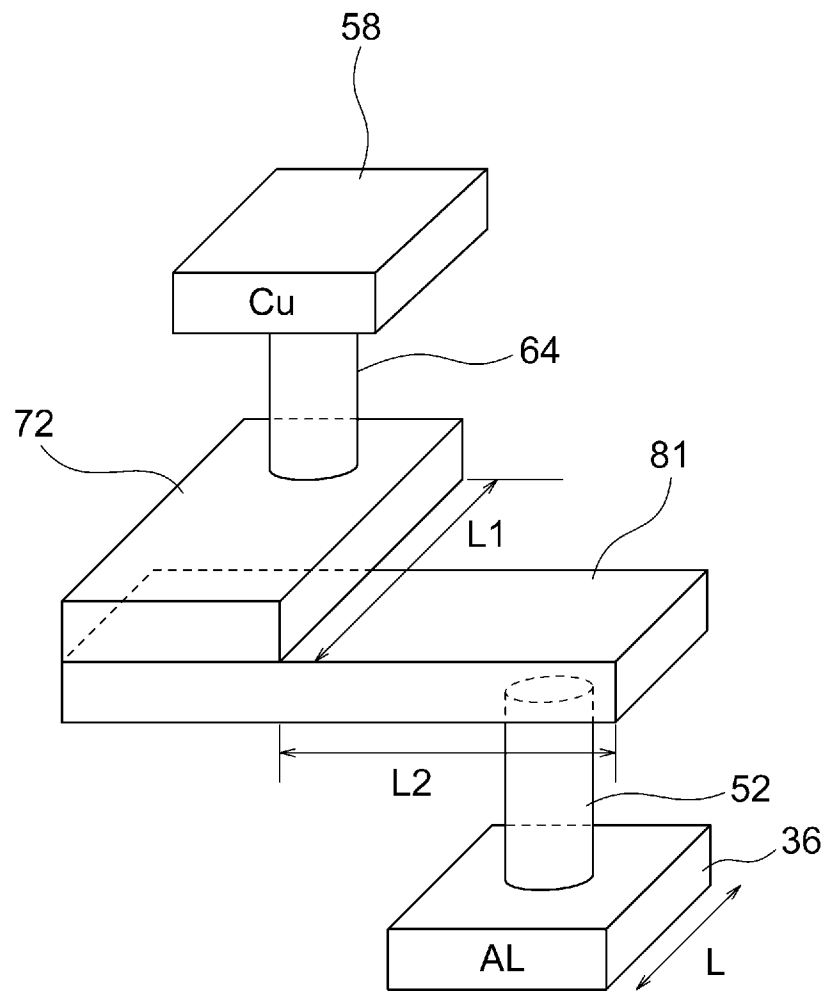


This diagram shows a cross-sectional view of a semiconductor device. A central horizontal layer is labeled 'Cu' (72). Above it is a smaller 'Cu' pad (58) connected by a vertical via (64). Below the central layer is another 'Cu' pad (81) connected by a vertical via (52). At the bottom is an 'Al' pad (36). The device is built on a substrate (30) with a passivation layer (33). A dashed line (40) is shown below the central Cu layer. Various other layers and interfaces are labeled with numbers: 54, 50, 56, 81, 52, 36, 58, 64, 72, 40, 53, 30, 33. A dimension line at the bottom indicates a length 'L'.

[図9]

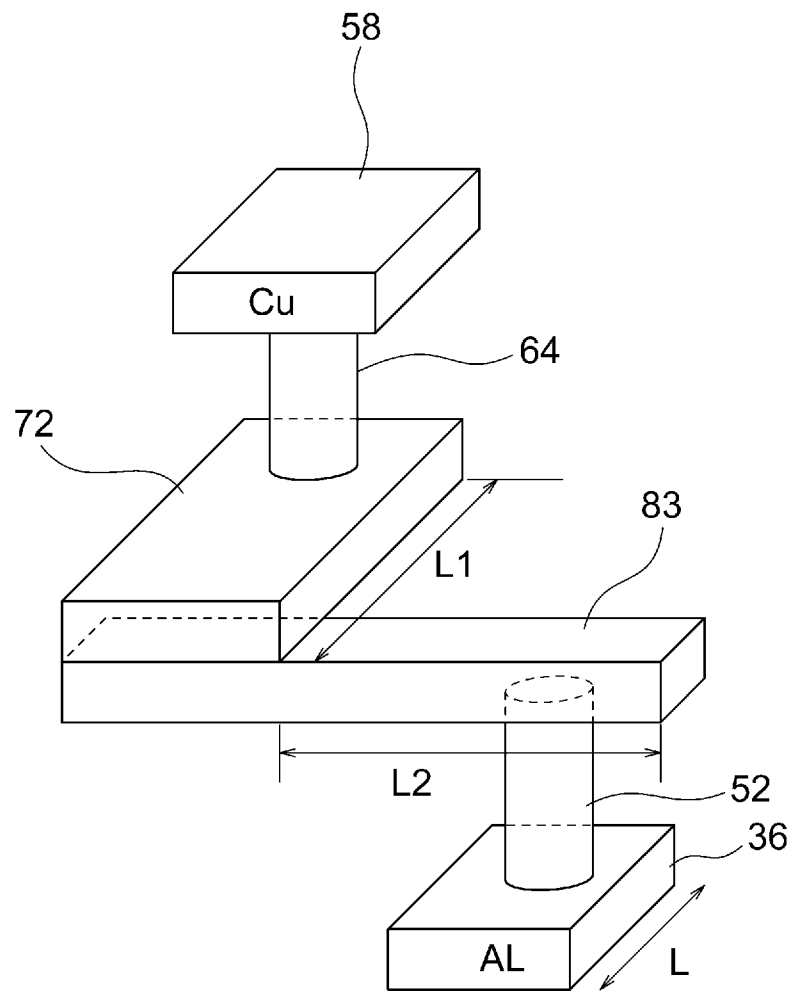


[図10]



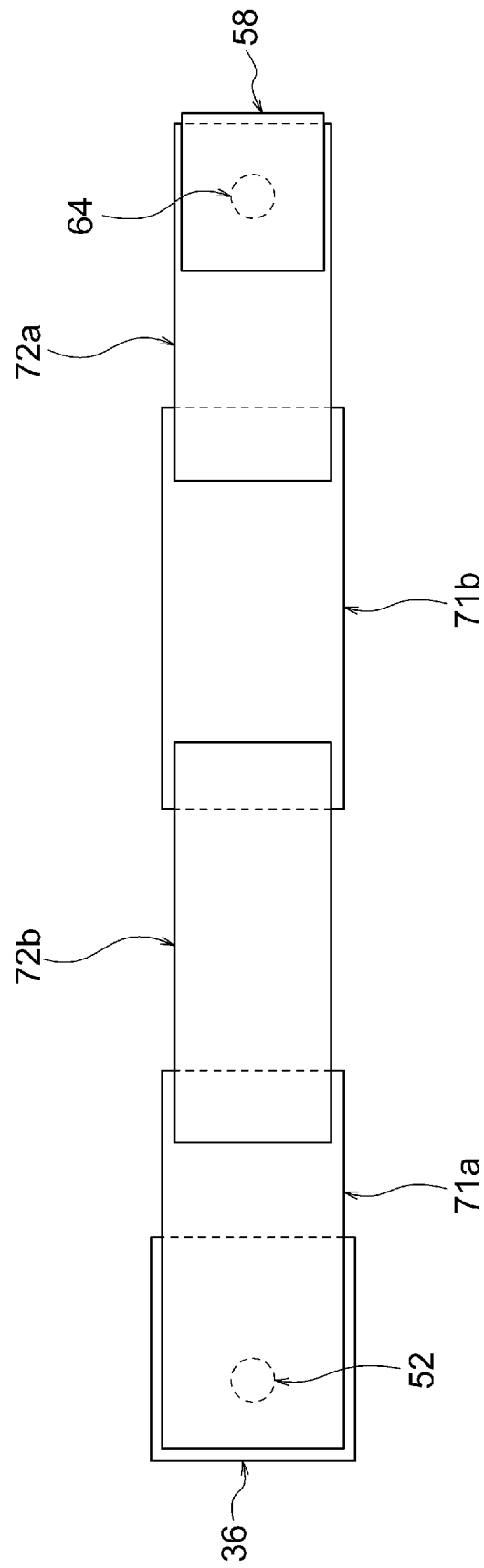
$$L1+L2\geq 2L$$

[図11]

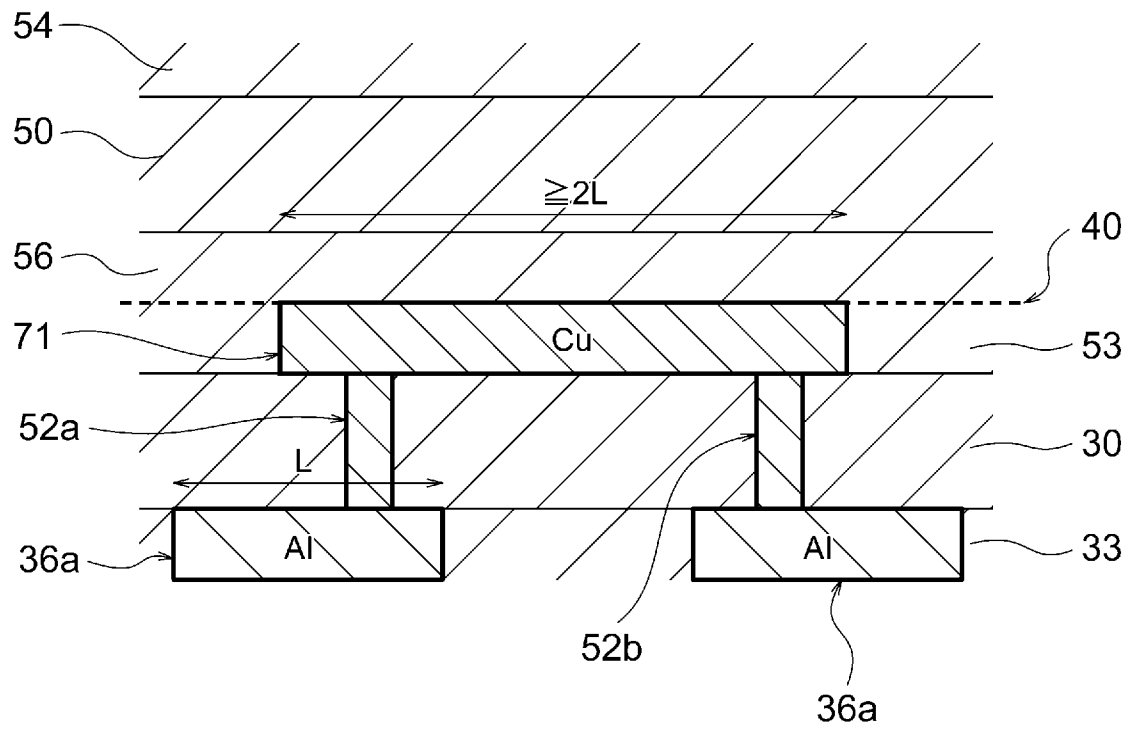


$$L1 + L2 \geq 2L$$

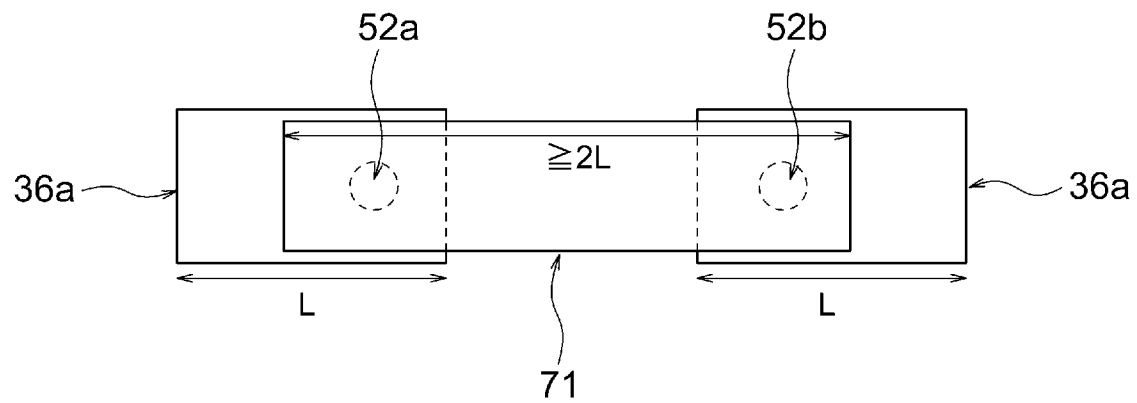
[図13]



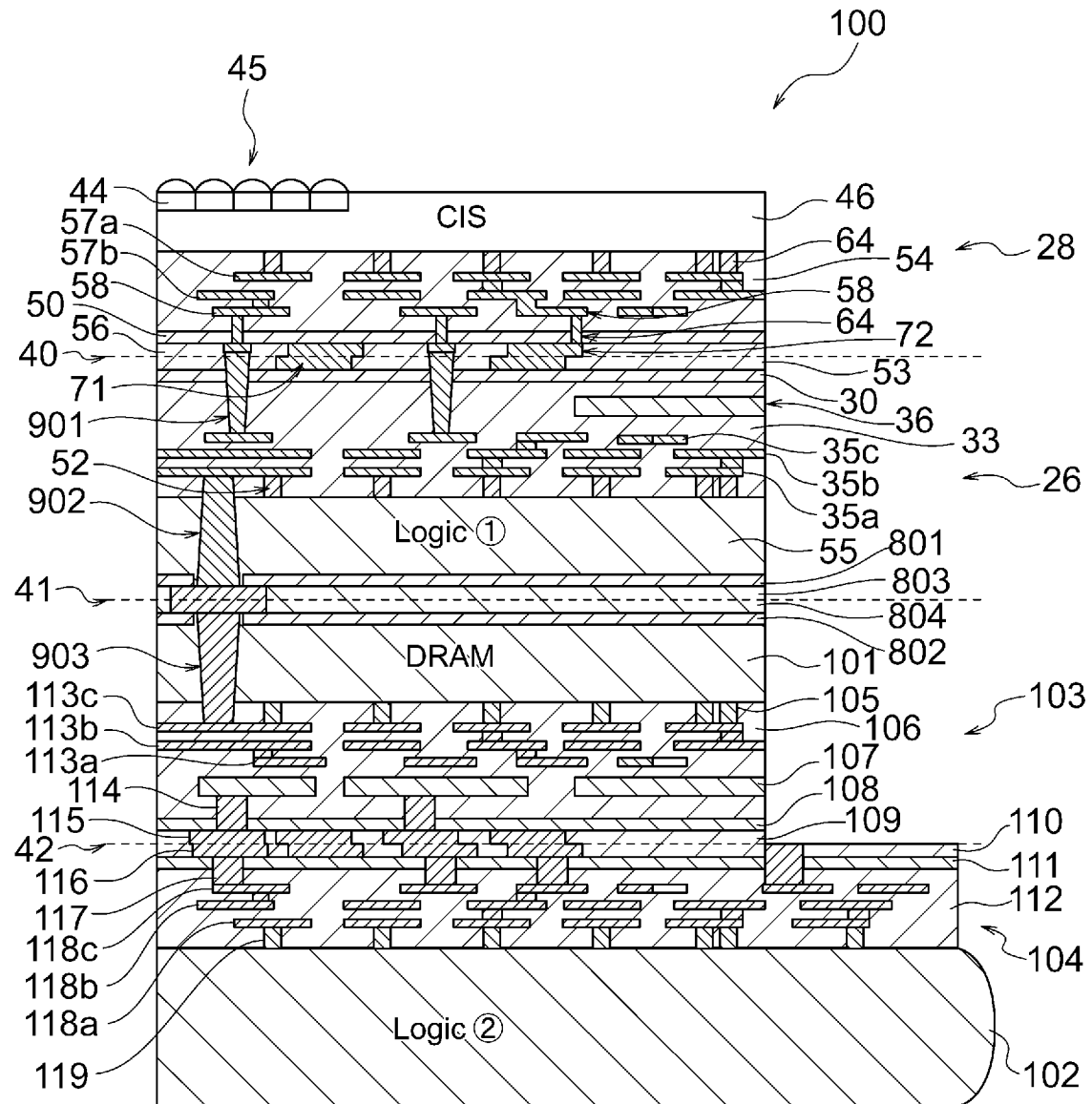
[図14]



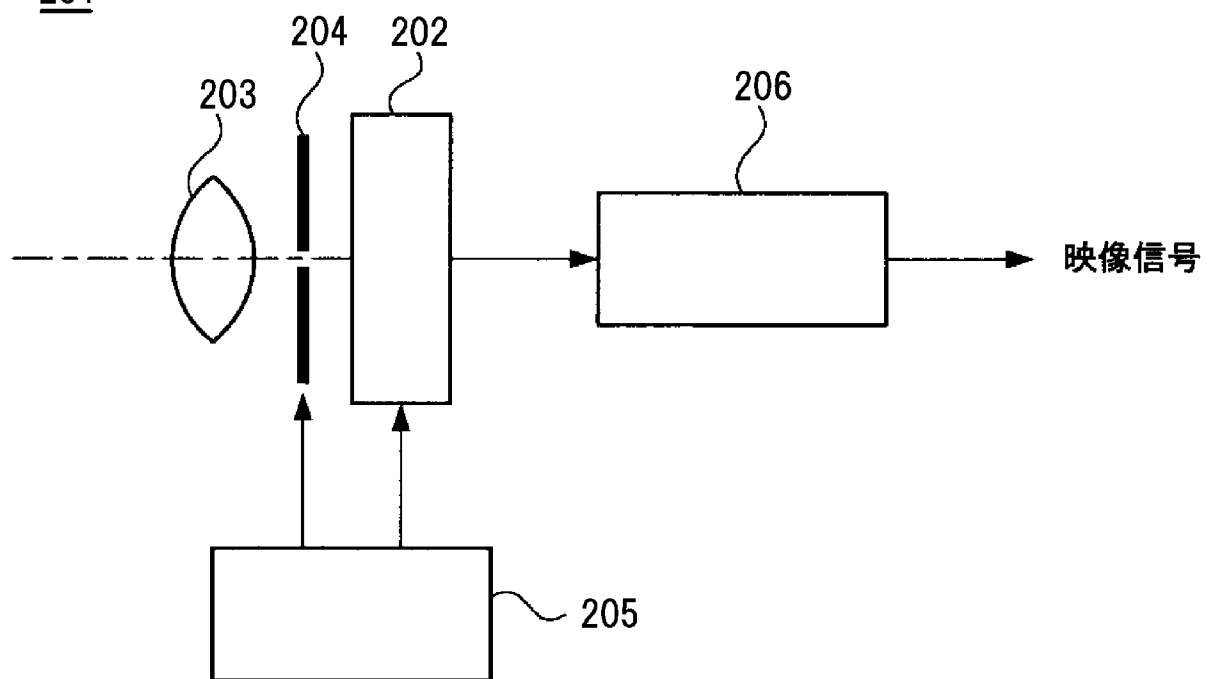
[図15]



[図16]



[図17]

201

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/034408

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/146 (2006.01) i, H01L21/3205 (2006.01) i, H01L21/768 (2006.01) i, H01L21/8234 (2006.01) i, H01L23/522 (2006.01) i, H01L27/088 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/146, H01L21/3205, H01L21/768, H01L21/8234, H01L23/522, H01L27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model applications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2014-22561 A (SONY CORPORATION) 03 February 2014, paragraphs [0011]-[0040], [0077]-[0081], fig. 1-6, 16 & US 2015/0179691 A1, paragraphs [0038]-[0086], [0134]-[0139], fig. 1-6, 16 & TW 201405789 A & CN 104428897 A & KR 10-2015-0037812 A	1-5, 7-9 6
Y A	US 8710607 B2 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 29 April 2014, column 2, line 29 to column 6, line 57, fig. 1-6 & KR 10-2014-0008983 A & CN 103545324 A	6 1-5, 7-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 November 2017

Date of mailing of the international search report
12 December 2017

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/034408

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-15276 A (CANON INC.) 19 January 2012, paragraphs [0011]-[0085], fig. 1-9 & US 2013/0092822 A1, paragraphs [0024]-[0111], fig. 1-9 & WO 2012/001922 A1	1-9
A	JP 2014-72418 A (SONY CORPORATION) 21 April 2014, paragraphs [0015]-[0141], fig. 1-41 & US 2014/0091321 A1, paragraphs [0109]-[0239], fig. 1-41 & CN 103715175 A	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/146(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L21/8234(2006.01)i,
H01L23/522(2006.01)i, H01L27/088(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/146, H01L21/3205, H01L21/768, H01L21/8234, H01L23/522, H01L27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2014-22561 A (ソニー株式会社) 2014.02.03, 段落[0011]-[0040], [0077]-[0081], 図1-6, 16 & US 2015/0179691 A1, 段落[0038]-[0086], [0134]-[0139], 図1-6, 16 & TW 201405789 A & CN 104428897 A & KR 10-2015-0037812 A	1-5, 7-9 6
Y A	US 8710607 B2 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 2014.04.29, 第2欄第29行-第6欄第57行, 図1-6 & KR 10-2014-0008983 A & CN 103545324 A	6 1-5, 7-9

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

30.11.2017

国際調査報告の発送日

12.12.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 肇

5 F

8396

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-15276 A (キヤノン株式会社) 2012. 01. 19, 段落[0011]-[0085], 図 1-9 & US 2013/0092822 A1, 段落[0024]-[0111], 図 1-9 & WO 2012/001922 A1	1-9
A	JP 2014-72418 A (ソニー株式会社) 2014. 04. 21, 段落[0015]-[0141], 図 1-41 & US 2014/0091321 A1, 段落[0109]-[0239], 図 1-41 & CN 103715175 A	1-9