



(12)发明专利申请

(10)申请公布号 CN 109791948 A

(43)申请公布日 2019.05.21

(21)申请号 201780054488.8

(22)申请日 2017.08.03

(30)优先权数据

15/257,823 2016.09.06 US

(85)PCT国际申请进入国家阶段日

2019.03.05

(86)PCT国际申请的申请数据

PCT/US2017/045349 2017.08.03

(87)PCT国际申请的公布数据

W02018/048529 EN 2018.03.15

(71)申请人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 S·格科特佩里 S·法内利

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 张昊

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 29/66(2006.01)

H01L 29/786(2006.01)

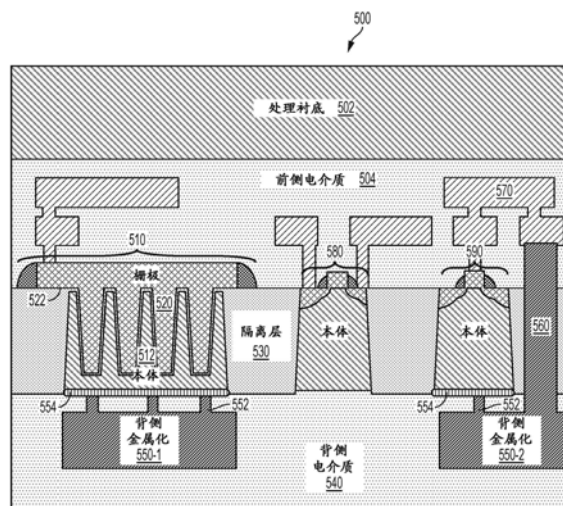
权利要求书3页 说明书10页 附图13页

(54)发明名称

带有背侧本体接触部的深沟槽有源器件

(57)摘要

一种集成电路可以包括具有栅极指状件的栅极。集成电路还可以包括本体,其具有与栅极的栅极指状件互锁的半导体柱。集成电路还可以包括被耦合到本体的(多个)背侧接触部。集成电路还可以包括背侧金属化物。背侧金属化物可以通过(多个)背侧接触部被耦合到本体。



1. 一种集成电路,包括:
栅极,包括多个栅极指状件;
本体,包括与所述多个栅极指状件互锁的多个半导体柱;
至少一个背侧接触部,被耦合到所述本体;以及
背侧金属化物,通过所述至少一个背侧接触部被耦合到所述本体。
2. 根据权利要求1所述的集成电路,其中所述多个栅极指状件包括多晶硅材料。
3. 根据权利要求1所述的集成电路,还包括在所述多个栅极指状件和所述多个半导体柱之间的栅极电介质。
4. 根据权利要求3所述的集成电路,还包括电容器,所述电容器包括:作为第一板的所述多个栅极指状件、作为第二板的所述多个半导体柱以及作为电容器电介质的所述栅极电介质。
5. 根据权利要求1所述的集成电路,其中所述背侧接触部包括多个接触插塞,每个接触插塞被耦合在所述本体和所述背侧金属化物之间,所述背侧金属化物被直接耦合到所述多个接触插塞。
6. 根据权利要求1所述的集成电路,还包括直接位于所述背侧接触部和所述本体之间的背侧硅化物。
7. 根据权利要求6所述的集成电路,其中所述背侧硅化物包括直接位于所述本体上的多个分立元件,或者所述背侧硅化物包括位于所述本体上的连续层。
8. 根据权利要求1所述的集成电路,还包括:
所述本体的第一掺杂区域,靠近所述栅极的第一侧;以及
所述本体的第二掺杂区域,靠近与所述栅极的所述第一侧相对的第二侧。
9. 根据权利要求8所述的集成电路,其中所述第一掺杂区域是源极区域,并且所述第二掺杂区域是漏极区域。
10. 根据权利要求1所述的集成电路,还包括:
埋置氧化物 (BOX) 层;以及
支撑所述埋置氧化物层的背侧电介质层,其中所述本体延伸穿过所述埋置氧化物层并由所述背侧电介质层支撑,并且所述背侧接触部和所述背侧金属化物处于所述背侧电介质层中。
11. 根据权利要求1所述的集成电路,还包括:
埋置氧化物 (BOX) 层;以及
支撑所述埋置氧化物层的背侧电介质层,其中所述本体延伸到所述埋置氧化物层中,并且所述背侧接触部延伸到所述埋置氧化物层中以耦合到所述本体和所述背侧金属化物。
12. 根据权利要求1所述的集成电路,还包括:
埋置氧化物层,所述栅极的第一部分延伸穿过所述埋置氧化物层,所述第一部分耦合到所述多个栅极指状件;以及
背侧电介质层,所述背侧电介质层支撑所述埋置氧化物层。
13. 根据权利要求1所述的集成电路,被集成到射频 (RF) 前端模块中,所述RF前端模块被结合到音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理 (PDA)、固定位置数据单元、移动电话和便携式计算机中的至少一个中。

14. 一种构造集成电路的方法, 包括:

在隔离层内刻蚀半导体层, 以形成包括多个半导体柱的自体;

在所述隔离层的前侧表面上以及在所述多个半导体柱的表面上沉积电介质材料层;

在所述电介质材料层上以及在分离所述多个半导体柱的多个沟槽中沉积半导体材料, 以形成包括多个栅极指状件的栅极, 所述多个栅极指状件与所述多个半导体柱互锁;

将处理衬底接合到在所述隔离层的所述前侧表面上的前侧电介质层; 以及

在支撑所述隔离层的背侧表面的背侧电介质层中制造背侧金属化物, 所述背侧金属化物通过至少一个背侧接触部而被耦合到所述自体。

15. 根据权利要求14所述的方法, 其中沉积所述半导体材料包括在所述电介质材料层上和分离所述多个半导体柱的所述多个沟槽中沉积多晶硅材料, 以形成包括所述多个栅极指状件的所述栅极。

16. 根据权利要求14所述的方法, 还包括在所述背侧接触部和所述自体之间直接沉积背侧硅化物。

17. 根据权利要求16所述的方法, 还包括: 将所述背侧硅化物作为多个分立元件直接沉积在所述自体的上, 或者将所述背侧硅化物作为连续层沉积在所述自体的上。

18. 根据权利要求14所述的方法, 还包括:

掺杂所述自体的第一掺杂区域, 所述第一掺杂区域靠近所述栅极的第一侧; 以及

掺杂所述自体的第二掺杂区域, 所述第二掺杂区域靠近与所述栅极的所述第一侧相对的第二侧。

19. 根据权利要求14所述的方法, 其中沉积所述半导体材料还包括沉积所述栅极的第一部分, 所述第一部分延伸穿过埋置氧化物层, 所述栅极的所述第一部分耦合到所述多个栅极指状件。

20. 根据权利要求14所述的方法, 还包括将所述集成电路集成到射频 (RF) 前端模块中, 所述RF前端模块被结合到音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理 (PDA)、固定位置数据单元、移动电话和便携式计算机中的至少一个中。

21. 一种集成电路, 包括:

栅极, 包括多个栅极指状件;

自体, 包括与所述多个栅极指状件互锁的多个半导体柱;

至少一个背侧接触部, 被耦合到所述自体; 以及

用于通过所述至少一个背侧接触部联结所述自体的部件。

22. 根据权利要求21所述的集成电路, 还包括:

所述自体的第一掺杂区域, 靠近所述栅极的第一侧; 以及

所述自体的第二掺杂区域, 靠近与所述栅极的所述第一侧相对的第二侧。

23. 根据权利要求21所述的集成电路, 被集成到射频 (RF) 前端模块中, 所述RF前端模块被结合到音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理 (PDA)、固定位置数据单元、移动电话和便携式计算机中的至少一个中。

24. 一种射频 (RF) 前端模块, 包括:

集成RF电路, 包括: 深沟槽开关晶体管, 所述深沟槽开关晶体管包括栅极和自体, 所述栅极包括多个栅极指状件, 所述自体包括与所述多个栅极指状件互锁的多个半导体柱; 至

少一个背侧接触部,被耦合到所述本体;以及背侧金属化物,通过所述至少一个背侧接触部被耦合到所述本体;以及

天线,被耦合到所述开关晶体管的输出。

25. 根据权利要求24所述的RF前端模块,被结合到音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置数据单元、移动电话和便携式计算机中的至少一个中。

带有背侧本体接触部的深沟槽有源器件

技术领域

[0001] 本公开一般涉及集成电路(IC)。更具体地,本公开涉及具有背侧本体接触部的深沟槽有源器件。

背景技术

[0002] 由于成本和功耗考虑,包括高性能双工器的移动射频(RF)芯片设计(例如,移动RF收发器)已经迁移到深亚微米工艺节点。这种移动RF收发器的设计在该深亚微米工艺节点变得复杂。这些移动RF收发器的设计复杂性通过增加电路功能来进一步复杂化,以支持诸如载波聚合的通信增强。移动RF收发器的进一步设计挑战包括模拟/RF性能考虑因素,诸如不匹配、噪声和其他性能因素。这些移动RF收发器的设计包括使用附加的无源器件,例如,用于抑制谐振,和/或执行滤波、旁路和耦合。

[0003] 这些移动RF收发器的设计可以包括使用绝缘体上硅(SOI)技术。SOI技术用分层的硅-绝缘体-硅衬底取代传统的硅衬底,以减少寄生器件电容并改进性能。基于SOI的器件不同于传统的硅制器件,因为硅结(silicon junction)位于电隔离体(通常是埋置氧化物(BOX)层)的上方。然而,厚度减小的BOX层可能不足以减小由硅层上的有源器件和支撑BOX层的衬底的邻近引起的寄生电容。

[0004] 遗憾的是,使用SOI技术制造的晶体管通常经受浮体效应,其中晶体管的本体对绝缘衬底形成电容器。在该布置中,在电容器上累积的电荷引起不利影响,诸如结构中的寄生晶体管和截止状态泄漏,以及晶体管的阈值电压对其先前状态的依赖性。浮体效应在模拟器件中尤为突出,其中浮体效应会阻止阈值电压控制和本体充电控制。本体接触部可以用于防止浮体效应。遗憾的是,使用本体接触部导致面积损失(area penalty)。

发明内容

[0005] 集成电路可以包括具有栅极指状件(gate finger)的栅极。集成电路还可以包括本体,其具有与栅极的栅极指状件互锁的半导体柱。集成电路还可以包括被耦合到本体的(多个)背侧接触部。集成电路可以进一步包括背侧金属化物。背侧金属化物可以通过(多个)背侧接触部而被耦合到本体。

[0006] 构造集成电路的方法可以包括在隔离层内刻蚀半导体层,以形成包括半导体柱的本体。方法还可以包括在隔离层的前侧表面上以及在半导体柱的表面上沉积电介质材料层。方法还可以包括在电介质材料层上以及在分离半导体柱的沟槽中沉积半导体材料,以形成包括栅极指状件的栅极,栅极指状件与半导体柱互锁。方法还可以包括将处理衬底接合到在隔离层的前侧表面上的前侧电介质层。方法还可以包括在支撑隔离层的背侧表面的背侧电介质层中制造背侧金属化物。背侧金属化物可以通过(多个)背侧接触部而被耦合到本体。

[0007] 集成电路可以包括具有栅极指状件的栅极。集成电路还可以包括本体,其具有与栅极的栅极指状件互锁的半导体柱。集成电路还可以包括被耦合到本体的(多个)背侧接触

部。集成电路还可以包括用于通过(多个)背侧接触部联结(tie)本体的部件。

[0008] 射频(RF)前端模块可以包括集成RF电路。集成RF电路可以包括深沟槽开关晶体管,其具有包括栅极指状件的栅极。集成RF电路还可以包括本体,其具有与栅极指状件互锁的半导体柱。集成RF电路还可以包括:被耦合到本体的(多个)背侧接触部、以及通过(多个)背侧接触部而被耦合到本体的背侧金属化物。RF前端模块还可以包括被耦合到开关晶体管的输出的天线。

[0009] 这已经相当广泛地概述了本公开的特征和技术优点,以便可以更好地理解随后的详细描述。下文将描述本公开的附加特征和优点。本领域技术人员应该理解,本公开可以容易地用作修改或设计用于实现本公开的相同目的的其他结构的基础。本领域技术人员还应该理解,这种等效构造不脱离在随附的权利要求中所阐述的本公开的教导。当结合附图考虑时,从以下描述将更好地理解被认为是本公开的特性的、关于其组织和操作方法的新颖特征以及其他目的和优点。然而,应该清楚地理解,提供每个附图仅出于说明和描述的目的,并不旨在作为本公开的限制的限定。

附图说明

[0010] 为了更完整地理解本公开,现在参考结合附图的以下描述。

[0011] 图1A是根据本公开的一个方面的采用双工器的射频(RF)前端(RFFE)模块的示意图。

[0012] 图1B是根据本公开的方面的采用用于芯片组的双工器以提供载波聚合的射频(RF)前端(RFFE)模块的示意图。

[0013] 图2A是根据本公开的一个方面的双工器设计的示意图。

[0014] 图2B是根据本公开的一个方面的射频(RF)前端模块的示意图。

[0015] 图3A至图3E示出了根据本公开的方面的在层转移工艺期间的集成射频(RF)电路结构的截面图。

[0016] 图4是根据本公开的方面的使用层转移工艺制造的集成射频(RF)电路结构的截面图。

[0017] 图5是根据本公开的一个方面的包括具有背侧本体接触部的深沟槽有源器件的集成电路结构的截面图。

[0018] 图6是根据本公开的另一方面的包括具有背侧本体接触部的深沟槽有源器件的集成电路结构的截面图。

[0019] 图7是根据本公开的又一方面的包括具有背侧本体接触部的深沟槽有源器件的集成电路结构的截面图。

[0020] 图8是根据本公开的另一方面的包括具有背侧本体接触部的深沟槽有源器件的集成电路结构的截面图。

[0021] 图9是图示根据本发明的一个方面的构造包括具有背侧本体接触部的深沟槽有源器件的集成电路结构的方法的工艺流程图。

[0022] 图10是示出了示例性无线通信系统的框图,其中可以有利地采用本公开的配置。

[0023] 图11是示出了根据一种配置的用于半导体部件的电路、布局 and 逻辑设计的设计工作站的框图。

具体实施方式

[0024] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而不旨在表示可以实践本文所描述的概念的仅有配置。出于提供对各种概念的透彻理解的目的,详细描述包括具体细节。然而,对于本领域技术人员显而易见的是,可以在没有这些具体细节的情况下实践这些概念。在一些实例中,以框图形式示出了公知的结构和部件,以便避免模糊这些概念。如本文所述,术语“和/或”的使用旨在表示“可兼或”,并且术语“或”的使用旨在表示“异或”。

[0025] 由于成本和功耗考虑,移动射频(RF)芯片设计(例如,移动RF收发器)已迁移到深亚微米工艺节点。移动RF收发器的设计复杂性通过增加电路功能来进一步复杂化,以支持诸如载波聚合的通信增强。

[0026] 这些移动RF收发器的设计可以包括使用绝缘体上硅(SOI)技术。SOI技术用分层的硅-绝缘体-硅衬底取代传统的硅衬底,以减少寄生器件电容并改进性能。基于SOI的器件不同于传统的硅制器件,因为硅结位于电隔离体(通常是埋置氧化物(BOX)层)的上方,其中BOX层的厚度可以减小。然而,厚度减小的BOX层可能不足以减小由硅层上的有源器件和支撑BOX层的衬底的邻近引起的寄生电容。

[0027] 使用SOI技术制造的晶体管通常经受浮置本体效应(floating body effect),其中晶体管的本体对绝缘衬底形成电容器。在该布置中,在电容器上累积的电荷引起不利影响,诸如结构中的寄生晶体管和截止状态泄漏,以及晶体管的阈值电压对其先前状态的依赖性。浮置本体效应在模拟器件中尤为突出,其中浮置本体效应会阻止阈值电压控制和本体充电控制。本体接触部可以用于防止浮置本体效应。遗憾的是,使用本体接触部导致面积损失。因此,本公开的方面包括后层(post-layer)转移工艺,以使得能够形成用于深沟槽有源器件的背侧本体联结。

[0028] 用于集成电路结构的半导体制造的工艺流程可以包括线前端(FEOL)工艺、线中间工艺(MOL)(还被称为线中端(MEOL))工艺和线后端(BEOL)工艺。FEOL工艺包括离子注入、退火、氧化、化学气相沉积(CVD)或原子层沉积(ALD)、刻蚀、化学机械抛光(CMP)、外延。MOL工艺可以包括使得能够将晶体管连接到BEOL互连件的一组工艺步骤。这些步骤包括硅化和接触形成以及应力引入。BEOL工艺可以包括形成联结独立晶体管的互连件以及形成电路的一组工艺步骤。

[0029] 本公开的方面描述了具有背侧本体接触部的深沟槽开关晶体管,其可以用作在用于高质量(Q)因子RF应用的集成射频(RF)电路结构中的天线开关晶体管。在一种配置中,预层(pre-layer)转移工艺形成深沟槽晶体管。此外,后层转移工艺形成背侧本体接触部以联结深沟槽开关晶体管的本体。形成背侧体联结的后层转移工艺通过防止深开关晶体管的本体浮置,同时避免与传统本体接触部相关联的面积损失或不需要的电阻路径来解决与SOI器件相关联的浮置本体效应问题。

[0030] 图1A是根据本公开内容的一个方面的采用双工器200的射频(RF)前端(RFFE)模块100的示意图。RF前端模块100包括功率放大器102、双向器/滤波器104和射频(RF)开关模块106。功率放大器102将(多个)信号放大到某个功率电平以进行传输。双向器/滤波器104根据不同的参数(包括频率、插入损耗、拒绝或其他类似参数)对输入/输出信号进行滤波。另外,RF开关模块106可以选择输入信号的某些部分以传递到RF前端模块100的其余部

分。

[0031] RF前端模块100还包括调谐器电路装置112(例如,第一调谐器电路装置112A和第二调谐器电路装置112B)、双工器200、电容器116、电感器118、接地端子115和天线114。调谐器电路装置112(例如,第一调谐器电路装置112A和第二调谐器电路装置112B)包括诸如调谐器、便携式数据输入端子(PDET)和家用模数转换器(HKADC)的部件。调谐器电路装置112可以执行针对天线114的阻抗调谐(例如,电压驻波比(VSWR)优化)。RF前端模块100还包括被耦合到无线收发器(WTR)120的无源组合器108。无源组合器108组合从第一调谐器电路装置112A和第二调谐器电路装置112B检测到的功率。无线收发器120处理来自无源组合器108的信息,并且将该信息提供给调制解调器130(例如,移动台调制解调器(MSM))。调制解调器130向应用处理器(AP)140提供数字信号。

[0032] 如图1A所示,双工器200位于调谐器电路装置112的调谐器部件与电容器116、电感器118和天线114之间。双工器200可以放置在天线114和调谐器电路装置112之间,以提供从RF前端模块100到芯片组(包括无线收发器120、调制解调器130和应用处理器140)的高系统性能。双工器200还在高频带频率和低频带频率上执行频域复用。在双工器200对输入信号执行其频率复用功能之后,双工器200的输出被馈送到包括电容器116和电感器118的可选LC(电感器/电容器)网络。当需要时,LC网络可以为天线114提供额外的阻抗匹配部件。然后,天线114发射或接收具有特定频率的信号。尽管示出了单个电容器和电感器,但是还可以考虑多个部件。

[0033] 图1B是根据本公开的一个方面的用于芯片组160以提供载波聚合的包括第一双工器200-1的无线局域网(WLAN)(例如,WiFi)模块170以及包括第二双工器200-2的RF前端模块150的示意图。WiFi模块170包括第一双工器200-1,第一双工器200-1将天线192可通信地耦合到无线局域网模块(例如,WLAN模块172)。RF前端模块150包括第二双工器200-2,第二双工器200-2通过双工器180将天线194可通信地耦合到无线收发器(WTR)120。无线收发器120和WiFi模块170的WLAN模块172被耦合到调制解调器(MSM,例如,基带调制解调器)130,调制解调器130由电源152通过功率管理集成电路(PMIC)156供电。芯片组160还包括电容器162和164,以及(多个)电感器166以提供信号完整性。PMIC 156、调制解调器130、无线收发器120和WLAN模块172均包括电容器(例如,158、132、122和174),并且根据时钟154进行操作。芯片组160中的各种电感器和电容器部件的几何形状和布置可以减少部件之间的电磁耦合。

[0034] 图2A是根据本公开的一个方面的双工器200的示图。双工器200包括高频带(HB)输入端口212、低频带(LB)输入端口214和天线216。双工器200的高频带路径包括高频带天线开关210-1。双工器200的低频带路径包括低频带天线开关210-2。包括RF前端模块的无线设备可以使用天线开关210和双工器200,来为无线设备的RF输入和RF输出启用宽范围频带。另外,天线216可以是多输入多输出(MIMO)天线。多输入多输出天线将广泛用于无线设备的RF前端,以支持诸如载波聚合的功能。

[0035] 图2B是根据本公开的一个方面的RF前端模块250的示图。RF前端模块250包括天线开关(ASW)210和双工器200(或三工器),以实现在图2A中所提到的宽范围频带。另外,RF前端模块250包括由衬底202支撑的滤波器230、RF开关220和功率放大器218。滤波器230可以包括具有沿衬底202布置的电感器(L)和电容器(C)的各种LC滤波器,用于形成双工器、三工

器、低通滤波器、平衡不平衡滤波器和/或陷波滤波器,以防止RF前端模块250中的高次谐波。双工器200可以被实现为系统板201(例如,印刷电路板(PCB)或封装衬底)上的表面安装器件(SMD)。备选地,双工器200可以在衬底202上实现。

[0036] 在该配置中,RF前端模块250使用绝缘体上硅(SOI)技术来实现,这有助于减少RF前端模块250中的高次谐波。SOI技术用分层的硅-绝缘体-硅衬底取代传统的硅衬底,以减少寄生器件电容并改进性能。基于SOI的器件不同于传统的硅制器件,因为硅结位于电绝缘体(通常是埋置氧化物(BOX)层)的上方。然而,厚度减小的BOX层可能不足以减小由(在硅层上的)有源器件和支撑BOX层的衬底之间的邻近引起的寄生电容。因此,本公开的方面包括层转移工艺以进一步将有源器件与衬底分离,如图3A至图3E所示。

[0037] 图3A至图3E示出了根据本公开的方面的在层转移工艺期间的集成射频(RF)电路结构300的截面图。如图3A所示,RF绝缘体上硅(SOI)器件包括在由牺牲衬底301(例如,块体晶片)支撑的埋置氧化物(BOX)层320上的有源器件310。RF SOI器件还包括在第一电介质层306内被耦合到有源器件310的互连件350。如图3B所示,处理衬底302被接合到第一电介质层306。

[0038] 如图3B所示,处理衬底302被接合到RF SOI器件的前侧电介质层306。另外,去除牺牲衬底301。使用层转移工艺去除牺牲衬底301通过增加电介质厚度实现了高性能的低寄生RF器件。也就是说,RF SOI器件的寄生电容与电介质厚度成比例,这决定了有源器件310和处理衬底302之间的距离。

[0039] 如图3C所示,一旦固定处理衬底302并且去除牺牲衬底301,RF SOI器件就被翻转。如图3D所示,使用例如常规互补金属氧化物半导体(CMOS)工艺来执行后层转移金属化工艺。如图3E所示,通过沉积钝化层、打开接合焊盘、沉积再分布层以及形成导电凸块/柱来完成集成RF电路结构300,以实现集成RF电路结构300到系统板(例如,印刷电路板(PCB))的接合。

[0040] 再次参考图3A,RF SOI器件可以包括在牺牲衬底301和BOX层320之间的富陷阱层。另外,牺牲衬底301可以用处理衬底302来取代,并且可以增加BOX层320的厚度以改进谐波。尽管RF SOI器件的该布置可以提供相对于纯硅或SOI实施方式的改进的谐波,但是RF SOI器件受到来自处理衬底的非线性响应的限制,尤其是当使用硅处理衬底时。即,在图3A中,相对于图3B至图3E所示的配置,BOX层320的增加的厚度在有源器件310和牺牲衬底301之间不提供足够的距离。此外,RF SOI器件通常限于在SOI层的一侧上形成CMOS晶体管。

[0041] 图4是根据本发明的方面的使用层转移工艺制造的集成RF电路结构400的截面图。代表性地,集成RF电路结构400包括有源器件410,有源器件410具有在隔离层430上形成的栅极、本体和源极/漏极区域。在绝缘体上硅(SOI)实施方式中,隔离层430是埋置氧化物(BOX)层,并且本体和源极/漏极区域由SOI层形成,该SOI层包括由BOX层支撑的浅沟槽隔离(STI)区域。

[0042] 集成RF电路结构400还包括被耦合到有源器件410的源极/漏极区域的线中端(MEOL)/线后端(BEOL)互连件。如所述,MEOL/BEOL层被称为前侧层。相反,支撑隔离层430的层可以被称为背侧层。根据该命名法,前侧互连件470通过在前侧电介质层404中的前侧接触部412被耦合到有源器件410的源极/漏极区域。另外,处理衬底402被耦合到前侧电介质层404。在该配置中,背侧电介质440与隔离层430相邻,并且可能支撑隔离层430。此外,背侧

金属化物450被耦合到前侧互连件470。

[0043] 如图4所示,层转移工艺增加了有源器件410和处理衬底402之间的分离,以改进集成RF电路结构400的谐波。虽然层转移工艺实现了高性能的低寄生RF器件,但是集成RF电路结构400可能经受浮置本体效应。即,使用SOI技术制造的有源器件通常经受浮置本体效应,其中晶体管的本体对绝缘衬底形成电容器。浮置本体效应在模拟器件中尤为突出,其中浮置本体效应会阻止阈值电压控制和本体充电控制。本体接触部可以用于防止浮置本体效应。遗憾的是,使用本体接触部导致面积损失。因此,本公开的方面包括后层转移工艺,以使得能够形成用于深沟槽有源器件的背侧本体联结。

[0044] 本公开的各个方面提供了用于后层转移工艺的技术,以使得能够形成用于集成电路结构的背侧本体联结。相比之下,对在线前端(MEOL)工艺期间形成的有源器件的访问通常在线中端(MEOL)工艺期间提供,其提供有源器件的栅极和源极/漏极区域以及线后端(BEOL)互连层(例如,M1,M2等)之间的接触部。本公开的方面涉及用于形成具有背侧本体联结的深沟槽开关晶体管的后层转移工艺,该背侧本体联结可以用作在用于高质量(Q)因子RF应用的集成射频(RF)电路结构中的天线开关晶体管。其他应用包括低功率放大器模块中的有源器件、低噪声放大器和天线分集开关。

[0045] 图5是根据本公开的方面的集成电路结构500的截面图,该集成电路结构500包括具有背侧本体联结的深沟槽有源器件(例如,开关晶体管)。在本公开的方面中,后层转移工艺使得能够形成背侧本体联结,这解决了与传统的绝缘体上硅制造工艺相关联的浮置本体效应。代表性地,集成电路结构500包括在隔离层530的前侧表面上并且延伸穿过到隔离层530的后侧表面的深沟槽有源器件510。在该配置中,深沟槽有源器件510的本体由半导体柱512构成,半导体柱512由半导体层(例如,用于SOI实施方式的硅)形成。只要在较小的区域中获得更长的长度(例如,“折叠”效果),柱就不需要紧密间隔。另外,栅极由栅极指状件520组成,栅极指状件520与半导体柱512互锁并且由电介质材料层522(例如,栅极电介质)隔开并延伸穿过隔离层530。

[0046] 隔离层530可以是用于绝缘体上硅(SOI)实施方式的埋置氧化物(BOX)层,其中本体和源极/漏极区域(未示出)由SOI层形成。备选地,隔离层530可以是深沟槽隔离区域,以将深沟槽有源器件510与第一沟槽型有源器件580和第二沟槽型有源器件590隔离。省略关于第一沟槽型有源器件580和第二沟槽型有源器件590的附加细节以避免模糊本公开的细节。另外,根据用于掺杂n型(例如,第一掺杂区域)和p型(例如,第二掺杂区域)半导体区域的注入工艺,沟槽型开关晶体管可以被配置为负金属氧化物半导体(NMOS)开关晶体管或正MOS(PMOS晶体管),以提供深沟槽开关晶体管的漏极区域和源极区域。

[0047] 在本公开的该方面,集成电路结构500还包括布置在背侧电介质层540中的背侧金属化物550,背侧电介质层540支撑与隔离层530的前侧表面相对的背侧表面。根据本公开的方面,背侧金属化物550为深沟槽有源器件510提供低电阻本体联结。在该布置中,背侧金属化物550的第一部分550-1通过接触插塞552和背侧硅化物层554被电耦合到深沟槽有源器件510的本体。深沟槽有源器件510的该配置通过将背侧金属化物550电耦合到本体来防止浮置本体效应。

[0048] 集成电路结构500还包括布置在前侧电介质层504中的前侧金属化物570(例如,第一BEOL互连件(M1))。前侧金属化物570通过通孔560被耦合到背侧金属化物550的第二部分

550-2。在背侧电介质层540中的背侧金属化物550的第二部分550-2通过接触插塞552和背侧硅化物层554中的一个而被电耦合到第二沟槽型有源器件590的本体。另外，处理衬底502被耦合到前侧电介质层504。背侧电介质层540与隔离层530相邻并且可能支撑隔离层530。在该配置中，后层转移金属化工艺形成背侧金属化物550。如图5所示，前侧金属化物570被布置在远离背侧金属化物550处。

[0049] 根据本公开的方面，处理衬底502可以由诸如硅的半导体材料构成。在该配置中，处理衬底502可以包括至少一个其他有源器件。备选地，处理衬底502可以是无源衬底，以通过减少寄生电容来进一步改进谐波。在该配置中，处理衬底502可以包括至少一个其他无源器件。如本文所述，术语“无源衬底”可以指代切割的晶片或面板的衬底，或者可以指代未切割的晶片/面板的衬底。在一种配置中，无源衬底由玻璃、空气、石英、蓝宝石、高电阻率硅或其他类似的无源材料构成。无源衬底还可以是无芯衬底。

[0050] 应当理解，术语“层”包括薄膜，除非另有说明，否则不应解释为指示垂直或水平厚度。如本文所述，术语“衬底”可以指代切割的晶片的衬底，或者可以指代未切割的晶片的衬底。类似地，术语芯片和裸片可以互换使用，除非这种互换会使得轻信。

[0051] 在本公开的方面中，后层转移工艺形成用于联结沟槽型有源器件的本体的背侧金属化物，如图5至图8所示。背侧硅化工艺的变化在图7至图8中示出。另外，半导体层（例如，绝缘体上硅）的变化在图7和图8中示出。根据本公开的另一方面，深沟槽有源器件510可以被配置为金属氧化物半导体（MOS）电容器。在该布置中，MOS电容器包括作为第一板的栅极指状件520、作为第二板的半导体柱512、以及作为电容器电介质的电介质材料层522。

[0052] 图6是根据本公开的方面的集成电路结构600的截面图，该集成电路结构600包括具有背侧本体联结的沟槽型有源器件。应理解，集成电路结构600的配置类似于图5的集成电路结构500的配置。然而，在图6所示的配置中，线后端通孔工艺（V0）用于形成硅化物孔，其用于暴露深沟槽有源器件510的本体的部分。也就是说，在该布置中，背侧硅化物层554（图5）作为分立元件沉积在深沟槽有源器件510的本体的暴露部分上，而不是图5中所示的连续硅化物层。此外，背侧硅化物层554（图5）作为分立元件沉积在第二沟槽型有源器件590的本体的暴露部分上。

[0053] 因此，本公开的该方面还通过提供用于联结沟槽型有源器件的本体的简化的后层转移工艺背侧硅化工艺来解决与传统的绝缘体上硅制造工艺相关联的浮体效应问题。应理解，图6中所示的配置是使用本体晶片而不是SOI晶片制造的，例如，如图7所示。

[0054] 图7是根据本公开的方面的集成电路结构700的截面图，该集成电路结构700包括具有背侧本体联结的沟槽型有源器件。应理解，集成电路结构700的配置类似于图6的集成电路结构600的配置。然而，在图7所示的配置中，提供增加厚度的半导体层作为由SOI晶片支撑的绝缘体上硅（SOI）层。在该布置中，隔离层530可以是在深沟槽有源器件510与第一沟槽型有源器件580以及与第二沟槽型有源器件590之间的深沟槽隔离层。

[0055] 根据该布置，深沟槽有源器件510的本体也由隔离层530支撑。接触插塞552延伸穿过隔离层530的一部分。此外，背侧金属化物550的第一部分550-1和第二部分550-2在隔离层530的一部分和背侧电介质层540的一部分中形成，以联结深沟槽有源器件510和第二沟槽型有源器件590。因此，本公开的该方面解决了与传统的绝缘体上硅制造工艺相关联的浮置本体效应问题。

[0056] 图8是根据本公开的方面的集成电路结构800的截面图,该集成电路结构800包括具有背侧本体联结的沟槽型有源器件。应理解,集成电路结构800的配置类似于图6的集成电路结构600的配置。然而,在图8所示的配置中,提供厚度减小的半导体层作为由SOI晶片支撑的绝缘体上硅(SOI)层。在该布置中,隔离层530与深沟槽隔离层532组合,深沟槽隔离层532介于深沟槽有源器件510与第一沟槽型有源器件580以及与第二沟槽型有源器件590之间。在本公开的一个方面,可以执行取代栅极工艺,用于制造深沟槽有源器件510和/或第一沟槽型有源器件580和第二沟槽型有源器件590,以克服多晶刻蚀限制(例如,线/边缘粗糙度)来改进栅极形成。

[0057] 根据该布置,深沟槽有源器件510的本体的半导体柱512延伸穿过深沟槽隔离层532的一部分。另外,由于半导体层的厚度减小,栅极包括被耦合到栅极指状件520的第一部分524(例如,沟槽),栅极指状件520与半导体柱512互锁。在本公开的该方面中,深沟槽有源器件510包括沟槽半导体层582,沟槽半导体层582被背侧金属化物550的第二部分550-2偏置。本公开的该方面通过将背侧偏置沟槽型有源器件与SOI实施方式相组合来解决与传统的绝缘体上硅制造工艺相关联的浮置本体效应问题。当期望高功率或高电流晶体管时,图8的深沟槽晶体管是有用的。

[0058] 图9是根据本公开的一个方面的示出构造包括深沟槽有源器件的集成电路结构的方法900的工艺流程图。在框902中,刻蚀隔离层内的半导体层,以形成包括多个半导体柱的本体。例如,如图5所示,刻蚀隔离层530内的半导体区域,以形成深沟槽有源器件510的本体。深沟槽有源器件510的本体包括半导体柱512,半导体柱512从隔离层530的后侧延伸到前侧。在绝缘体上硅(SOI)实施方式中,隔离层530是埋置氧化物(BOX)层,半导体层是绝缘体上硅(SOI)层。然而,本公开不限于绝缘体上硅实施方式。

[0059] 再次参考图9,在框904中,电介质材料层被沉积在隔离层的前侧表面上和分离半导体柱的沟槽中。例如,如图5所示,电介质材料层522被沉积在隔离层530的前侧表面上和本体的半导体柱512上。在框906中,半导体材料被沉积在电介质材料层上和分离半导体柱的沟槽中,以形成包括栅极指状件的栅极。例如,如图5所示,半导体材料(例如,多晶硅材料)被沉积在电介质材料层522和本体的半导体柱512上,以形成深沟槽有源器件510的栅极。在该布置中,深沟槽有源器件510的栅极由栅极指状件520组成,栅极指状件520与本体的半导体柱512互锁。深沟槽的深度可以在一(1)到五(5)微米的范围内。

[0060] 与传统的绝缘体上硅实施方式相反,如图9中进一步图示的,通过联结深沟槽有源器件510的本体来防止深沟槽有源器件510的本体的浮置。在框908中,处理衬底被接合到在隔离层的前侧表面上的前侧电介质层。例如,执行层转移工艺,其中处理衬底502被接合到前侧电介质层504,如图5所示。在本公开的该方面中,联结深沟槽有源器件510的本体是作为后层转移工艺的一部分来执行的。

[0061] 再次参考图9,在框910中,在支撑隔离层的背侧表面的背侧电介质层中制造背侧金属化物。背侧金属化物通过至少一个背侧接触部而被耦合到深沟槽有源器件的本体。例如,如图5所示,背侧金属化物550被耦合到深沟槽有源器件510的本体。在该布置中,背侧金属化物550直接被耦合到接触插塞552,接触插塞552通过背侧硅化物层554被耦合到深沟槽有源器件510的本体。在该布置中,通过作为后层转移工艺的一部分而被制造的背侧金属化物550来防止深沟槽有源器件510的本体的浮置。

[0062] 根据本公开的另一方面,描述了包括沟槽型有源器件的集成电路。一种集成RF电路结构包括:具有栅极指状件的栅极、和具有与栅极的栅极指状件互锁的半导体柱的本体。集成RF电路还可以包括被耦合到本体的(多个)背侧接触部。集成电路还可包括用于通过(多个)背侧接触部联结本体的部件。联结部件可以是背侧金属化物550,如图5-图8所示。在另一方面,前述部件可以是被配置为执行由前述部件记载功能的任何模块或任何装置。

[0063] 常规的绝缘体上硅制造工艺经受浮置本体效应。本公开的方面描述了具有背侧本体接触部的深沟槽开关晶体管,其可以用作在用于高质量(Q)因子RF应用的集成射频(RF)电路结构中的天线开关晶体管。在一种配置中,预层转移工艺形成深沟槽开关晶体管。此外,后层转移工艺形成背侧本体接触部,以联结深沟槽开关晶体管的本体。形成背侧本体联结的后层转移工艺通过防止深开关晶体管的本体的浮置来解决浮置本体效应问题。背侧本体接触部避免了与传统本体接触部相关联的面积损失或不需要的电阻路径。另外,使用栅极指状件的深沟槽开关晶体管的布置减小了由深沟槽开关晶体管的栅极占据的表面面积。

[0064] 图10是示出示例性无线通信系统1000的框图,其中可以有利地采用本公开的一个方面。出于说明的目的,图10示出了三个远程单元1020、1030和1050以及两个基站1040。应理解,无线通信系统可以具有更多的远程单元和基站。远程单元1020、1030和1050包括IC器件1025A、1025C和1025B,其包括所公开的深沟槽有源器件。应理解,其他设备还可以包括所公开的深沟槽有源器件,诸如基站、开关器件和网络设备。图10示出了从基站1040到远程单元1020、1030和1050的前向链路信号1080以及从远程单元1020、1030和1050到基站1040的反向链路信号1090。

[0065] 在图10中,远程单元1020被示出为移动电话,远程单元1030被示出为便携式计算机,并且远程单元1050被示出为在无线本地环路系统中的固定位置远程单元。例如,远程单元可以是移动电话、手持个人通信系统(PCS)单元、便携式数据单元(诸如个人数字助理(PDA))、GPS使能设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元(诸如抄表设备)、或者存储或检索数据或计算机指令的其他通信设备或其组合。尽管图10示出了根据本公开的方面的远程单元,但是本公开不限于这些示例性示出的单元。本公开的方面可以适当地用于许多器件中,其包括所公开的深沟槽有源器件。

[0066] 图11是图示用于半导体部件(诸如,上文所公开的深沟槽有源器件)的电路、布局和逻辑设计的设计工作站的框图。设计工作站1100包括硬盘1101,其包含操作系统软件、支持文件和诸如Cadence或OrCAD的设计软件。设计工作站1100还包括显示器1102,以促进设计电路1110或半导体部件1112,诸如深沟槽有源器件。提供存储介质1104用于有形地存储电路设计1110或半导体部件1112。电路设计1110或半导体部件1112可以以诸如GDSII或GERBER的文件格式存储在存储介质1104上。存储介质1104可以是CD-ROM、DVD、硬盘、闪存存储器或其他适当的设备。此外,设计工作站1100包括用于接受来自存储介质1104的输入或将输出写入到存储介质1104的驱动装置1103。

[0067] 在存储介质1104上记录的数据可以指定逻辑电路配置、用于光刻掩模的图案数据、或用于诸如电子束光刻的串行写入工具的掩模图案数据。数据还可以包括逻辑验证数据,诸如与逻辑仿真相关联的时序图或网络电路。通过减少用于设计半导体晶片的工艺数目,在存储介质1104上提供数据有助于设计电路设计1110或半导体部件1112。

[0068] 对于固件和/或软件实施方式,方法学(methodology)可以用执行本文描述的功能

的模块(例如,程序、函数等)来实现。有形地实施指令的机器可读介质可以用于实现本文描述的方法学。例如,软件代码可以被存储在存储器中,并且由处理器单元执行。存储器可以在处理器单元内实现或在处理器单元外实现。如本文中所使用的,术语“存储器”指的是长期、短期、易失性、非易失性或其他存储器的类型,并且不限于特定类型的存储器或存储器的数目、或存储存储器的介质的类型。

[0069] 如果以固件和/或软件实现,则可以将功能作为一个或多个指令或代码存储在计算机可读介质上。示例包括用数据结构编码的计算机可读介质和用计算机程序编码的计算机可读介质。计算机可读介质包括物理计算机存储介质。存储介质可以是可由计算机访问的可用介质。通过示例而非限制的方式,这种计算机可读介质可以包括:RAM、ROM、EEPROM、CD-ROM或其他光盘存储装置、磁盘存储装置或其他磁存储设备、或者可以用于以指令或数据结构的形式存储期望的程序代码并且可以由计算机访问的其他介质;如本文中所使用的,盘和碟包括:压缩碟(CD)、激光碟、光碟、数字通用碟(DVD)、软盘和蓝光碟,其中盘通常磁性地再现数据,而碟用激光光学地再现数据。上述的组合还应该被包括在计算机可读介质的范围内。

[0070] 除了存储在计算机可读介质上之外,指令和/或数据还可以作为信号而在通信装置中包括的传输介质上提供。例如,通信装置可以包括具有指示指令和数据的信号的收发器。指令和数据被配置为使得一个或多个处理器实现在权利要求中概述的功能。

[0071] 尽管已经详细描述了本公开及其优点,但是应当理解,在不脱离由随附的权利要求限定的本公开的技术的情况下,可以在本文中进行各种改变、替换和更改。例如,关于衬底或电子设备使用诸如“上方”和“下方”的关系术语。当然,如果衬底或电子器件倒置,则上方变为下方,反之亦然。附加地,如果侧向取向,则上方和下方可以指代衬底或电子器件的侧面。此外,本申请的范围不旨在限于在本说明书中描述的工艺、机器、制造以及物质组成、部件、方法和步骤的特殊配置。本领域普通技术人员将从本公开中容易地理解,根据本公开,可以利用目前存在的或稍后开发的工艺、机器、制造、物质组成、部件、方法或步骤,来执行与本文描述的对应配置基本相同的功能或实现与其基本相同的结果。因此,随附的权利要求旨在在其范围内包括这种工艺、机器、制造、物质组成、装置、部件或步骤。

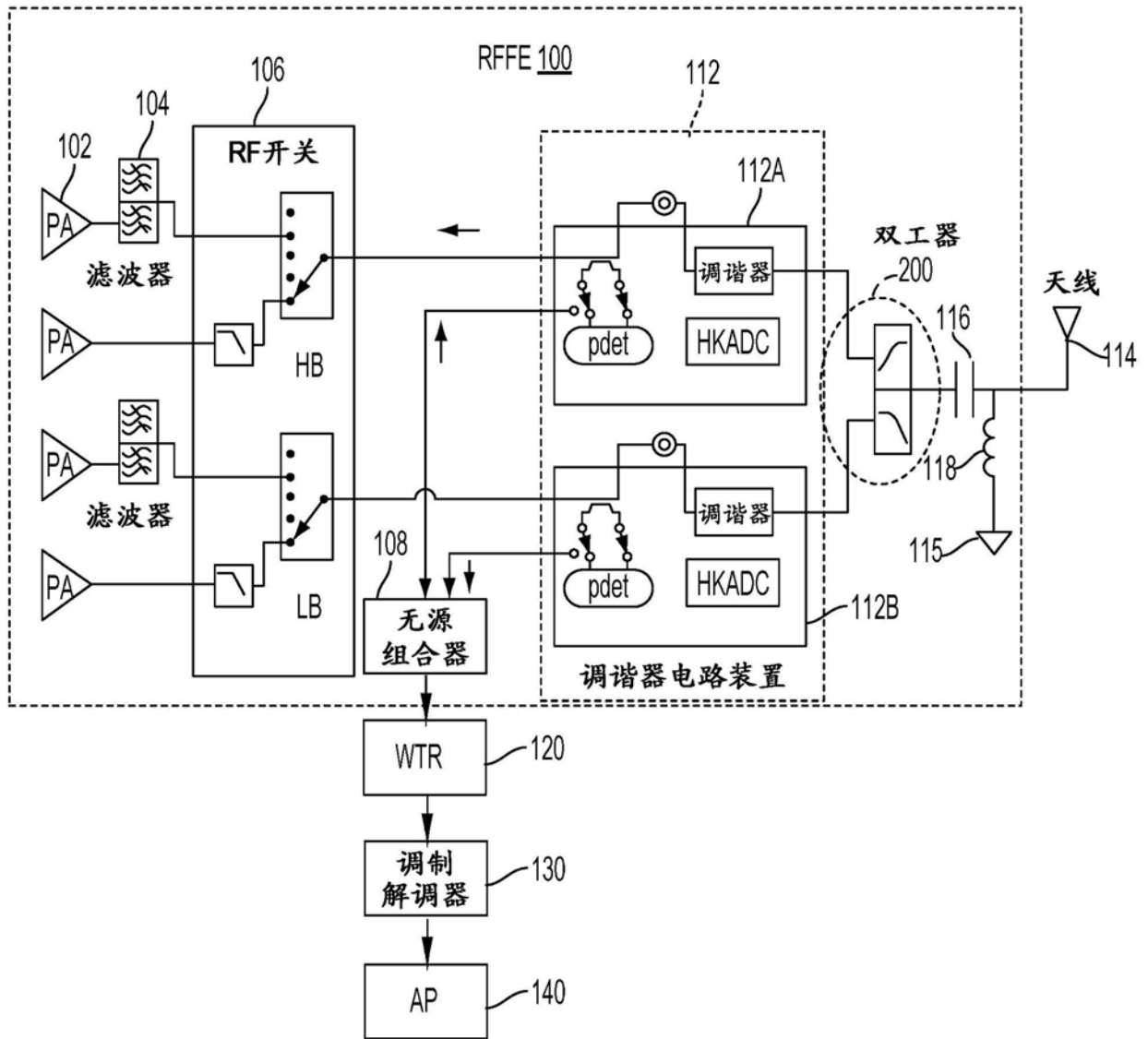


图1A

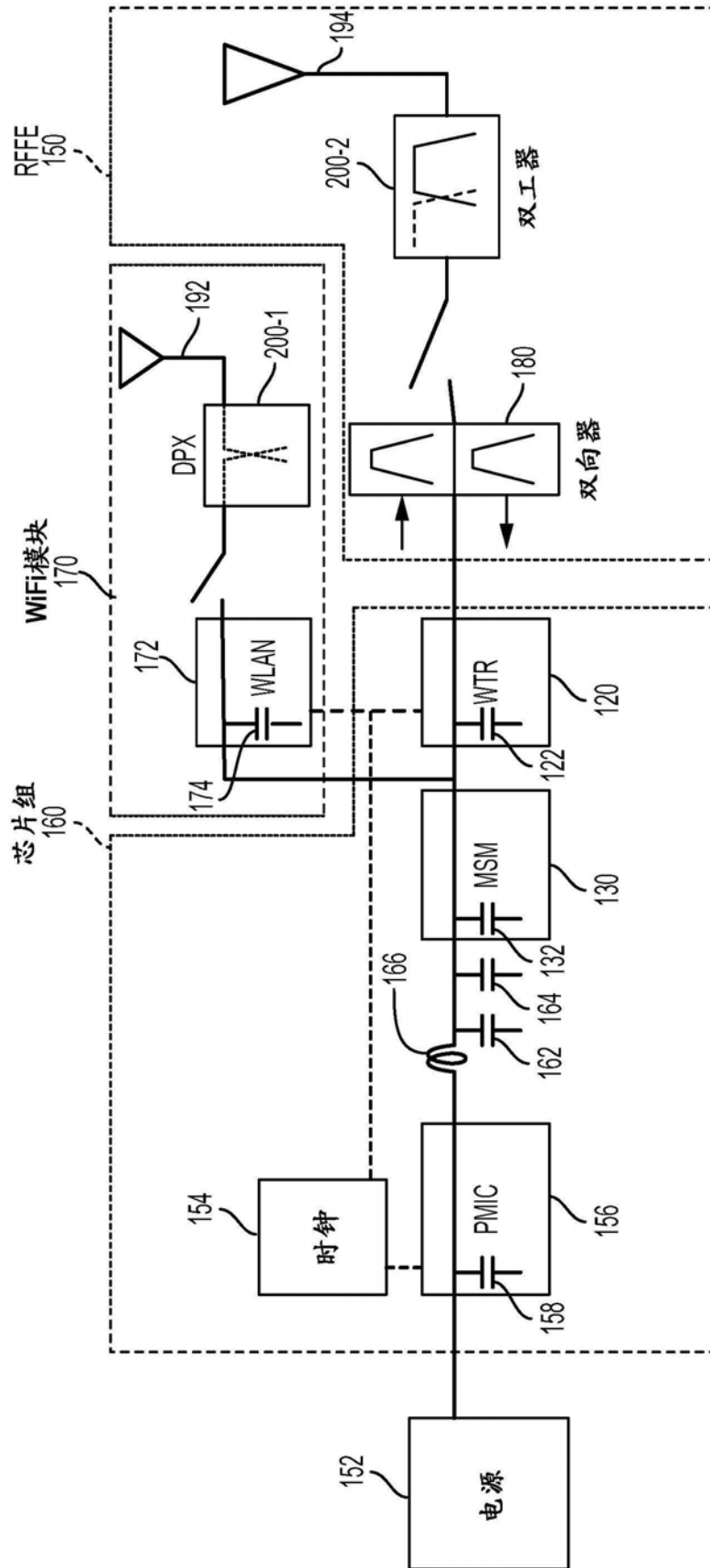


图1B

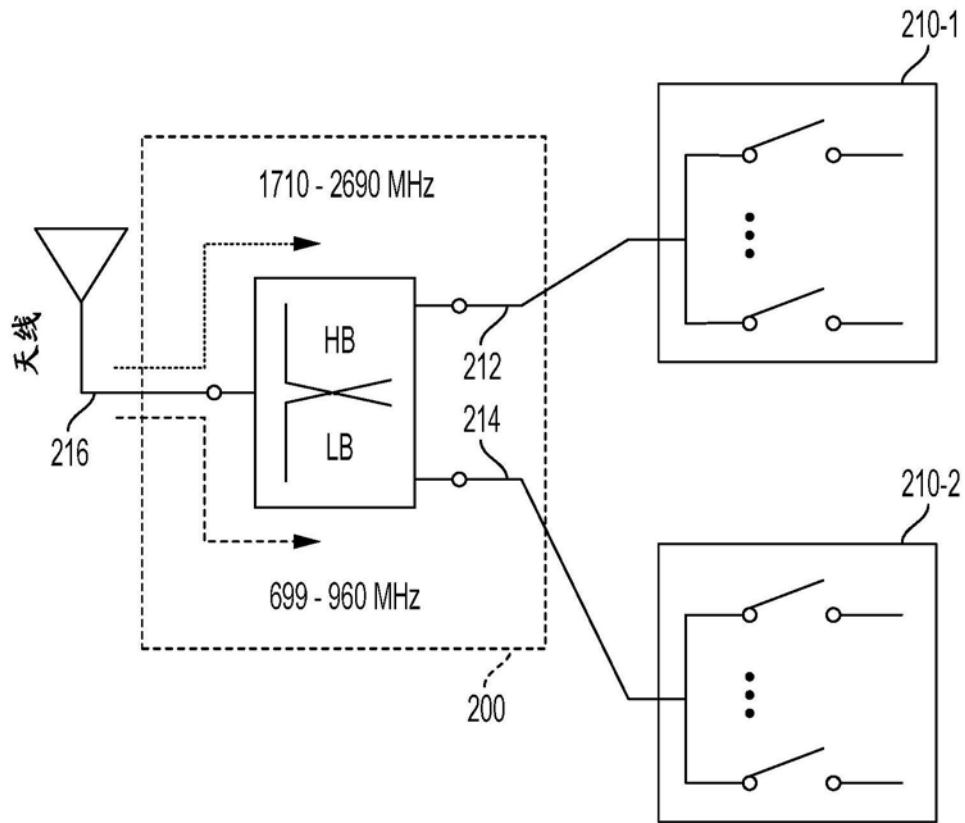


图2A

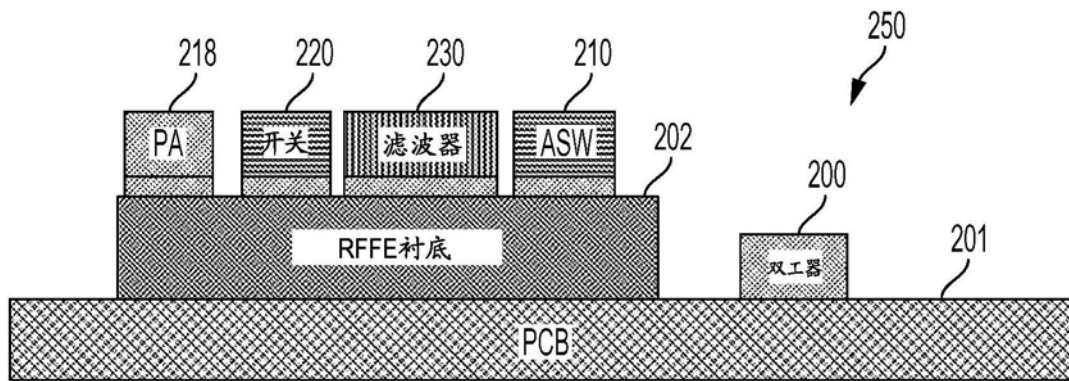


图2B

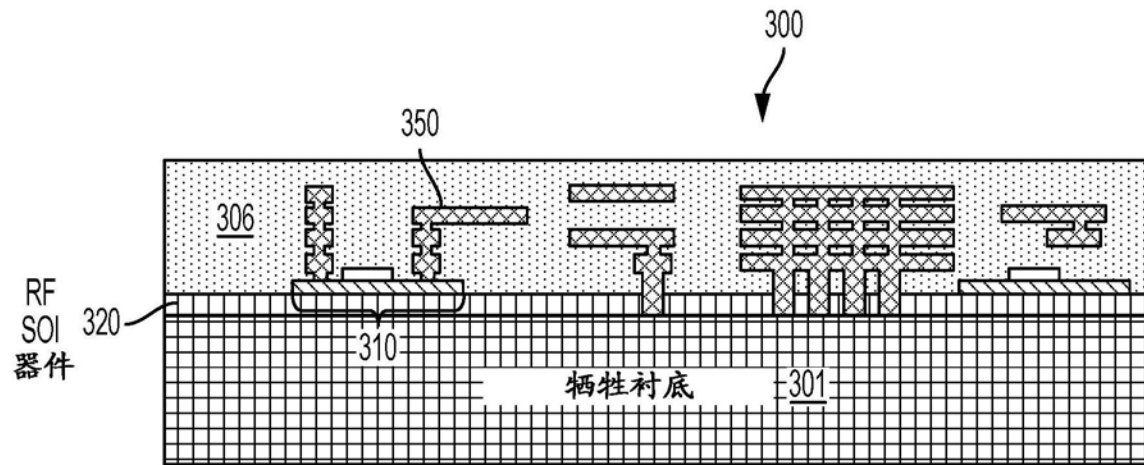


图3A

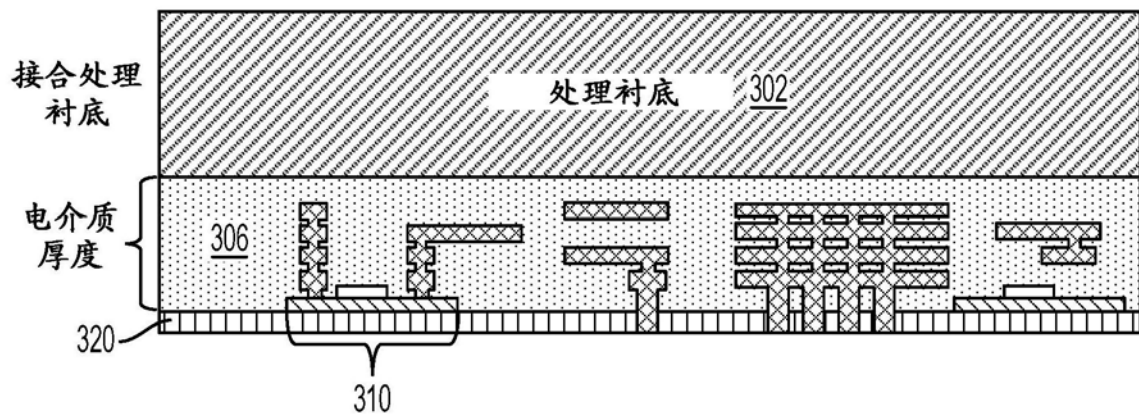


图3B

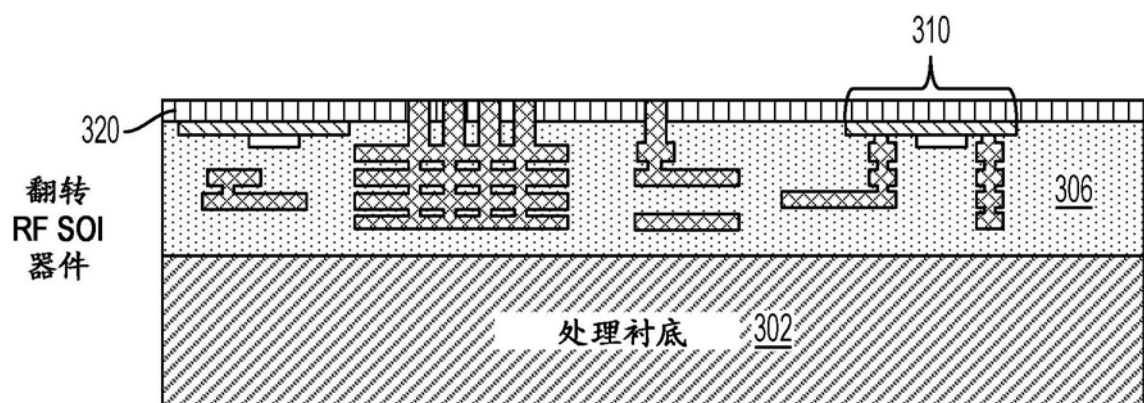


图3C

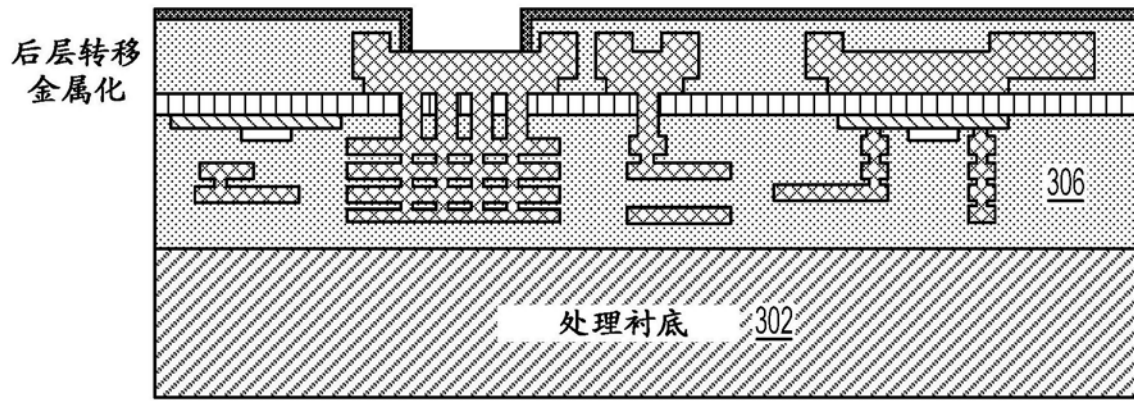


图3D

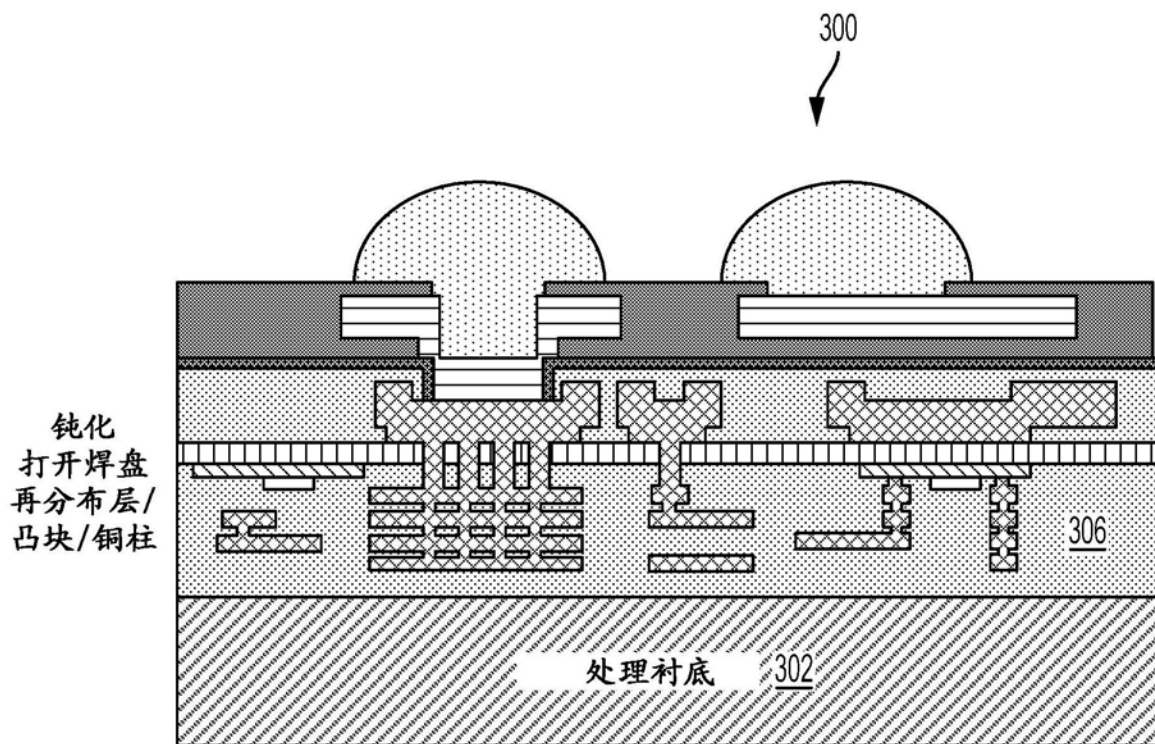


图3E

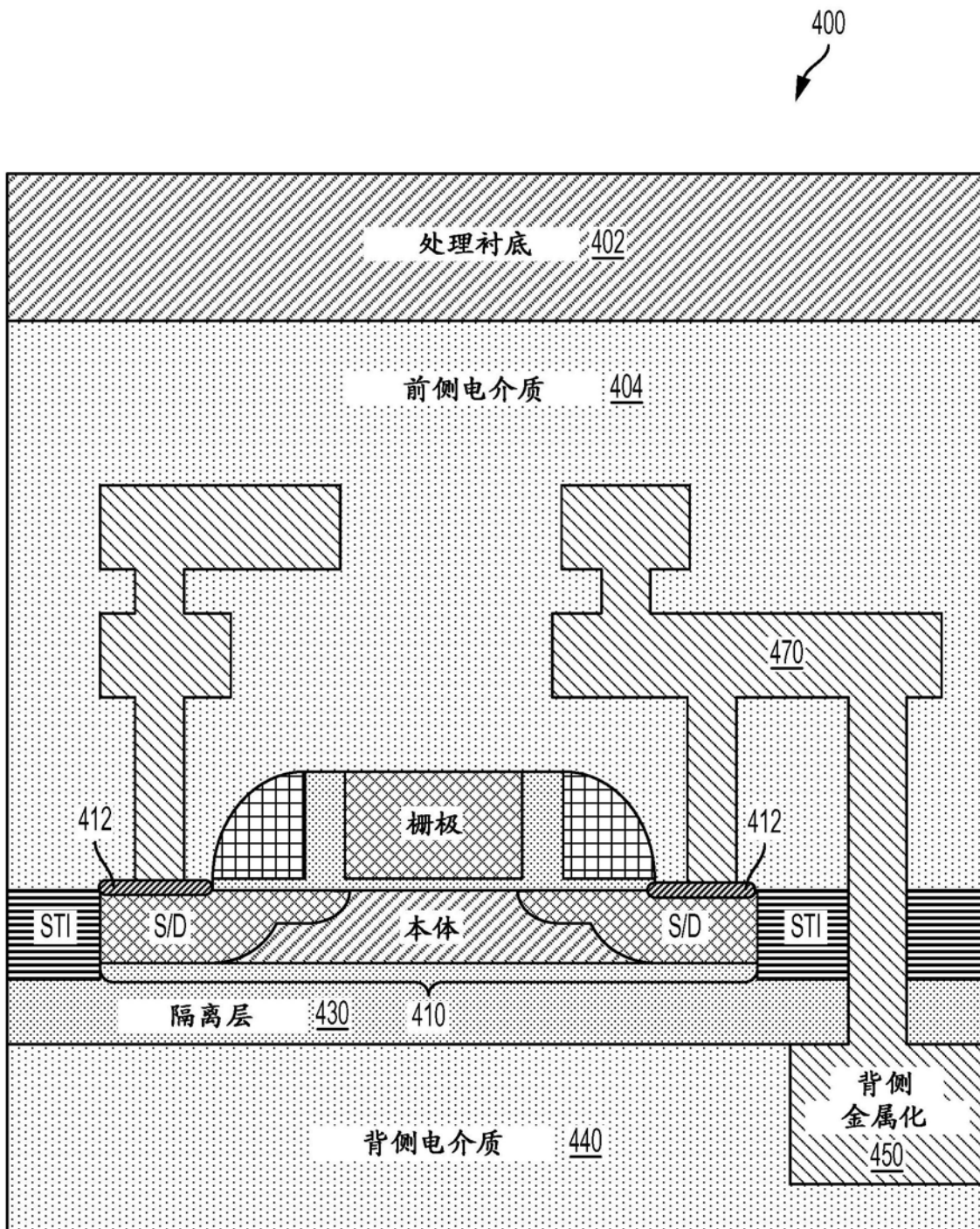


图4

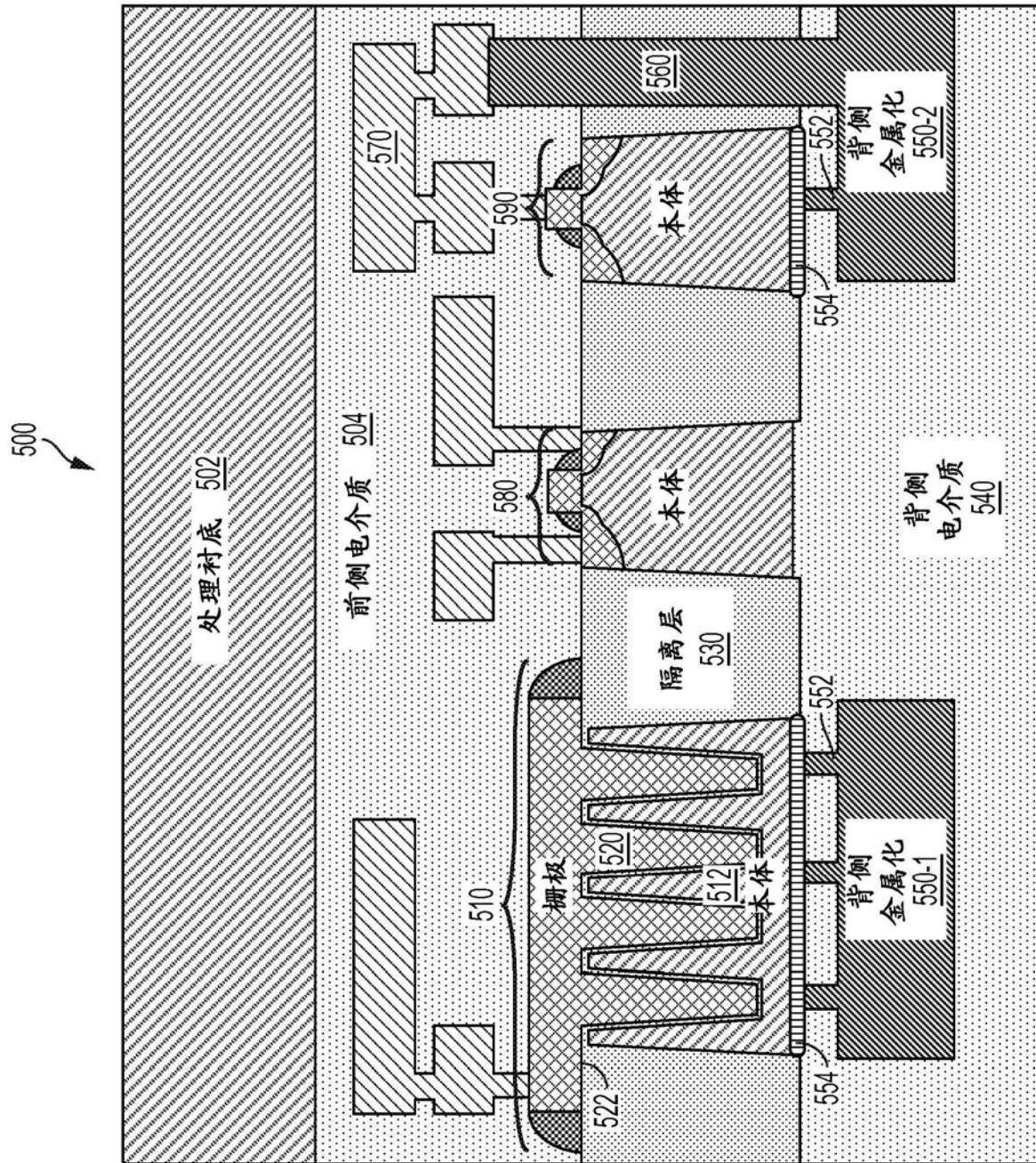


图5

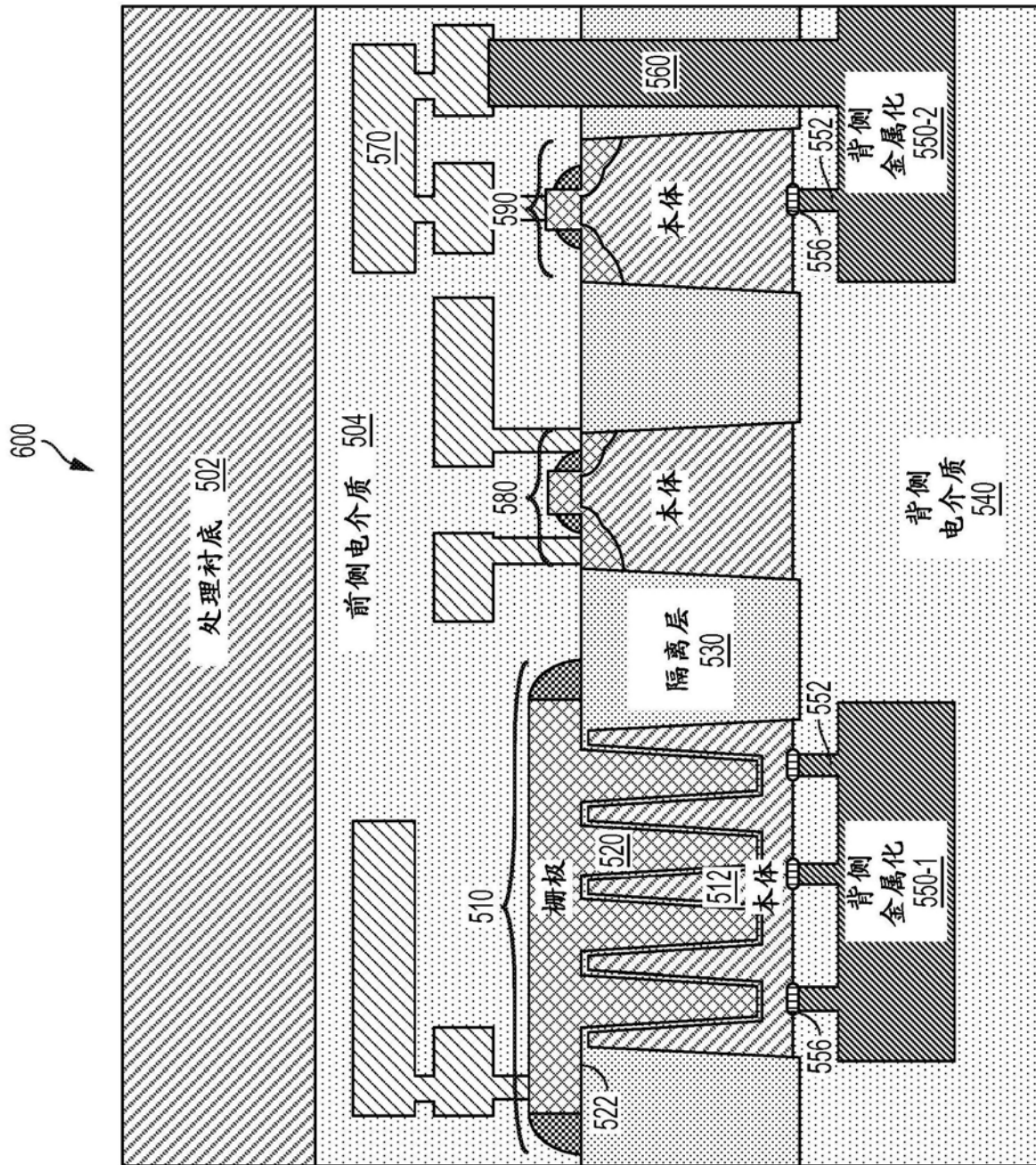


图6

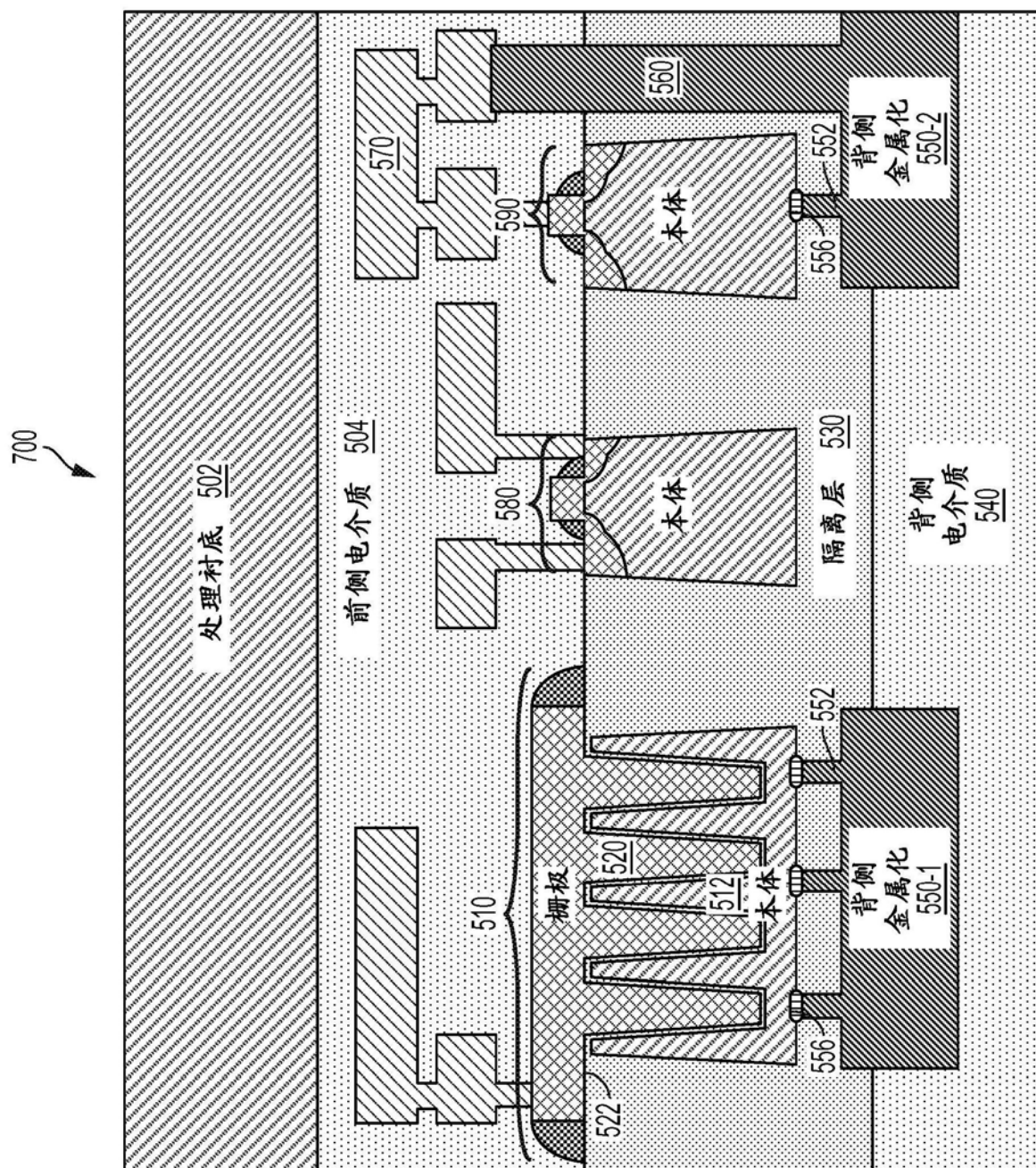


图7

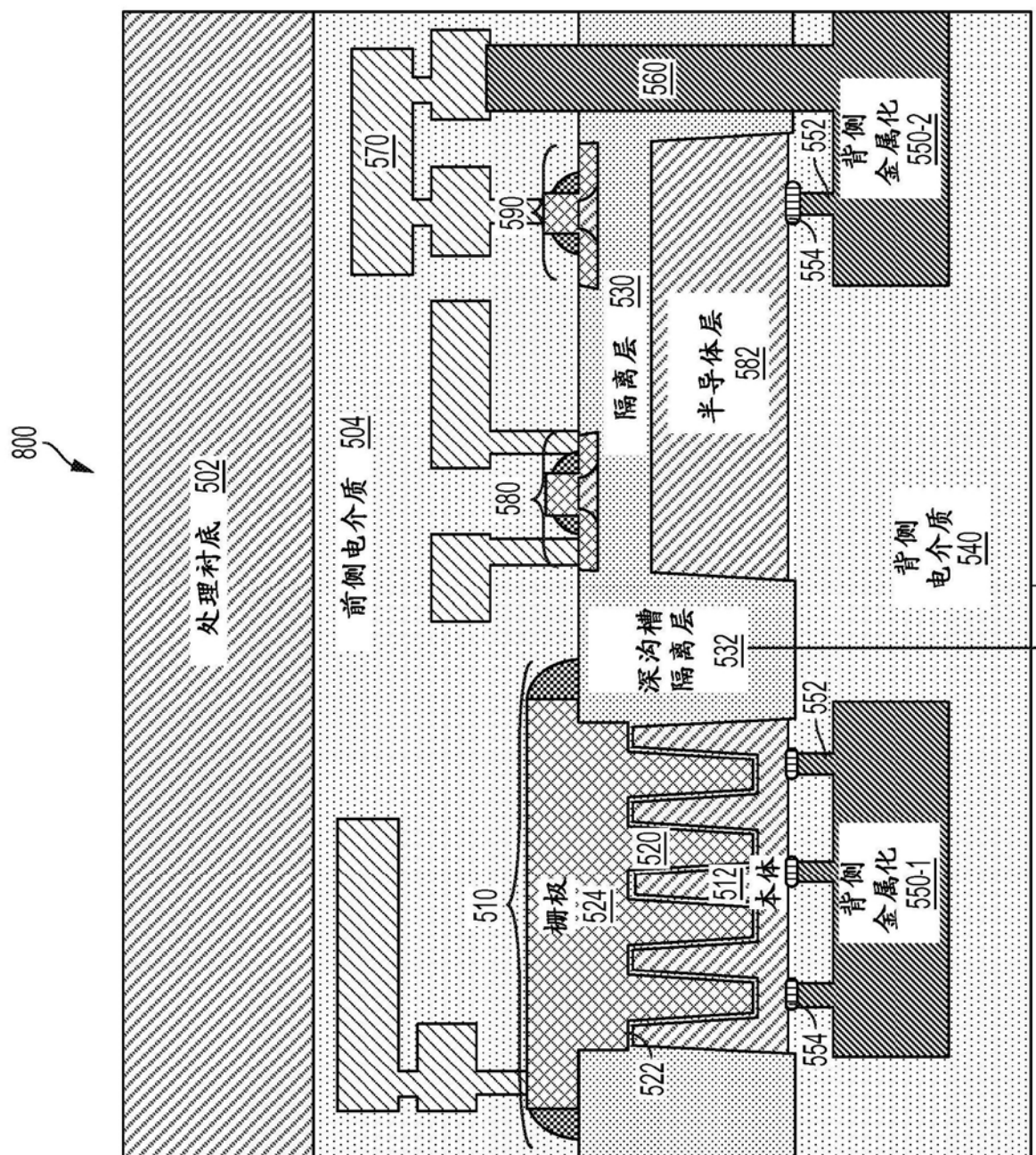


图8

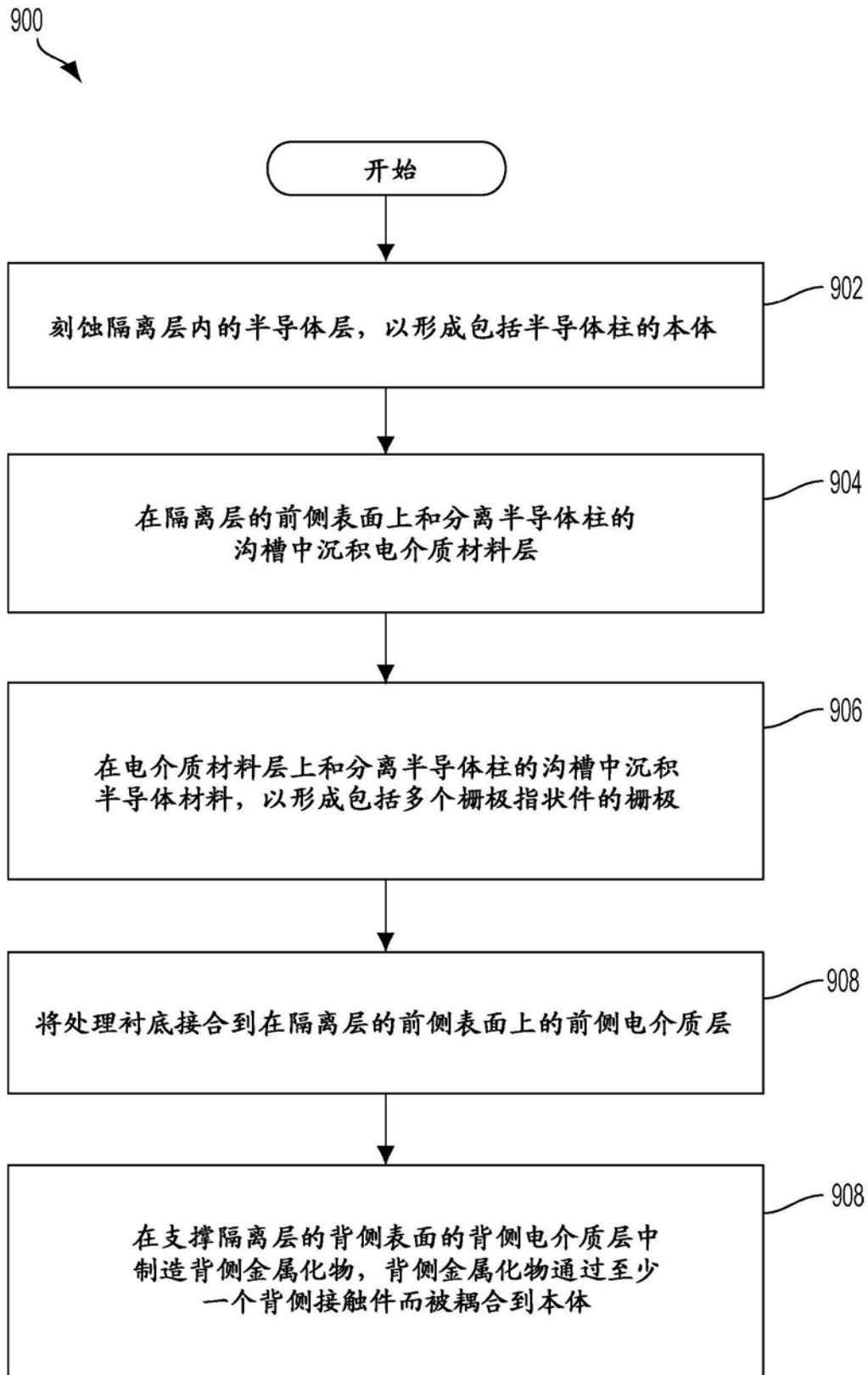


图9

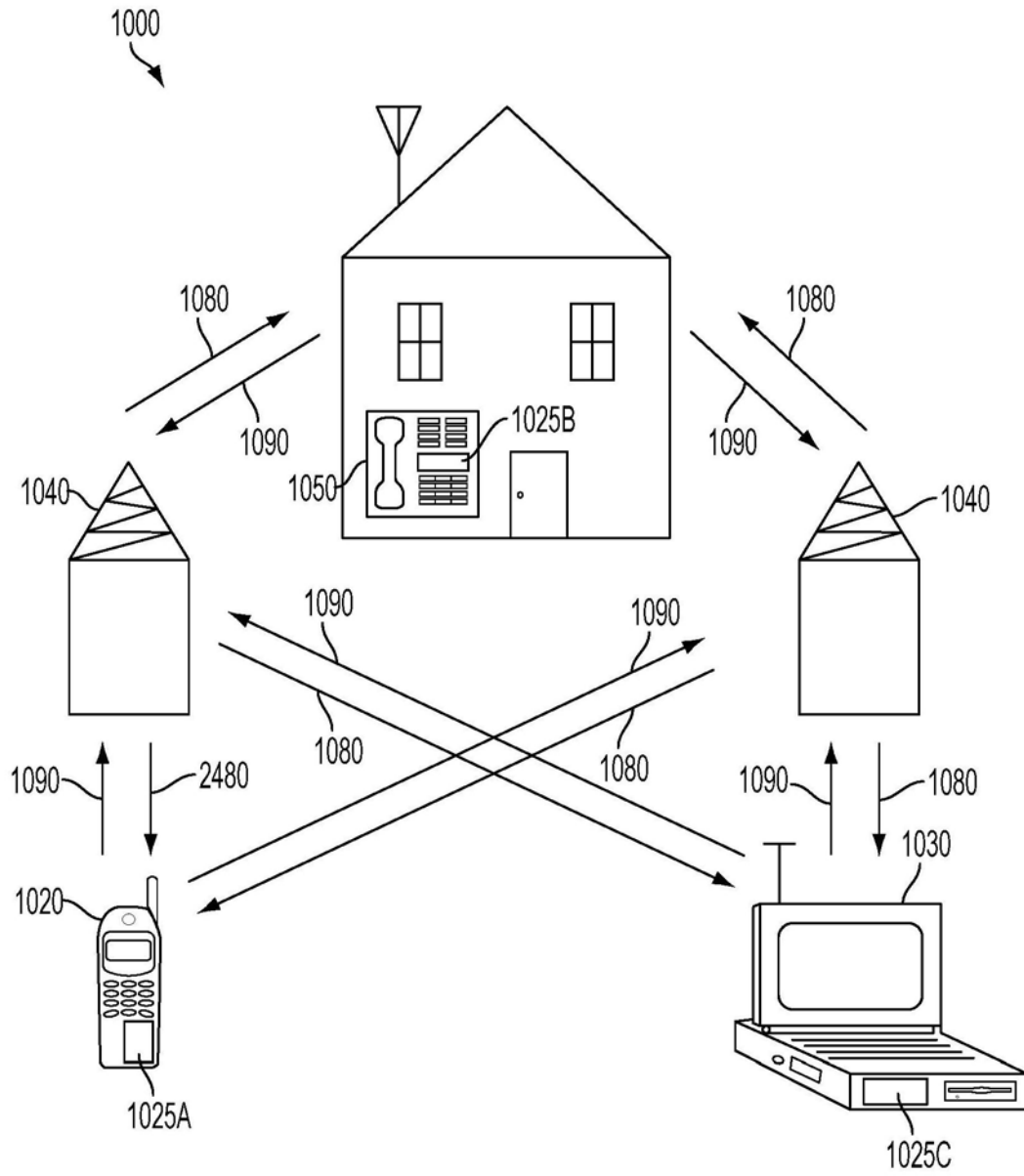


图10

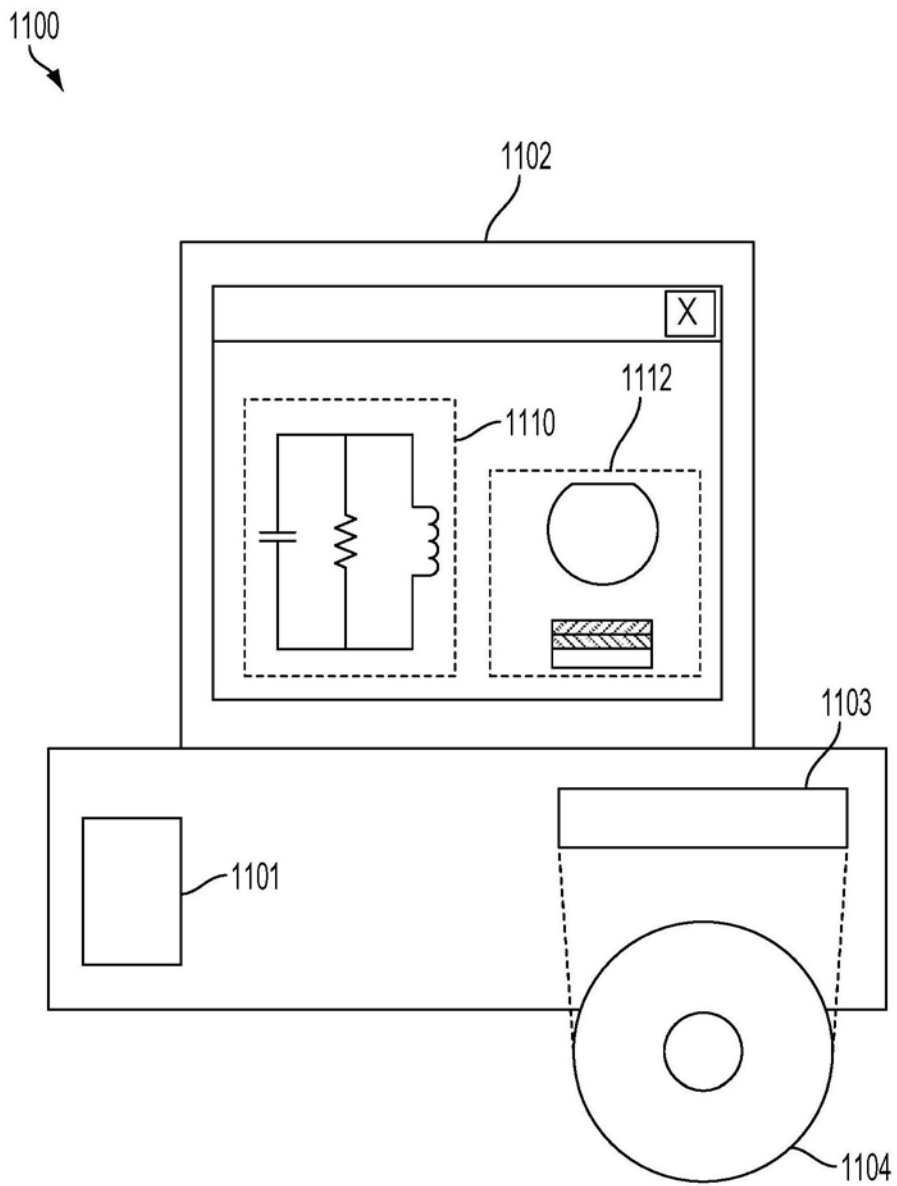


图11