

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 14861

(54)

Dispositif de filtrage numérique.

(51)

Classification internationale (Int. Cl.³). H 03 H 17/02; H 04 L 25/00.

(22)

Date de dépôt..... 30 juillet 1981.

(33) (32) (31)

Priorité revendiquée : EUA, 1^{er} août 1980, demande de brevet, n° 174 516, aux noms des inventeurs.

(41)

Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 5 du 5-2-1982.

(71)

Déposant : Société dite : WESTERN ELECTRIC COMPANY INC., résidant aux EUA.

(72)

Invention de : James Charles Candy et Bruce Allen Wooley.

(73)

Titulaire : *Idem* (71)

(74)

Mandataire : Cabinet Flechner,
63, av. des Champs-Élysées, 75008 Paris.

La présente invention concerne un dispositif destiné à filtrer un signal d'entrée comprenant une série de mots d'entrée à plusieurs bits, chacun des mots comprenant une partie essentielle, un bit de signe et au moins L répétitions du bit de signe, et le dispositif

5 comprend des premier et second éléments de retard connectés en série, chacun d'eux étant conçu de façon à mémoriser le nombre de bits contenus dans un mot d'un signal intermédiaire qui lui est appliqué, un circuit logique destiné à combiner des bits sélectionnés parmi les L derniers enregistrés dans les éléments de retard, conformément à des

10 première et seconde relations prédéterminées, pour générer respectivement des signaux de rétroaction et de prédiction, un premier circuit de combinaison destiné à combiner, bit par bit, le signal de rétroaction et le signal d'entrée, pour donner le signal intermédiaire, et un second circuit de combinaison destiné à combiner, bit par bit, le

15 signal intermédiaire et le signal de prédiction, pour donner le signal de sortie du filtre.

La conception des filtres numériques destinés à être utilisés en téléphonie ainsi que dans d'autres applications en bande audiofré-

20 été publiés. Des procédures ont été établies pour "optimiser" une structure de filtre tout en maintenant sa réponse spectrale dans des limites spécifiées. On considère généralement comme "optimale" une structure faisant intervenir un nombre minimal de certains types d'opérations, telles que la multiplication ou l'addition. Cependant un filtre universel optimisé peut être loin de l'idéal lorsqu'on désire une

25 réalisation sous la forme d'un circuit intégré à une seule puce, en particulier dans des applications spécialisées dans lesquelles les coefficients du filtre sont fixes.

Outre les compromis difficiles qu'on doit faire entre le nombre d'éléments de circuit, la complexité arithmétique et la souplesse,

30 d'autres problèmes se posent dans le processus de conception d'un filtre. La technologie des circuits intégrés a progressé au point auquel l'aire nécessaire pour des éléments tels que des portes, des registres et des opérateurs arithmétiques simples peut être très faible. Si on ne prend

35 pas de grandes précautions, une fraction importante de l'aire de la puce peut être consacrée simplement aux interconnexions. La génération et la

distribution des signaux d'horloge sont particulièrement gênantes à cet égard. Des circuits qui semblent simples peuvent exiger la distribution d'un grand nombre de signaux d'horloge en de nombreux points. L'aire nécessaire pour générer ces signaux d'horloge, pour les garder en alignement avec les données, et pour les distribuer, peut dépasser notablement l'aire consommée par le circuit relatif aux signaux d'information. En outre, les diagnostics et les tests relatifs à ces circuits peuvent être particulièrement difficiles.

Les problèmes sont résolus conformément à l'invention dans un dispositif de filtrage d'un signal d'entrée qui comprend en outre un circuit de fixation de valeur qui est destiné à faire en sorte que L bits prédéterminés, au moins, dans chaque mot du signal intermédiaire, aient la même valeur que le bit de signe du mot d'entrée. Un filtre passe-bas conforme à l'invention comprend une paire de sections de filtre du second ordre branchées en cascade, chaque section de filtre fonctionnant à une cadence de mot un peu supérieure à la cadence de sortie désirée, et cette paire de sections de filtre est suivie par un circuit d'accumulation et de vidage qui abaisse la cadence d'échantillonnage à la fréquence de sortie désirée. Bien que le filtre ne soit limité à aucune application particulière, il est particulièrement utile pour éviter les signaux parasites dus au repliement du spectre dans un circuit de réduction de cadence d'échantillonnage, dans lequel un signal d'entrée à cadence d'échantillonnage élevée est converti en un signal de sortie à cadence d'échantillonnage inférieure. La fonction de transfert du filtre est la suivante :

$$H(z) = \frac{1}{8} \left[\frac{1 - \frac{5}{4} z^{-1} + z^{-2}}{1 - \frac{19}{16} z^{-1} + \frac{31}{64} z^{-2}} \right] \left[\frac{1 - \frac{3}{4} z^{-1} + z^{-2}}{1 - \frac{23}{16} z^{-1} + \frac{55}{64} z^{-2}} \right]$$

tandis que la fonction de transfert de l'accumulateur est :

$$H_A(z) = \frac{1}{4} \left[\frac{1-z^{-4}}{1-z^{-1}} \right]$$

Chaque section de filtre comprend deux éléments de retard à plusieurs bits, connectés en série, chacun d'eux comprenant une chaîne série de registres de retard d'un bit, suffisant pour mémoriser à n'importe quel instant le nombre de bits contenus dans un mot complet. Chaque

5 section comprend également un circuit logique qui comporte des circuits arithmétiques (additionneurs) et des inverseurs, mais pas de multiplieurs. Le circuit logique combine les signaux de sortie de l'élément de retard pour former des signaux intermédiaires qui sont combinés avec le signal d'entrée pour donner le signal de sortie désiré. Pour éviter

10 que les structures d'horloge soient complexes et pour simplifier le filtre, les registres de report associés aux circuits additionneurs ne sont ni prépositionnés, ni remis à zéro entre les mots d'entrée. A la place, la longueur de chaque mot d'entrée qui est présenté en format en complément à deux, est augmentée intentionnellement, et le

15 bit de signe est répété un nombre de fois présélectionné, pendant que chaque mot est traité dans chaque section de filtre. Les erreurs éventuelles qui apparaissent du fait d'un report erroné sont moins importantes que le bruit de quantification associé au mot d'entrée et elles n'affectent donc pas de façon appréciable le signal de sortie du filtre.

20 L'invention sera mieux comprise à la lecture de la description qui va suivre de modes de réalisation et en se référant aux dessins annexés sur lesquels :

La figure 1 est un schéma synoptique d'un filtre numérique récuratif du second ordre de l'art antérieur;

25 la figure 2 est un schéma synoptique généralisé d'un montage en cascade de deux sections de filtre numérique récuratif du second ordre, construites conformément à l'invention;

la figure 3 représente les caractéristiques de réponse en fréquence d'un filtre passe-bas construit conformément à l'invention;

30 la figure 4 est un schéma synoptique d'un circuit d'accumulation et de vidage qui est utilisé en association avec le filtre de la figure 2;

la figure 5 est un schéma montrant une configuration du filtre de la figure 2 qui convient mieux à la fabrication sous forme de circuit

35 intégré;

la figure 6 est un diagramme séquentiel montrant les signaux

d'horloge qui sont utilisés dans un filtre réalisé conformément à l'invention; et

la figure 7 est un schéma logique de la porte ET/OU 521 de la figure 5.

5 La figure 1 représente sous forme de schéma synoptique un filtre numérique récuratif du second ordre d'un type courant de l'art antérieur. Le filtre comprend des premier et second éléments de retard, portant respectivement les références 101 et 102, et chacun d'eux est conçu de façon à produire un retard total égal à la longueur de chaque
10 mot d'entrée. L'appellation filtre du "second ordre" vient de ce qu'on utilise un retard total de deux mots pour les éléments 101 et 102 employés dans le filtre.

Le signal de sortie de l'élément de retard 101 est un premier signal intermédiaire D_{n-1} (quelquefois appelé "variable d'état") qui
15 est appliqué à un multiplicateur de rétroaction 103 et à un multiplicateur de prédiction 105. De façon similaire, le signal de sortie de l'élément de retard 102 est un second signal intermédiaire D_{n-2} qui est appliqué à un multiplicateur de rétroaction 104 et à un multiplicateur de prédiction 106. La relation entre le signal d'entrée de l'élément
20 de retard 101 (une autre variable d'état appelée D_n) et son signal de sortie D_{n-1} s'exprime, avec la notation de la transformation en z , sous la forme suivante :

$$D_{n-1} = z^{-1}(D_n) \quad (1)$$

dans laquelle l'opération z^{-1} indique un retard d'un intervalle de mot.
25 De façon similaire, la relation entrée/sortie pour l'élément de retard 102 est la suivante :

$$D_{n-2} = z^{-1}(D_{n-1}) \quad (2)$$

En combinant les équations (1) et (2), on obtient :

$$30 \quad D_{n-2} = z^{-2}(D_n), \quad (3)$$

en désignant par z^{-2} un retard égal à deux intervalles de mot. Chacun des multiplicateurs 103-106 est conçu de façon à multiplier son signal d'entrée par une valeur de coefficient présélectionnée qui détermine les pôles et les zéros désirés du filtre. Les coefficients pour les multi-
35 plicateurs 103 et 104 sont désignés respectivement par β_1 et $-\beta_2$,

selon la convention habituelle, et les signaux de sortie de ces multiplicateurs sont combinés dans un additionneur 107 pour former un signal de rétroaction sur la ligne 121. Les coefficients relatifs aux multiplicateurs 105 et 106 sont respectivement désignés par $-\alpha_1$ et α_2 ,
 5 et les signaux de sortie de ces multiplicateurs sont combinés dans un additionneur 108 pour former un signal de prédiction sur la ligne 131. Le signal de sortie de l'additionneur 107 est combiné dans l'additionneur 113 avec le signal d'entrée du filtre, X_n , présent sur la ligne 111, pour donner la variable d'état D_n , qui est appliquée à la fois à
 10 l'élément de retard 101 et à une entrée de l'additionneur 110. Le signal de sortie de l'additionneur 108 est combiné dans l'additionneur 110 avec D_n , pour donner le signal de sortie global du filtre Y_n , sur la ligne 112.

Pour une série de mots d'entrée désignés par $X_{n-1}, X_n, X_{n+1}, \dots$
 15 le fonctionnement du filtre de la figure 1 est régi par une série d'équations qui sont les suivantes :

$$Y_{n-1} = X_{n-1} + (\beta_1 - \alpha_1)D_{n-2} + (\alpha_2 - \beta_2)D_{n-3} \quad (4)$$

$$20 \quad Y_n = X_n + (\beta_1 - \alpha_1)D_{n-1} + (\alpha_2 - \beta_2)D_{n-2} \quad (5)$$

$$Y_{n+1} = X_{n+1} + (\beta_1 - \alpha_1)D_n + (\alpha_2 - \beta_2)D_{n-1} \quad (6)$$

25 Les formules récursives qui sont spécifiées dans les équations (4) à (6) peuvent être combinées et simplifiées, de façon que la réponse globale du filtre s'exprime, dans le domaine de la transformée en Z, sous la forme suivante :

$$30 \quad H(z) = \frac{Y_n}{X_n} = \frac{1 - \alpha_1 z^{-1} + \alpha_2 z^{-2}}{1 - \beta_1 z^{-1} + \beta_2 z^{-2}} \quad (7)$$

Comme le montre l'équation (4), les valeurs de β_1 et β_2 déterminent les pôles du filtre, tandis que α_1 et α_2 déterminent les zéros.

Les multiplicateurs et certains des circuits additionneurs du
 35 filtre de la figure 1 peuvent être groupés ensemble, pour les besoins de la description, en circuits logiques 120 et 130, chacun d'eux recevant des signaux de sortie à partir des éléments de retard 101 et 102 et

formant respectivement les signaux de rétroaction et de prédiction sur les lignes 121 et 131. Le premier de ces signaux est combiné avec le signal d'entrée X_n pour donner la variable d'état appelée D_n et le second est combiné avec D_n pour donner le signal de sortie global du filtre, Y_n . Dans des modes de réalisation réels, les multi-
 5 plicateurs qu'on trouve dans les circuits logiques 120 et 130 sont habituellement utilisés en temps partagé, de façon qu'un seul multiplicateur puisse remplacer les multiplicateurs 103 à 106. Avec cette configuration, les coefficients $-\alpha_1$, α_2 , β_1 et $-\beta_2$ sont appliqués
 10 en série au multiplicateur commun qui fournit les produit désirés, un à la fois. Bien qu'à certains égards, cette utilisation en temps partagé offre une meilleure efficacité que l'utilisation de multiplieurs individuels, elle souffre de la complexité qui se manifeste dans l'acheminement des signaux et la distribution des valeurs de
 15 coefficient provenant de la mémoire, et d'autres difficultés qui sont avantageusement éliminées dans le filtre de l'invention.

Comme le montre la figure 2, chaque section d'un filtre à deux sections construit conformément à l'invention est similaire au filtre de la figure 1, au point de vue topologique. Dans la première
 20 section 200, des éléments de retard 201 et 202, chacun d'eux consistant en un registre à décalage à plusieurs bits, sont connectés en série et ils appliquent des signaux d'entrée à des circuits logiques 220 et 230 qui ne comprennent que des circuits additionneurs et des inverseurs. Le circuit logique 220 forme un signal de rétroaction qui est appliqué
 25 sur la ligne 221 et le circuit logique 230 forme un signal de prédiction qui est appliqué sur la ligne 231. Le signal de rétroaction est combiné dans l'additionneur 213 avec le signal d'entrée du filtre présent sur la ligne 211, pour former la variable d'état D_n , et le signal de prédiction est combiné avec D_n dans l'additionneur 210 pour donner
 30 le signal de sortie (désigné par X'_n) de la section de filtre 200, sur la ligne 212. Conformément à l'invention, la variable D_n est appliquée à l'élément de retard 201 par un circuit de fixation de valeur 250 qui est intercalé dans la ligne 234 qui connecte la sortie de l'additionneur 213 à l'entrée de l'élément de retard 201. Le circuit de fixation
 35 de valeur 250 est conçu de façon à prépositionner un nombre préselectionné de bits dans chaque mot à une valeur correspondant au signe de

ce mot. Cette chaîne de bits de signe fait fonction de tampon ou de séparation entre des mots adjacents, et elle permet aux circuits de report présents dans les additionneurs des circuits logiques 220 et 230 de fonctionner sans être prépositionnés au début de chaque mot.

- 5 De plus, la chaîne de bits de signe est conçue de façon à protéger contre des conditions anormales d'oscillations de cycles limites et de dépassement de capacité, telles que celles susceptibles d'apparaître pendant les transitoires de mise sous tension. La section de filtre 260 comprend également un circuit de fixation de valeur 292
- 10 qui est connecté à la ligne 265 et qui prépositionne des bits dans chaque mot de sortie provenant de l'additionneur 261, conformément au bit de signe du mot, et applique le résultat à l'élément de retard 290.

- On n'a représenté explicitement que deux entrées et la sortie
- 15 de somme pour les circuits additionneurs à un bit de la figure 2. On considère cependant que ces circuits comprennent une sortie de report, une entrée de report et un registre de report à un bit. Le registre de report associé à chaque additionneur reçoit un signal d'horloge à la cadence de bit f_b du signal d'entrée. Le signal de sortie de report de
- 20 l'additionneur est introduit par un signal d'horloge dans le registre de report de cet additionneur, et donc mémorisé dans ce registre, et il est ensuite utilisé en tant que signal d'entrée de report pour le bit suivant. Entre mots, les registres de report ne sont ni prépositionnés ni remis à zéro, ce qui supprime la nécessité de la distribution d'un
- 25 signal d'horloge supplémentaire aux circuits additionneurs. Les erreurs résultantes éventuelles sont moins importantes que l'erreur de quantification qui est automatiquement présente dans le signal d'entrée du filtre, du fait que les bits de signal significatifs sont positionnés de façon appropriée dans chaque mot, de la manière expliquée ci-dessous.

- 30 La soustraction est accomplie de façon simple dans le filtre de la figure 2, par l'inversion d'un signal d'entrée de l'additionneur. La soustraction en complément à deux fait normalement intervenir non seulement une inversion bit par bit, mais également l'addition d'un UN au bit de moindre poids de la quantité à soustraire. En négligeant
- 35 ce UN additionné, on supprime la nécessité d'un signal d'horloge supplémentaire. L'erreur résultante dans la soustraction est comparable à celle qui résulte de l'absence de remise à zéro ou de prépositionnement

du report entre mots, du fait que, dans un cas comme dans l'autre, seul intervient le bit de moindre poids. L'erreur est ainsi moins importante que le bruit de quantification qui est automatiquement présent dans le signal et elle n'affecte pas de façon appréciable le
5 signal de sortie du filtre.

Les caractéristiques des signaux d'horloge nécessaires dans le filtre de la figure 2 sont également très simples. Les éléments de retard 201 et 202 comprennent avantageusement une chaîne série de registres à décalage d'un bit qui sont conçus de façon à mémoriser le
10 nombre de bits dans chaque mot d'entrée. Les circuits arithmétiques des circuits logiques 220 et 230 et les registres à décalage des éléments de retard 201 et 202 reçoivent tous des signaux d'horloge à la cadence de bit f_b du signal d'entrée, tandis que le circuit de fixation de valeur 260 reçoit un signal d'horloge à une cadence de mot
15 $\frac{f_b}{m}$, en désignant par m le nombre de bits des mots d'entrée. Aucun autre signal d'horloge n'est nécessaire dans le filtre de la figure 2, ce qui permet une fabrication simple et un fonctionnement efficace.

La configuration particulière qui est utilisée pour les circuits logiques 220 et 230, et la configuration logique interne de la
20 seconde section de filtre 260, dépendent des caractéristiques de transfert nécessaires pour une application donnée. Pour les applications téléphoniques, une réponse plate ($\pm 0,12$ dB) dans la bande, entre 300 et 3000 Hz, est exigée. Il est avantageux que le filtre présente une coupure abrupte entre 3,5 et 4,5 kHz et procure au moins 32 dB d'at-
25 ténuation au-dessus de cette fréquence. La figure 3 montre une caractéristique de réponse en fréquence typique pour un filtre passe-bas construit conformément à l'invention. On trouvera plus de détails concernant les exigences pour ce type de filtre dans les spécifications publiées, comme par exemple le document "Pulse Code Modulation of Voice
30 Frequencies", CCITT, Rec. G. 711, Genève, 1972; modifié à Genève en 1976.

Pour obtenir la réponse qui est représentée sur la figure 3, l'invention utilise un circuit d'accumulation et de vidage représenté
sur la figure 4 et décrit ci-après de façon plus détaillée, en cas-
35 cade avec un filtre à deux sections du type représenté sur la figure 2.

Le filtre à deux sections ne nécessite qu'une précision de 6 bits pour les coefficients et il a une transformée en z globale qui est donnée par :

$$H(z) = \frac{1}{8} \left[\frac{1 - \frac{5}{4} z^{-1} + z^{-2}}{1 - \frac{19}{16} z^{-1} + \frac{31}{64} z^{-2}} \right] \left[\frac{1 - \frac{3}{4} z^{-1} + z^{-2}}{1 - \frac{23}{16} z^{-1} + \frac{55}{64} z^{-2}} \right] \quad (8)$$

5 tandis que la transformée en z du circuit d'accumulation et de vidage est donnée par :

$$H_A(z) = \frac{1}{4} \left[\frac{1 - z^{-4}}{1 - z^{-1}} \right] \quad (9)$$

10 Les termes situés à l'intérieur des premiers crochets dans l'équation (8) sont mis en oeuvre par la section 200, tandis que la section de filtre 260 a une réponse qui est décrite par les termes continus entre les seconds crochets. Dans la section 200, le circuit logique 220 forme les pôles du filtre, au dénominateur de la fraction
15 contenue entre les premiers crochets, tandis que le circuit logique 230 forme les zéros du numérateur. On utilise un circuit logique différent dans la section 260 pour former les pôles et les zéros qui sont spécifiés dans l'équation (8). Bien que ceci ne soit absolument pas essentiel, il est avantageux de mettre en oeuvre les sections de filtre 200
20 et 260 dans l'ordre représenté, plutôt que d'inverser les positions. Ceci résulte des différences dans la dynamique des signaux intervenant dans les sections, du fait de différences de gain.

Les mots d'entrée sont appliqués à l'élément de retard 201, par l'intermédiaire du circuit de fixation de valeur 250, avec le bit de
25 moindre poids en tête, les mots étant en format en complément à deux. Avec cette configuration, un signal de sortie provenant d'un registre particulier dans un élément de retard qui précède un signal de sortie de référence prélevé dans un registre situé plus en avant dans l'élément de retard, a une valeur qui est une fraction $(1/2)^d$ du signal de sortie
30 de référence, en désignant par d le nombre de bits qui séparent les signaux de sortie. Plusieurs exemples illustreront cette propriété. En considérant l'élément de retard 201, qui est constitué par des registres à un bit individuels désignés par 201a, 201b..., si on prend comme

signal de sortie de référence le signal de sortie provenant du dernier registre 201a, le signal de sortie du registre immédiatement précédent 201b est réduit d'un facteur $1/2$, tandis que le signal de sortie du registre 201c qui précède le registre 201b, est égal à la fraction $(1/2)^2 = 1/4$ du signal de sortie de référence, puisque $d = 2$. Cette combinaison de facteurs vient du fait que l'extraction d'un nombre (en procédant bit par bit) d'un registre précédant un registre de référence revient à décaler le signal de sortie vers la droite du nombre de bits qui séparent les registres. Chaque décalage d'un bit vers la droite correspond évidemment à une réduction par le facteur $1/2$ de la valeur qui intervient. On dit que le filtre de la figure 2 a des coefficients à 6 bits, du fait que les circuits logiques contenus dans chaque section de filtre reçoivent des signaux d'entrée à partir de registres qui ne précèdent pas de plus de six bits le signal de sortie de référence.

En ayant les propriétés précédentes à l'esprit, on voit sur la figure 2 que la configuration des circuits logiques 220 et 230 est conçue de façon à produire respectivement les pôles et les zéros qui sont spécifiés dans le premier terme de l'équation (8). Plus précisément, le signal de sortie provenant du dernier registre 201a de l'élément de retard 201 est combiné avec le signal de sortie provenant de l'antépénultième registre 201c dans l'additionneur 227. La somme ainsi produite est $\frac{5}{4} z^{-1}(D_n)$, du fait que le signal de sortie du registre 201c est le quart de celui du registre 201a, ce dernier étant $z^{-1}(D_n)$. Le signal de sortie du registre 201e est $\frac{1}{16} z^{-1}(D_n)$, et ce signal est appliqué sur une entrée inverseuse de l'additionneur 222 et il est combiné avec le signal de sortie de l'additionneur 227, ce qui produit un signal de sortie donné par $\frac{19}{16} z^{-1}(D_n)$.

Le circuit logique 220 est en outre conçu de façon à combiner les signaux de sortie des registres 202b et 202g, dans un additionneur 224, le second de ces signaux de sortie étant préalablement inversé. Le registre 202g est séparé par six bits du signal de sortie de référence $z^{-2}(D_n)$ du registre 202a, si bien que la valeur présente sur la ligne 225 est : $\frac{1}{16} z^{-2}(D_n)$ ou $\frac{1}{64} z^{-2}(D_n)$. Du fait que le signal de sortie du registre 202b est $\frac{1}{2} z^{-2}(D_n)$, le signal de sortie de l'additionneur 224 est représenté par $\frac{31}{64} z^{-2}(D_n)$.

Lorsque le signal de sortie de l'additionneur 224 est combiné dans l'additionneur 223 avec le signal de sortie inversé qui provient de

l'additionneur 222, le résultat présent sur la ligne 221 est un signal de rétroaction qui est donné par : $-\frac{19}{16} z^{-1} + \frac{31}{64} z^{-2} (D_n)$. Ce signal de rétroaction est inversé et combiné avec le signal d'entrée du filtre X_n pour donner la variable d'état D_n qui est appliquée à l'élément 5 de retard 201 par le circuit de fixation de valeur 250.

On peut démontrer que la boucle de rétroaction formée par les éléments de retard 201 et 202, l'additionneur 213 et le circuit logique 221 présente la fonction de transfert globale désirée qui est spécifiée par l'équation (8), en notant que le signal de sortie D_n de l'additionneur est :

$$D_n = X_n - \left(-\frac{19}{16} z^{-1} + \frac{31}{64} z^{-2} \right) D_n \quad (10)$$

ce qui donne :

$$\frac{D_n}{X_n} = \frac{1}{1 - \frac{19}{16} z^{-1} + \frac{31}{64} z^{-2}} \quad (11)$$

Le circuit logique 230 qu'on utilise pour former le signal de prédiction présent sur la ligne 231 est très simple et ne comprend que des additionneurs 232 et 233. Le signal de sortie de l'additionneur 233 est la somme $(1 + \frac{1}{4}) z^{-1} (D_n)$, formée en additionnant les signaux de sortie des registres 201a et 201c de l'élément de retard 201. Cette valeur est soustraite du signal de sortie $z^{-2} (D_n)$ du registre 202a de l'élément de retard 202, si bien que le signal de prédiction présent sur la ligne 231 est : $(-\frac{5}{4} z^{-1} + z^{-2}) (D_n)$. Le signal de sortie X'_n de l'additionneur 210, sur la ligne 212, qui est le signal de sortie global de la section de filtre 200, est ainsi donné par :

$$X'_n = D_n + \left(-\frac{5}{4} z^{-1} + z^{-2} \right) (D_n) \quad (12)$$

et la fonction de transfert pour la section de prédiction est :

$$\frac{X'_n}{D_n} = 1 + \left(-\frac{5}{4} z^{-1} + z^{-2} \right) \quad (13)$$

comme on le désire.

Les circuits logiques 270 et 280 qui font partie de la seconde section de filtre 260 ont une complexité similaire à celle des circuits logiques décrits précédemment et, comme on l'a indiqué précédemment, ils sont conçus de façon à matérialiser respectivement le dénominateur et le numérateur du second terme entre crochets dans l'équation (8).

Les signaux de sortie des registres 290a et 290b de l'élément de retard 290 sont combinés dans l'additionneur 271 dont la sortie est connectée à une entrée de l'additionneur 272. Le signal de sortie du registre 290e est inversé et il est appliqué sur la seconde
 5 entrée de l'additionneur 272, de façon que le signal de sortie de ce dernier soit donné par : $\frac{23}{16} z^{-1} (D'_n)$, en désignant par D'_n la valeur de la variable d'état présente sur la ligne 265. Le circuit logique 270 comprend également un additionneur 275 qui combine les signaux de sortie des registres 291a et 291d de l'élément de retard 291, le
 10 dernier de ces signaux étant inversé. Le signal de sortie de l'additionneur 275, qui est donné par $\frac{7}{8} z^{-2} (D'_n)$, est combiné dans l'additionneur 274 avec le signal de sortie inversé du registre 291g, de façon que le signal d'entrée qui est appliqué à l'additionneur 273 par la ligne 276 soit donné par : $\frac{55}{64} z^{-2} (D'_n)$. Le signal de rétro-
 15 action global qui est formé par l'additionneur 273 et qui est appliqué par la ligne 263 à l'additionneur 261 est ainsi donné par $(-\frac{23}{16} z^{-1} + \frac{55}{64} z^{-2}) (D'_n)$. Comme on le désire, la fonction de transfert entre le signal d'entrée X'_n et le signal D'_n de l'additionneur 261 est donnée par :

$$20 \quad \frac{D'_n}{X'_n} = \frac{1}{1 - \frac{23}{16} z^{-1} + \frac{55}{64} z^{-2}} \quad (14)$$

Le circuit logique 280 est un peu plus simple que le circuit logique 270, du fait que le numérateur du second terme de l'équation (8) comporte moins de coefficients fractionnaires. Plus précisément,
 25 les signaux de sortie des registres 290b et 290c de l'élément de retard 290 sont combinés dans l'additionneur 280, dont le signal de sortie est inversé et appliqué à une entrée de l'additionneur 282. Le signal de sortie du registre 291a de l'élément de retard 291 est appliqué sur l'autre entrée de l'additionneur 282, si bien que le signal de pré-
 30 diction formé par l'additionneur 282 et appliqué sur la ligne 264 est donné par $(-\frac{3}{4} z^{-1} + z^{-2}) (D'_n)$. Ce signal de prédiction est combiné avec D'_n pour donner le signal de sortie Y_n de la section de filtre 260, sur la ligne 266. La caractéristique entrée/sortie globale pour cette section est le second terme de l'équation (8), comme on le désire également.

35 Comme il a été mentionné précédemment, les circuits de fixation de valeur 250 et 292 ont pour but de faire en sorte que certains des bits dans chaque mot appliqué aux éléments de retard 201 et 290

aient la même valeur que le bit de signe de ce mot, afin que les circuits de report qui font partie des opérateurs arithmétiques des circuits logiques 220, 230, 270 et 280 ne nécessitent pas un prépositionnement ou une remise à zéro au début et à la fin de chaque mot.

5 Les circuits de fixation de valeur 250 et 292 reçoivent un signal d'horloge à une cadence de mot qui est une fraction prédéterminée de la cadence de bit utilisée pour les signaux d'horloge de tous les autres circuits du filtre. Le circuit de fixation de valeur est conçu de façon à répéter ou à maintenir le signal d'entrée courant pendant
10 un nombre de bits prédéterminé, chaque fois que le conducteur d'horloge est validé, tandis que le signal d'entrée n'est pas affecté lorsque le conducteur d'horloge est à l'état bas. Pour le format en complément à deux, le prépositionnement se produit pour chaque mot en validant le signal d'horloge à l'apparition du bit de signe qui
15 suit le bit de plus fort poids. Le signal d'horloge demeure à l'état haut jusqu'à ce que le nombre de bits désiré aient été prépositionnés, puis il passe à l'état bas jusqu'à ce que le cycle se répète pour le mot suivant. On décrira ci-après cette procédure répétitive de façon plus complète.

20 En considérant la figure 4, on voit un circuit d'accumulation et de vidage qui est utilisé en association avec le filtre de la figure 2. Ce circuit comprend un registre à décalage 401 dont la sortie est connectée à une entrée d'un circuit additionneur 402 par l'intermédiaire d'une première porte ET 406. Le registre 401 comprend un nombre
25 d'étages suffisant pour mémoriser le nombre de bits dans chaque mot d'entrée traité dans le filtre. L'autre signal d'entrée appliqué à l'additionneur 402, par la ligne 266, est le signal d'entrée du circuit d'accumulation et de vidage, provenant de la sortie du filtre de la figure 2. La sortie du registre 401 est connectée à la ligne de sortie
30 405 par une seconde porte ET 407. Chaque fois qu'une impulsion d'horloge à la cadence de bit f_b est appliquée à l'entrée de décalage du registre 401, sur la ligne 404, le signal de sortie de l'additionneur 402 est décalé dans le premier étage du registre 401 et le contenu des autres étages est décalé d'un bit vers la droite. Tant que la porte ET 406 est
35 validée par un signal de rythme à l'état bas C_{HE} sur la ligne 410, le bit d'entrée suivant, sur la ligne 266, est combiné avec le signal de

sortie du registre 401, au moyen de l'additionneur 402, ce qui autorise la poursuite de l'accumulation. Cette accumulation se poursuit jusqu'à ce que le signal C_{HE} passe à l'état haut. Pendant l'intervalle suivant, le contenu du registre 401 est lu et appliqué à la

5 ligne 405 par la porte 407 à chaque apparition d'une impulsion d'horloge f_b . Pendant ce même intervalle, lorsque le signal C_{HE} est à l'état haut, la porte ET 406 est invalidée, ce qui renvoie un signal zéro vers une entrée de l'additionneur 402. Ceci a pour effet d'effacer le signal qui a été accumulé dans le registre 401 et permet d'introduire dans le registre 401 le premier mot du cycle d'accumulation

10 suivant. Lorsque le signal C_{HE} passe à l'état bas, le cycle précédent se répète. L'équation (9) ci-dessus donne la caractéristique de transfert pour le circuit d'accumulation et de vidage de la figure 4 lorsque le signal C_{HE} est à l'état bas pendant trois intervalles de mot d'entrée et à l'état haut pendant le quatrième intervalle de mot.

15

La figure 5 montre une réalisation du filtre du second ordre à deux sections de la figure 2, qui comprend certaines modifications guidées par les exigences relatives à la fabrication des circuits intégrés et par des considérations concernant les caractéristiques temporelles. Il est par exemple souhaitable que le nombre d'opérations

20 arithmétiques (additions ou soustractions) ayant lieu avant que le signal soit resynchronisé dans un étage de registre ne dépasse pas deux. Par conséquent, la chaîne série de registres à un bit qu'on utilise pour les éléments de retard 201, 202, 290 et 291 de la figure 2

25 est d'une certaine manière "répartie" sur la figure 5 de façon à obtenir ce résultat. Une seconde modification par rapport à la configuration de la figure 2 consiste dans la double utilisation de certains opérateurs arithmétiques. Par exemple, les additionneurs 227 et 233 de la figure 2 fournissent tous deux le même signal de sortie et ils

30 peuvent être combinés. En outre, les signaux de sortie des additionneurs 271 et 281 diffèrent d'un facteur 2 et on peut les combiner si on utilise un registre à décalage pour effectuer la multiplication nécessaire.

On suppose sur la figure 5 que les mots d'entrée présents

35 sur la ligne 595 comprennent 32 bits parmi lesquels 16 bits définissent une information essentielle. Les bits essentiels sont précédés par trois bits zéro et sont suivis par treize extensions du bit de signe.

Du fait que les mots sont en format en complément à deux, la valeur de l'information essentielle de chaque mot n'est pas affectée par le préfixe ou l'extension. Les mots à 32 bits peuvent être reçus dans les éléments de retard 501,502, dans la section de filtre 500, et dans les
 5 éléments de retard 590,591, dans la section de filtre 550, en faisant en sorte que chaque élément comprenne au total environ 32 registres à un bit. Comme il est expliqué ci-dessous, certains des registres composant le total peuvent être répartis dans les circuits logiques qui constituent le reste de chaque section de filtre. Les registres présents dans l'élément 590 sont désignés par 590-0 à 590-30, et les
 10 registres présents dans les éléments restants sont numérotés de façon similaire, certains éléments de retard contenant 31 registres et d'autres en contenant 32. Contrairement au schéma de la figure 2, les circuits de fixation de valeur de chaque section de filtre sont représentés sur la figure 5 sous une forme comprenant deux portes ET/OU
 15 qui sont intercalées entre des registres internes, à l'intérieur de l'élément de retard de chaque section, au lieu de précéder chaque élément. Des registres à décalage supplémentaires à un bit sont intercalés entre certains circuits arithmétiques pour accomplir la fonction de resynchronisation mentionnée précédemment.
 20

Les deux portes ET/OU 521 et 522 qui sont utilisées pour répéter le bit de signe des mots traités dans la section de filtre 500 reçoivent un signal d'entrée à partir du registre 501-30. La porte 521 est intercalée entre les registres 501-31 et 501-30, tandis que la
 25 porte 522 est intercalée entre les registres 501-28 et 501-27. Chacune de ces portes reçoit également une impulsion de rythme C_{S1} par la ligne 523, et cette impulsion apparaît à la cadence de mot f_b/m et demeure à l'état haut pendant six intervalles de bit. Lorsque l'impulsion C_{S1} est à l'état haut, les portes 521 et 522 répètent le bit, quel qu'il soit (un ou zéro) qui se trouve dans le registre 501-30
 30 au moment considéré. En maintenant l'impulsion C_{S1} à l'état haut pendant six intervalles de bit et en positionnant cette impulsion de façon appropriée par rapport au début de chaque mot d'entrée, le bit de signe se trouve ainsi prolongé vers l'arrière un total de six fois. Du fait
 35 que le bit présent dans le registre 501-30 est également déplacé vers l'avant de deux bits (par la connexion entre le registre 501-30 et la porte 522), l'effet total des deux portes ET/OU est de répéter le bit

de signe présent dans le registre 501-30, en prépositionnant un total de huit bits, deux bits étant en avant et six bits étant en arrière, par rapport au bit présent dans le registre 501-30. Les portes ET/OU 571 et 572 de la section de filtre 550 ont une configuration similaire et elles fonctionnent de la même manière, chacune d'elles recevant la même impulsion de rythme C_{S1} sur la ligne 573 et faisant en sorte que le nombre désiré de bits dans chaque mot appliqué à l'élément de retard 590 aient la même valeur que le bit de signe présent dans le registre 590-30.

10 La figure 7 représente un schéma logique d'une porte ET/OU 521. La porte comprend deux portes ET 701 et 702 et une porte OU 703. Lorsque l'impulsion C_{S1} est à l'état bas, la porte ET est validée (à cause de l'entrée inverseuse 705) et elle transmet au registre 501,30, par la porte OU 703, le signal qu'elle reçoit du registre 501-31. Ceci est
15 le mode normal, et aucune répétition n'a lieu. Lorsque l'impulsion C_{S1} passe à l'état haut, la porte ET 702 est validée (tandis que la porte 701 est invalidée) et le bit qui est enregistré dans le registre 501-30 est répété, en étant renvoyé vers l'entrée de ce registre par l'intermédiaire de la porte 703. Les portes ET/OU 522, 572 et 573 sont cons-
20 truites de façon similaire.

Le circuit logique qui produit les signaux de rétroaction et de prédiction dans les sections de filtre 500 et 550 est similaire à celui qui est utilisé sur la figure 2, et il est également caractérisé par l'utilisation exclusive de circuits additionneurs et inverseurs,
25 sans qu'il soit nécessaire d'employer des multiplicateurs. La combinaison d'inverseurs et d'additionneurs permet d'accomplir l'opération de soustraction lorsqu'elle est nécessaire. Tous les registres de report dans les circuits additionneurs reçoivent des impulsions d'horloge à la cadence de bit f_b qui est également employée pour attaquer les entrées
30 d'horloge des registres à un bit, et l'erreur qui résulte des valeurs de report qui existent dans le circuit arithmétique entre des mots adjacents est ignorée.

Le signal de rétroaction qui est produit dans la section 500 est formé en combinant les signaux de sortie des registres 501-2 et 501-4
35 dans l'additionneur 510 et en appliquant la somme sur une entrée de

l'additionneur 511, par l'intermédiaire d'un registre à décalage supplémentaire à un bit, 512. Le second signal d'entrée de l'additionneur 511 provient du registre 501-5 et il est appliqué par l'intermédiaire d'un inverseur. Le signal de sortie de l'additionneur 511 est appliqué par
 5 l'additionneur 505 et un autre registre à décalage à un bit, 513, sur une entrée de l'additionneur 503 qui combine le signal de rétroaction avec le signal d'entrée présent sur la ligne 590, pour donner la variable d'état D_n sur la ligne 504. La partie du second ordre du signal de réaction est obtenue en combinant les signaux de sortie des
 10 registres 502-7 et 502-2, dans l'additionneur 515, le second de ces signaux étant préalablement inversé. Le signal de sortie de l'additionneur 515 constitue le second signal d'entrée de l'additionneur 505.

Il est simple de vérifier que cette configuration logique permet d'obtenir les pôles et les zéros désirés. On considérera par exemple
 15 que les signaux d'entrée de l'additionneur 515 sont respectivement séparés de deux ou de sept positions de bit d'un signal de sortie de référence $z^{-2}(D_n)$, prélevé dans le dernier registre efficace de l'élément à retard 502. Par conséquent, le signal de sortie du registre 502-7 est $1/2^7 = \frac{1}{128} z^{-2}(D_n)$, et le signal de sortie du registre 502-2 est
 20 $\frac{1}{4} z^{-2}(D_n)$. Lorsque le signal de sortie de l'additionneur 515 qui est $\frac{-31}{128} z^{-2}(D_n)$, est à nouveau retardé par un registre à un bit 513, sa valeur est doublée, si bien que la contribution que cette partie du circuit apporte au signal de rétroaction est : $\frac{-31}{64} z^{-2}(D_n)$, comme on le désire. Dans un autre exemple le signal de sortie de l'additionneur 510 est $\frac{5}{16} z^{-1}(D_n)$, du fait qu'en prenant pour référence le
 25 signal de sortie $z^{-1}(D_n)$ du registre 501-0, le signal de sortie du registre 501-4 est $\frac{1}{16} z^{-1}(D_n)$ et le signal de sortie du registre 501-2 est $\frac{1}{4} z^{-1}(D_n)$. Le signal de sortie de l'additionneur 510, après avoir été retardé par le registre 512, est alors donné par : $\frac{5}{8} z^{-1}(D_n)$. Du
 30 fait que le signal de sortie du registre 501-5 est $\frac{1}{5} z^{-1}(D_n)$, le signal de sortie de l'additionneur 511 est donné par $\frac{2}{32} \frac{19}{5} z^{-1}(D_n)$. Cette valeur est doublée après être passée par le registre 513, ce qui apporte au signal de réaction une contribution donnée par $\frac{19}{16} z^{-1}(D_n)$.

Le signal de prédiction qui intervient dans la section de filtre
 35 500 comprend des composantes obtenues à partir du signal de sortie du registre 512 et à partir du registre 502-1 de l'élément de retard 502,

ces deux signaux étant appliqués à l'entrée de l'additionneur 516. Le signal de sortie du registre 512 est donné par $\frac{5}{8} z^{-1}(D_n)$ et sa valeur est inversée avant qu'il soit appliqué à l'additionneur 516. Après passage dans un registre à un bit, 517, la valeur du signal de pré-
 5 diction appliqué à une entrée de l'additionneur 518 est : $\frac{5}{4} z^{-1}(D_n)$, du fait que le registre 517 double son signal d'entrée. Le second signal d'entrée de l'additionneur 516, provenant du registre 502-1, est donné par $\frac{1}{2} z^{-2}(D_n)$ et cette valeur est également doublée dans le registre 517. L'additionneur 518 combine le signal de prédiction avec
 10 la variable d'état D_n présente sur la ligne 504, pour donner le signal de sortie de la section de filtre 500 désigné par X'_n . Un registre 519 est disposé entre la sortie de la section de filtre 500 et l'entrée de la section de filtre 550 dans un but qu'on décrira ultérieurement.

15 Comme sur la figure 2, la section de filtre 550 ressemble de façon générale à la section de filtre 500 décrite précédemment, mais la configuration logique particulière qui est utilisée est un peu différente, de façon à pouvoir mettre en oeuvre les pôles et les zéros qui sont spécifiés dans le second terme entre crochets dans
 20 l'équation (8). Le signal de rétroaction est formé en combinant les signaux de sortie des registres 590-2 et 590-1 dans un additionneur 551, dont le signal de sortie est appliqué au registre 552 et de là à une entrée d'un additionneur 553. Le second signal d'entrée de l'additionneur 553 est obtenu en inversant le signal de sortie du
 25 registre 590-4. Le signal de sortie de l'additionneur 553 est appliqué sur une entrée de l'additionneur 554 dont le signal de sortie est doublé dans le registre 555, avant d'être appliqué sur une entrée de l'additionneur 556. Le terme de rétroaction du second ordre est obtenu en combinant les signaux de sortie des registres 591-4 et 591-1 dans
 30 l'additionneur 557, le second de ces signaux étant inversé. Le signal de sortie de l'additionneur 557 est doublé dans le registre 558 et il est appliqué sur une première entrée de l'additionneur 559 dont l'autre entrée reçoit un signal qui provient du registre 591-6. Le signal de sortie de l'additionneur 559 est appliqué à la seconde entrée de
 35 l'additionneur 554.

Le circuit logique précédent produit le dénominateur du second

terme entre crochets dans l'équation (8). Plus précisément, en prenant comme référence le signal de sortie du registre 590-0, le signal de sortie de l'additionneur 551 est $\frac{3}{4} z^{-1} (D'_n)$ et cette valeur est doublée dans le registre 552. Le signal de sortie du registre 590-4 est $\frac{1}{16} z^{-1} (D'_n)$, si bien que le signal de sortie de l'additionneur 553 est $\frac{23}{16} z^{-1} (D'_n)$. En prenant comme référence le signal de sortie du registre 590-0, la contribution au terme du second ordre qui provient de l'additionneur 557 est $\frac{7}{16} z^{-2} (D'_n)$ et cette valeur est doublée dans le registre 558. Le signal de sortie du registre 591-6 est $\frac{1}{64} z^{-2} (D'_n)$, ce qui fait que le signal de sortie de l'additionneur 559 est donné par $\frac{55}{64} z^{-2} (D'_n)$. Le dénominateur est ainsi formé de la manière désirée.

Le signal de prédiction intervenant dans la section de filtre 550 est obtenue en appliquant le signal de sortie de l'additionneur 551 sur une entrée de l'additionneur 560, dont l'autre entrée reçoit le signal de sortie inversé du registre 591-0. Le signal de sortie de l'additionneur 560 est $(\frac{3}{4} z^{-1} - z^{-2}) (D'_n)$ et ceci constitue le numérateur désiré pour le second terme de l'équation (8). Le registre 561 intercalé dans la ligne de prédiction et le registre 555 intercalé dans la ligne de rétroaction de la section de filtre 550 n'ont pas pour effet de doubler les signaux d'entrée qui leur sont appliqués, du fait que l'élément de retard 590 contient 31 registres à un bit 590-0 à 590-30, et les registres 555 et 561 sont en fait les trente-deuxièmes registres de cet élément de retard, portant respectivement sur le signal de rétroaction et le signal de prédiction. L'additionneur 562 combine D'_n et le signal de prédiction pour donner le signal de sortie global du filtre, Y_n , sur la ligne 563. Un registre 564 est intercalé dans la ligne de sortie, si on le désire, dans un but de stabilisation du gain.

Les circuits arithmétiques utilisés dans les sections de filtre de la figure 5 sont conçus de façon qu'il n'y ait pas plus de deux additionneurs en série. En intercalant des registres à décalage à un bit aux endroits nécessaires, les mots qui sont traités dans le filtre sont en fait resynchronisés, ce qui évite l'accumulation de retards. Sur la figure 5, les nombres portés dans ces registres "supplémentaires" (registres 512, 513, 517, 519, 552, 555, 558, 561, 564 et 596) indiquent la position temporelle relative des bits enregistrés dans ces registres, à

5 un instant de référence, lorsque le premier bit d'un mot d'entrée est présent sur la ligne 595. Par exemple, si chaque mot d'entrée consiste en 32 bits numérotés de 0 à 31, le premier bit (0) du mot d'entrée est combiné avec le premier bit du mot de rétroaction sur la ligne 520, lorsque les signaux de sortie des registres 513 et 595 sont appliqués à l'additionneur 503. De façon similaire, les signaux d'entrée de l'additionneur 556 proviennent des registres 519 et 555, tous deux contenant le dernier (31ème) bit du mot traité précédemment.

10 Le tableau suivant montre la position des bits de données significatifs et des bits de signe dans différentes parties du filtre de la figure 5.

----- TEMPS ----->

N° de Ligne	Description																												
1	Entrée 595	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
2	D_n	J	J	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
3	Sortie de la porte 521	S	J	J	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
4	X'_n	J	J	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
5	D'_n	J	J	J	J	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
6	Sortie de la porte 571	S	J	J	J	J	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
7	Y_n	J	J	J	J	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Bits de poids faible Bits de poids fort

La ligne 1 du tableau indique que chaque mot d'entrée sur la ligne 595 comprend 16 bits significatifs, désignés par le symbole "#", apparaissant avec le bit de moindre poids en tête, suivis par 13 répétitions du bit de signe, indiquées par "S". Chaque mot est précédé
 5 par trois bits zéro, indiqués par un "-".

Pendant le traitement, les mots d'entrée peuvent présenter une certaine distorsion, comme on l'a expliqué précédemment, du fait que les circuits logiques de report qui font partie des circuits arithmétiques des filtres ne sont ni prépositionnés ni remis à zéro au début
 10 de chaque mot d'entrée. Par conséquent, la ligne 2 du tableau montre que la variable d'état D_n sur la ligne 504 comprend les bits de données significatifs désignés par "#", suivis par cinq bits de signe "S", mais elle montre que sept erreurs possibles, désignées par "J", se sont glissées dans le mot. Le nombre de bits erronés introduits dépend de
 15 la valeur des coefficients qui sont utilisés dans le filtre. Conformément à l'invention, le filtre utilise des coefficients qui sont exprimés par six bits au maximum du fait que, comme on l'a expliqué précédemment, les signaux d'entrée des circuits logiques qu'on utilise pour former les signaux de rétroaction et de prédiction sont obtenus
 20 à partir de registres des éléments de retard qui ne précèdent pas de plus de six positions de bit les registres finals (ou de référence). Avec cette configuration, le nombre maximal de bits erronés est d'environ six. Cependant, pour être absolument certain que les cycles limites et de dépassement de capacité sont également éliminés, la
 25 configuration de la figure 5 prépositionne un total de huit bits. Lorsque le mot erroné est appliqué aux portes ET/OU 521 et 522 dans la section de filtre 500, le signal d'horloge C_{S1} passe à l'état haut lorsque le bit de signe indiqué par un cercle dans le tableau se trouve dans le registre 501-30. Ce signal demeure à l'état haut pendant
 30 les six bits suivants, ce qui fait que le bit de signe est répété six fois. Le même bit de signe est également étendu de deux bits en avant, de la manière décrite ci-dessus, afin que le mot de sortie provenant de la porte ET/OU 521, représenté sur la ligne 3 du tableau, ne comporte ainsi pas une partie notable de l'erreur qui est entrée dans la
 35 variable d'état D_n . Après un traitement ultérieur, chaque signal de sortie X'_n provenant de la section de filtre 500 est un mot du type

représenté sur la ligne 4 du tableau, dans lequel les erreurs "J" sont entrées dans la partie finale de chaque mot. Ces erreurs sont présentes mais retardées dans la variable d'état D'_n , représentée à la ligne 5 du tableau, le retard étant associé aux registres 519 et 555.

5 Dans la section de filtre 550, les erreurs sont à nouveau éliminées par les portes ET/OU 571 et 572, cette dernière produisant le signal de sortie qui est représenté sur la ligne 6 du tableau. Ces portes ET/OU reçoivent une impulsion de rythme C_{S1} qui est à l'état haut pendant des intervalles de six bits, en commençant lorsque le bit encer-
 10 clé (à la ligne 6 du tableau) est dans le registre 590-30. Le signal de sortie global du filtre, Y_n , présent sur la ligne 563 et représenté à la ligne 7 du tableau, comporte à nouveau des bits d'erreur. Cependant, ces bits "J" ne sont pas entrés dans les bits essentiels "#" ou n'ont pas perturbé ces bits, et, en fait, il existe une marge de trois bits
 15 de signe "S" non contaminés.

La figure 6 représente un diagramme séquentiel relatif au filtre de la figure 5. Tous les registres contenus dans les éléments de retard 501, 502, 590 et 591, ainsi que les registres de report qui font partie des circuits additionneurs, reçoivent des signaux d'horloge
 20 à la cadence de bit f_b . Les portes ET/OU 521, 522, 571 et 572 sont attaquées par l'horloge pendant six intervalles de bit, sous l'action d'un signal de rythme C_{S1} qui demeure à l'état haut pendant six intervalles de bit. Un signal C_{S1} sur quatre produit le signal de rythme désigné par C_{HE} qui actionne les portes ET 406 et 407 dans le circuit d'accumu-
 25 lation et de vidage de la figure 4. Le signal C_{HE} est à l'état haut pendant un intervalle de mot.

Bien que la configuration décrite ci-dessus donne des mots plus longs dans les sections de filtre et nécessite des étages de retard supplémentaires, l'application des signaux d'horloge et la gestion de
 30 l'information dans le filtre sont considérablement simplifiées. Ceci est particulièrement avantageux lorsque le filtre doit être fabriqué sous forme de circuit intégré. Les registres à un bit qui forment les éléments de retard ont une structure régulière et peuvent être implantés avec une densité élevée, alors qu'en comparaison les fonctions d'horloge et d'au-
 35 tres fonctions de manipulation de données sont de façon générale d'une nature irrégulière et leur implantation ne permet pas une bonne utilis-

tion de la surface disponible. L'expression des coefficients du filtre sous la forme de mots courts (six bits ou moins) est une caractéristique importante de l'invention, et la fonction de transfert qui est exprimée par l'équation (8) représente une amélioration importante par rapport aux configurations utilisées jusqu'à présent. Si des coefficients plus longs sont nécessaires, on doit modifier de façon correspondante le nombre de bits de signe à prépositionner ou à répéter au moyen des circuits de fixation de valeur. De façon générale, si on utilise les signaux de sortie provenant des "L" derniers registres pour former les signaux de rétroaction et de prédiction, le filtre doit être conçu de façon qu'au moins "L" bits de chaque mot soient amenés à prendre la même valeur que le bit de signe de ce mot.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif décrit et représenté, sans sortir du cadre de l'invention. Par exemple, bien que les mots d'entrée soient avantageusement exprimés en formant en complément à deux, on peut également utiliser d'autres formats, tels que l'arithmétique signe/valeur absolue. Cependant, ceci nécessite des modifications de certains des éléments arithmétiques. Dans d'autres cas, il peut être souhaitable de donner au filtre d'autres formes classiques qui sont fonctionnellement équivalentes à la section de la figure 1. Comme on l'a expliqué précédemment, les deux sections de filtre décrites sur la figure 5, peuvent être utilisées séparément, ou en association avec d'autres dispositifs de filtrage.

REVENDICATIONS

1. Dispositif de filtrage d'un signal d'entrée comprenant une série de mots d'entrée à plusieurs bits, chacun des mots comprenant une partie essentielle, un bit de signe et au moins L répétitions du bit de signe, ce dispositif comprenant : des premier et second éléments de retard connectés en série (201,202), chacun d'eux étant conçu de façon à mémoriser le nombre de bits contenus dans un mot d'un signal intermédiaire qui lui est appliqué; un circuit logique (220,230) destiné à combiner des bits sélectionnés parmi les L derniers bits mémorisés dans les éléments de retard, conformément à des première et second relations prédéterminées, pour générer respectivement des signaux de rétroaction et de prédiction, un premier circuit de combinaison (213) destiné à combiner, bit par bit, le signal de rétroaction et le signal d'entrée, pour donner le signal intermédiaire, et un second circuit de combinaison (210) destiné à combiner, bit par bit, le signal intermédiaire et le signal de prédiction, pour donner le signal de sortie du filtre, caractérisé en ce qu'il comprend en outre un circuit de fixation de valeur (250) qui est destiné à faire en sorte que L bits prédéterminés, au moins, dans chaque mot du signal intermédiaire, aient la même valeur que le bit de signe du mot d'entrée.
2. Dispositif selon la revendication 1, caractérisé en ce que le circuit logique comprend des circuits additionneurs et inverseurs; et l'élément de retard comprend une série de registres à un bit.
3. Dispositif selon la revendication 2, caractérisé en ce que les registres et les circuits additionneurs sont branchés de façon à recevoir des impulsions d'horloge à la même cadence de bit f_b .
4. Dispositif selon la revendication 3, caractérisé en ce que le circuit de fixation de valeur est conçu de façon à recevoir des impulsions d'horloge à une cadence f_b/m , en désignant par m le nombre de bits dans chacun des mots d'entrée.
5. Dispositif selon la revendication 1, caractérisé en ce que le signal de sortie du filtre est lié au signal d'entrée conformément à la fonction de transfert :

$$\frac{Y_n}{X_n} = \frac{1 - \frac{5}{4} z^{-1} + z^{-2}}{1 - \frac{19}{16} z^{-1} + \frac{31}{64} z^{-2}}$$

dans laquelle Y_n désigne la transformée en z du signal de sortie du filtre, X_n désigne la transformée en z du signal d'entrée et z^{-1} et z^{-2} désignent des retards respectifs d'un et de deux intervalles de mot.

- 5 6. Dispositif selon la revendication 1, caractérisé en ce que le signal de sortie du filtre est lié au signal d'entrée conformément à la relation :

$$10 \quad \frac{Y_n}{X_n} = \frac{1 - \frac{3}{4} z^{-1} + z^{-2}}{1 - \frac{23}{16} z^{-1} + \frac{55}{64} z^{-2}}$$

dans laquelle Y_n désigne la transformée en z du signal de sortie du filtre, X_n désigne la transformée en z du signal d'entrée et z^{-1} et z^{-2} désignent des retards respectifs d'un et de deux intervalles

- 15 de mot.

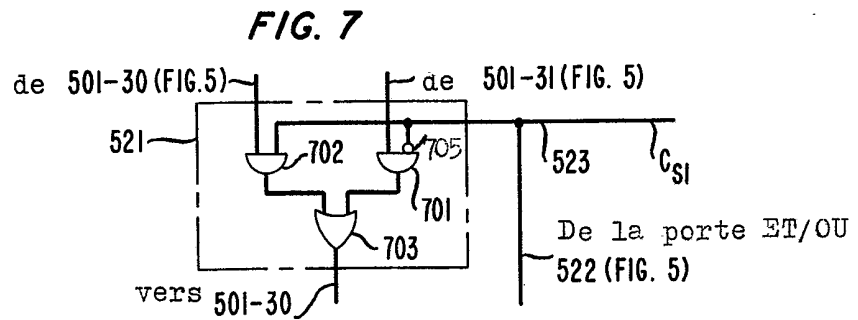
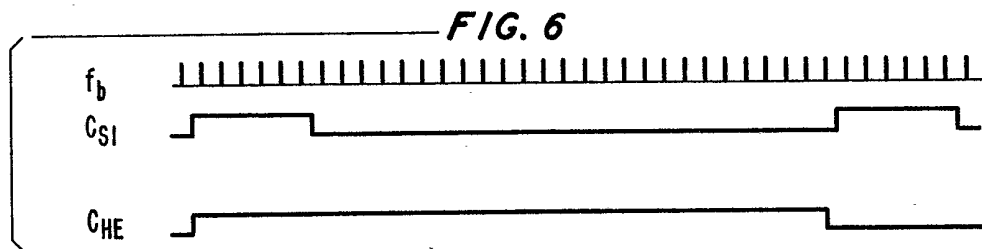
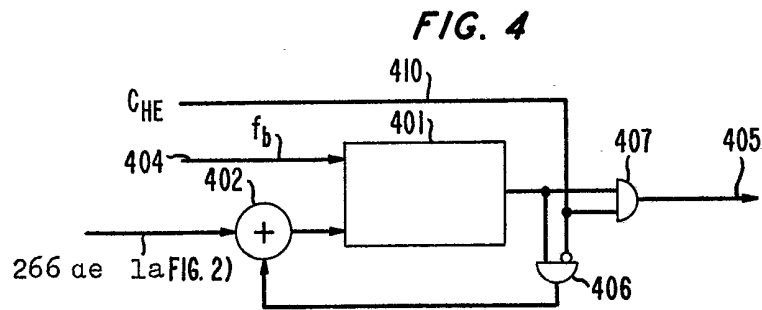
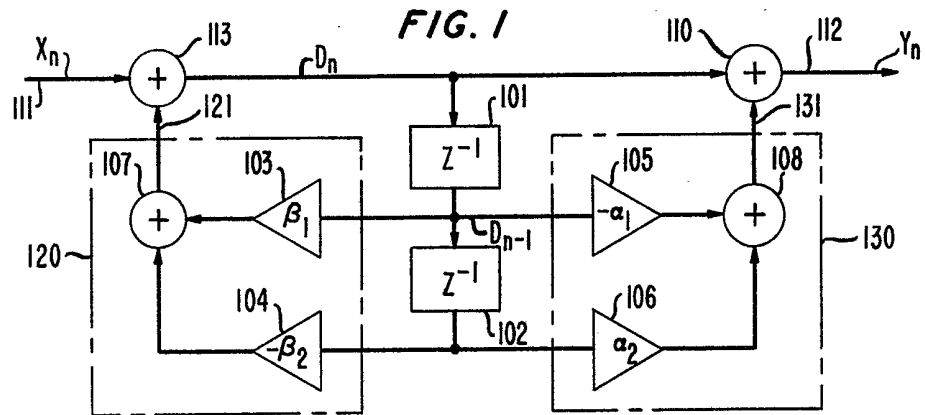


FIG. 2

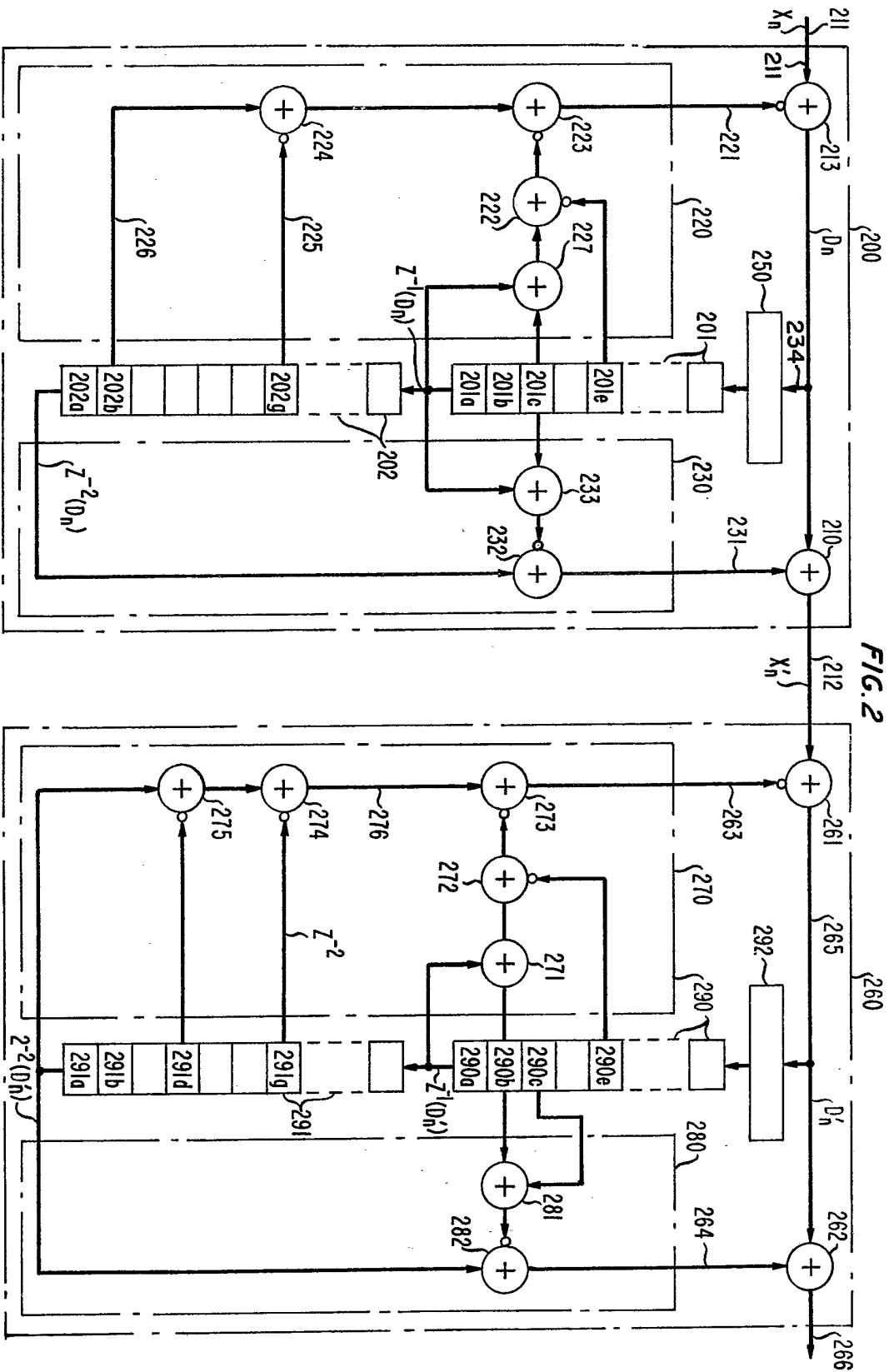


FIG. 3

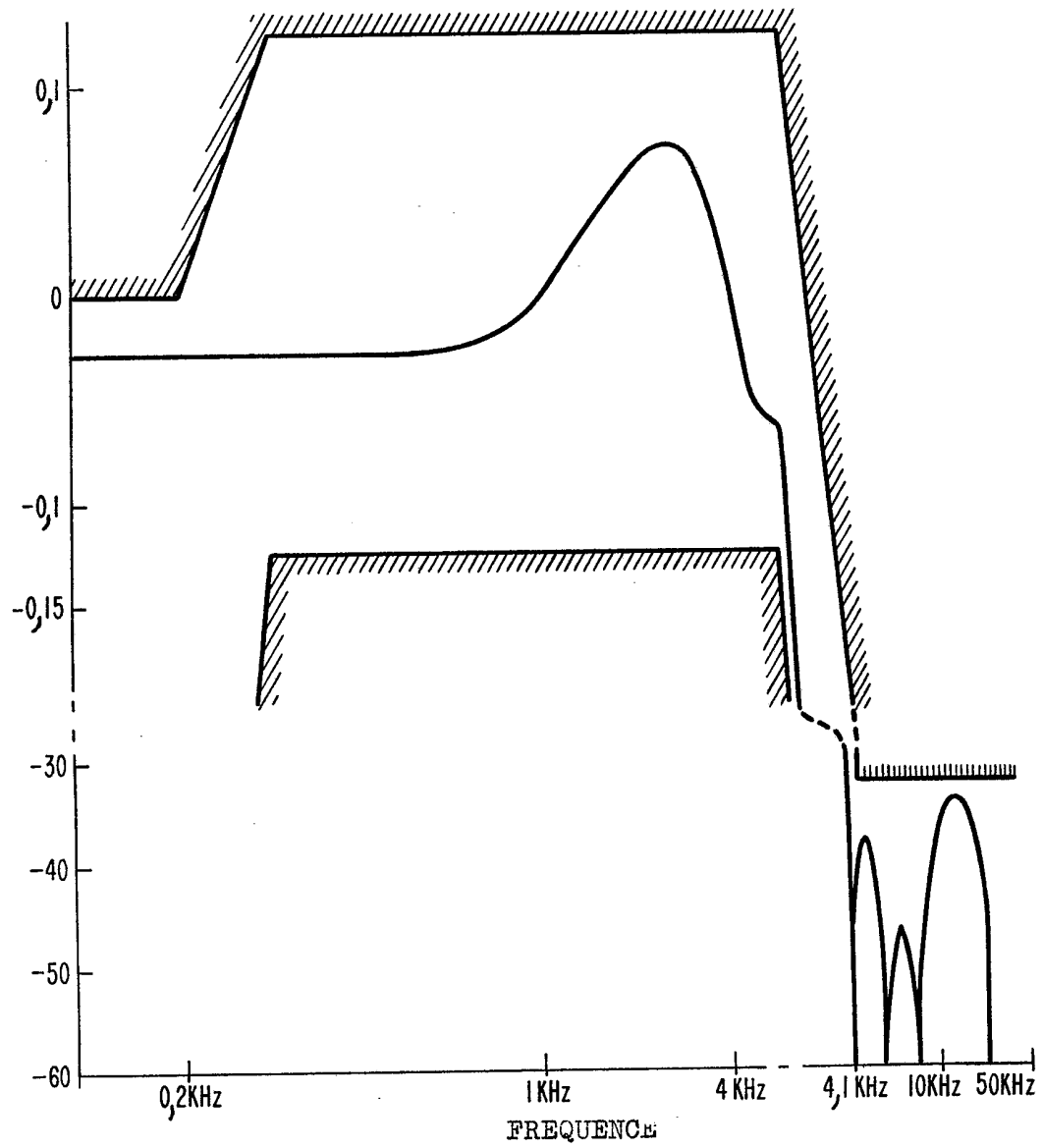


FIG. 5

