



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 60 2004 006 573 T2 2008.01.31

(12)

Übersetzung der europäischen Patentschrift

(97) EP 1 524 807 B1

(51) Int Cl.⁸: **H04L 12/56** (2006.01)

(21) Deutsches Aktenzeichen: 60 2004 006 573.0

(96) Europäisches Aktenzeichen: 04 255 815.5

(96) Europäischer Anmeldetag: 23.09.2004

(97) Erstveröffentlichung durch das EPA: 20.04.2005

(97) Veröffentlichungstag

der Patenterteilung beim EPA: 23.05.2007

(47) Veröffentlichungstag im Patentblatt: 31.01.2008

(30) Unionspriorität:
688340 17.10.2003 US

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Agilent Technologies, Inc. (n.d.Ges.d. Staates
Delaware), Santa Clara, Calif., US

(72) Erfinder:
Ilnicki, Slawomir K., Los Altos Hills California
94022, US; Khoche, Ajay, San Jose California
55129, US; Steinbach, Gunter W., Palo Alto
California 94306, US

(74) Vertreter:
Schoppe, Zimmermann, Stöckeler & Zinkler, 82049
Pullach

(54) Bezeichnung: **Erzeugen eines schmalbandigen Kanals innerhalb einer breitbandigen Paketübertragung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelebt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf das Gebiet digitaler Paketvermittlungsnetzwerke, bei den bevorzugten Ausführungsbeispielen auf ein Injizieren eines unidirektionalen Datenstroms niedriger Bandbreite in einen Kanal hoher Bandbreite.

[0002] Bei vielen Anwendungen, die digitale Netzwerke betreffen, besteht ein Bedarf nach Kanälen für Verwaltungs-, Überwachungs- und/oder Messfunktionen. Bei diesen Funktionen ist es üblich, dass eine Vorrichtung mit einem Kanal hoher Bandbreite verbunden ist. Die Vorrichtung führt eine gewisse Funktion durch, wobei ein Datenstrom niedriger Bandbreite als ein Ergebnis erzeugt wird. Ein Handhaben dieses Datenstroms niedriger Bandbreite erfordert, dass die Vorrichtung mit einem anderen Kommunikationskanal verbunden ist, wie beispielsweise einer drahtlosen Verbindung oder einem Tor (Port) an einem Hochgeschwindigkeitsschalter (Hochgeschwindigkeitsswitch). Bei Vorrichtungen, wie beispielsweise Schaltern und Routern, die eingebaute Mess- und Verwaltungsfähigkeiten aufweisen, sind zusätzliche Ressourcen einem Liefern einer Kommunikationsfähigkeit für diese Funktionen gewidmet. In jedem Fall sind zusätzliche Ressourcen bei dem Prozess eines Platzierens des Datenstroms niedriger Bandbreite zurück in das Netzwerk beschäftigt.

[0003] Die WO 01/56195 offenbart einen digitalen Statuskanal für ein Breitbandkommunikationssystem.

[0004] Die vorliegende Erfindung versucht, einen verbesserten Kanalbetrieb zu schaffen.

[0005] Gemäß einem Aspekt der vorliegenden Erfindung ist eine Vorrichtung zum Erzeugen eines Kanals niedriger Bandbreite in einem Kanal hoher Bandbreite gemäß Anspruch 1 vorgesehen.

[0006] Gemäß einem anderen Aspekt der vorliegenden Erfindung ist eine Vorrichtung zum Erzeugen eines Kanals niedriger Bandbreite in einem Kanal hoher Bandbreite gemäß Anspruch 8 vorgesehen.

[0007] Bei den bevorzugten Ausführungsbeispielen ist ein Kanal niedriger Bandbreite in einem Kanal hoher Bandbreite erzeugt, derart, dass eine zusätzliche Bandbreite lediglich für den Kanal niedriger Bandbreite verwendet wird, wenn Daten gesendet werden sollen, eine minimale Latenz in den Kanal hoher Bandbreite eingebracht wird, wenn kein Paket über den Kanal niedriger Bandbreite gesendet werden soll, und die Wirkungen eines Sendens eines Pakets an dem Kanal niedriger Bandbreite unter anderem durchlaufenden Verkehr absorbiert und verteilt werden.

[0008] Ausführungsbeispiele der vorliegenden Erfindung sind unten lediglich durch ein Beispiel mit Bezug auf die zugehörigen Zeichnungen beschrieben, in denen:

[0009] [Fig. 1](#) eine Paketeinfügung zeigt,

[0010] [Fig. 2](#) ein Blockdiagramm eines ersten Ausführungsbeispiels der Erfindung zeigt,

[0011] [Fig. 3](#) FIFO-Zeiger für das erste Ausführungsbeispiel der Erfindung zeigt,

[0012] [Fig. 4](#) eine Zustandsmaschine zeigt, die für das erste Ausführungsbeispiel der Erfindung geeignet ist,

[0013] [Fig. 5](#) Zustandsübergänge bei dem ersten Ausführungsbeispiel der Erfindung zeigt,

[0014] [Fig. 6](#) ein Blockdiagramm eines zweiten Ausführungsbeispiels der Erfindung zeigt,

[0015] [Fig. 7](#) eine Zustandsmaschine zeigt, die für das zweite Ausführungsbeispiel der Erfindung geeignet ist,

[0016] [Fig. 8](#) Zustandsübergänge für das zweite Ausführungsbeispiel der Erfindung zeigt,

[0017] [Fig. 9](#) ein Blockdiagramm eines dritten Ausführungsbeispiels der Erfindung zeigt,

[0018] [Fig. 10](#) Zustandsübergänge für das dritte Ausführungsbeispiel der Erfindung zeigt, und

[0019] [Fig. 11](#) eine Zustandsmaschine zeigt, die für das dritte Ausführungsbeispiel der Erfindung geeignet ist.

[0020] Das bevorzugte Ausführungsbeispiel erzeugt einen Kanal niedriger Bandbreite durch ein Einfügen von

Paketen in den Paketstrom hoher Bandbreite. Ein Kanal niedriger Bandbreite wird innerhalb des Kanals hoher Bandbreite durch ein Einfügen von Paketen in einem vorbestimmten Intervall erzeugt. Diese Einfügung bringt eine Latenz in den Kanal hoher Bandbreite ein. Diese Latenz ist nicht konstant, sondern wird durch ein Minimieren von Zwischenpaketlücken zwischen Paketen in dem eingehenden Kanal hoher Bandbreite nach dem eingefügten Paket wieder gewonnen. Während das eingefügte Paket übertragen wird, wobei der Kanal mit niedriger Bandbreite gebildet wird, werden ankommende Pakete hoher Bandbreite in einem elastischen Puffer gespeichert.

[0021] In Anbetracht der Analogie eines Eintretens in Autobahnverkehr tritt ein eingehender Verkehr dem Autobahnverkehr durch ein „Einfädeln“ (Verschmelzen) bei. Falls es genug Platz zwischen Autos auf der Autobahn gibt, gibt es kein Problem. Während der Hauptverkehrszeit jedoch wird ein Beitreten zu einem Verkehr schwieriger. Wenn man in dichten Verkehr auf der Autobahn eintritt, müssen Autos, die hinter einem sein werden, häufig langsamer werden, um Platz zu machen. Dies ist jedoch eventuell für Autos weiter hinten nicht erkennbar. Der Verkehr kompensiert einen Eintritt durch ein Verlangsamten und ein Kleinermachen von Lücken zwischen Autos aufgrund niedrigerer Geschwindigkeiten. Früher, als es keine Dosierlichter gab, erzeugten derartige Eintritte ein Chaos. Durch ein Einführen von Dosierlichtern verbesserte sich die Situation in dem Sinne, dass Autos mit einer vorbestimmten Frequenz in die Autobahn eintraten. Dies milderte die Auswirkung eines „Injizierens“ von Autos in laufenden Verkehr. Das System stützt sich auf eine ausreichend unterausgenutzte Verbindungskapazität, wenn Pakete mit einer angemessenen niedrigen Rate injiziert werden.

[0022] Verschiedene Ethernet-Netzwerkstudien haben gezeigt, dass Ethernet-Netzwerke gut arbeiten, falls die Bandbreite zu nicht mehr als 30 % einer Kapazität ausgenutzt ist. Eine stärkere Nutzung kann Kollisionen bewirken, die zu einer Verstopfung führen. Eine Neuübertragung kann mehr Verkehr und mehr Kollisionen bewirken, bis zu dem Punkt, dass sehr wenig Verkehr durchkommt. Bei Hauptnetzwerken (Backbone-Netzwerken) oder Zwischenbereichsverbindungen, bei denen es weniger Übertragungssurheber gibt, ist der Verkehr viel glatter und die Ausnutzung derartiger Verbindungen kann 60–70 % einer Kapazität erreichen. Es gibt weniger Kollisionen, weil weniger Teilnehmer an den Schaltern, an denen der Verkehr konvergiert, in Konkurrenz stehen. Eine höhere Ausnutzung und ein gelegentliches Verkehrsbersten (Verkehrsbursting) kann zu einem wesentlichen Paketverlust bei den Routern führen. Während eine maximale Paketgröße für grundlegendes Ethernet 1536 Byte beträgt, umfasst ein typischer Verkehr einen Bereich von Paketgrößen. Dies bedeutet, dass Paketschaltfähigkeiten eines Routers mit Verkehrsmustern sowie einer Verbindungsbandbreite übereinstimmen müssen. In anderen Worten ausgedrückt resultiert ein Treiben einer Kommunikationsleitung nahe an 100 % einer Fähigkeit eines Routers, entweder in Paketen pro Sekunde oder einer Verbindungs Kapazität, in einem wesentlichen Paketverlust. Die Auswirkungen eines Paketverlusts sind sehr ernst. Ein Paketverlust kann einen Lawineneffekt aufweisen und kann aufgrund von Neuübertragungen sogar mehr Verkehr erzeugen. Deshalb belassen die meisten Netzwerkplaner etwas freie, zusätzliche Kapazität, anstatt Kommunikationsleitungen bei 100 %-iger Kapazität zu betreiben. Etwas dieser zusätzlichen Kapazität ist für uns als ein Kanal niedriger Bandbreite verfügbar, wie es diese Erfindung vorschlägt. Dieser Kanal niedriger Bandbreite verwendet eventuell nur 1 % der Gesamtbandbreite der Kommunikationsleitung.

[0023] Das beschriebene Ausführungsbeispiel definiert die obere Bandbreite des Kanals niedriger Bandbreite durch ein Spezifizieren eines Haltezeitgebers. Der Haltezeitgeber definiert ein Intervall, während dessen lediglich ein Paket gesendet werden kann. Wenn der Haltezeitgeber abläuft, kann ein anderes Paket über den Kanal niedriger Bandbreite gesendet werden. Dies kann lediglich unter der Bedingung auftreten, bei der der Paketstrom hoher Bandbreite irgendein vorhergehendes Paket absorbierte, das eingefügt wurde. Mit anderen Worten muss der Paketstrom hoher Bandbreite zu einem unveränderten Bewegen zurückkehren, bevor ein zusätzliches Paket in den Strom eingefügt werden kann. Natürlich würde die Einfügung eines zusätzlichen Pakets kleine, temporäre Verzögerungen in dem Paketstrom hoher Bandbreite bewirken. Die Haltezeitgeberverzögerung in Taktzyklen (Schriftzeichen; jedes übertragene Schriftzeichen nimmt einen Taktzyklus ein) berechnet sich wie folgt:

Haltezeitgeber = Paket_in_Bytes x -----
Geschwindigkeit_von_Ka-
nal_hoher_Bandbreite
Geschwindigkeit_von_Ka-
nal niedriger Bandbreite

[0024] Falls beispielsweise die Größe eines eingefügten Pakets 1,5 Kbyte beträgt, die Bandbreite des Kanals hoher Bandbreite 1 Gbps beträgt und der Kanal niedriger Bandbreite 1 % der Kapazität des Kanals hoher Bandbreite.

Bandbreite, d. h. 10 Mbps, beträgt, dann beträgt der Haltezeitgeber näherungsweise 150000 Taktzyklen. Der Taktzyklus pro Byte bei 1 Gbps und bei einer 8B/10B-Codierung des Bitstroms beträgt 10 nsec. Dies bedeutet, dass bei diesem Beispiel kein anderes Paket in weniger als 1,5 msec in den Paketstrom hoher Bandbreite eingebracht werden könnte. Kleinere Paketgrößen weisen kleinere Haltezeitgeberwerte auf und könnten häufiger eingebracht werden. Ein Wählen kleinerer Pakete kann jedoch die Anzahl von Paketen pro Sekunde erhöhen, was die Verarbeitungsfähigkeit des Routers beeinflussen kann, falls sich derselbe nahe der Paket-pro-Sekunde-Grenze desselben befindet.

[0025] Anstelle eines Definierens des Haltezeitgebers als eine feste Funktion einer Paketgröße und -bandbreite, könnte der Haltezeitgeber einen eingebauten zufälligen Faktor aufweisen. In diesem Fall könnte der obige berechnete Haltezeitgeber ein Durchschnittswert sein, der zufällig zwischen einer unteren und einer oberen Begrenzung schwankt. Beispielsweise könnte sich der Haltezeitgeber innerhalb von $\pm 20\%$ eines Durchschnitts befinden. Eine Randomisierung des Haltezeitgebers kann eine Synchronisation eines Verkehrsflusses verhindern, wenn die Pakete gleicher Größe in den Verkehr eingefügt werden. Es ist nicht erwiesen, dass eine Randomisierung dieses Haltezeitgebers eine Flusssynchronisation beeinflussen kann, aber verschiedene Studien von Verkehrsflüssen haben gezeigt, dass eine Synchronisation im Allgemeinen eine nachteilige Auswirkung auf die Gesamtstabilität der Netzwerke aufweisen kann.

[0026] Ein anderer wichtiger Parameter ist die Zwischenpaketlücke. Dies ist eine Lücke zwischen zwei aufeinander folgenden Paketen oder Rahmen (Frames) (z. B. Ethernet-Rahmen). Bei 1 Gbps-Ethernet muss die minimale Zwischenpaketlücke 96 nsec betragen. Die einzige Möglichkeit, um die Auswirkung einer Einfügung eines zusätzlichen Pakets (eigentlich ein Paket, das gerahmt ist) in den Strom hoher Bandbreite zu reduzieren, besteht durch ein Reduzieren von Zwischenpaketlücken folgender Pakete, die größer als das Minimum sind. Natürlich könnte die minimale Lücke als größer als eine minimale Lücke definiert sein, die durch einen spezifischen Standard definiert ist. Dies kann notwendig sein, falls die Leitungskarte Probleme bei einem Handhaben minimaler Lücken hat, die durch den Standard definiert sind. Ähnlich dem Haltezeitgeber könnte die minimale Lücke ferner einen eingebauten zufälligen Faktor aufweisen, um eine mögliche schädliche Verkehrssynchronisation zu vermeiden. Aber eine Studie muss durchgeführt werden, um zu bestimmen, ob dies notwendig ist.

[0027] [Fig. 1](#) stellt dar, wie zusätzliche Pakete (Rahmen) **110** und **112** in einen Paketstrom **100** hoher Bandbreite eingefügt werden. Es sollte hier wiederholt werden, dass ein „Paket“ nicht nur ein IP-Paket ist, sondern dasselbe ein Rahmen ist, der ein IP-Paket enthalten kann. In dem Fall von Ethernet ist dasselbe ein eigentlicher Ethernet-Rahmen, der bereits codiert ist, z. B. unter Verwendung einer 8B/10B-Codierung. Der Codierungstyp hängt davon ab, welcher Codierungstyp durch einen durchlaufenden Verkehr verwendet wird. In [Fig. 1](#) sind unbeeinflusste Pakete durchsichtig, verzögerte Pakete grau und eingefügte zusätzliche Pakete in Schwarz gezeigt.

[0028] Bei t_0 ist ein zusätzliches Paket **110** bereit, um gesendet zu werden. Bis zu dieser Zeit ist der vorbestimmte Haltezeitgeber abgelaufen. Dies bedeutet, dass die nächste Gelegenheit, um ein zusätzliches Paket einzufügen, dann sein wird, wenn der Kanal hoher Bandbreite LEERLAUF-Schriftzeichen (IDLE-Schriftzeichen) überträgt. Bei t_0 wurde ein Paket P0 übertragen. Nach einem Abschluss eines Übertragens von P0 und einer minimalen Lücke könnte bei t_1 ein neues Paket EP1 (EP = extra packet = zusätzliches Paket) eingefügt werden. Zu der gleichen Zeit muss die Erfindung einen eingehenden Verkehr in einem elastischen Puffer für eine zukünftige Neuübertragung absorbieren. Bei dem Beispiel in [Fig. 1](#) weist der eingehende Verkehr zwischen P0 und P1 eine Zwischenpaketlücke auf, die größer als das Minimum ist. Dieses Ausführungsbeispiel minimiert diese Lücke und lässt zusätzliche LEERLAUF-Schriftzeichen fallen, bis dasselbe das Paket P1 sieht. Das P1-Paket tritt in den elastischen Puffer ein, sowie die minimale Lücke zwischen 21 und 22, wenn das zusätzliche Paket sich in dem Prozess eines Gesendetwerdens befindet. Ferner wird die Lücke zwischen P2 und P3 reduziert, so dass das P3-Paket sich ohne Verzögerung bewegt. Durch die Einfügung des EP1-Pakets werden lediglich 21 und 22 beeinflusst (verzögert), aber P3 wird nicht verzögert. Bei t_1 startet das Ausführungsbeispiel ferner einen Haltezeitgeber, wie es vorher definiert wurde, als ein Paketstrom **120** gezeigt. Ein Paketstrom **130** stellt eine Situation dar, wenn ein zufälliger Faktor zu dem Haltezeitgeber hinzugefügt ist. Bei t_2 ist ein weiteres zusätzliches Paket EP2 **112** bereit, um gesendet zu werden, zu dieser Zeit jedoch sind die Kriterien eines Kanal niedriger Bandbreite noch nicht erfüllt und man muss bis t_3 warten, wenn der Haltezeitgeber abläuft. Nach t_3 wiederholt sich der Prozess, d. h. bei t_4 wird ein zusätzliches Paket in den Strom injiziert, usw. Hier ist anzumerken, dass die Geschwindigkeit, mit der die neuen zusätzlichen Pakete absorbiert werden, von den Zwischenpaketlückengrößen abhängen würde. Größere Lücken „absorbieren“ neue Pakete schneller. Ferner spielt es keine Rolle, ob ein eingehender Verkehr normale (1,5 Kbyte) oder extra große (9 Kbyte) Ethernet-Rahmen enthält. burst-Ethernet-Rahmen werden jedoch nicht auseinandergebrochen.

[0029] Ein erstes Ausführungsbeispiel der vorliegenden Erfindung ist in [Fig. 2](#) bis [Fig. 5](#) gezeigt; dasselbe bringt null Verzögerung ein. Ein zweites Ausführungsbeispiel der vorliegenden Erfindung ist in [Fig. 6](#) bis [Fig. 8](#) gezeigt und verwendet eine Verzögerung von 2 Schriftzeichen. Ein drittes Ausführungsbeispiel der vorliegenden Erfindung ist in [Fig. 9](#) bis [Fig. 11](#) gezeigt und verwendet eine beliebige Verzögerung.

[0030] Während die vorliegende Erfindung in verschiedenen Formen implementiert sein kann, ist die vorliegende Erfindung auch für eine Implementierung in einer sehr integrierten Form geeignet, die für ein Ersetzen von Industriestandard-Schnittstellenwandlermodulen geeignet ist, beispielsweise diesen, die als GBICs oder GigaBit-Schnittstellenwandler (GigaBit Interface Converters) bekannt sind. Aktuelle GBICs sind im Grunde Sende/Empfangsgeräte, die einen Medientyp (optisch, verdrilltes Paar, etc.) in einen anderen Medientyp übersetzen. Durch ein Bereitstellen eines Ersatz-GBIC, der die vorliegende Erfindung umfasst, sind zahlreiche Anwendungen ermöglicht, die Kanäle niedriger Bandbreite erfordern. Derartige Anwendungen umfassen viele Netzwerküberwachungsanwendungen.

[0031] Die Lösung mit null Verzögerung von [Fig. 2](#) bis [Fig. 5](#) ist normalerweise bei einer Leitungsgeschwindigkeit wirksam (keine Latenz in durchlaufenden Verkehr eingebracht, außer einer Latenz, die durch Serialisierer, MUX und Deserialisierer eingebracht wird). Wie es in [Fig. 2](#) gezeigt ist, werden zusätzliche Pakete aus einem Puffer **260** in den Verkehrsstrom injiziert.

[0032] Die Verzögerung von zwei Schriftzeichen, die in [Fig. 6](#) bis [Fig. 8](#) gezeigt ist, bringt eine minimale Verzögerung von zwei Schriftzeichen für einen Normalbetrieb ein (d. h. durchlaufender Verkehr wird um zwei Schriftzeichen verzögert). Wie es in [Fig. 6](#) gezeigt ist, wird das zusätzliche Paket vor einer Übertragung in einen FIFO-Puffer **650** kopiert.

[0033] Die Lösung mit beliebiger Verzögerung von [Fig. 9](#) bis [Fig. 11](#) ist für diese Anwendungsarten bedeutsam, die eine Manipulation von Daten vor einem Weiterleiten erfordern, z. B. einem Aktualisieren von Paketkopfböcken, einem Entfernen von Teilen von Kopfböcken, etc.

[0034] Während hier Beschreibungen zu diesen darstellenden Ausführungsbeispielen enthalten sind, liegt das Hauptaugenmerk auf der Lösung mit null Verzögerung, die unten detailliert beschrieben ist.

[0035] Jedes Mal, wenn ein serieller Bitstrom zu parallelen n-Bit-Wörtern deserialisiert wird, kann das Ergebnis lediglich dann für eine weitere Verarbeitung (selbst nur um zu reserialisieren) weitergeleitet werden, nachdem alle n Bits angekommen sind. Dies bedeutet, dass ein Deserialisieren und anschließendes Reserialisieren eines Bitstroms eine Latenz von zumindest einem Wortzyklus oder n Bit einbringt. In der Praxis ist zu erwarten, dass der Serialisierer und der Deserialisierer jeweils mehr als Mehrfache von einem Bit einer internen Latenz aufweisen, für insgesamt etwa zwei Wortzyklen (20 ns für das Gigabit-Ethernet-Beispiel), selbst in dem Fall der so genannten Lösung mit „null Verzögerung“. Zusätzlich muss die Erfindung lesen und zu einem Auf-Chip-Speicher (On-Chip-Speicher) schreiben und Leerlaufschriftzeichen mit der Wortrate erfassen, z. B. 125 MHz bei Gigabit-Ethernet. Dies sollte bei einem modernen CMOS-Prozess kein Problem sein. Schnellere Schnittstellen, wie z. B. 10 Gb-Ethernet, können jedoch einen breiteren, parallelen Mehrwortstrom erfordern, der eine zusätzliche SER/DES-Latenz von 1 Wortzyklus (n Bit) pro Wort einfahren würde. Absolut ausgedrückt wären natürlich diese Zyklen 10x schneller.

[0036] Null Verzögerung. [Fig. 2](#) bis [Fig. 5](#) zeigen ein Ausführungsbeispiel der vorliegenden Erfindung mit null Verzögerung (Latenz). Mit Bezug auf [Fig. 2](#) kommt der eingehende Strom von Paketen an einer Schnittstelle **211** herein. Weil derselbe ein serieller Strom von Bits ist (bei 1-Gigabit-Ethernet läuft derselbe mit einer tatsächlichen Leitungsrate von 1,25 Gbps), wird derselbe durch einen Deserialisierer **210** zu parallelen Strömen von Bits deserialisiert. Falls eine 8B/10B-Codierung verwendet wird (z. B. Ethernet mit 1 Gigabit/sec) wird der Strom in einen Strom **212** von 10 parallelen Bits deserialisiert. Dieser Strom nimmt abhängig von dem Systemzustand unterschiedliche Routen.

[0037] Eine Deserialisierung ist eine gut bekannte Technik, um Hochgeschwindigkeitsdaten mit niedrigeren Geschwindigkeiten zu verarbeiten. Bei 1-Gigabit-Ethernet beispielsweise können Daten mit 125 MHz anstelle von 1,25 GHz verarbeitet werden. Falls kein anderes Paket gesendet wird oder der FIFO-Puffer **250** leer ist (d. h. es gibt keine Auswirkung von vorhergehend eingefügten Paketen auf den Hauptpaketstrom), befindet sich der Zustand der Steuerlogik **230** in dem Anfangszustand – S0 von [Fig. 4](#). Die Zustandsmaschine, die in [Fig. 4](#) beschrieben ist, zeigt, wie die Steuerlogik **230** basierend auf Ereignissen von einem Zustand in einen anderen übergeht. [Fig. 5](#) zeigt ein Beispiel eines Zustandsübergangs. [Fig. 2](#) stellt die grundlegenden Bausteine dar und [Fig. 3](#) beschreibt, wie FIFO-Pufferzeiger übergehen.

[0038] Es ist zu beachten, dass, während Zustandsmaschinen als ein Beispiel und eine Hilfe für ein Verständnis der vorliegenden Erfindung vorgesehen sind, Zustandsmaschinen bei einem Praktizieren der Erfindung nicht nötig sind. Kompaktere Ausführungsbeispiele können unter Verwendung einer festen Logik erhalten werden, die die hierin beschriebenen Konzepte implementiert.

[0039] Während gleichermaßen ein FIFO als ein Beispiel verwendet wird, kann irgendein elastischer Puffer verwendet werden. Hardwareimplementierungen erfordern eventuell keine direkte Steuerung von Lese- und Schreibzeigern und es können beispielsweise Einzeltorpuffer verwendet werden.

[0040] In dem Zustand S0 verwenden die Daten des eingehenden Paketstroms den „schnellen Weg“. Dieselben bewegen sich von der Schnittstelle **212** durch eine Schnittstelle **271** zu einem Multiplexer MUX **270**. Der MUX **270** befindet sich in einem Zustand 0, der ermöglicht, dass die eingehenden Daten **271** durch eine Schnittstelle **273** und **221** zu einem SERialisierer **220** weitergeleitet werden, der die parallelen Ströme an dem Ende zurück zu einem seriellen Strom **222** umwandelt. Der Ausgang des SERialisierers **220** stellt typischerweise eine Verbindung mit einer Außennetzwerkausrüstung her und kann eine elektrische oder optische Schnittstelle darstellen.

[0041] Mit Bezug auf das Beispiel in [Fig. 5](#) läuft zu der Zeit t_0 ein eingehendes Paket P0 unter Verwendung des oben beschriebenen schnellen Wegs durch. Die Steuerlogik **230** befindet sich in dem Zustand S0. Bei t_1 läuft die Haltezeit ab ([Fig. 5](#)) und bewegt sich die Steuerlogik **230** von S0 zu einem Zustand S1 (Ereignis: Haltezeitgeber abgelaufen; [Fig. 4](#), [Fig. 5](#)). Bei t_2 ist ein zusätzliches Paket ([Fig. 5](#)) bereit, um in den Strom injiziert zu werden (Ereignis: zusätzliches Paket bereit). Die Zustandsmaschine der Steuerlogik **230** schaltet in einen Zustand S3 ([Fig. 4](#) & [Fig. 5](#)). Zu dieser Zeit beginnt die Steuerlogik **230** ein Erfassen, wann das zusätzliche Paket zu injizieren ist. Die Erfassung wird durch ein Überprüfen jedes einzelnen Schriftzeichens **231** vorgenommen, das die Steuerlogik **230** durchläuft.

[0042] Die Daten können nach dem Deserialisierer **212** von [Fig. 2](#) drei unterschiedliche Wege nehmen. Der erste Weg wurde oben als der schnelle Weg beschrieben. Der zweite Weg **251** geht in den FIFO-Puffer **250**. Der dritte Weg **231** tritt in die Steuerlogik **230** ein. Die Steuerlogik **230** erfasst LEERLAUF-Schriftzeichen, die die Möglichkeit eines Injizierens des zusätzlichen Pakets angeben. Die Steuerlogik **230** zählt LEERLAUF-Schriftzeichen, um die minimale Lücke einzuhalten. Dies tritt in dem in [Fig. 4](#), [Fig. 5](#) gezeigten Zustand S3 auf. Sobald die minimale Lücke eingehalten ist, wird ein Ereignis: aktuelle Lücke == minimale Lücke, erzeugt und die Zustandsmaschine schaltet in einen Zustand S4 (Paket in Strom einfügen und Absorbieren von eingehendem Verkehr in FIFO beginnen). Es ist hier zu beachten, dass bei Gigabit-Ethernet LEERLAUF-Schriftzeichen aus zwei unterschiedlichen Codierungsgruppen kommen. Mit anderen Worten gibt es zwei unterschiedliche LEERLÄUFE. Welcher der LEERLÄUFE zu verwenden ist, hängt von einer DC-Signalausgeglichenheit des gesamten Stroms gesendeter Schriftzeichen ab. Falls beispielsweise ein injiziertes Paket durch eine Art von LEERLAUF gefolgt ist und es LEERLÄUFE in dem FIFO gibt, die unmittelbar LEERLÄUFEN des eingefügten Pakets folgen sollten, dann sollten diese LEERLÄUFE durch den LEERLAUF ersetzt werden, der dem eingefügten Paket folgte. Auf diese Weise wird eine ordnungsgemäße DC-Signalausgeglichenheit bewahrt. Zusätzlich ist ein LEERLAUF kein einziges Schriftzeichen sondern zwei Schriftzeichen. Bei t_3 wird das zusätzliche Paket **260** eingefügt. Zu der gleichen Zeit startet ein neuer Haltezeitgeber, wird der aktuelle Lückenzähler auf 0 gesetzt, wird der R-Zeiger (R = read = lesen) des FIFO **250** gesichert und zeigt ein neuer R-Zeiger auf den Beginn des zusätzlichen Pakets ([Fig. 3](#)).

[0043] Zu der gleichen Zeit werden die eingehenden Paketdaten auch zu dem FIFO **250** weitergeleitet **251**, aber werden nicht durch einen MUX **280** weitergeleitet, weil der Zustand des MUX **280** 0 lautet und die Schnittstelle **282** lediglich ein Weiterleiten von Daten ermöglicht, falls der Zustand des MUX **280** 1 lautet. Weil der R-Zeiger zu dem zusätzlichen Paket zeigt, bewegt sich der W-Zeiger (W = write = schreiben) zu dieser Zeit nicht vor. Die Daten werden in den FIFO **250** zu der gleichen Position geschrieben, aber ein Lesen tritt von dem Zusatzpaketpuffer auf.

[0044] Es ist hier zu beachten, dass die Steuerlogik **230** einen Zustand von S0 → S2 → S3 verändern würde, falls das Ereignis: zusätzliches Paket bereit vor dem Ereignis: Haltezeit abgelaufen auftritt ([Fig. 4](#)). Sobald diese zwei Ereignisse auftreten, schaltet die Steuerlogik **230** in einen Zustand S4.

[0045] Sobald die Steuerlogik **230** in den Zustand S4 eintritt, sendet dieselbe ein Signal durch die Schnittstelle **232–274**, um den Zustand des MUX **270** auf 1 zu ändern, und ein Signal **236–284**, um den MUX **280** in den Zustand 0 zu versetzen. Zu der gleichen Zeit beginnt dieselbe durch das Signal **235–262** einen Prozess eines Sendens des zusätzlichen Pakets **260** Schriftzeichen für Schriftzeichen. Bei t_3 zeigt der R-Zeiger zu den Daten

des zusätzlichen Pakets. Schriftzeichen des zusätzlichen Pakets bewegen sich durch eine Schnittstelle **261–281** zu dem MUX **280** und dann werden dieselben durch eine Schnittstelle **283–272** zu dem MUX **270** weitergeleitet. Weil der MUX **270** sich in dem Zustand 1 befindet, gehen Daten durch eine Schnittstelle **273–212** zu dem SERialisierer **220** und treten durch die Schnittstelle **222** aus. Bei t_4 kommt das Paket P1 an. Ein Ereignis: Start-Rahmen wird erzeugt und die Steuerlogik **230** geht in einen Zustand S5 über. Der FIFO **250** beginnt ein Ansammeln von P1-Schriftzeichen, d. h. der W-Zeiger desselben beginnt sich vorzubewegen. Dies bedeutet auch, dass eine Lücke $t_3–t_4$ aus dem Strom von Paketen beseitigt wurde, um die Wirkung der Einfügung des zusätzlichen Pakets auf die Verzögerung des eingehenden Paketstroms zu kompensieren. Bei dem in [Fig. 5](#) gezeigten Beispiel ist diese Lücke ($t_3–t_4$) nicht ausreichend, um die Wirkung des neu eingefügten zusätzlichen Pakets vollständig zu absorbieren, und es müssen mehr Zwischenpaketlücken verwendet werden, um die Wirkung zu kompensieren.

[0046] Es ist hier zu beachten, dass der Übergang zu dem nächsten Zustand, z. B. von S3 → S4 oder S5 → S4, lediglich auftritt, falls die konfigurierte minimale Lücke eingehalten ist. Mit anderen Worten könnte beispielsweise ein Paket nach P0 nicht eingefügt werden, falls die tatsächliche minimale Lücke (wie es durch den Standard definiert ist) zwischen P0 und P1 geringer als eine konfigurierte minimale Lücke ist. Das zusätzliche Paket wird warten müssen, bis sich eine genügend große Zwischenpaketlücke zeigt. Diese Option eines Aufweisens einer konfigurierbaren minimalen Lücke, die größer als diese ist, die durch einen spezifischen Standard definiert sind, wird für diese Einsätze gelassen, bei denen eine standardmäßige definierte minimale Lücke dem empfangenden Ende zu viel Belastung auferlegt. Es wird angenommen, dass unter normalen Umständen die konfigurierbare minimale Lücke gleich dieser sein wird, die durch den Standard definiert ist. In diesem Dokument bezieht sich der Kürze halber jedes Mal, wenn sich diese Erfindung auf eine minimale Lücke bezieht, dieselbe auf eine konfigurierbare minimale Lücke.

[0047] Das zusätzliche Paket muss durch zumindest die minimale Lücke gefolgt sein. Die Lücke zwischen den Paketen P0 und P1 ist zu klein, um die nachfolgende Lücke für das eingefügte zusätzliche Paket aufzunehmen, und deshalb muss eine minimale Lücke als ein Teil eines zusätzlichen Pakets enthalten sein. Die Absorption der Wirkung der Einfügung des zusätzlichen Pakets ($t_3–t_4$) wird einfach dadurch vorgenommen, dass der FIFO **250** den eigenen W-Zeiger desselben nicht vorbewegt.

[0048] Sobald das Paket P1 durch den FIFO **250** absorbiert ist, nimmt der FIFO LEERLAUF-Schriftzeichen, die P1 folgen, lediglich an, bis die minimale Lücke, die P1 nachfolgt, bei t_5 erfüllt ist. Bei t_5 wird ein Ereignis: aktuelle Lücke == min. Lücke erzeugt und geht die Steuerlogik **(230)** zurück zu dem Zustand S4 über, um zusätzliche LEERLAUF-Schriftzeichen zu beseitigen. Der FIFO **(250)** überspringt LEERLAUF-Schriftzeichen bis zu der Ankunft eines neuen Pakets P2 (t_6). Erneut wird hier die Lücke $t_5–t_6$ verwendet, um die Wirkung der Einfügung des zusätzlichen Pakets zu kompensieren. Bei t_6 kommt ein neues Paket P2 an und wird ein Ereignis: START-Rahmen erzeugt. Dieses Ereignis lässt die Zustandsmaschine der Steuerlogik **(230)** zu dem Zustand S5 übergehen, in dem der FIFO eingehende Pakete für eine zukünftige Übertragung sichern wird.

[0049] Zu einer Zeit t_7 wird das zusätzliche Paket mit minimaler Lücke schließlich gesendet. Die Steuerlogik **230** schaltet durch eine Schnittstelle **236–284** den MUX **280** zu dem Zustand 1 und setzt den R-Zeiger auf den Anfang des FIFO **250** ([Fig. 3](#), Zustand S6, S7). Ein Ereignis: Einfügungsende wird erzeugt und die Zustandsmaschine der Steuerlogik **230** geht zu dem Zustand S6 über. Zu dieser Zeit werden Daten von dem FIFO **250** gesendet. Der R-Zeiger des FIFO wird auf ein erstes Schriftzeichen gesetzt und dies wird das erste Schriftzeichen des Pakets P1 sein, das in dem FIFO gesichert ist. In der Zwischenzeit nimmt der FIFO **250** das Paket P2 an **251** und speichert dasselbe. Bei t_8 ist eine minimale Lücke erreicht, die dem Paket P2 folgt. Ein Ereignis: aktuelle Lücke == minimale Lücke wird erzeugt und die Zustandsmaschine geht zu einem Zustand S7 über (LEERLAUF-Schriftzeichen überspringen, während FIFO geleert wird).

[0050] Zu einer Zeit t_9 wird das letzte Schriftzeichen aus dem FIFO **250** gesendet. Es ist zu beachten, dass dies nicht das tatsächlich letzte Schriftzeichen ist, das in dem FIFO gesichert ist. Das letzte Schriftzeichen bedeutet ein Schriftzeichen, das aus dem FIFO gelesen werden könnte. Der R-Zeiger befindet sich zu dieser Zeit zwei Schriftzeichen hinter dem W-Zeiger. Weil man LEERLAUF-Schriftzeichen empfing, nachdem die minimale Lücke erreicht war, hat sich der W-Zeiger nicht vorbewegt. Mit anderen Worten wurden LEERLAUF-Schriftzeichen zwischen t_8 und t_9 absichtlich aus dem eingehenden Paketstrom fallen gelassen. Falls bei t_9 die letzten zwei empfangenen Schriftzeichen LEERLAUF darstellten, wird es dann bei dem nächsten Taktzyklus (nächstes Schriftzeichen) sicher sein, zu dem schnellen Weg umzuschalten. Das einzige, was aus dem eingehenden Paketstrom verloren gehen könnte, ist dieser LEERLAUF (d. h. zwei Schriftzeichen, die einen LEERLAUF darstellen). Und das ist in Ordnung, es ist eigentlich was man will. In diesem Fall werden Ereignisse: FIFO == 2 und letztes empfangenes Schriftzeichen == LEERLAUF erzeugt und geht die Zustandsmaschine der Steuer-

logik zurück zu dem Zustand S0 (schneller Weg). Die Steuerlogik **230** schaltet über eine Schnittstelle **232–274** den MUX **270** zu dem Zustand 0 und ermöglicht, dass der Paketstrom dem schnellen Weg (**212–271–273–212–222**) folgt.

[0051] Wie es gezeigt ist, kommt das Paket P3 nach t_9 an. Falls jedoch durch einen Zufall das letzte empfangene Schriftzeichen das Anfangsrahmenschriftzeichen des Pakets P3 war, dann hat man keine andere Wahl, als in dem FIFO-Weg zu bleiben, bis die Zwischenpaketlücke lang genug ist (minimale Lücke plus zwei zusätzliche Schriftzeichen, die einen LEERLAUF darstellen), um zu ermöglichen, dass man zu dem schnellen Weg schalten kann. Dies ist ein sehr entscheidendes Element der Erfindung. Ein Schalten von dem FIFO-Weg zu dem schnellen Weg kann lediglich auftreten, wenn zwei Schriftzeichen, die einen Leerlauf darstellen und empfangen aber noch nicht gesendet wurden, fallen gelassen werden können. Und die einzigen Schriftzeichen, die fallen gelassen werden können, sind LEERLÄUFE (jeweils zwei Schriftzeichen), natürlich unter der Annahme, dass die minimale Lücke bereits gesendet wurde. Der Beschaffenheit desselben nach ist der FIFO-Weg immer zumindest zwei Schriftzeichen hinter dem schnellen Weg, d. h. der R-Zeiger folgt dem W-Zeiger mit mindestens zwei Schriftzeichen.

[0052] Verzögerung von zwei Schriftzeichen. Ein Ausführungsbeispiel der vorliegenden Erfindung, das eine Verzögerung von zwei Schriftzeichen (Größe eines LEERLAUFS) verwendet, ist in [Fig. 6](#) bis [Fig. 8](#) gezeigt. Wie es in [Fig. 6](#) gezeigt ist, verwendet dieses Ausführungsbeispiel ein Register **640** in dem Weg, dessen Ausgang **642** entweder einem FIFO **650** zugeführt ist oder die Logik durch einen MUX **680** und einen SERIALISIERER **620** verlässt. Der Unterschied zwischen diesem Ausführungsbeispiel und dem Ausführungsbeispiel mit null Verzögerung ist zweifach. Bei dem schnellen Weg dieses Ausführungsbeispiels bringt das Register **640** eine permanente Verzögerung von zwei Schriftzeichen ein und das zusätzliche Paket wird nicht von einem getrennten Speicher in den Paketstrom injiziert, sondern wird anstelle dessen zuerst zu dem FIFO **650** kopiert. Dies kann eine Implementierung der Speichersteuerung und -verwaltung des FIFO **650** vereinfachen. [Fig. 6](#) bis [Fig. 8](#) stellen das Blockdiagramm, eine geeignete Zustandsmaschine und beispielhafte Zustandsübergänge für dieses Ausführungsbeispiel dar.

[0053] Lösung mit beliebiger Verzögerung. Ein Ausführungsbeispiel der Erfindung, das eine Lösung mit beliebiger Verzögerung verwendet, ist eine vereinfachte Version von null Verzögerung ohne eine Option einer Verzögerung von null. [Fig. 9](#) bis [Fig. 11](#) stellen dieses Ausführungsbeispiel dar, das für Anwendungen, die Verzögerungen erfordern, anwendbar ist. Beispielsweise erfordert eine Manipulation von IP-Kopfblöcken oder eines ganzen Pakets eine Zurückhaltung vor einem Freigeben und Modifizieren von Informationen in dem Paketkopfblock. Dasselbe ist konzeptionell ähnlich Speicher- und Weiterleitungstechniken, die durch Paketschalter verwendet werden. Sowohl das zusätzliche Paket **240** als auch der Paketstrom **211** sind in dem FIFO **250** gespeichert und werden selektiv unter einer Steuerung einer Zustandsmaschine gemäß [Fig. 11](#) zu dem SERIALISIERER **220** geleitet.

Patentansprüche

1. Vorrichtung zum Erzeugen eines Kanals niedriger Bandbreite in einem Kanal (**100**) hoher Bandbreite bei einem digitalen Paketvermittlungsnetzwerk, die folgende Merkmale aufweist:
 einen Deserialisierer (**210; 610**), der wirksam ist, um einen seriellen Kanal (**100**) hoher Bandbreite aus einem seriellen Datenstrom in einen parallelen Ausgangsdatenstrom (**212**) hoher Bandbreite umzuwandeln,
 einen Speicher (**260**), der wirksam ist, um ein zusätzliches Paket (**110, 112**) für den Kanal niedriger Bandbreite zu halten,
 einen Speicher (**250; 650**), der wirksam ist, um den parallelen Datenstrom hoher Bandbreite zu halten, während das Paket für den Kanal niedriger Bandbreite gesendet wird,
 einen Serialisierer (**220; 620**), der wirksam ist, um einen parallelen Datenstrom in einen seriellen Datenstrom umzuwandeln, und
 eine Steuerlogik (**230; 630**), die wirksam ist, um den parallelen Datenstrom hoher Bandbreite anzunehmen, den parallelen Datenstrom hoher Bandbreite zu dem Serialisierer zu leiten, wenn das zusätzliche Paket (**110, 112**) nicht gesendet wird, und um die Ausgabe des Speichers, der das zusätzliche Paket (**110, 112**) hält, zu dem Serialisierer zu leiten, während das zusätzliche Paket (**110, 112**), das den Kanal niedriger Bandbreite bildet, gesendet wird, **dadurch gekennzeichnet**, dass die Steuerlogik angeordnet ist, um ein vorbestimmtes Intervall zwischen einer Übertragung des zusätzlichen Pakets (**110, 112**) zu erfordern, und angeordnet ist, um Zwischenpaket-Zwischenräume zwischen Paketen in dem Kanal (**100**) hoher Bandbreite nach der Übertragung des zusätzlichen Pakets (**110, 112**) zu minimieren.

2. Vorrichtung gemäß Anspruch 1, bei der die Steuerlogik (**230; 630**) eine Zustandsmaschine verwendet.

3. Vorrichtung gemäß Anspruch 1 oder 2, bei der der Speicher (250; 650), der den parallelen Datenstrom hoher Bandbreite hält, als ein Zuerst-Hinein-Zuerst-Hinaus-Speicher organisiert ist.

4. Vorrichtung gemäß Anspruch 3, bei der die Steuerlogik (230) folgende Merkmale umfasst:
einen ersten Multiplexer (280), der wirksam ist, um zwischen dem Ausgang des Speichers (260) des zusätzlichen Pakets (110, 112) und dem Ausgang des Zuerst-Hinein-Zuerst-Hinaus-Speichers (250) auszuwählen;
einen zweiten Multiplexer (270), der wirksam ist, um zwischen dem Ausgang des Deserialisierers (210) und dem Ausgang des ersten Multiplexers (280) auszuwählen, wobei der Ausgang des zweiten Multiplexers (270) den Serialisierer (220) speist.

5. Vorrichtung gemäß Anspruch 3, die folgende Merkmale umfasst:
ein Register (640), das durch die Steuerlogik (630) gesteuert ist, wobei der Eingang des Registers (640) mit dem Ausgang des Deserialisierers (610) verbunden ist,
einen ersten Multiplexer (670), der durch die Steuerlogik (640) gesteuert ist, wobei der erste Multiplexer (670) wirksam ist, um zwischen dem Speicher (260), der das zusätzliche Paket (110, 112) hält, und dem Registerausgang auszuwählen,
wobei der Ausgang des ersten Multiplexers (670) wirksam ist, um den Zuerst-Hinein-Zuerst-Hinaus-Speicher (650) zu speisen,
und einen zweiten Multiplexer (680), der durch die Steuerlogik (630) gesteuert ist, wobei der zweite Multiplexer (680) wirksam ist, um zwischen dem Ausgang des Registers (640) und dem Ausgang des Zuerst-Hinein-Zuerst-Hinaus-Speichers (650) auszuwählen, wobei der Ausgang des zweiten Multiplexers (680) wirksam ist, um den Serialisierer (620) zu speisen.

6. Vorrichtung gemäß Anspruch 3, 4 oder 5, bei der der Speicher (260), der das zusätzliche Paket (110, 112) für den Kanal niedriger Bandbreite hält, ein Abschnitt des Zuerst-Hinein-Zuerst-Hinaus-Speichers ist.

7. Vorrichtung gemäß einem der vorhergehenden Ansprüche, bei der der Serialisierer (220; 620) eine optische Ausgabe oder eine elektrische Ausgabe aufweist.

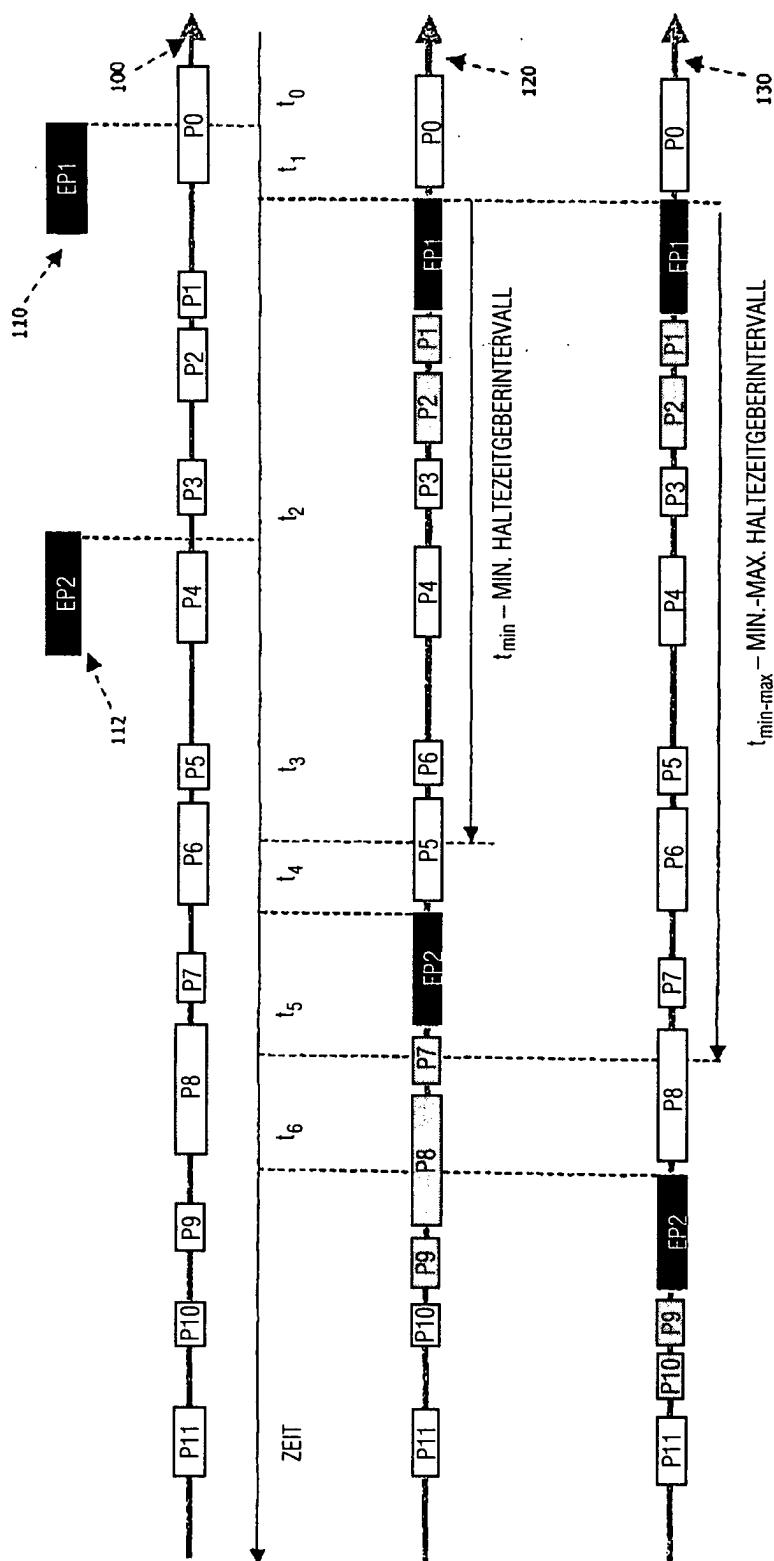
8. Ein Verfahren zum Erzeugen eines Kanals niedriger Bandbreite in einem Kanal hoher Bandbreite bei einem digitalen Paketvermittlungsnetzwerk, das folgende Schritte aufweist:
Umwandeln des seriellen Kanals hoher Bandbreite in einen parallelen Datenstrom hoher Bandbreite,
Halten eines zusätzlichen Pakets (110, 112) für den Kanal niedriger Bandbreite in einem Speicher (220; 620),
Aufnehmen des parallelen Datenstroms hoher Bandbreite in einem Speicher (250; 650), während das Paket für den Kanal niedriger Bandbreite gesendet wird, und
Auswählen entweder des parallelen Datenstroms hoher Bandbreite oder des zusätzlichen Pakets (110, 112) in dem Speicher eines Kanals niedriger Bandbreite für eine Umwandlung von paralleler in serielle Form unter einer Steuerung einer Zustandsmaschine (230; 630),
wobei das Verfahren gekennzeichnet ist durch ein Aufweisen eines Erforderns eines vorbestimmten Intervalls zwischen einer Übertragung der zusätzlichen Pakete (110, 112) und ein Minimieren von Zwischenpaket-Zwischenräumen zwischen Paketen in dem Kanal (100) hoher Bandbreite nach einer Übertragung des zusätzlichen Pakets (110, 112).

9. Ein Verfahren gemäß Anspruch 8, bei dem die Umwandlung von paralleler zu serieller Form eine optische Ausgabe erzeugt.

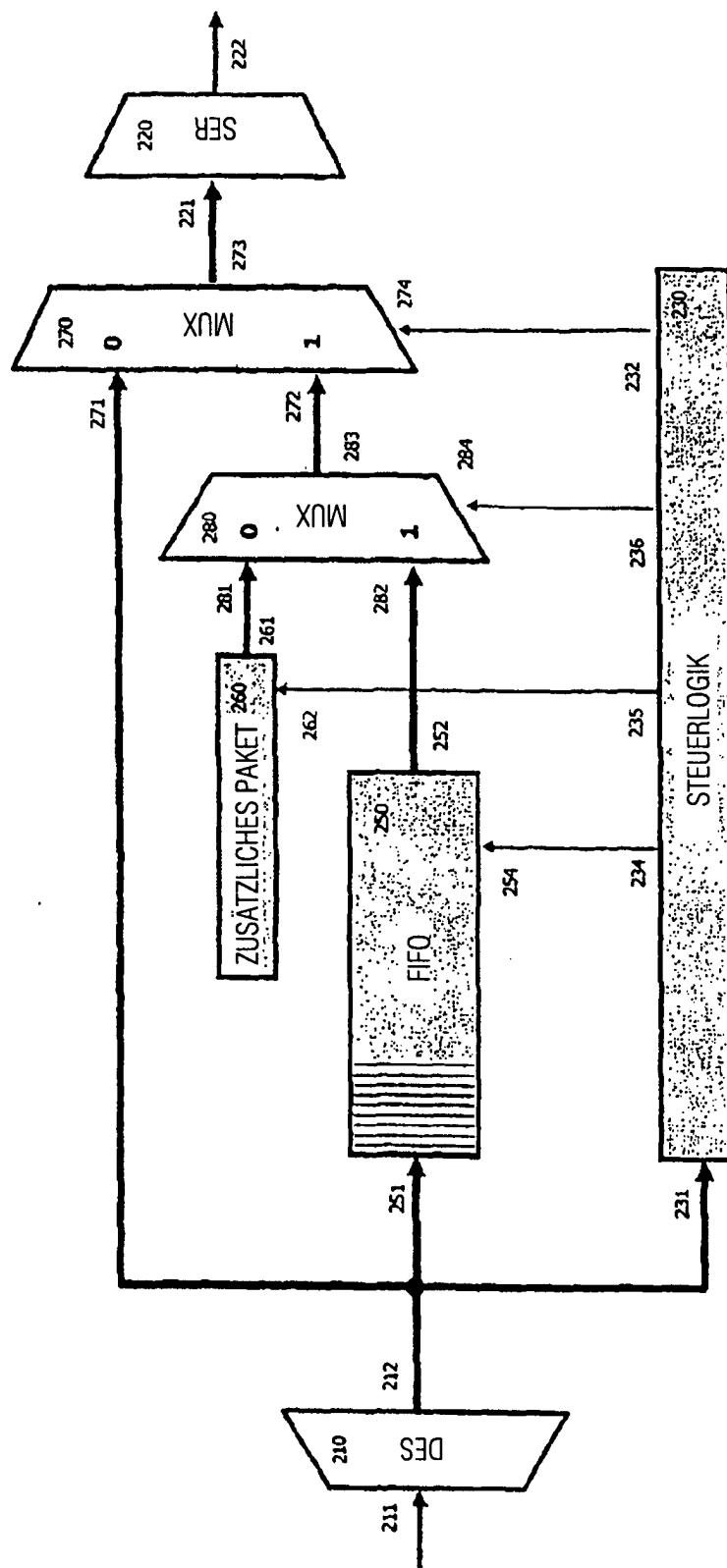
10. Ein Verfahren gemäß Anspruch 8, bei dem die Umwandlung von paralleler zu serieller Form eine elektrische Ausgabe erzeugt.

Es folgen 11 Blatt Zeichnungen

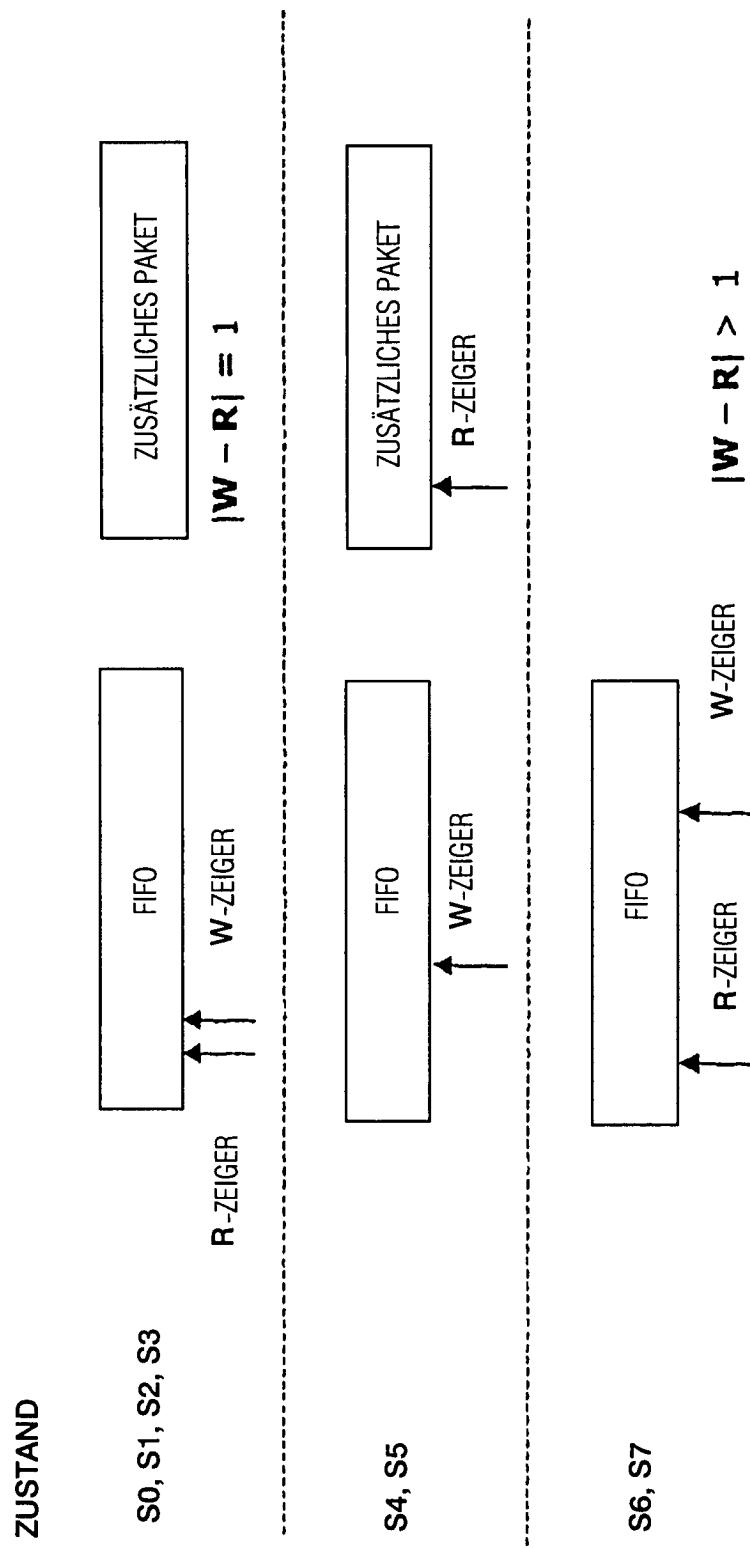
Anhängende Zeichnungen



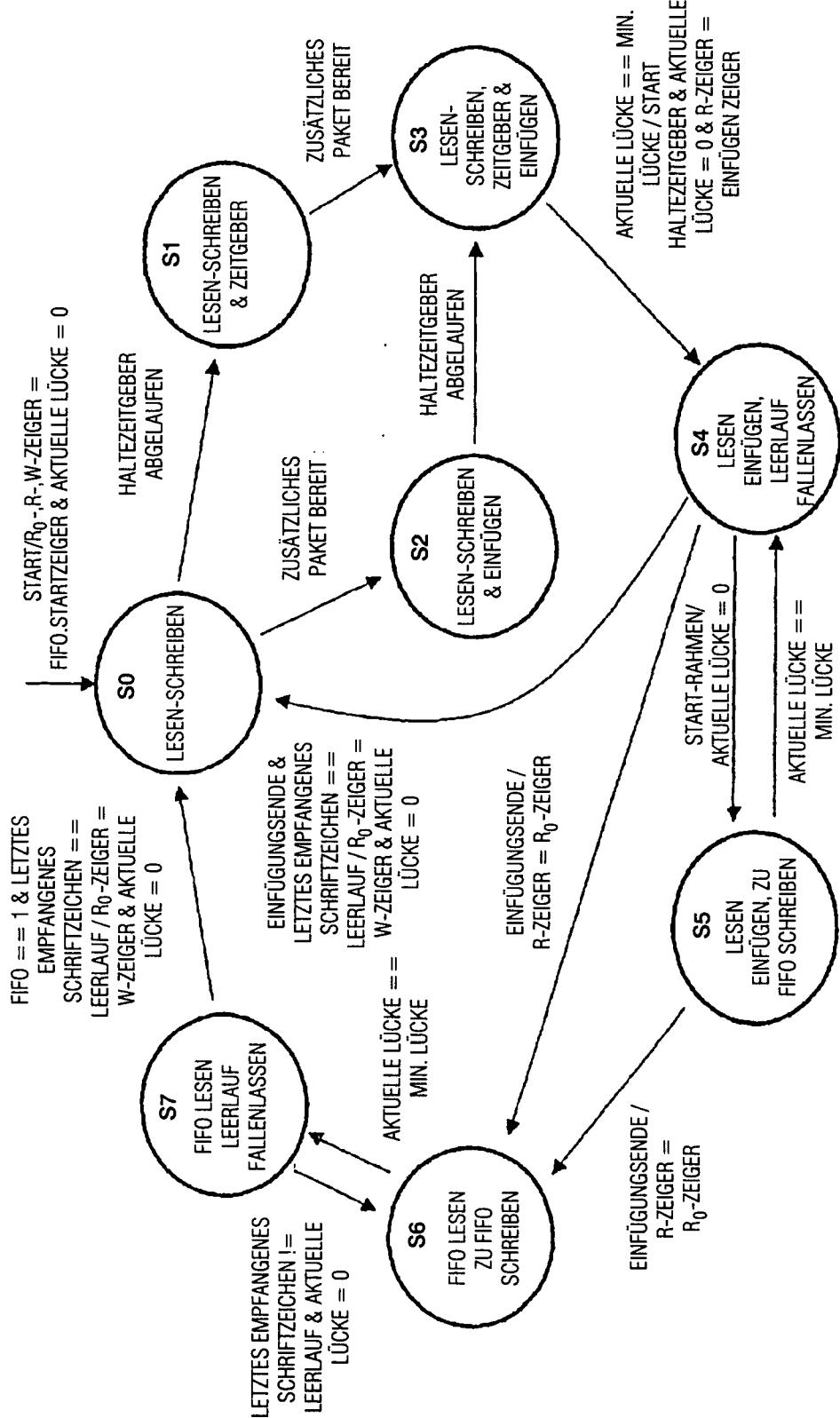
FIGUR 1



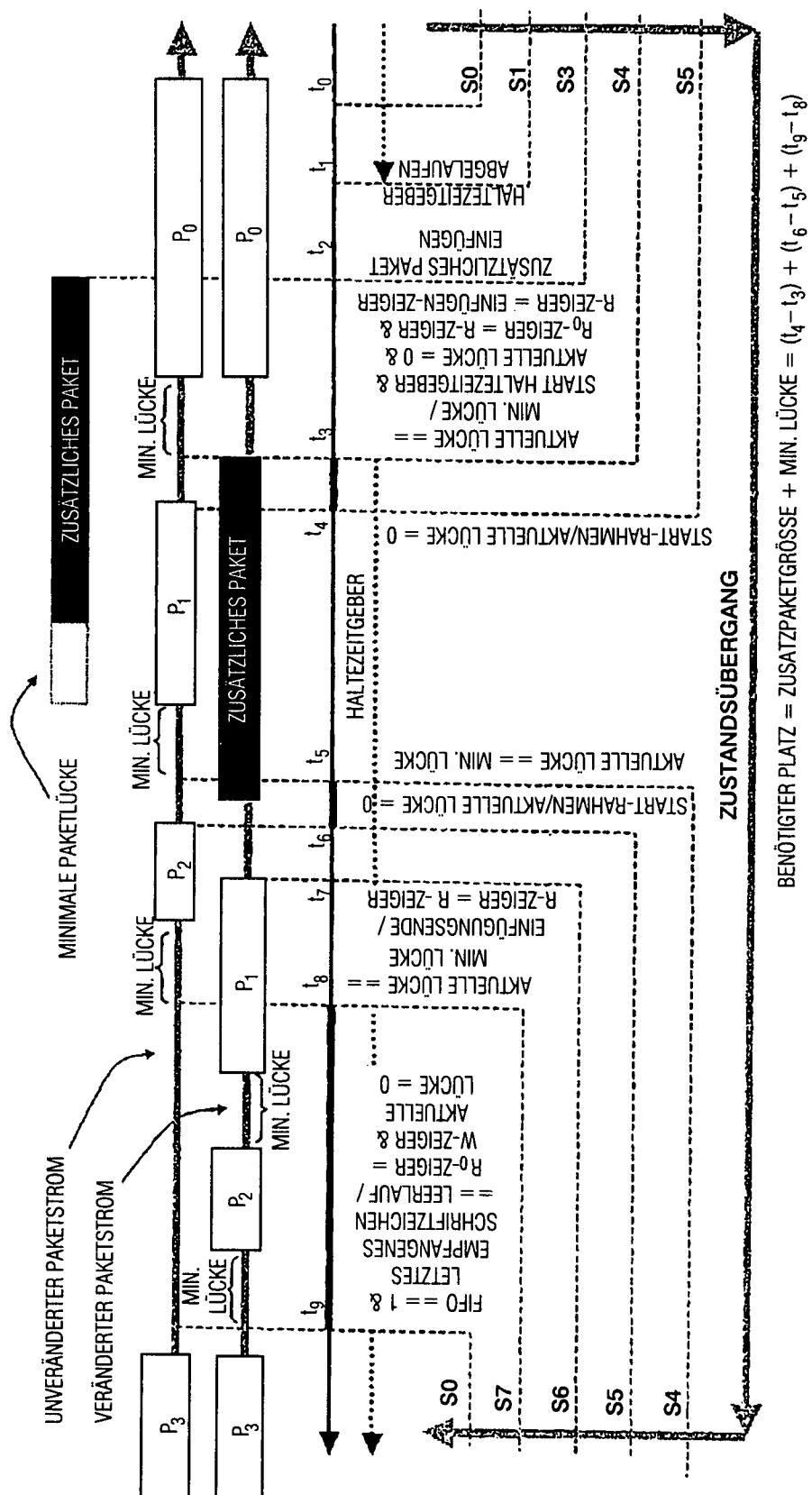
FIGUR 2



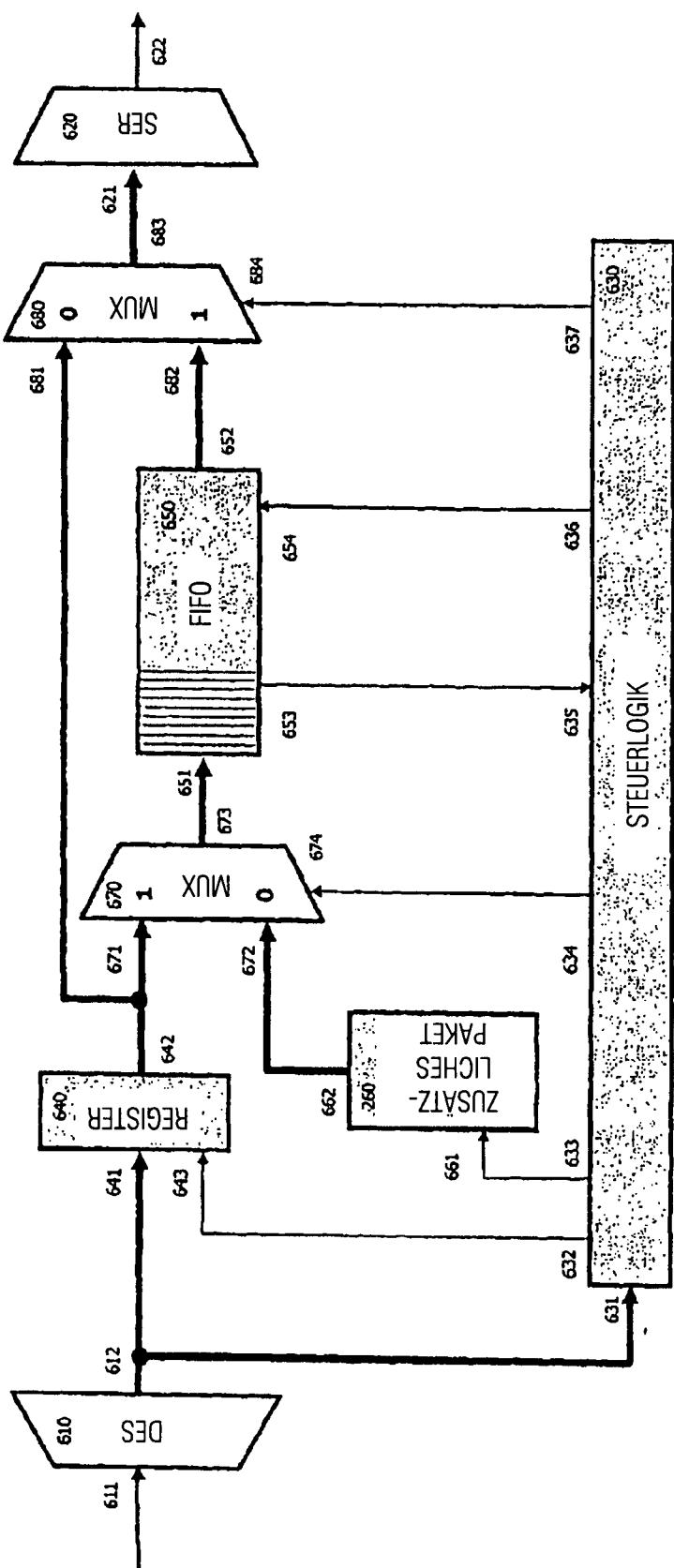
FIGUR 3



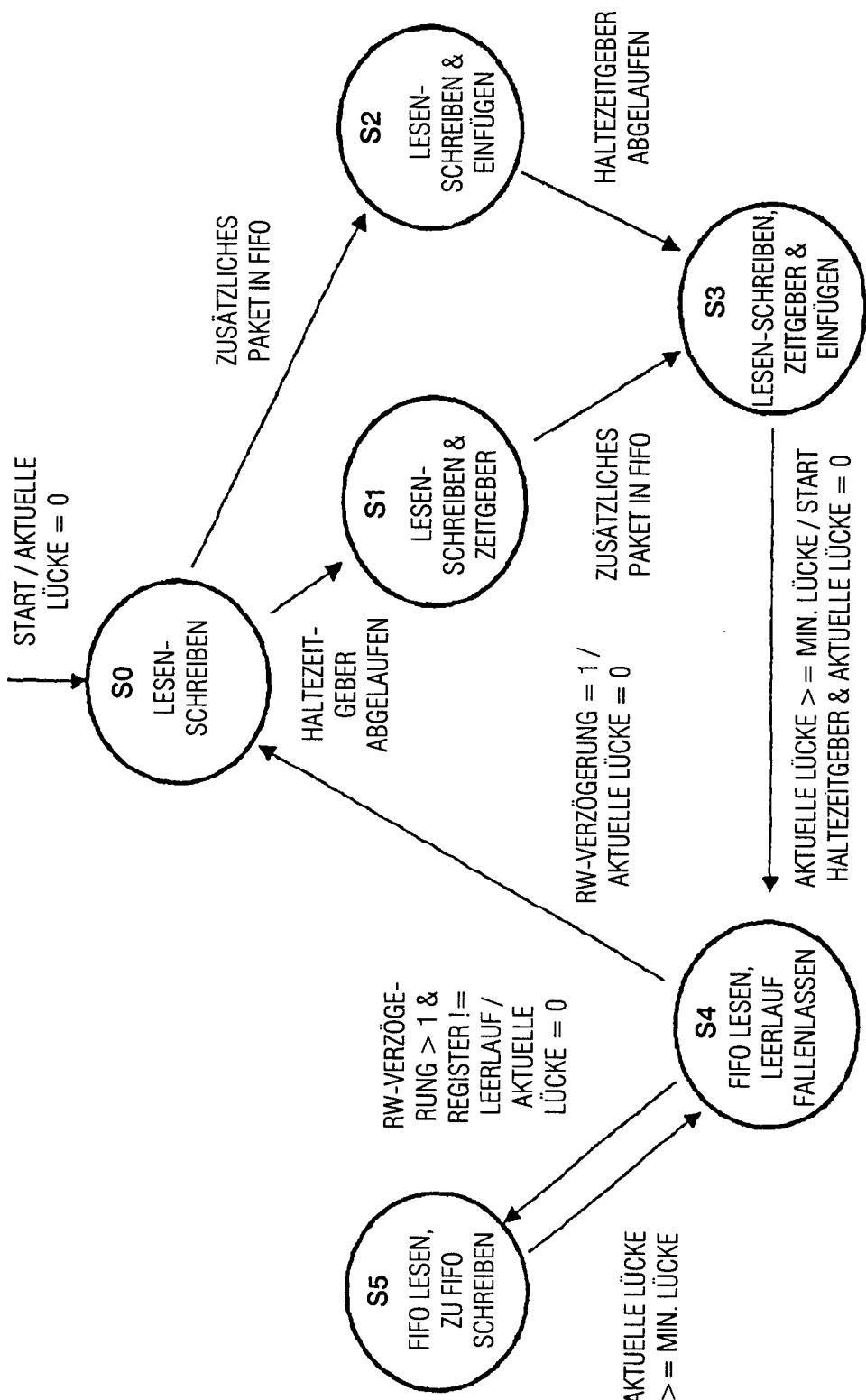
FIGUR 4



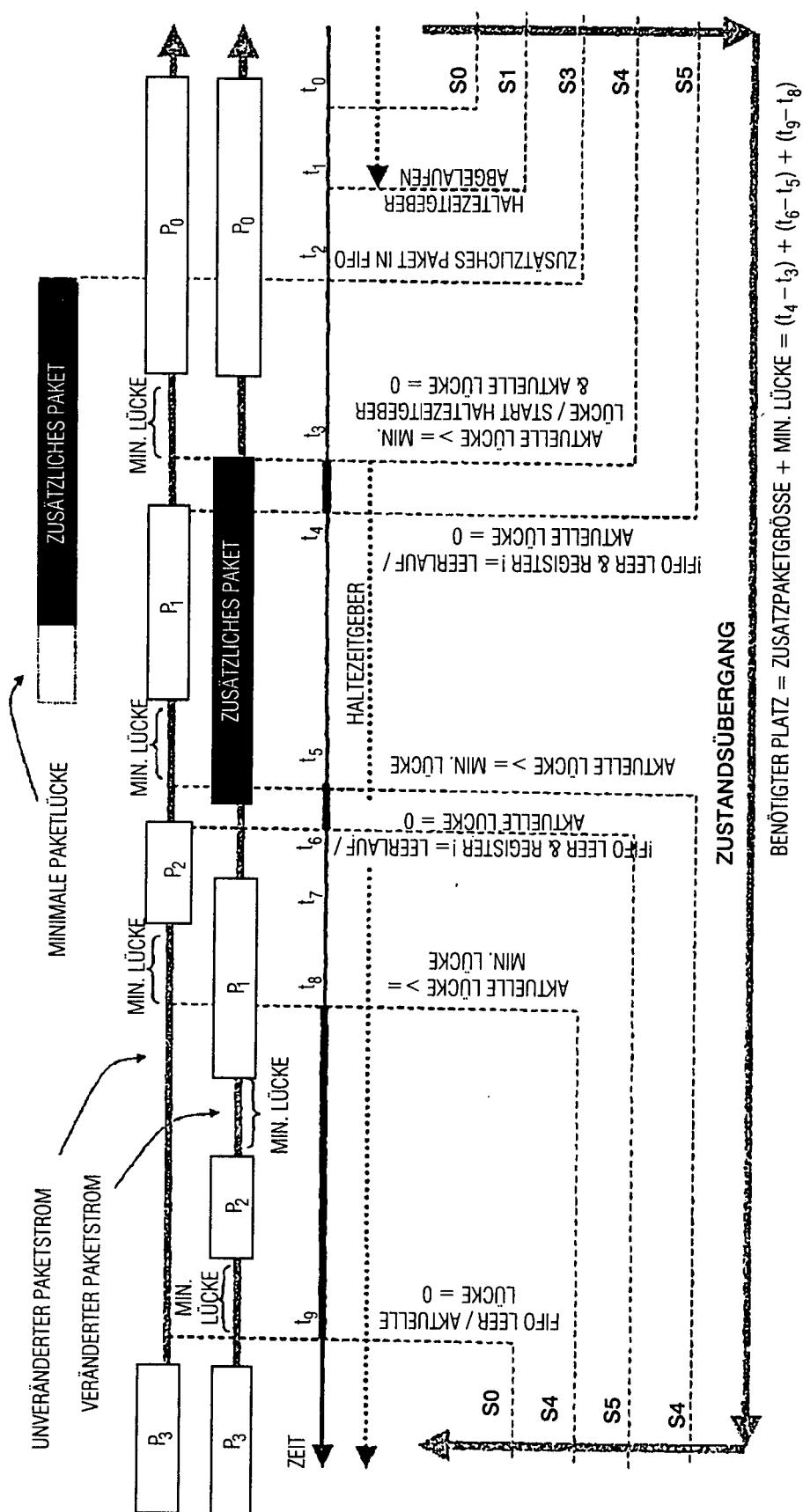
FIGUR 5



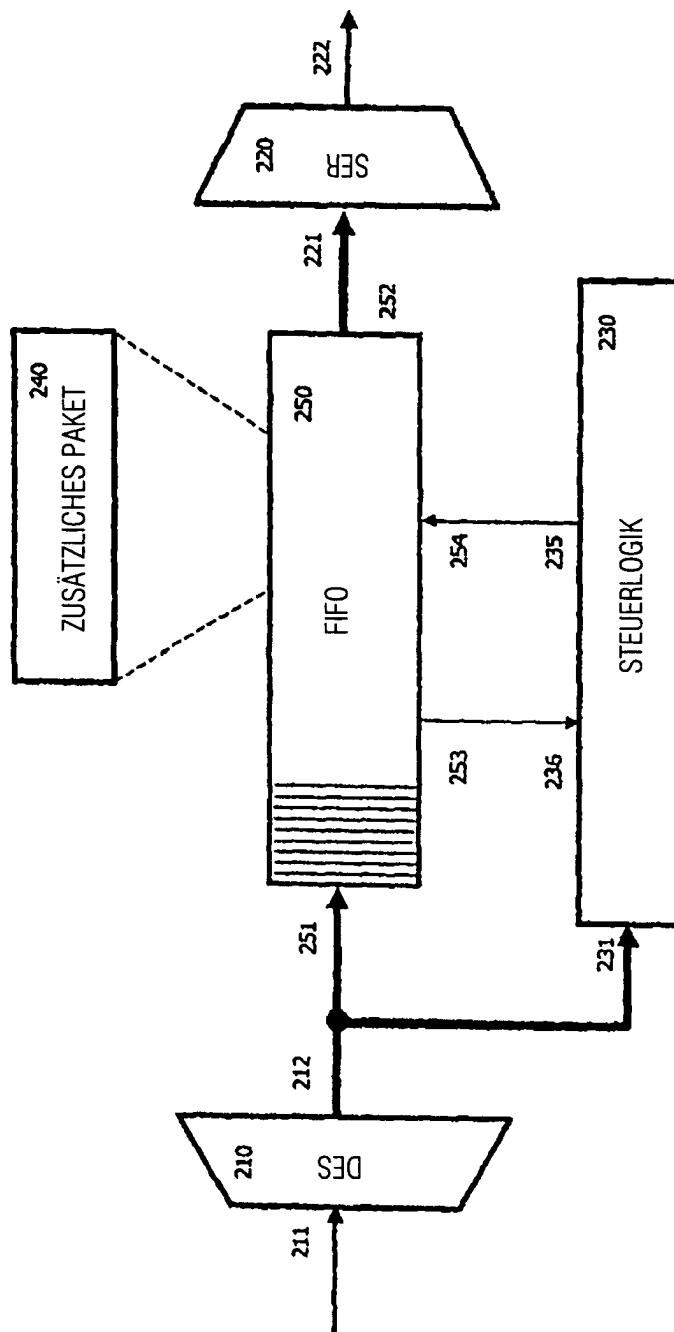
FIGUR 6



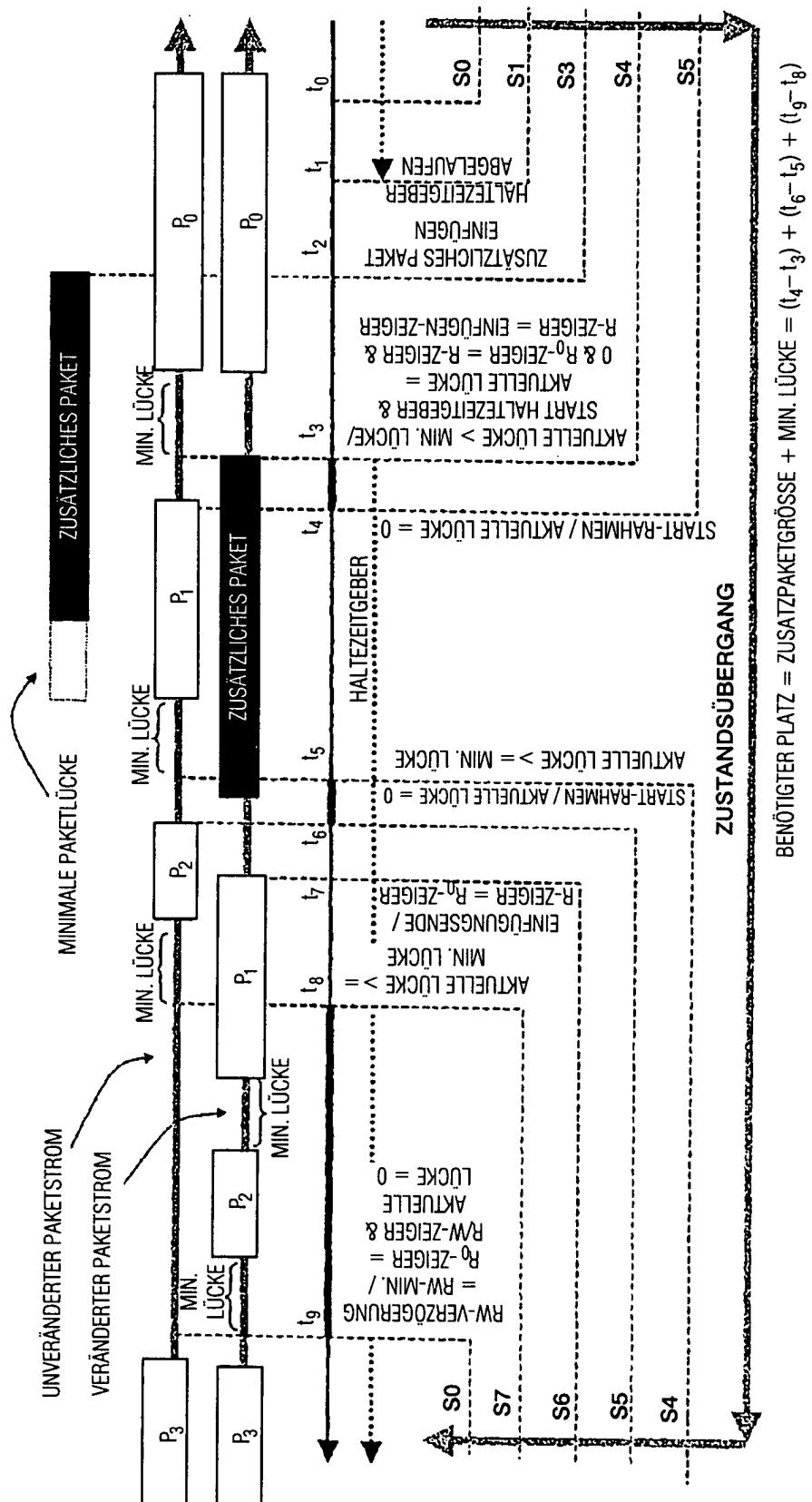
FIGUR 7



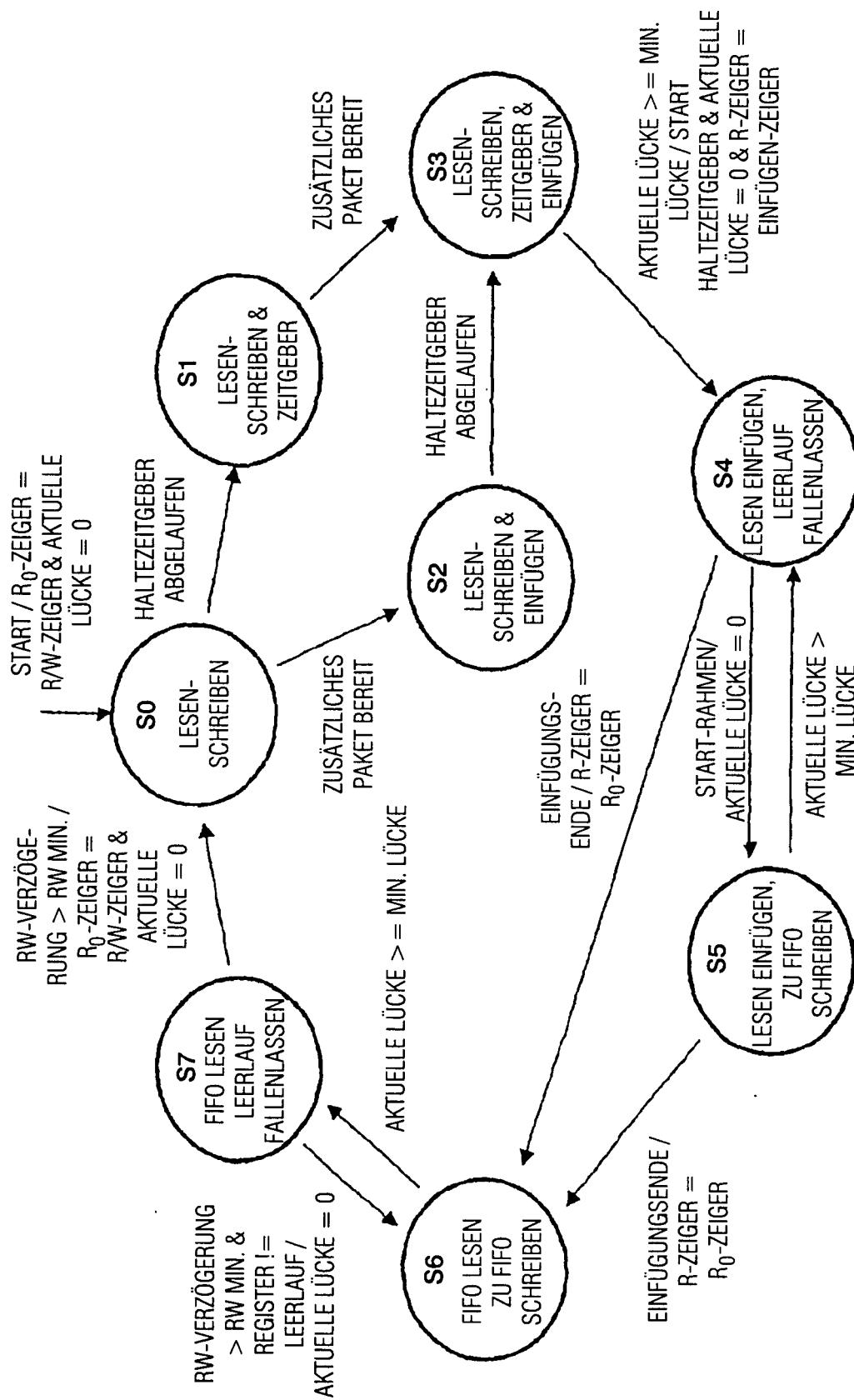
FIGUR 8



FIGUR 9



FIGUR 10



FIGUR 11