

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年12月25日(2014.12.25)

【公開番号】特開2013-131533(P2013-131533A)

【公開日】平成25年7月4日(2013.7.4)

【年通号数】公開・登録公報2013-035

【出願番号】特願2011-278311(P2011-278311)

【国際特許分類】

H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
G 01 R	31/28	(2006.01)
H 01 L	25/065	(2006.01)
H 01 L	25/07	(2006.01)
H 01 L	25/18	(2006.01)

【F I】

H 01 L	27/04	T
H 01 L	27/04	A
H 01 L	27/04	E
G 01 R	31/28	V
H 01 L	25/08	Z

【手続補正書】

【提出日】平成26年11月7日(2014.11.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1および第2外部端子を含む複数の外部端子と、

第1制御信号を生成する第1制御回路を含む複数の制御回路を含む第1半導体チップと、

前記第1半導体チップと積み重ねられた第2半導体チップと、を備え、

前記第2半導体チップは、

第1テスト信号が与えられるよう構成され、前記複数の外部端子のいずれとも接続されない第1テスト端子と、

第1テスト信号が与えられるよう構成され、前記第1半導体チップの複数の制御回路のいずれとも接続されることなく前記第1外部端子と接続される第2テスト端子と、

第1制御信号が与えられるよう構成され、前記第1半導体チップの第1制御回路を介して前記第2外部端子に接続された第1ノーマル端子と、

第1および第2入力ノードを含む第1選択回路と、を含み、

前記第1入力ノードは前記第1および第2テスト端子に共通接続され、前記第2入力ノードは前記第1ノーマル端子に接続されることを特徴とする装置。

【請求項2】

前記第2半導体チップはさらに第1テスト入力バッファを含み、

前記第1テスト入力バッファの入力ノードは前記第1および第2テスト端子に共通接続され、前記第1テスト入力バッファの出力ノードは前記第1選択回路の第1入力ノードに接続されることを特徴とする請求項1に記載の装置。

【請求項 3】

前記第2半導体チップはさらに第1および第2テスト入力バッファを含み、
前記第1テスト入力バッファの入力ノードは前記第1テスト端子に接続され、
前記第2テスト入力バッファの入力ノードは前記第2テスト端子に接続され、
前記第1選択回路の第1入力ノードは前記第1および第2テスト入力バッファの出力ノードに共通接続されることを特徴とする請求項1に記載の装置。

【請求項 4】

前記第1半導体チップの複数の制御回路は、複数の第2制御信号を生成する複数の第2制御回路を含み、

前記第2半導体チップはさらに、
各々が前記複数の第2制御信号のうちの対応するひとつを受けるよう構成された複数の第2ノーマル端子と、

各々が第1および第2入力ノードを有する複数の第2選択回路と、を含み、
前記複数の第2選択回路のそれぞれの第1入力ノードは前記第1および第2テスト端子と共に接続され、前記複数の第2選択回路のそれぞれの第2入力ノードは前記複数の第2ノーマル端子のうちの対応するひとつに接続されることを特徴とする請求項1から3のいずれかに記載の装置。

【請求項 5】

前記第2半導体チップはさらに、
前記第1選択回路を含む第1チャネルと、
各々が前記複数の第2選択回路のうちの対応するひとつを含む複数の第2チャネルと、を含み、
前記第1および第2チャネルは互いに独立に動作するよう構成されることを特徴とする請求項4に記載の装置。

【請求項 6】

前記第1および第2チャネルのそれぞれは、DRAMとして動作するよう構成されることを特徴とする請求項5に記載の装置。

【請求項 7】

前記第1半導体チップはさらに、
半導体基板と、
前記半導体基板を貫通し、前記複数の制御回路のいずれとも接続されず、前記第2半導体チップの前記第2テスト端子に接続された第1貫通電極と、
前記半導体基板を貫通し、前記第1制御回路に接続され、前記第2半導体チップの前記第1ノーマル端子に接続された第2貫通電極と、を含むことを特徴とする請求項1から6のいずれかに記載の装置。

【請求項 8】

前記第2半導体チップはさらに、
半導体基板と、
前記半導体基板を貫通し、前記第2テスト端子に接続された第1テスト貫通電極と、
前期半導体基板を貫通し、前記第1ノーマル端子に接続された第1ノーマル貫通電極と、を含むことを特徴とする請求項1から7のいずれかに記載の装置。

【請求項 9】

前記第1テスト端子はテストパッドであり、前記複数の第2テスト端子のそれおより前記第1ノーマル端子はバンプ電極であることを特徴とする請求項1から8のいずれかに記載の装置。

【請求項 10】

前記第1テスト端子はテストパッドであり、前記複数の第2テスト端子のそれおより前記第1ノーマル端子は、ボンディングワイヤに接続されたボンディングパッドであることを特徴とする請求項1から8のいずれかに記載の装置。

【請求項 11】

第1テスト信号は、テストアドレス信号、テストコマンド信号、テストクロック信号のうちのひとつを含み、第1制御信号は、ノーマルアドレス信号、ノーマルコマンド信号、ノーマルクロック信号のうちのひとつを含むことを特徴とする請求項1から10のいずれかに記載の装置。

【請求項12】

第1テストパッドと、
第1テストバンプ電極と、
第1ノーマルバンプ電極と、
第1テスト入力バッファと、
第1ノーマル入力バッファと、を備え、
前記第1テスト入力バッファの入力ノードは前記第1テストパッドおよび前記第1テストバンプ電極に共通接続され、
前記第1ノーマル入力バッファの入力ノードは前記第1ノーマルバンプ電極に接続されることを特徴とする装置。

【請求項13】

複数の第2ノーマルバンプ電極と、
複数の第2ノーマル入力バッファと、
互いに独立に動作するよう構成された複数のチャネルと、をさらに備え、
前記複数の第2ノーマル入力バッファのそれぞれの入力ノードは、前記複数の第2ノーマルバンプ電極のうちの対応するひとつに接続され、
前記第1テスト入力バッファの出力ノードは前記複数のチャネルに共通接続され、前記第1および第2ノーマル入力バッファのそれぞれの出力ノードは、前記複数のチャネルのうちの対応するひとつと接続されることを特徴とする請求項12に記載の装置。

【請求項14】

前記複数のチャネルのそれぞれは、
メモリセルアレイと、
前記第1テスト入力バッファおよび前記第1および第2ノーマル入力バッファのうちの対応するひとつと接続され、前記メモリセルアレイに作用するアクセス制御回路と、を含むことを特徴とする請求項13に記載の装置。

【請求項15】

前記複数のチャネルのそれぞれはDRAMとして動作するよう構成されることを特徴とする請求項13に記載の装置。

【請求項16】

半導体基板と、
各々が前記半導体基板を貫通する複数の貫通電極と、をさらに備え、
前記複数の貫通電極は第1テスト貫通電極と第1ノーマル貫通電極とを含み、
前記第1テスト貫通電極は前記第1テストバンプ電極に接続され、前記第1ノーマル貫通電極は前記第1ノーマルバンプ電極に接続されることを特徴とする請求項12から15のいずれかに記載の装置。

【請求項17】

第1および第2入力ノードを有する第1選択回路をさらに備え、
前記第1テスト入力バッファの出力ノードは前記第1選択回路の第1入力ノードに接続され、
前記第1ノーマル入力バッファは前記第1選択回路の第2入力ノードと接続されることを特徴とする請求項12から16のいずれかに記載の装置。

【請求項18】

第1および第2外部端子を含む複数の外部端子と、
第1半導体チップと積み重ねられた第2半導体チップと、をさらに備え、
前記第2半導体チップは、前記第1テストパッドと、前記第1テストバンプ電極と、前記第1ノーマルバンプ電極と、前記第1テスト入力バッファと、前記第1ノーマル入力バ

ツファと、を含み、

前記第1テストバンプ電極は前記第1外部端子に接続され、前記第1ノーマルバンプ電極は前記第2外部端子に接続されることを特徴とする請求項12から17のいずれかに記載の装置。

【請求項19】

前記第1テストパッドは前記複数の外部端子のいずれとも接続されていないことを特徴とする請求項18に記載の装置。

【請求項20】

前記第1テストパッドおよび前記第1テストバンプ電極のそれぞれは、テストアドレス信号、テストコマンド信号、テストクロック信号のうちのひとつが与えられるよう構成され、前記第1ノーマルバンプ電極は、ノーマルアドレス信号、ノーマルコマンド信号、ノーマルクロック信号のうちのひとつが与えられるよう構成されることを特徴とする請求項12から19のいずれかに記載の装置。