

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成26年12月25日 (2014.12.25)

【公開番号】特開2013-131533(P2013-131533A)

【公開日】平成25年7月4日 (2013.7.4)

【年通号数】公開・登録公報2013-035

【出願番号】特願2011-278311(P2011-278311)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

G 0 1 R 31/28 (2006.01)

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

【 F I 】

H 0 1 L 27/04 T

H 0 1 L 27/04 A

H 0 1 L 27/04 E

G 0 1 R 31/28 V

H 0 1 L 25/08 Z

【手続補正書】

【提出日】平成26年11月7日 (2014.11.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 および第 2 外部端子を含む複数の外部端子と、

第 1 制御信号を生成する第 1 制御回路を含む複数の制御回路を含む第 1 半導体チップと

、

前記第 1 半導体チップと積み重ねられた第 2 半導体チップと、を備え、

前記第 2 半導体チップは、

第 1 テスト信号が与えられるよう構成され、前記複数の外部端子のいずれとも接続されない第 1 テスト端子と、

第 1 テスト信号が与えられるよう構成され、前記第 1 半導体チップの複数の制御回路のいずれとも接続されることなく前記第 1 外部端子と接続される第 2 テスト端子と、

第 1 制御信号が与えられるよう構成され、前記第 1 半導体チップの第 1 制御回路を介して前記第 2 外部端子に接続された第 1 ノーマル端子と、

第 1 および第 2 入力ノードを含む第 1 選択回路と、を含み、

前記第 1 入力ノードは前記第 1 および第 2 テスト端子に共通接続され、前記第 2 入力ノードは前記第 1 ノーマル端子に接続されることを特徴とする装置。

【請求項 2】

前記第 2 半導体チップはさらに第 1 テスト入力バッファを含み、

前記第 1 テスト入力バッファの入力ノードは前記第 1 および第 2 テスト端子に共通接続され、前記第 1 テスト入力バッファの出力ノードは前記第 1 選択回路の第 1 入力ノードに接続されることを特徴とする請求項 1 に記載の装置。

【請求項 3】

前記第 2 半導体チップはさらに第 1 および第 2 テスト入力バッファを含み、
前記第 1 テスト入力バッファの入力ノードは前記第 1 テスト端子に接続され、
前記第 2 テスト入力バッファの入力ノードは前記第 2 テスト端子に接続され、
前記第 1 選択回路の第 1 入力ノードは前記第 1 および第 2 テスト入力バッファの出力ノードに共通接続されることを特徴とする請求項 1 に記載の装置。

【請求項 4】

前記第 1 半導体チップの複数の制御回路は、複数の第 2 制御信号を生成する複数の第 2 制御回路を含み、
前記第 2 半導体チップはさらに、
各々が前記複数の第 2 制御信号のうちの対応するひとつを受けるよう構成された複数の第 2 ノーマル端子と、
各々が第 1 および第 2 入力ノードを有する複数の第 2 選択回路と、を含み、
前記複数の第 2 選択回路のそれぞれの第 1 入力ノードは前記第 1 および第 2 テスト端子と共通接続され、前記複数の第 2 選択回路のそれぞれの第 2 入力ノードは前記複数の第 2 ノーマル端子のうちの対応するひとつに接続されることを特徴とする請求項 1 から 3 のいずれかに記載の装置。

【請求項 5】

前記第 2 半導体チップはさらに、
前記第 1 選択回路を含む第 1 チャンネルと、
各々が前記複数の第 2 選択回路のうちの対応するひとつを含む複数の第 2 チャンネルと、
を含み、
前記第 1 および第 2 チャンネルは互いに独立に動作するよう構成されることを特徴とする請求項 4 に記載の装置。

【請求項 6】

前記第 1 および第 2 チャンネルのそれぞれは、D R A M として動作するよう構成されることを特徴とする請求項 5 に記載の装置。

【請求項 7】

前記第 1 半導体チップはさらに、
半導体基板と、
前記半導体基板を貫通し、前記複数の制御回路のいずれとも接続されず、前記第 2 半導体チップの前記第 2 テスト端子に接続された第 1 貫通電極と、
前記半導体基板を貫通し、前記第 1 制御回路に接続され、前記第 2 半導体チップの前記第 1 ノーマル端子に接続された第 2 貫通電極と、を含むことを特徴とする請求項 1 から 6 のいずれかに記載の装置。

【請求項 8】

前記第 2 半導体チップはさらに、
半導体基板と、
前記半導体基板を貫通し、前記第 2 テスト端子に接続された第 1 テスト貫通電極と、
前期半導体基板を貫通し、前記第 1 ノーマル端子に接続された第 1 ノーマル貫通電極と、
を含むことを特徴とする請求項 1 から 7 のいずれかに記載の装置。

【請求項 9】

前記第 1 テスト端子はテストパッドであり、前記複数の第 2 テスト端子のそれぞれおよび前記第 1 ノーマル端子はバンプ電極であることを特徴とする請求項 1 から 8 のいずれかに記載の装置。

【請求項 10】

前記第 1 テスト端子はテストパッドであり、前記複数の第 2 テスト端子のそれぞれおよび前記第 1 ノーマル端子は、ボンディングワイヤに接続されたボンディングパッドであることを特徴とする請求項 1 から 8 のいずれかに記載の装置。

【請求項 11】

第 1 テスト信号は、テストアドレス信号、テストコマンド信号、テストクロック信号のうちのひとつを含み、第 1 制御信号は、ノーマルアドレス信号、ノーマルコマンド信号、ノーマルクロック信号のうちのひとつを含むことを特徴とする請求項 1 から 10 のいずれかに記載の装置。

【請求項 12】

第 1 テストパッドと、
第 1 テストパンプ電極と、
第 1 ノーマルパンプ電極と、
第 1 テスト入力バッファと、
第 1 ノーマル入力バッファと、を備え、

前記第 1 テスト入力バッファの入力ノードは前記第 1 テストパッドおよび前記第 1 テストパンプ電極に共通接続され、

前記第 1 ノーマル入力バッファの入力ノードは前記第 1 ノーマルパンプ電極に接続されることを特徴とする装置。

【請求項 13】

複数の第 2 ノーマルパンプ電極と、
複数の第 2 ノーマル入力バッファと、
互いに独立に動作するように構成された複数のチャンネルと、をさらに備え、

前記複数の第 2 ノーマル入力バッファのそれぞれの入力ノードは、前記複数の第 2 ノーマルパンプ電極のうちの対応するひとつに接続され、

前記第 1 テスト入力バッファの出力ノードは前記複数のチャンネルに共通接続され、前記第 1 および第 2 ノーマル入力バッファのそれぞれの出力ノードは、前記複数のチャンネルのうちの対応するひとつと接続されることを特徴とする請求項 12 に記載の装置。

【請求項 14】

前記複数のチャンネルのそれぞれは、
メモリセルアレイと、

前記第 1 テスト入力バッファおよび前記第 1 および第 2 ノーマル入力バッファのうちの対応するひとつと接続され、前記メモリセルアレイに作用するアクセス制御回路と、を含むことを特徴とする請求項 13 に記載の装置。

【請求項 15】

前記複数のチャンネルのそれぞれは D R A M として動作するように構成されることを特徴とする請求項 13 に記載の装置。

【請求項 16】

半導体基板と、
各々が前記半導体基板を貫通する複数の貫通電極と、をさらに備え、

前記複数の貫通電極は第 1 テスト貫通電極と第 1 ノーマル貫通電極とを含み、

前記第 1 テスト貫通電極は前記第 1 テストパンプ電極に接続され、前記第 1 ノーマル貫通電極は前記第 1 ノーマルパンプ電極に接続されることを特徴とする請求項 12 から 15 のいずれかに記載の装置。

【請求項 17】

第 1 および第 2 入力ノードを有する第 1 選択回路をさらに備え、

前記第 1 テスト入力バッファの出力ノードは前記第 1 選択回路の第 1 入力ノードに接続され、

前記第 1 ノーマル入力バッファは前記第 1 選択回路の第 2 入力ノードと接続されることを特徴とする請求項 12 から 16 のいずれかに記載の装置。

【請求項 18】

第 1 および第 2 外部端子を含む複数の外部端子と、

第 1 半導体チップと積み重ねられた第 2 半導体チップと、をさらに備え、

前記第 2 半導体チップは、前記第 1 テストパッドと、前記第 1 テストパンプ電極と、前記第 1 ノーマルパンプ電極と、前記第 1 テスト入力バッファと、前記第 1 ノーマル入力バ

ッファと、を含み、

前記第 1 テストバンク電極は前記第 1 外部端子に接続され、前記第 1 ノーマルバンク電極は前記第 2 外部端子に接続されることを特徴とする請求項 12 から 17 のいずれかに記載の装置。

【請求項 19】

前記第 1 テストパッドは前記複数の外部端子のいずれとも接続されていないことを特徴とする請求項 18 に記載の装置。

【請求項 20】

前記第 1 テストパッドおよび前記第 1 テストバンク電極のそれぞれは、テストアドレス信号、テストコマンド信号、テストクロック信号のうちのひとつが与えられるよう構成され、前記第 1 ノーマルバンク電極は、ノーマルアドレス信号、ノーマルコマンド信号、ノーマルクロック信号のうちのひとつが与えられるよう構成されることを特徴とする請求項 12 から 19 のいずれかに記載の装置。