

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 11 月 6 日(06.11.2014)



(10) 国際公開番号
WO 2014/178262 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) H01L 29/12 (2006.01)
H01L 21/28 (2006.01) H01L 29/41 (2006.01)
H01L 21/329 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01) H01L 29/861 (2006.01)
H01L 29/06 (2006.01) H01L 29/868 (2006.01)
- (21) 国際出願番号: PCT/JP2014/060084
- (22) 国際出願日: 2014 年 4 月 7 日(07.04.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-095313 2013 年 4 月 30 日(30.04.2013) JP
- (71) 出願人: 日産自動車株式会社(NISSAN MOTOR CO., LTD.) [JP/JP]; 〒2210023 神奈川県横浜市神奈川区宝町 2 番地 Kanagawa (JP).
- (72) 発明者: 倪 威(NI, Wei); 〒2430123 神奈川県厚木市森の里青山 1-1 日産自動車株式会社知的財産部内 Kanagawa (JP). 丸井 俊治(MARUI, Toshiharu); 〒2430123 神奈川県厚木市森の里青山 1-1 日産自動車株式会社知的財産部内 Kanagawa (JP). 江森 健太(EMORI, Kenta); 〒2430123 神奈川県厚木市森の里青山 1-1 日産自動車株式会社知的財産部内 Kanagawa (JP).

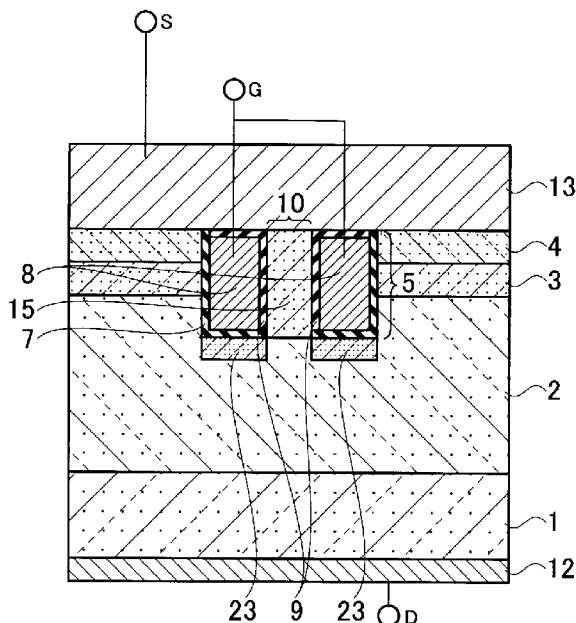
林 哲也(HAYASHI, Tetsuya); 〒2430123 神奈川県厚木市森の里青山 1-1 日産自動車株式会社知的財産部内 Kanagawa (JP).

- (74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目 2 番 8 号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: This semiconductor device is provided with: a gate electrode (8) that is embedded in a lateral part of a groove (5) with a gate insulating film (7) being interposed therebetween, said groove (5) penetrating through a source region (4) and a well region (3) and reaching a drift region (2); an anode region (15) that is embedded within a contact hole (10) with an interlayer insulating film (9) being interposed therebetween, said contact hole (10) being surrounded by the gate electrode (8); and a P-type first electric field attenuated region (23) that is adjacent to the bottom surface of the gate electrode (8) with the gate insulating film (7) being interposed therebetween. The bottom surface of the anode region (15) forms a junction with an N-type semiconductor region (the drift region (2)), thereby forming a diode.

(57) 要約: 半導体装置は、ソース領域 4 及びウェル領域 3 を貫通してドリフト領域 2 に至る溝 5 の側部にゲート絶縁膜 7 を介して埋め込まれたゲート電極 8 と、層間絶縁膜 9 を介してゲート電極 8 により囲まれたコンタクトホール 10 の内部に埋め込まれたアノード領域 15 と、ゲート電極 8 の底面にゲート絶縁膜 7 を介して隣接する P 型の第 1 の電界緩和領域 23 とを備える。アノード領域 15 の底面は N 型の半導体領域 (ドリフト領域 2) と接合してダイ

オードを形成する。

WO 2014/178262 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、トランジスタ及びダイオードを備えた半導体装置及びその製造方法に関する。

背景技術

[0002] 従来、この種の技術としては、例えば以下に示す文献に記載されたものが知られている（特許文献1参照）。この文献には、ゲート電極が溝内に埋め込まれたトレンチ型のトランジスタと、ヘテロ半導体領域をアノード、ドリフト領域をカソードとするダイオードとを備えた半導体装置の技術が記載されている。ダイオードのアノードを構成するヘテロ半導体領域は、隣り合うゲート電極の間に挟まれるように、ゲート電極に沿って所定の間隔で配置されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-183563号公報

発明の概要

[0004] 特許文献1の半導体装置において、ヘテロ半導体領域は、ゲート電極に隣り合うようにゲート電極に対して半導体基板の表面に平行な方向に並んで配置されている。すなわち、トレンチ型ゲート電極とは別に、ヘテロ半導体領域を形成する領域を半導体基板の表面に平行な方向に必要としていた。この結果、半導体基板における素子の面積効率が悪く、集積度を高める際の妨げとなっていた。

[0005] そこで、本発明は、上記に鑑みてなされたものであり、その目的とするところは、面積効率を向上して、集積度を高めた半導体装置及びその製造方法を提供することにある。

[0006] 本発明の一態様に係わる半導体装置は、ソース領域及びウェル領域を貫通

してドリフト領域に至る溝の側部にゲート絶縁膜を介して埋め込まれたゲート電極と、層間絶縁膜を介してゲート電極により囲まれたコンタクトホール内部に埋め込まれたアノード領域と、ゲート電極の底面にゲート絶縁膜を介して隣接する第2導電型の第1の電界緩和領域とを備える。アノード領域の底面は第1導電型の半導体領域と接合してダイオードを形成する。

図面の簡単な説明

[0007] [図1]図1は、本発明の第1実施形態に係る半導体装置の構成を示す断面図である。

[図2A]図2Aは、図1に示す半導体装置の製造方法を示す工程断面図であり、N+型炭化珪素基体1上にドリフト領域2が形成された様子を示す。

[図2B]図2Bは、図1に示す半導体装置の製造方法を示す工程断面図であり、ウェル領域3、N+型ソース領域4を形成した様子を示す。

[図2C]図2Cは、図1に示す半導体装置の製造方法を示す工程断面図であり、溝5を形成した様子を示す。

[図2D]図2Dは、図1に示す半導体装置の製造方法を示す工程断面図であり、マスクパターン(20、26)を形成した様子を示す。

[図2E]図2Eは、図1に示す半導体装置の製造方法を示す工程断面図であり、第1の電界緩和領域23を形成した様子を示す。

[図2F]図2Fは、図1に示す半導体装置の製造方法を示す工程断面図であり、マスクパターン(20、26)を除去した様子を示す。

[図2G]図2G(a)、(b)は、図1に示す半導体装置の製造方法を示す工程断面図であり、ゲート絶縁膜7を形成した様子を示す。

[図2H]図2H(a)、(b)は、図1に示す半導体装置の製造方法を示す工程断面図であり、ゲート電極材料8を堆積した様子を示す。

[図2I]図2I(a)、(b)は、図1に示す半導体装置の製造方法を示す工程断面図であり、マスク層14'を形成した様子を示す。

[図2J]図2J(a)、(b)は、図1に示す半導体装置の製造方法を示す工程断面図であり、ゲート電極8をパターンニングした様子を示す。

[図2K]図2K(a)、(b)は、図1に示す半導体装置の製造方法を示す工程断面図であり、ゲート絶縁膜7をパターンニングした様子を示す。

[図2L]図2L(a)、(b)は、図1に示す半導体装置の製造方法を示す工程断面図であり、層間絶縁膜9を形成した様子を示す。

[図2M]図2M(a)、(b)は、図1に示す半導体装置の製造方法を示す工程断面図であり、アノード領域15となる半導体材料を堆積した様子を示す。

[図2N]図2N(a)、(b)は、図1に示す半導体装置の製造方法を示す工程断面図であり、半導体材料のエッチバックによりアノード領域15を形成した様子を示す。

[図2O]図2O(a)、(b)は、図1に示す半導体装置の製造方法を示す工程断面図であり、ゲート電極8一部を露出するために層間絶縁膜9をパターンニングを行った様子を示す。

[図2P]図2P(a)、(b)は、図1に示す半導体装置の製造方法を示す工程断面図であり、ソース電極13、及びドレイン電極12を形成した様子を示す。

[図2Q]図2Q(a)、(b)は、図1に示す半導体装置の製造方法を示す工程断面図であり、ソース電極13とゲート電極8を電氣的に絶縁した様子を示す。

[図3]図3は、第1実施形態の第1変形例に係る半導体装置の構成を示す断面図である。

[図4]図4は、第1実施形態の第2変形例に係る半導体装置の構成を示す断面図である。

[図5]図5は、第1実施形態の第3変形例に係る半導体装置の構成を示す断面図である。

[図6]図6は、第1実施形態の第4変形例に係る半導体装置の構成を示す断面図である。

[図7]図7は、第1実施形態の第5変形例に係る半導体装置の構成を示す断面

図である。

[図8]図8は、本発明の第2実施形態に係る半導体装置の構成を示す断面図である。

[図9A]図9Aは、図8に示す半導体装置の製造方法を示す工程断面図であり、溝5の底部の直下に、第1の電界緩和領域23が形成された様子を示す。

[図9B]図9Bは、図8に示す半導体装置の製造方法を示す工程断面図であり、マスク層28を堆積した様子を示す。

[図9C]図9Cは、図8に示す半導体装置の製造方法を示す工程断面図であり、溝5の側部にマスク層28を選択的に残した様子を示す。

[図9D]図9Dは、図8に示す半導体装置の製造方法を示す工程断面図であり、マスク層28が形成されていない溝5の底部に導電領域24を形成した様子を示す。

[図10A]図10Aは、第2実施形態の第1変形例に係る半導体装置の製造方法を示す工程断面図であり、コンタクトホール10の底部に表出した導電領域24の一部を除去した様子を示す。

[図10B]図10Bは、第2実施形態の第1変形例に係る半導体装置の構成を示す断面図である。

[図11]図11は、第2実施形態の第2変形例に係る半導体装置の構成を示す断面図である。

[図12]図12は、第3実施形態に係る半導体装置の構成を示す断面図である。

[図13A]図13Aは、図12に示す半導体装置の製造方法を示す工程断面図であり、ウェル領域3、N+型ソース領域4を形成した様子を示す。

[図13B]図13Bは、図12に示す半導体装置の製造方法を示す工程断面図であり、マスク層14の上にレジストパターン20を形成した様子を示す。

[図13C]図13Cは、図12に示す半導体装置の製造方法を示す工程断面図であり、マスク層14の形状を加工した様子を示す。

[図13D]図13Dは、図12に示す半導体装置の製造方法を示す工程断面図で

あり、マスク層 20' を形成した様子を示す。

[図13E]図 13 E は、図 12 に示す半導体装置の製造方法を示す工程断面図であり、マスク層 14 の形状を再び加工した様子を示す。

[図13F]図 13 F は、図 12 に示す半導体装置の製造方法を示す工程断面図であり、溝 5 を形成した様子を示す。

[図13G]図 13 G は、図 12 に示す半導体装置の製造方法を示す工程断面図であり、第 1 の電界緩和領域 23 を形成した様子を示す。

[図13H]図 13 H は、図 12 に示す半導体装置の製造方法を示す工程断面図であり、ゲート絶縁膜 7、ゲート電極 8 及び層間絶縁膜 9 を形成した様子を示す。

[図13I]図 13 I は、図 12 に示す半導体装置の製造方法を示す工程断面図であり、コンタクトホール 10 から表出する第 1 の電界緩和領域 23 を除去した様子を示す。

[図14A]図 14 A は、第 3 実施形態の第 1 変形例に係る半導体装置の製造方法を示す工程断面図であり、角部 E G が底部 B T よりも低い溝 5 を形成した様子を示す。

[図14B]図 14 B は、第 3 実施形態の第 1 変形例に係る半導体装置の製造方法を示す工程断面図であり、第 1 の電界緩和領域 23 を形成した様子を示す。

[図14C]図 14 C は、第 3 実施形態の第 1 変形例に係る半導体装置の製造方法を示す工程断面図であり、ゲート絶縁膜 7、ゲート電極 8 及び層間絶縁膜 9 を形成した様子を示す。

[図14D]図 14 D は、第 3 実施形態の第 1 変形例に係る半導体装置の製造方法を示す工程断面図であり、コンタクトホール 10 から表出する第 1 の電界緩和領域 23 を除去した様子を示す。

[図14E]図 14 E は、第 3 実施形態の第 1 変形例に係る半導体装置の構造を示す断面図である。

[図15A]図 15 A は、第 3 実施形態の第 2 変形例に係る半導体装置の製造方法を示す工程断面図であり、図 14 B に示す状態において、アニール処理を実

施することにより、溝 5 の角部を丸くした様子を示す。

[図15B]図 1 5 B は、第 3 実施形態の第 2 変形例に係る半導体装置の構造を示す断面図である。

[図16]図 1 6 は、第 4 実施形態に係る半導体装置の構造を示す断面図である。

[図17A]図 1 7 A は、図 1 6 に示す半導体装置の製造方法を示す工程断面図であり、第 2 の電界緩和領域 2 5 を形成するためのマスク層 2 0 を形成した様子を示す。

[図17B]図 1 7 B は、図 1 6 に示す半導体装置の製造方法を示す工程断面図であり、第 2 の電界緩和領域 2 5 を形成した様子を示す。

[図17C]図 1 7 C は、図 1 6 に示す半導体装置の製造方法を示す工程断面図であり、コンタクト領域 2 6 を形成するためのマスク層 2 0' を形成した様子を示す。

[図17D]図 1 7 D は、図 1 6 に示す半導体装置の製造方法を示す工程断面図であり、コンタクト領域 2 6 を形成した様子を示す。

[図18]図 1 8 は、第 4 実施形態の第 1 変形例に係る半導体装置の構造を示す断面図である。

[図19]図 1 9 は、第 4 実施形態の第 2 変形例に係る半導体装置の構造を示す断面図である。

[図20]図 2 0 は、第 5 実施形態に係る半導体装置の構造を示す断面図である。

[図21A]図 2 1 A は、図 2 0 に示す半導体装置の製造方法を示す工程断面図であり、溝 5 及び保護溝 2 7 を同時に形成した様子を示す。

[図21B]図 2 1 B は、図 2 0 に示す半導体装置の製造方法を示す工程断面図であり、溝 5 を保護するためのマスク層 2 0 に形成した様子を示す。

[図21C]図 2 1 C は、図 2 0 に示す半導体装置の製造方法を示す工程断面図であり、溝 5 を保護するためのマスク層 2 0' に形成した様子を示す。

[図22]図 2 2 は、第 6 実施形態に係る半導体装置の平面レイアウトを示す上

面図であり、溝 5 が一方向に延び、一定間隔でコンタクトホール 10 が形成されている例を示す。

[図23]図 23 は、第 6 実施形態に係る半導体装置の平面レイアウトを示す上面図であり、コンタクトホール 10 が互い違いに形成されている例を示す。

[図24]図 24 は、第 6 実施形態に係る半導体装置の平面レイアウトを示す上面図であり、溝 5 が直交する 2 つの方向に延び、その交点にコンタクトホール 10 が形成されている例を示す。

[図25]図 25 は、第 6 実施形態に係る半導体装置の平面レイアウトを示す上面図であり、溝 5 がハニカム構造を有し、その交点にコンタクトホール 10 が形成されている例を示す。

[図26]図 26 は、第 6 実施形態に係る半導体装置の平面レイアウトを示す上面図であり、溝 5 が一方向に延び、コンタクトホール 10 も同様に一方向に延びている例を示す。

[図27]図 27 は、第 6 実施形態に係る半導体装置の平面レイアウトを示す上面図であり、溝 5 が直交する 2 つの方向に延び、コンタクトホール 10 も同様に直交する 2 つの方向に延びている例を示す。

[図28]図 28 は、第 6 実施形態に係る半導体装置の平面レイアウトを示す上面図であり、溝 5 がハニカム構造を有し、コンタクトホール 10 も同様にハニカム構造を有している例を示す。

[図29]図 29 は、第 7 実施形態に係る半導体装置の構造を示す断面図である。

[図30A]図 30 A は、第 7 実施形態に係る半導体装置の製造方法を示す工程断面図であり、ゲート絶縁膜 7 を形成した様子を示す。

[図30B]図 30 B は、第 7 実施形態に係る半導体装置の製造方法を示す工程断面図であり、ゲート電極材料 8 を堆積した様子を示す。

[図30C]図 30 C は、第 7 実施形態に係る半導体装置の製造方法を示す工程断面図であり、マスク層 14' を形成した様子を示す。

[図30D]図 30 D は、第 7 実施形態に係る半導体装置の製造方法を示す工程断

面図であり、ゲート電極 8 をパターニングした様子を示す。

[図30E]図 3 0 E は、第 7 実施形態に係る半導体装置の製造方法を示す工程断面図であり、ゲート絶縁膜 7 をパターニングした様子を示す。

[図30F]図 3 0 F は、第 7 実施形態に係る半導体装置の製造方法を示す工程断面図であり、層間絶縁膜 9 を形成した様子を示す。

[図30G]図 3 0 G は、第 7 実施形態に係る半導体装置の製造方法を示す工程断面図であり、マスク層 1 4 ” を形成した様子を示す。

[図30H]図 3 0 H は、第 7 実施形態に係る半導体装置の製造方法を示す工程断面図であり、ゲート電極 8 一部を露出するために層間絶縁膜 9 をパターニングを行った様子を示す。

[図30I]図 3 0 I は、第 7 実施形態に係る半導体装置の製造方法を示す工程断面図であり、ソース電極 1 3 及びドレイン電極 1 2 を形成した様子を示す。

[図30J]図 3 0 J は、第 7 実施形態に係る半導体装置の製造方法を示す工程断面図であり、ソース電極 1 3 とゲート電極 8 を電氣的に絶縁した様子を示す。

[図31]図 3 1 は、第 8 実施形態に係る半導体装置の構造を示す断面図である。

[図32A]図 3 2 A は、第 8 実施形態に係る半導体装置の製造方法を示す工程断面図であり、ゲート絶縁膜 7 b を形成した様子を示す。

[図32B]図 3 2 B は、第 8 実施形態に係る半導体装置の製造方法を示す工程断面図であり、ゲート絶縁膜 7 b をパターニングした様子を示す。

[図32C]図 3 2 C は、第 8 実施形態に係る半導体装置の製造方法を示す工程断面図であり、層間絶縁膜 9 を形成した様子を示す。

[図32D]図 3 2 D は、第 8 実施形態に係る半導体装置の製造方法を示す工程断面図であり、アノード領域 1 5 となる半導体材料を堆積した様子を示す。

[図33]図 3 3 は、第 9 実施形態に係る半導体装置の構造を示す断面図である。

[図34A]図 3 4 A は、第 9 実施形態に係る半導体装置の製造方法を示す工程断

面図であり、第２アノード領域２２を形成した様子を示す。

[図34B]図３４Ｂは、第９実施形態に係る半導体装置の製造方法を示す工程断面図であり、第１アノード領域２１となる半導体材料を堆積した様子を示す。

[図34C]図３４Ｃは、第９実施形態に係る半導体装置の製造方法を示す工程断面図であり、第１アノード領域２１を形成した様子を示す。

[図35]図３５は、第１０実施形態に係る半導体装置の構造を示す断面図である。

発明を実施するための形態

[0008] 図面を参照して、本発明の実施形態を説明する。図面の記載において同一部分には同一符号を付し説明を省略する。実施形態では、Ｎ型を第１導電型とし、Ｐ型を第２導電型として説明するが、Ｐ型を第１導電型とし、Ｎ型を第２導電型としても良い。理解を促進するために、図面における半導体装置の縦方向（積層方向）の長さを、横方向（主面方向）の長さに比べて拡大して表記している。

[0009] [第１実施形態の説明]

<半導体装置の構成>

図１を参照して、本発明の第１実施形態に係わる半導体装置の構成を説明する。第１実施形態に係る半導体装置は、半導体基板の一例としてＮ型高濃度のＮ＋型炭化珪素基体１を有する。Ｎ＋型炭化珪素基体１の一方の主面（以後、「表面」という）上に、炭化珪素（ＳｉＣ）からなるＮ型低濃度のドリフト領域２が形成されている。

[0010] ドリフト領域２の内部に、Ｐ型ウェル領域３が形成されている。Ｐ型ウェル領域３は、ドリフト領域２の主面を含む、ドリフト領域２の上部の領域に形成されている。Ｐ型ウェル領域３の内部に、Ｎ＋型ソース領域４が形成されている。Ｎ＋型ソース領域４は、Ｐ型ウェル領域３の主面を含む、Ｐ型ウェル領域３の上部の領域に形成されている。

[0011] Ｎ＋型ソース領域４及びＰ型ウェル領域３を貫通してドリフト領域２に至

る溝 5 の側部に、ゲート絶縁膜 7 を介してゲート電極 8 が埋め込まれている。ゲート電極 8 は、ゲート絶縁膜 7 を介して、溝 5 の側面に表出する N + 型ソース領域 4 及び P 型ウェル領域 3 及びドリフト領域 2 に隣接する。溝 5 は、図 1 の半導体装置の製造工程の途中において形成される。ゲート絶縁膜 7 は、ゲート電極 8 の底面と溝 5 の底面の間、及びゲート電極 8 の内外側面のうちの外側の側面と溝 5 の側面との間をそれぞれ離間している。ゲート電極 8 は、層間絶縁膜 9 により被覆されている。層間絶縁膜 9 は、ゲート電極 8 の内側の側面及び上面を被覆している。

[0012] 層間絶縁膜 9 を介してゲート電極 8 により囲まれたコンタクトホール 10 の内部に、P 型のアノード領域 15 が埋め込まれている。層間絶縁膜 9 は、ゲート電極 8 の内側の側面とアノード領域 15 との側面との間を離間している。図 1 の断面図は、コンタクトホール 10 を通る、N + 型炭化珪素基体 1 の表面に垂直な切断面を示している。図 1 の断面図に対応する半導体装置の平面構造は図 22 を参照して後述する。アノード領域 15 の底面は、「第 1 導電型の半導体領域」の一例としての N 型のドリフト領域 2 と接合してダイオードを形成する。

[0013] ゲート電極 8 の底面にゲート絶縁膜 7 を介して、P 型の第 1 の電界緩和領域 23 が隣接している。第 1 の電界緩和領域 23 は、溝 5 の底面の直下に形成されている。ゲート絶縁膜 7 は、ゲート電極 8 の底面と第 1 の電界緩和領域 23 の上面との間を離間している。第 1 の電界緩和領域 23 は、溝 5 の角部に接している。

[0014] N + 型ソース領域 4、層間絶縁膜 9 及びアノード領域 15 の上に、ソース電極 13 が形成されている。ソース電極 13 は、P 型ウェル領域 3、N + 型ソース領域 4、及びアノード領域 15 に電氣的に低抵抗で接続、つまりオーミック接続している。ゲート電極 8 とソース電極 13 は、層間絶縁膜 9 により絶縁されている。N + 型炭化珪素基体 1 の裏面には、ドレイン電極 12 がオーミック接続されている。

[0015] 即ち、図 1 に示す半導体装置は、N + 型炭化珪素基体 1 の表面上に形成さ

れたN型のドリフト領域2と、ドリフト領域2内に形成されたP型ウェル領域3と、P型ウェル領域3内に形成されたN+型ソース領域4と、P型ウェル領域3に形成された溝5と、ゲート絶縁膜7を介して溝5内に形成したゲート電極8とを含むトランジスタを有している。更に、図1に示す半導体装置は、ドリフト領域2をカソード領域とし、カソード領域と接触するP型のアノード領域15を含むダイオードを有している。

[0016] <半導体装置の製造方法>

次に、図2A～図2Qを参照して、図1に示した半導体装置を製造する際の処理手順について説明する。

[0017] 初めに、図2Aに示すように、N+型炭化珪素基体1上に、N-型炭化珪素エピタキシャル層からなるドリフト領域2が形成された材料を用意する。炭化珪素にはいくつかのポリタイプ（結晶多形）が存在し、本実施形態では代表的な4Hとして説明する。

[0018] N+型炭化珪素基体1は、数十～数百 μm 程度の厚みを有する。N-型のドリフト領域2は、例えば、不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが数 μm ～数十 μm として形成される。

[0019] 次に、図2Bに示すように、不純物のイオン注入によって、ドリフト領域2の内部にP型ウェル領域3、及びN+型ソース領域4を形成する。ここで、イオン注入領域をパターニングするために、下記の処理により、ドリフト領域2上にマスク層を形成する。

[0020] マスク層としては、シリコン酸化膜を用いることができ、堆積方法としては熱CVD法やプラズマCVD法を用いることができる。次に、マスク層上にレジストをパターニングする（図示省略）。パターニングの方法としては、一般的なフォトリソグラフィ法を用いることができる。パターニングされたレジストをマスクにして、マスク層をエッチングする。エッチング方法としては、フッ酸を用いたウエットエッチングや、反応性イオンエッチング等の、ドライエッチングを用いることができる。

[0021] 次に、レジストを酸素プラズマや硫酸等で除去する。マスク層をマスクに

して、P型及びN型不純物をそれぞれイオン注入し、P型ウェル領域3、及びN+型ソース領域4を形成する。P型不純物としては、アルミニウム（Al）やボロン（B）を用いることができる。また、N型不純物としては窒素（N）を用いることができる。

[0022] この際、基体温度を600℃程度に加熱した状態でイオン注入することで、注入領域に結晶欠陥が生じることを抑制することができる。イオン注入後、例えばフッ酸を用いたウェットエッチングによって、マスク層を除去する。次いで、熱処理することでイオン注入した不純物を活性化する。熱処理温度としては、1700℃程度の温度を用いることができ、雰囲気としてアルゴンや窒素を用いることができる。こうして、図2Bに示すP型ウェル領域3、及びN+型ソース領域4が形成される。

[0023] 次に、図2Cに示すように、N+型ソース領域4及びP型ウェル領域3を貫通してドリフト領域2に至る溝5を形成する。この処理では、まず、N+型ソース領域4上にマスク層14を形成する。マスク層14としては、前述した図2Bに示した処理と同様に、パターニングされた絶縁膜を使用することができる。

[0024] その後、マスク層14をマスクとして溝5を形成する。溝5を形成する好適な例として、ドライエッチング法を用いることができる。この際、溝5の深さは、P型ウェル領域3の深さより深くする必要がある。つまり、溝5はドリフト領域2の内部に達する深さとする。

[0025] 次に、図2Dに示すように、マスク層14の主面及び溝5の内面にレジストを塗布し、マスクを用いてレジストの露光及び現像を行う。現像後のレジストパターン（20、29）の断面形状は図2Dに示す。レジストパターン（20、29）には、マスク層14上に形成されるレジストパターン29と、溝5の底面のうちアノード領域15が形成される領域に形成されるレジストパターン20とが含まれる。よって、レジストパターン（20、29）の開口からは、溝5の底面のうち、ゲート電極8、ゲート絶縁膜7、及び層間絶縁膜9が形成される領域が露出する。溝5の底面のうち、ゲート電極8、

ゲート絶縁膜 7、及び層間絶縁膜 9 が形成される領域には、ドリフト領域 2 が露出している。

[0026] 次に、図 2 E に示すように、レジストパターン (20、29) の開口から露出する溝 5 の底面の直下に、第 1 の電界緩和領域 23 を形成する。形成方法の例として、アルミニウム、ボロンなどの P 型半導体を形成できる不純物をウェハに注入することで形成可能である。例として、アルミニウムのイオンの場合、不純物の濃度は $1 \times 10^{18} \text{ cm}^{-3}$ であり、注入する深さは 0.2 マイクロメートル (μm) である。

[0027] 続いて、図 2 F に示すように、レジストパターン (20、29) を除去し、注入された不純物を活性化するために、活性化アニールを行う。これにより、溝 5 の底面のうち、ゲート電極 8、ゲート絶縁膜 7、層間絶縁膜 9 が形成される領域の直下に、第 1 の電界緩和領域 23 が形成される。第 1 の電界緩和領域 23 を形成した後、マスク層 14 を除去する。例えば、マスク層 14 がシリコン酸化膜の場合には、フッ酸洗浄で除去する。

[0028] 次に、図 2 G (a)、(b) に示すように、ゲート絶縁膜 7 を形成する。図 2 G (b) は、図 2 G (a) の b-b 切断面に沿った断面図であり、溝 5 の終端の形状を示している。この処理は、熱酸化法、或いは、堆積法を用いて行うことができる。一例として、熱酸化法を採用した場合には、基体を酸素雰囲気中で、温度を 1100°C 程度に加熱する。これにより、酸素に触れる該基体の全ての部分において、ゲート絶縁膜 7 が形成される。ゲート絶縁膜 7 を形成した後、P 型ウェル領域 3 とゲート絶縁膜 7 との界面における界面準位を低減するために、窒素、アルゴン、 N_2O 等の雰囲気中で 1000°C 程度のアニールを行っても良い。

[0029] なお、図 2 H～図 2 Q の各々の (b) は、同図 (a) の b-b 切断面に沿った断面図を示し、溝 5 の終端の形状を示している。

[0030] 次に、図 2 H (a)、(b) に示すように、ゲート絶縁膜 7 の表面にゲート電極 8 となるゲート電極材料を堆積する。ゲート電極 8 となるゲート電極材料は、ポリシリコンが一般的であるから、本実施形態ではポリシリコンを

用いる例を説明する。ポリシリコンの堆積方法としては、減圧CVD法を用いることができる。ポリシリコンの堆積厚さは、溝5の幅の1/2より小さい値にする。溝5をポリシリコンで埋めずに、溝5の側壁と底部に、ほぼ同一の厚さでポリシリコンを堆積することができる。例えば、溝5の幅が2 μ mの場合には、ポリシリコンの厚さは1 μ mよりも薄くする。また、ポリシリコン堆積後に、950℃でPOC13中においてアニール処理を施すことで、N型のポリシリコンが形成され、ゲート電極8に導電性を持たせることができる。

[0031] その後、図2I(a)、(b)に示すように、ゲート電極8のパッド部を形成するためのパターニングを行う。この処理では、ポリシリコンの表面にレジスト14'を塗り、パターニングを行う。パターニングの方法としては、一般的なフォトリソグラフィ法を用いることができる。

[0032] 次に、図2J(a)、(b)に示す処理では、ゲート電極8となるポリシリコンのエッチングを行う。エッチング後の溝5の側部、及びレジスト14'の下部以外にポリシリコンが残らないように、ポリシリコンのエッチング量を設定する。また同時に、溝5の側部に残るポリシリコン（ゲート電極8）が、P型ウェル領域3を挟み且つドリフト領域2とN+型ソース領域4の間を跨ぐように、ポリシリコンのエッチング量を設定する。エッチングは異方性エッチング法を用いる。その後、レジスト14'を酸素プラズマや硫酸等で除去する。

[0033] 次に、図2K(a)、(b)に示すように、ゲート絶縁膜7のエッチングを行う。エッチング量は、溝5の底面に形成されたゲート絶縁膜7の厚さに対して数%~数十%のオーバーエッチングで行う。また、エッチング法として異方性エッチング法を用いる。この工程はマスクを使わずにセルフアラインでエッチングすることができる。図2K(a)、(b)に示した処理を行うことにより、溝5の底面からドリフト領域2の一部を露出させることができる。

[0034] 次に、図2L(a)、(b)に示すように、ゲート電極8の上に層間絶縁

膜 9 を形成する。層間絶縁膜 9 は、ポリシリコンからなるゲート電極 8 の一部を熱酸化することにより形成される。酸素雰囲気中で、900℃程度の温度で酸化を行う。この温度で酸化するとポリシリコンの熱酸化と同時に、炭化珪素も若干量だけ酸化される。炭化珪素表面の酸化膜を除去するために、熱酸化後フッ酸で数秒の洗浄を行う。つまり、熱酸化膜を等方的にエッチングする。図 2 L (a)、(b) に示した処理を行うことにより、層間絶縁膜 9 を介してゲート電極 8 により囲まれたコンタクトホール 10 が形成される。

[0035] 次に、図 2 M (a)、(b) に示すように、アノード領域 15 を形成する。アノード領域 15 は、金属材料或いは半導体材料等から形成することができる。例えば、アノード領域 15 としてチタン (Ti) を用いる場合は、電子ビーム蒸着法でコンタクトホール 10 を埋める厚さで Ti を堆積する。また、アノード領域 15 としてポリシリコンを用いる場合は、減圧 CVD 法でコンタクトホール 10 を完全に埋める厚さでポリシリコンを堆積する。ポリシリコンを堆積中に BCl₃ ガスを投入することで、P 型のポリシリコンが形成される。このように、Ti、或いは P 型ポリシリコンは、コンタクトホール 10 の内部に埋め込まれ、溝 5 の底面の一部、即ちコンタクトホール 10 の底面に露出するドリフト領域 2 と接するアノード領域 15 が形成される。

[0036] 次に、図 2 N (a)、(b) に示すように、N+型ソース領域 4 の主面を露出させるために、アノード領域 15 のエッチングを行う。エッチングはセルフアラインで行う。この際、異方性エッチング法でも、等方性エッチング法でも良い。エッチング量はアノード領域 15 の堆積量に対して数%~数十%のオーバーエッチングが好適である。図 2 N (a)、(b) に示した処理を行うことにより、コンタクトホール 10 の内部にアノード領域 15 を残し、N+型ソース領域 4 及び層間絶縁膜 9 上に堆積されていたアノード領域 15 を選択的に除去することができる。

[0037] 次に、図 2 O (a)、(b) に示すように、ゲート電極 8 のパッド部分を

露出するために、層間絶縁膜 9 のエッチングを行う。まず、レジスト 1 4” をマスク層として図 2 O (a)、(b) に示すように、パターニングを行う。その後、層間絶縁膜 9 のエッチングを行う。このエッチングは、異方性エッチング法でも、等方性エッチング法でも良い。エッチング量は層間絶縁膜 9 の厚さに対して数%~数十%のオーバーエッチングが好適である。エッチング後、レジスト 1 4” を除去する。

[0038] 次に、図 2 P (a)、(b) に示すように、ソース電極 1 3、及びドレイン電極 1 2 を形成する。N+型ソース領域 4、ゲート電極 8、及びアノード領域 1 5 にオーミック接続するように、ソース電極 1 3 を形成する。ソース電極 1 3 は、図 2 P (a)、(b) とは異なる断面において、P 型ウェル領域 3 にもオーミック接続している。ソース電極 1 3 としては、ニッケルシリサイドを用いるのが好適である。その他の例として、コバルトシリサイド、チタンシリサイド等の金属を用いることも可能である。堆積方法としては蒸着法、スパッタ法、CVD 法等を用いることができる。更に、ソース電極 1 3 上にチタンやアルミを積層した積層構造としても良い。この方法でソース電極 1 3 を形成した結果、ゲート電極 8 とも同電位になっている。

[0039] 次に、N+型炭化珪素基体 1 の裏面に、ドレイン電極 1 2 となるニッケルを同様にして堆積する。次に、1000℃程度のアニールを施し、炭化珪素とニッケルを合金化させ、ニッケルシリサイドを形成し、ソース電極 1 3、及びドレイン電極 1 2 を形成する。

[0040] その後、図 2 Q (a)、(b) に示すように、ソース電極 1 3 とゲート電極 8 を電氣的に絶縁する。前述した図 2 O (b) に示した形状で、レジストをマスク層として、ソース電極 1 3 となるメタル材料を選択的にエッチングする。そして、ソース電極 1 3 を、アノード領域 1 5 に接触している部分 1 3 と、ゲート電極 8 に接触している部分 1 3' とに分離する。これにより、ソース電極 1 3 とゲート電極 8 は電氣的に絶縁される。図 2 Q (b) では、ソース電極 1 3 がほぼ中央で遮断されており、ゲート電極 8 と絶縁されている。以上の工程を経て、図 1 に示す半導体装置が完成する。

[0041] <半導体装置の動作>

次に、図 1 に示す半導体装置の、基本的な動作について説明する。図 1 に示す半導体装置は、ソース電極 13 の電位を基準として、ドレイン電極 12 に所定の正の電位を印加した状態でゲート電極 8 の電位を制御することで、トランジスタとして機能する。即ち、ゲート電極 8 とソース電極 13 間の電圧を所定の閾値電圧以上にすると、ゲート電極 8 の側面にゲート絶縁膜 7 を介して隣接する P 型ウェル領域 3 の側面（チャネル部）に反転層が形成される。これにより、トランジスタはオン状態となり、ドレイン電極 12 からソース電極 13 へ電流が流れる。

[0042] 一方、ゲート電極 8 とソース電極 13 間の電圧を所定の閾値電圧以下にすると、反転層が消滅して、トランジスタはオフ状態となり、電流が遮断される。この際、ドレインとソースの間には、数百～数千ボルトの高電圧が印加される。

[0043] ソース電極 13 の電位を基準として、ドレイン電極 12 に所定の負の電位を印加した場合には、P 型ウェル領域 3 及びアノード領域 15 をアノードとし、ドリフト領域 2 をカソードとするダイオードに還流電流が流れる。

[0044] <第 1 実施形態の第 1 変形例>

図 3 を参照して、第 1 の実施形態に係わる半導体装置の第 1 の変形例を説明する。図 1 の半導体装置との相違点は次のとおりである。第 1 の電界緩和領域 23 はゲート電極 8 の下部だけではなく、アノード領域 15 の角部と溝 5 の角部に接しながら、ゲート電極 8 の外側及びアノード領域 15 の内側に広がっている。この構造では、溝 5 の角部とアノード領域 15 の角部の電界集中がさらに緩和でき、耐圧が向上する。

[0045] <第 1 実施形態の第 2 変形例>

図 4 を参照して、第 1 の実施形態に係わる半導体装置の第 2 の変形例を説明する。図 1 の半導体装置との相違点は次のとおりである。第 1 の電界緩和領域 23 は溝 5 の角部は接していない。換言すれば、第 1 の電界緩和領域 23 は溝 5 の角部を除くゲート電極 8 の下部に形成される。この構造では、M

OS型電界効果トランジスタ（MOSFET）のオン動作時に、第1の電界緩和領域23から発生する空乏層による抵抗が小さくなる。このため、オン動作時の損失が低減できる。しかし、溝5の角部の電界集中が大きくなるので、耐圧が低下する。半導体装置の用途に応じて構造設計することが望ましい。

[0046] ＜第1実施形態の第3変形例＞

図5を参照して、第1の実施形態に係わる半導体装置の第3の変形例を説明する。図1の半導体装置との相違点は次のとおりである。第1の電界緩和領域23はアノード領域15の角部に接してない。第1の電界緩和領域23はゲート電極8の下部だけではなく、溝5の角部に接しながら、ゲート電極8の外側に広がっている。この構造では、ダイオードのオン動作時に第1の電界緩和領域23から発生する空乏層による抵抗が小さくなるため、オン動作時の損失が低減できる。しかし、アノード領域15の角部の電界集中が大きくなるので、耐圧が低下する。半導体装置の用途に応じて構造設計することが望ましい。第3変形例の構造は、溝5の角部の耐圧を向上させるため、第1実施形態のみならず、後述する他の総ての実施形態においても適用可能である。

[0047] ＜第1実施形態の第4変形例＞

図6を参照して、第1の実施形態に係わる半導体装置の第4の変形例を説明する。図1の半導体装置との相違点は次のとおりである。第1の電界緩和領域23は溝5の角部及びアノード領域15の角部に接してない。換言すれば、第1の電界緩和領域23は溝5の角部及びアノード領域15の角部を除くゲート電極8の下部に形成される。この構造では、ダイオードとMOSFETのオン動作時に第1の電界緩和領域23から発生する空乏層による抵抗が小さくなるため、オン動作時の損失を低減できる。溝5の角部及びアノード領域15の角部の電界集中が大きくなるので耐圧が低下する。しかし、第1の電界緩和領域23を形成しない場合に比べれば耐圧は向上する。半導体装置の用途に応じて構造設計することが望ましい。第4変形例の構造は、溝

５の角部の耐圧を向上させるため、第１実施形態のみならず、後述する他の総ての実施形態においても適用可能である。

[0048] ＜第１実施形態の第５変形例＞

図７を参照して、第１の実施形態に係わる半導体装置の第５の変形例を説明する。図１の半導体装置との相違点は次のとおりである。第１の電界緩和領域２３はアノード領域１５の角部から離れ、溝の角部に接する。換言すれば、第１の電界緩和領域２３は、ゲート電極８の下部のうち、溝５の角部に接する領域にのみ形成されている。この構造では、ダイオードのオン動作時に第１の電界緩和領域２３から発生する空乏層による抵抗を大幅に低減できる。同時に、溝５の角部の電界集中も防げる。第５変形例の構造は、溝５の角部の耐圧を向上させるため、第１実施形態のみならず、後述する他の総ての実施形態においても適用可能である。

[0049] ＜第１実施形態の効果＞

第１実施形態に係る半導体装置では、溝５の内部にゲート電極８と共にアノード領域１５が形成され、溝５の底面においてダイオードが形成される。これにより、N＋型炭化珪素基体１における素子の面積効率を向上して、集積度を高めることができる。また、還流動作時の損失を低減した低損失な半導体装置を提供することができる。

[0050] ゲート電極８を貫通するように形成されたコンタクトホール１０に埋設されたアノード領域１５とソース電極１３とをオーミック接続させることにより、アノード領域１５とソース電極１３間の寄生抵抗の抵抗値を低減できる。その結果、還流動作時の損失を低減することができる。

[0051] 一般的に炭化珪素トランジスタの場合には、シリコントランジスタと比較してドレイン電界が高くなる。このため、ゲート絶縁膜７の底部の厚さを厚くする等の対策が必要となる。ゲート絶縁膜７の底部だけを厚くすることが困難であるために、ゲート絶縁膜７の底部の厚さを厚くする対策をとると、ゲート絶縁膜７全体が厚くなり、トランジスタの閾値電圧が増加するという問題が生じる。トランジスタの閾値電圧が増加した状態で、ゲート電極に印

加するゲート電圧が一定であるとトランジスタのオン抵抗が悪化していた。第1実施形態の半導体装置では、溝5の内部の一部にP型のアノード領域15を埋込、溝5の底部でアノード領域15とドリフト領域2とが接合している。このため、トランジスタがオフ時にゲート絶縁膜7底部に印加されるドレイン電界を緩和することができる。その結果、トランジスタのオン抵抗の悪化を抑制しつつ、溝5の底部にも還流ダイオードを内蔵した低損失な半導体装置を提供することができる。

[0052] 一般的に炭化珪素トランジスタの場合、シリコントランジスタに比べてドレイン電界が高くなるため、溝5の角部に電界集中して、耐圧が弱くなる。溝5の底部と角部を保護するために、溝5の底部全部にP領域を形成する等の対策が必要となる。溝5の底部全面にP型の半導体領域を作ると、アノード領域15の底部にもP型の半導体領域を形成され、アノード領域15とドリフト領域2とからなるダイオード部はPNダイオードになってしまう。還流動作時の損失を低減した低損失な半導体装置を提供することが出来なくなる。ゲート電極8の下部にだけP型の半導体領域として第1の電界緩和領域23を形成する。第1の電界緩和領域23から発生する空乏層が溝5の底部と角部の電界集中を保護できる。この上、アノード領域15の下部には第1の電界緩和領域23を形成しないので、還流動作時の損失を低減できて、高い耐圧と低損失な半導体装置を提供することが出来る。

[0053] 第1の電界緩和領域23は、溝5の角部に接している。第1の電界緩和領域23から発生する空乏層が溝5の角部を覆い、溝5の角部への電界集中を緩和できる。

[0054] アノード領域15は、ドリフト領域2とは異なる種類の材料で形成され、アノード領域15の底面は、ドリフト領域2と接合してユニポーラ型のダイオードを形成している。ユニポーラダイオードは、PN接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0055] アノード領域15を、ドリフト領域2とバンドギャップが異なる半導体材

料（例えば、シリコン）で形成することができる。これにより、ヘテロ接合によるユニポーラダイオードを内蔵することができる。ユニポーラダイオードは、PN接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0056] 溝5を形成し（第1の工程）、溝5の底面及び側面にゲート絶縁膜7を形成し（第2の工程）、ゲート絶縁膜7の上にゲート電極8を形成し（第3の工程）、ゲート電極8の上に層間絶縁膜9を形成する（第4の工程）。これにより、ゲート絶縁膜7を介してゲート電極8により囲まれたコンタクトホール10が形成される。コンタクトホール10の底面に、ドリフト領域2を露出させる（第5の工程）。この製造方法を用いることにより、図1に示した溝5内にゲート電極8及びアノード領域15を同時に形成できる。さらに、コンタクトホール10をセルフアラインで形成でき、マスクによる合わせずれはない。また、上記した製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図1に示す半導体装置を製造可能である。

[0057] 図2D及び図2Eに示すように、第1の電界緩和領域23を形成する（第6の工程）。第1の電界緩和領域23の製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図1に示す半導体装置を製造可能である。

[0058] 第1の電界緩和領域23を形成した後、図2Lに示すように、コンタクトホール10の底面に、ドリフト領域2を露出させる（第7の工程）。ドリフト領域2を露出させる製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図1に示す半導体装置を製造可能である。

[0059] ドリフト領域2を露出させる工程において、エッチングマスクとして層間絶縁膜9を用いて異方性エッチングを行い、コンタクトホール10の底部を選択的に除去する。これにより、マスク使用せず、ドリフト領域2を露出できる。設計ルールに依存せず、高集積度デバイスを形成でき、マスクがいらないことで、製造コストが低い製造方法が提供できる。

[0060] 図2H(a)、(b)に示すように、ゲート電極8のポリシリコンを堆積

する際に、堆積するポリシリコンの厚さを溝 5 の幅の $1/2$ より小さい値にする。このため、溝 5 をポリシリコンで完全に埋めることなく、溝 5 の側面と底面に堆積されるポリシリコンの膜厚がほぼ均一になる。従って、マスクを使用することなく、溝 5 の内部に存在するゲート電極 8 のポリシリコン及びゲート絶縁膜 7 をエッチングすることにより、溝 5 の底面にドリフト領域 2 を露出させることができる。そして、マスクを使用しないことにより、マスク設計時の設計ルールによる寸法制限がなくなり、更なる集積化が可能となる。また、マスクによる合わせずれの発生を回避することができる。

[0061] 図 2 K に示す工程において、異方性エッチングを用いる。溝 5 の底においてゲート電極 8 と溝 5 の底部に挟まれるゲート絶縁膜 7 を犠牲とすることなく、ドリフト領域 2 を露出することができ、半導体装置の信頼性を向上させることができる。

[0062] 図 2 J に示したゲート電極 8 のポリシリコンのエッチングを行う工程において、一部の領域をマスク層 1 4' で保護する。これにより、ゲート電極 8 と、ゲート電極 8 に電位を印加するパッド（図 2 Q (b) の符号 1 3' で示す部分）を同時に形成することが可能になる。このため、トータルの製造工程を簡易化でき、製造工程によるばらつきが減少させ、素子の信頼性が高くなる。

[0063] ゲート電極 8 の上に層間絶縁膜 9 を形成する工程において、熱酸化法を用いる。ゲート電極 8 のポリシリコンと炭化珪素上に形成される酸化膜はポリシリコンのほうが厚い、このため、炭化珪素表面の酸化膜だけを除去し、ポリシリコン表面の酸化膜を残すことが出来る。このような工程を実施することで、マスクを使用せず、セルフアラインで溝底部の一部にドリフト領域を露出させることが出来る。これによって、マスク設計ルール上において、寸法制限が無くなり、更なる高集積化ができる。

[0064] [第 2 実施形態の説明]

図 8 を参照して、第 2 実施形態に係わる半導体装置の構成を説明する。第 2 実施形態に係わる半導体装置は、図 1 の半導体装置と対比して、次の点が

相違する。即ち、アノード領域 15 の下部に、N 型の半導体領域からなる導電領域 24 が形成されている。

[0065] 図 1 の半導体装置では、アノード領域 15 の底面は、ドリフト領域 2 と接合して P N ダイオードを形成していた。これに対して、図 8 の半導体装置では、P 型のポリシリコンからなるアノード領域 15 の底面は、N 型の導電領域 24 の上面と接合して P N ダイオードを形成する。図 8 の半導体装置では、「第 1 導電型の半導体領域」として、図 1 のドリフト領域 2 の代わりに、導電領域 24 を採用する。

[0066] 導電領域 24 の不純物準位は、ドリフト領域 2 の不純物準位と異なる。例えば、導電領域 24 の不純物準位は、ドリフト領域 2 の不純物準位よりも深い。換言すれば、導電領域 24 の不純物濃度は、ドリフト領域 2 の不純物濃度よりも高い。

[0067] 次に、図 9 A ～図 9 D を参照して、図 8 に示した半導体装置を製造する際の処理手順について説明する。

[0068] 先ず、図 2 A に示すように、N + 型炭化珪素基体 1 上に、N - 型炭化珪素エピタキシャル層からなるドリフト領域 2 が形成された材料を用意する。図 2 B に示すように、不純物のイオン注入によって、ドリフト領域 2 の内部に P 型ウェル領域 3、及び N + 型ソース領域 4 を形成する。図 2 C に示すように、N + 型ソース領域 4 及び P 型ウェル領域 3 を貫通してドリフト領域 2 に至る溝 5 を形成する。

[0069] 次に、図 9 A に示すように、溝 5 の底面の直下に第 1 の電界緩和領域 23 を形成する。形成方法の例として、アルミニウム (Al)、ボロン (B) などの P 型半導体を形成できる不純物をウェハーに注入することで形成可能である。例えば、アルミニウムの場合、注入濃度は $1 \times 10^{18} \text{ cm}^{-3}$ で、注入深さは $0.2 \mu\text{m}$ である。また、溝 5 を形成する際に使用したマスク層 14 をそのまま利用することで、溝 5 の底部に選択的に不純物を注入することができる。

[0070] イオン注入後に、図 9 B に示すように、マスク層 14 及び溝 5 の側面及び

底面に、マスク層 28 を堆積する。マスク層 28 の例として、低圧 CVD で堆積したポリシリコンや窒化シリコン膜などが挙げられる。マスク層 28 の厚さは、アノード領域 15 及び溝 5 の幅に応じて設計することが望ましい。例えば、溝 5 の幅が $1\ \mu\text{m}$ であり、アノード領域 15 の幅が $0.4\ \mu\text{m}$ 程度である場合は、マスク層 28 の厚さは $0.3\ \mu\text{m}$ に設定するのが好適である。

[0071] 次に、図 9 C に示すように、マスク層 28 のエッチバックを行う。この工程では、エッチングマスクを使用せず、ウェハー全面をエッチバックする。エッチング方法は異方性エッチングを使うことができる。溝 5 の側部に堆積されたマスク層 28 を残し、マスク層 14 の上及び溝 5 の底面の上に堆積されたマスク層 28 を選択的に除去することができる。これにより、溝 5 の底面のうち、導電領域 24 が形成される領域が露出する。

[0072] 次に、図 9 D に示すように、露出した溝 5 の底面の直下に、導電領域 24 を形成する。導電領域 24 は、窒素 (N)、リン (P) などの N 型半導体となる不純物を、露出した溝 5 の底面からドリフト領域 2 に注入することで形成可能である。注入濃度は第 1 の電界緩和領域 23 の不純物濃度より高く、注入深さは第 1 の電界緩和領域 23 の等しいか或いは深い。例えば、窒素の場合、注入濃度は $1.5 \times 10^{18}\ \text{cm}^{-3}$ で、注入深さは $0.25\ \mu\text{m}$ である。次に、ポリシリコンならなるマスク層 28 を熱燐酸による等方性エッチングで除去し、マスク層 14 をフッ酸で除去する。

[0073] 次に、アニール処理により、図 9 A 及び図 9 D で示した工程で注入した不純物を活性化して、第 1 の電界緩和領域 23 及び導電領域 24 を形成する。その後、図 2 G ~ 図 2 Q に示した工程を実施することにより、図 8 に示す半導体装置が完成する。

[0074] <半導体装置の動作>

図 8 に示す半導体装置の動作は、図 1 に示す半導体装置の動作とほぼ同じである。ただし、還流電流がダイオードに流れる動作は次のとおりである。ソース電極 13 の電位を基準として、ドレイン電極 12 に所定の負の電位を

印加した場合には、P型ウェル領域3及びアノード領域15をアノードとし、導電領域24をカソードとするダイオードに還流電流が流れる。

[0075] <第2実施形態の第1変形例>

図10A及び図10Bを参照して、第2実施形態に係わる半導体装置の第1変形例を説明する。図8の半導体装置との相違点は次のとおりである。図2L(a)、(b)に示す層間絶縁膜9を形成する工程の後であって、図2M(a)、(b)に示すポリシリコンをコンタクトホール10に埋め込む工程の前に、図10Aに示す工程を追加する。図10Aに示す工程では、ウェハ全面において、炭化珪素の異方性エッチングを実施する。

[0076] 例えば、炭化珪素を深さ0.1 μm だけエッチングする。図10Aに示すように、コンタクトホール10の底面から表出する導電領域24の一部（深さ0.1 μm ）が除去される。コンタクトホール10の底面の位置が溝5の底面の位置よりも深くなる。

[0077] その後、図2M(a)、(b)に示すポリシリコンをコンタクトホール10に埋め込む工程を実施することにより、図10Bに示す半導体装置が完成する。図10Bに示す半導体装置において、アノード領域15の底面の位置が溝5の底面の位置よりも深くなる。図10Bに示す半導体装置の動作方法は、図8に示す半導体装置と変わらない。アノード領域15が第1の電界緩和領域23或いは導電領域24と接合する面積（接合面積）が大きくなる。具体的にはアノード領域15に3V、ドレイン領域に0Vの電位を印加する場合はダイオードに流れる電流は二つの経路がある。一つはアノード領域15から第1の電界緩和領域23を介してドリフト領域2に流れる経路であり、もう一つはアノード領域15から導電領域24を介してドリフト領域2に流れる経路である。これらの経路に電流が流れることによってダイオードの順方向電流が増加する。アノード領域15の角部は第1の電界緩和領域23から発生する空乏層に入るため、耐圧が大きく低下することはない。

[0078] <第2実施形態の第2変形例>

図10Aに示す工程において、導電領域24が無くなり、ドリフト領域2

が表出するまでエッチングを実施することにより、図 11 に示す半導体装置が完成する。図 11 に示す半導体装置の動作方法は、図 8 に示す半導体装置と変わらない。アノード領域 15 がドリフト領域 2 或いは第 1 の電界緩和領域 23 と接合する面積が広がり、ダイオードの順方向電流が増加する。しかし、第 1 の電界緩和領域 23 はアノード領域 15 の角部から離間している。アノード領域 15 の角部は第 1 の電界緩和領域 23 から発生する空乏層によって保護されないため、耐圧が低下する。半導体装置の用途に応じて構造設計することが望ましい。

[0079] 図 11 に示す半導体装置は、図 9C に示す状態において、炭化珪素の異方性エッチングを実施してもよい。マスク層 28 が形成されていない領域にある第 1 の電界緩和領域 23 を除去し、ドリフト領域 2 を露出させる。この方法によれば、導電領域 24 を形成する図 9D に示す工程を実施する必要がなく、製造コストの低減が可能である。

[0080] 上記のようにアノード領域 15 の深さによって、順方向電流と耐圧がトレードオフの関係となるが、各種の用途に応じて、本実施例の半導体装置が広い範囲での活用が期待できる。

[0081] 導電領域 24 は不純物注入によって形成されるので、導電領域 24 の不純物濃度または不純物種類を変えることができる。例えば、アノード領域 15 の不純物がニッケル (Ni) である場合、Ni と導電領域 24 の内蔵電位は、導電領域 24 の濃度によって変わる。特に、導電領域 24 の不純物順位がドリフト領域 2 の不純物順位より深くなるように、導電領域 24 に不純物を注入する。これより、ダイオードの耐圧が向上する。

[0082] <第 2 実施形態の効果>

ゲート電極 8 の下部に形成される第 1 の電界緩和領域 23 は P 型半導体からなる。ドリフト領域 2 または導電領域 24 に広がる空乏層は、溝 5 の角部及びアノード領域 15 の角部まで広がる。溝 5 の角部及びアノード領域 15 の角部における電界集中を防ぐことができ、高耐圧の半導体装置を提供できる。アノード領域 15 と導電領域 24 との間に生じる内蔵電位を、図 1 の半

導体装置に比べて低くすることができるので、低損失なダイオードが提供できる。

[0083] 図9Dに示すように、第1の電界緩和領域23の一部分に、第1の電界緩和領域23より高濃度のN型となる不純物を注入することにより、導電領域24を形成する。第1の電界緩和領域23の一部分の不純物濃度と不純物種類を変更することにより、導電領域24を形成することができる。導電領域24の不純物濃度を調整することにより、アノード領域15と導電領域24の間に生じる内蔵電位を調整することが可能になる。

[0084] マスク層28の堆積（図9B）及びマスク層28のエッチバック（図9C）によって、露光工程をなしで、導電領域24を形成可能になる（図9D）。このため、マスクの合わせずれがなく、高信頼性の半導体装置を提供できる。

[0085] 第2実施形態に係る半導体装置では、溝5の内部にゲート電極8と共にアノード領域15が形成され、溝5の底面においてダイオードが形成される。これにより、N+型炭化珪素基体1における素子の面積効率を向上して、集積度を高めることができる。また、還流動作時の損失を低減した低損失な半導体装置を提供することができる。

[0086] ゲート電極8を貫通するように形成されたコンタクトホール10に埋設されたアノード領域15とソース電極13とをオーミック接続させることにより、アノード領域15とソース電極13間の寄生抵抗の抵抗値を低減できる。その結果、還流動作時の損失を低減することができる。

[0087] 一般的に炭化珪素トランジスタの場合には、シリコントランジスタと比較してドレイン電界が高くなる。このため、ゲート絶縁膜7の底部の厚さを厚くする等の対策が必要となり、トランジスタのオン抵抗が悪化していた。第2実施形態の半導体装置では、溝5の内部の一部にP型のアノード領域15を埋込、溝5の底部でアノード領域15と導電領域24とが接合している。このため、トランジスタがオフ時にゲート絶縁膜7底部に印加されるドレイン電界を緩和することができる。その結果、トランジスタのオン抵抗の悪化

を抑制しつつ、溝５の底部にも還流ダイオードを内蔵した低損失な半導体装置を提供することができる。

[0088] 一般的に炭化珪素トランジスタの場合、シリコントランジスタに比べてドレイン電界が高くなるため、溝５の角部に電界集中して、耐圧が弱くなる。溝５の底部と角部を保護するために、溝５の底部全部にＰ領域を形成する等の対策が必要となる。溝５の底部全面にＰ型の半導体領域を作ると、アノード領域１５の底部にもＰ型の半導体領域を形成され、アノード領域１５と導電領域２４とからなるダイオード部はＰＮダイオードになってしまう。還流動作時の損失を低減した低損失な半導体装置を提供することが出来なくなる。ゲート電極８の下部にだけＰ型の半導体領域として第１の電界緩和領域２３を形成する。第１の電界緩和領域２３から発生する空乏層が溝５の底部と角部の電界集中を保護できる。この上、アノード領域１５の下部には第１の電界緩和領域２３を形成しないので、還流動作時の損失を低減できて、高い耐圧と低損失な半導体装置を提供することが出来る。

[0089] 第１の電界緩和領域２３は、溝５の角部に接している。第１の電界緩和領域２３から発生する空乏層が溝５の角部を覆い、溝５の角部への電界集中を緩和できる。

[0090] 図１０Ｂ及び図１１に示したように、アノード領域１５の底面の位置は、ゲート電極８の底面の位置よりも深い。ダイオードのオン動作時に、ゲート電極８と層間絶縁膜９で発生する空乏層による抵抗成分が小さくなるため、低損失な半導体装置を提供することが出来る。半導体装置の用途に合わせて、アノード領域１５の深さ調整することで、各種の用途に適用可能な幅広い用途の半導体装置を提供できる。

[0091] 図１０Ｂに示したように、アノード領域１５の底面の位置は、ゲート電極８の底面の位置よりも深く、且つ、第１の電界緩和領域２３の底面の位置よりも浅い。第１の電界緩和領域２３から発生する空乏層でアノード領域１５の角部を保護できる。よって、アノード領域１５の底面の位置がゲート電極８の底面の位置よりも浅い場合に比べて、トランジスタのオン動作時に流れ

る電流が大きくなり、低損失かつ高い耐圧の半導体装置が提供できる。

[0092] アノード領域 15 は、ドリフト領域 2 とは異なる種類の材料で形成され、アノード領域 15 の底面は、ドリフト領域 2 と接合してユニポーラ型のダイオードを形成している。ユニポーラダイオードは、PN 接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0093] アノード領域 15 を、ドリフト領域 2 とバンドギャップが異なる半導体材料（例えば、シリコン）で形成することができる。これにより、ヘテロ接合によるユニポーラダイオードを内蔵することができる。ユニポーラダイオードは、PN 接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0094] 「第 1 導電型の半導体領域」が、ドリフト領域 2 と不純物準位が異なる N 型の導電領域である。アノード領域 15 の下部がドリフト領域 2 である場合、アノード領域 15 と接合する N 型領域（ドリフト領域 2）の不純物濃度は変えられない。図 9D に示すように、N 型の半導体にする不純物を溝 5 の底面から注入することにより、アノード領域 15 と接合する N 型領域（導電領域 24）の不純物の濃度を調整可能である。これによって、ダイオードの内蔵電位を制御できるので、低損失な半導体装置を提供することが出来る。また、用途に応じて内蔵電位を設計することで、幅広い用途の半導体装置を提供できる。

[0095] 導電領域 24 の不純物準位は、ドリフト領域 2 の不純物準位よりも深い。これにより、ダイオードの内蔵電位を高く設計できる。内蔵電位が高い場合、逆バイアス印加時の耐圧が向上し、リーク電流も減少する。低損失かつ高い耐圧な半導体装置を提供することが出来る。また、用途に応じて内蔵電位を設計することで、幅広い用途の半導体装置を提供できる。

[0096] 溝 5 を形成し（第 1 の工程）、溝 5 の底面及び側面にゲート絶縁膜 7 を形成し（第 2 の工程）、ゲート絶縁膜 7 の上にゲート電極 8 を形成し（第 3 の工程）、ゲート電極 8 の上に層間絶縁膜 9 を形成する（第 4 の工程）。これ

により、ゲート絶縁膜 7 を介してゲート電極 8 により囲まれたコンタクトホール 10 が形成される。コンタクトホール 10 の底面に、ドリフト領域 2 を露出させる（第 5 の工程）。この製方法を用いることにより、図 8 に示した溝 5 内にゲート電極 8 及びアノード領域 15 を同時に形成できる。さらに、コンタクトホール 10 をセルフアラインで形成でき、マスクによる合わせずれは生じない。また、上記した製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図 1 に示す半導体装置を製造可能である。

[0097] 図 2 D 及び図 2 E に示すように、第 1 の電界緩和領域 23 を形成する（第 6 の工程）。第 1 の電界緩和領域 23 の製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図 1 に示す半導体装置を製造可能である。

[0098] 図 9 A 及び図 9 D に示すように、溝 5 の底面の直下に、第 1 の電界緩和領域 23 を形成し（第 6 の工程）、導電領域 24 を形成する（第 8 の工程）。第 1 の電界緩和領域 23 及び導電領域 24 の形成方法は、一般的に半導体装置の製造によく使われるもので、低コストで第 2 実施形態に係わる半導体装置を製造可能である。

[0099] 第 6 の工程を実施した後に、第 8 の工程を実施する。溝 5 の底部に P 型の第 1 の電界緩和領域 23 を形成し、その後、第 1 の電界緩和領域 23 に N 型不純物を高濃度に注入することにより、P 型の半導体を N 型の半導体へ変換している。この方法では、N 型の半導体の濃度は、理論上任意の濃度から不純物の固有限までの範囲で可能である。例えば、P 型の半導体の不純物濃度が $I D a$ であれば、N 型の不純物を $I D a + I D b$ で注入すれば、N 型の半導体の不純物濃度は $I D b$ になる。 $I D b$ は、理論上任意から不純物の固有限までの範囲で可能である。逆に、アノード領域 15 の下部に導電領域 24（N 型の半導体）を形成した後、第 1 の電界緩和領域 23（P 型の半導体）を形成してもよい。この場合、P 型の半導体と N 型の半導体が重なる領域は、N 型の半導体である必要がある。例えば、N 型の半導体の不純物濃度を $I D b$ とすると、P 型の半導体の不純物濃度の上限が $I D a$ になる。

[0100] 導電領域 24 を形成する第 8 の工程は、溝 5 の側面及び底面を含む N + 型炭化珪素基体 1 の一方の主面にマスク材を堆積する工程（図 9 B）と、異方性エッチングを行い、溝 5 の側面にマスク材を選択的に残す工程（図 9 C）と、残されたマスク材を不純物導入用マスクとして用いて、溝 5 の底面から不純物を選択的に導入する工程（図 9 D）と、を有する。溝 5 に対して自己整合的に導電領域 24 を形成することができる。設計ルールに依存せず、高集積度デバイスを形成でき、マスクが不要であるため、製造コストの低減が可能である。マスク合わせずれも無く高い信頼性の半導体装置を製造することができる。

[0101] 図 2 H（a）、（b）に示すように、ゲート電極 8 のポリシリコンを堆積する際に、堆積するポリシリコンの厚さを溝 5 の幅の $1/2$ より小さい値にする。このため、溝 5 をポリシリコンで完全に埋めることなく、溝 5 の側面と底面に堆積されるポリシリコンの膜厚がほぼ均一になる。従って、マスクを使用することなく、溝 5 の内部に存在するゲート電極 8 のポリシリコン及びゲート絶縁膜 7 をエッチングすることにより、溝 5 の底面にドリフト領域 2 を露出させることができる。そして、マスクを使用しないことにより、マスク設計時の設計ルールによる寸法制限がなくなり、更なる集積化が可能となる。また、マスクによる合わせずれの発生を回避することができる。

[0102] 図 2 K に示す工程を異方性エッチングとすることで、溝 5 の底においてゲート電極 8 と溝 5 の底部に挟まれるゲート絶縁膜 7 を犠牲とすることなく、ドリフト領域 2 を露出することができ、半導体装置の信頼性を向上させることができる。

[0103] 図 2 J に示したゲート電極 8 のポリシリコンのエッチングを行う工程において、一部の領域をマスク層 14' で保護することにより、ゲート電極 8 と、ゲート電極 8 に電位を印加するパッド（図 2 K（b）のゲート電極 8 が露出した部分）を同時に形成することが可能になる。このため、トータルの製造工程を簡易化でき、製造工程によるばらつきが減少させ、素子の信頼性が高くなる。

[0104] ゲート電極 8 の上に層間絶縁膜 9 を形成する工程において、熱酸化法を用いる。ゲート電極 8 のポリシリコンと炭化珪素上に形成される酸化膜はポリシリコンのほうが厚い、このため、炭化珪素表面の酸化膜だけを除去し、ポリシリコン表面の酸化膜を残すことが出来る。このような工程を実施することで、マスクを使用せず、セルフアラインで溝底部の一部にドリフト領域を露出させることが出来る。これによって、マスク設計ルール上において、寸法制限が無くなり、更なる高集積化ができる。

[0105] [第 3 実施形態の説明]

図 1 2 を参照して、第 3 実施形態に係わる半導体装置の構成を説明する。第 3 実施形態に係わる半導体装置は、図 1 の半導体装置と対比して、次の点が相違する。即ち、アノード領域 1 5 の底面の位置は、ゲート電極 8 の底面の位置よりも浅い。換言すれば、アノード領域 1 5 の底面の位置は、溝 5 の底面の位置よりも浅い。これにより、図 1 2 の半導体装置では、ゲート電極 8 の底面の位置よりも浅い位置に、P 型のアノード領域 1 5 とドリフト領域 2 との接合界面が設けられる。

[0106] 図 1 2 に示す半導体装置の動作は、図 1 に示す半導体装置の動作とほぼ同じである。ただし、アノード領域 1 5 の角部は第 1 の電界緩和領域 2 3 とドリフト領域 2 に広がる空乏層とゲート電極 8 から発生する空乏層との両方により保護されているため、耐圧向上の効果は大きい。

[0107] 次に、図 1 3 A ~ 図 1 3 I を参照して、図 1 2 に示した半導体装置を製造する際の処理手順について説明する。

[0108] 先ず、図 2 A 及び図 2 B に示した工程を実施する。実施後の状態を図 1 3 A に示す。

[0109] 溝 5 を形成する工程について説明する。まず、図 1 3 B に示すように、N + 型ソース領域 4 の上面にマスク層 1 4 を形成する。マスク層 1 4 の一例として、シリコン酸化膜を用いることができる。マスク層 1 4 の上にレジストパターン 2 0 を形成する。レジストパターン 2 0 が形成される領域は、アノード領域 1 5 が形成される領域に相当する。

- [0110] 図13Cに示すように、レジストパターン20をエッチングマスクとして、シリコン酸化膜（マスク層14）を選択的にエッチングする。その後、レジストパターン20を除去する。
- [0111] 図13Dに示すように、マスク層14上にレジストパターン20'を形成する。レジストパターン20'をエッチングマスクとして、シリコン酸化膜（マスク層14）をエッチングする。これより、マスク層14は、図13Eに示す如くの形状となる。シリコン酸化膜（マスク層14）のエッチングは、全て異方性エッチング法により実施する。
- [0112] 次に、マスク層14をエッチングマスクとして、図2Cに示す工程と同じ処理を実施する。これにより、図13Fに示すように、溝5を形成することができる。溝5の底面のうち、アノード領域15が形成される領域の位置は、ゲート電極8が形成される領域の位置よりも浅い。
- [0113] 次に、図9Aに示した工程と同じ処理を実施して、溝5の底面の直下に第1の電界緩和領域23を形成する。これにより、図13Gに示すように、第1の電界緩和領域23を形成することができる。第1の電界緩和領域23の積層方向の位置（深さ）は、アノード領域15が形成される領域とゲート電極8が形成される領域とで異なる。
- [0114] 図2G(a)、(b)～図2L(a)、(b)に示す工程と同じ処理を実施する。これにより、図13Hに示すように、溝5の側部に、ゲート絶縁膜7、ゲート電極8及び層間絶縁膜9が形成される。コンタクトホール10の底面には、第1の電界緩和領域23が表出している。
- [0115] 次に、異方性エッチング法を用いて、炭化珪素をエッチングすることにより、コンタクトホール10の底面に表出した第1の電界緩和領域23を除去する。これにより、図13Iに示すように、コンタクトホール10の底面には、ドリフト領域2が表出する。また、コンタクトホール10の底面の位置は、ゲート電極8の底面の位置よりも浅い。
- [0116] 図2M(a)、(b)～図2Q(a)、(b)に示す工程と同じ処理を実施する。これにより、図12に示す半導体装置が完成する。

[0117] <第3実施形態の第1変形例>

図13Eに示すマスク層14をエッチングマスクとして用いて溝5を形成する工程において、溝5の形成条件（エッチング条件）を変更してもよい。これにより、例えば、図14Aに示すように、溝5の角部EGが溝5の底部BTより深くなる形状を形成することができる。

[0118] その後、図9Aに示した工程と同じ処理を実施して、溝5の底面の直下に第1の電界緩和領域23を形成する。これにより、図14Bに示すように、第1の電界緩和領域23を形成することができる。

[0119] 図2G(a)、(b)～図2L(a)、(b)に示す工程と同じ処理を実施する。これにより、図14Cに示すように、溝5の側部に、ゲート絶縁膜7、ゲート電極8及び層間絶縁膜9が形成される。コンタクトホール10の底面には、第1の電界緩和領域23が表出している。

[0120] 次に、異方性エッチング法を用いて、炭化珪素をエッチングすることにより、コンタクトホール10の底面に表出した第1の電界緩和領域23を除去する。これにより、図14Dに示すように、コンタクトホール10の底面には、ドリフト領域2が表出する。

[0121] 図2M(a)、(b)～図2Q(a)、(b)に示す工程と同じ処理を実施する。これにより、図14Eに示す半導体装置が完成する。

[0122] 図14Eに示す半導体装置によれば、図12に示す半導体装置と同様な効果が得られる。また、露光工程が一回分減少するため、製造にかかるコストが低減でき、また、マスク合わせずれのリスクも低減可能である。

[0123] <第3実施形態の第2変形例>

図14Bに示す状態において、1600℃以上のアニール処理を実施することにより、図15Aに示すように、溝5の角部を丸くすることができる。換言すれば、溝5の角部の曲率半径を長くすることができる。そして、図2G(a)、(b)～図2Q(a)、(b)に示す工程と同じ処理を実施する。これにより、図15Bに示す半導体装置が完成する。図15Bに示す半導体装置によれば、溝5の角部が丸くなるため、溝5の角部への電界集中を緩

和でき、耐圧が向上する。図 15 A には第 1 の電界緩和領域 23 を図示しているが、第 1 の電界緩和領域 23 を設けなくても溝 5 の角部への電界集中を緩和でき、耐圧が向上する。

[0124] <第 3 実施形態の効果>

第 3 実施形態に係る半導体装置では、溝 5 の内部にゲート電極 8 と共にアノード領域 15 が形成され、溝 5 の底面においてダイオードが形成される。これにより、N+型炭化珪素基体 1 における素子の面積効率を向上して、集積度を高めることができる。また、還流動作時の損失を低減した低損失な半導体装置を提供することができる。

[0125] ゲート電極 8 を貫通するように形成されたコンタクトホール 10 に埋設されたアノード領域 15 とソース電極 13 とをオーミック接続させることにより、アノード領域 15 とソース電極 13 間の寄生抵抗の抵抗値を低減できる。その結果、還流動作時の損失を低減することができる。

[0126] 一般的に炭化珪素トランジスタの場合には、シリコントランジスタと比較してドレイン電界が高くなる。このため、ゲート絶縁膜 7 の底部の厚さを厚くする等の対策が必要となり、トランジスタのオン抵抗が悪化していた。第 3 実施形態の半導体装置では、溝 5 の内部の一部に P 型のアノード領域 15 を埋込、溝 5 の底部でアノード領域 15 と導電領域 24 とが接合している。このため、トランジスタがオフ時にゲート絶縁膜 7 の底部に印加されるドレイン電界を緩和することができる。その結果、トランジスタのオン抵抗の悪化を抑制しつつ、溝 5 の底部にも還流ダイオードを内蔵した低損失な半導体装置を提供することができる。

[0127] 一般的に炭化珪素トランジスタの場合、シリコントランジスタに比べてドレイン電界が高くなるため、溝 5 の角部に電界集中して、耐圧が弱くなる。溝 5 の底部と角部を保護するために、溝 5 の底部全部に P 領域を形成する等の対策が必要となる。溝 5 の底部全面に P 型の半導体領域を作ると、アノード領域 15 の底部にも P 型の半導体領域を形成され、アノード領域 15 とドリフト領域 2 とからなるダイオード部は PN ダイオードになってしまう。還

流動作時の損失を低減した低損失な半導体装置を提供することが出来なくなる。ゲート電極 8 の下部にだけ P 型の半導体領域として第 1 の電界緩和領域 23 を形成する。第 1 の電界緩和領域 23 から発生する空乏層が溝 5 の底部と角部の電界集中を保護できる。この上、アノード領域 15 の下部には第 1 の電界緩和領域 23 を形成しないので、還流動作時の損失を低減できて、高い耐圧と低損失な半導体装置を提供することが出来る。

[0128] 第 1 の電界緩和領域 23 は、溝 5 の角部に接している。第 1 の電界緩和領域 23 から発生する空乏層が溝 5 の角部を覆い、溝 5 の角部への電界集中を緩和できる。

[0129] アノード領域 15 の底面の位置は、ゲート電極 8 の底面の位置よりも浅い。アノード領域 15 の角部は、ゲート電極 8 と層間絶縁膜 9 で発生する空乏層と第 1 の電界緩和領域 23 から発生する空乏層との両方により保護される。アノード領域 15 の角部の耐圧が向上する。

[0130] アノード領域 15 は、ドリフト領域 2 とは異なる種類の材料で形成され、アノード領域 15 の底面は、ドリフト領域 2 と接合してユニポーラ型のダイオードを形成している。ユニポーラダイオードは、PN 接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0131] アノード領域 15 を、ドリフト領域 2 とバンドギャップが異なる半導体材料（例えば、シリコン）で形成することができる。これにより、ヘテロ接合によるユニポーラダイオードを内蔵することができる。ユニポーラダイオードは、PN 接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0132] 溝 5 を形成し（第 1 の工程）、溝 5 の底面及び側面にゲート絶縁膜 7 を形成し（第 2 の工程）、ゲート絶縁膜 7 の上にゲート電極 8 を形成し（第 3 の工程）、ゲート電極 8 の上に層間絶縁膜 9 を形成する（第 4 の工程）。これにより、ゲート絶縁膜 7 を介してゲート電極 8 により囲まれたコンタクトホール 10 が形成される。コンタクトホール 10 の底面に、ドリフト領域 2 を

露出させる（第５の工程）。この製方法を用いることにより、図１２に示した溝５内にゲート電極８及びアノード領域１５を同時に形成できる。さらに、コンタクトホール１０をセルフアラインで形成でき、マスクによる合わせずれは生じない。また、上記した製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図１２に示す半導体装置を製造可能である。

[0133] 図１３Ｇに示すように、第１の電界緩和領域２３を形成する（第６の工程）。第１の電界緩和領域２３の製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図１２に示す半導体装置を製造可能である。

[0134] 溝５の底部に第１の電界緩和領域２３を形成した（図１３Ｇ）後、コンタクトホール１０の底面に、ドリフト領域２を露出させる（図１３Ｉ、第７の工程）。この製造方法は、一般的に半導体装置の製造によく使われるものであるため、低コストで図１２に示す半導体装置を製造することができる。

[0135] 第７の工程において、エッチングマスクとして層間絶縁膜を用いて異方性エッチングを行い、コンタクトホール１０の底部を選択的に除去する。これにより、マスク使用せず、自己整合的にドリフト領域２を露出させることができる。設計ルールに依存せず、高集積度デバイスを形成できる。マスクが不要となるため、製造コストを低く抑えることができる。

[0136] 第１工程において形成された溝５の角部ＥＧの深さは、溝５の底部ＢＴより深い（図１４Ａ）。溝５の角部に小さい凹部を設けることにより、一回の露光工程によって図１３Ｆ及び図１４Ａに示す断面構造を形成可能となり、製造コストを低減することができる。

[0137] 図２Ｈ（ａ）、（ｂ）に示すように、ゲート電極８のポリシリコンを堆積する際に、堆積するポリシリコンの厚さを溝５の幅の１／２より小さい値にする。このため、溝５をポリシリコンで完全に埋めることなく、溝５の側面と底面に堆積されるポリシリコンの膜厚がほぼ均一になる。従って、マスクを使用することなく、溝５の内部に存在するゲート電極８のポリシリコン及びゲート絶縁膜７をエッチングすることにより、溝５の底面にドリフト領域２を露出させることができる。そして、マスクを使用しないことにより、マ

スク設計時の設計ルールによる寸法制限がなくなり、更なる集積化が可能となる。また、マスクによる合わせずれの発生を回避することができる。

[0138] 図2Kに示す工程を異方性エッチングとすることで、溝5の底においてゲート電極8と溝5の底部に挟まれるゲート絶縁膜7を犠牲とすることなく、ドリフト領域2を露出することができ、半導体装置の信頼性を向上させることができる。

[0139] 図2Jに示したゲート電極8のポリシリコンのエッチングを行う工程において、一部の領域をマスク層14'で保護することにより、ゲート電極8と、ゲート電極8に電位を印加するパッド（図2Q(b)の符号13'で示す部分）を同時に形成することが可能になる。このため、トータルの製造工程を簡易化でき、製造工程によるばらつきが減少させ、素子の信頼性が高くなる。

[0140] ゲート電極8の上に層間絶縁膜9を形成する工程において、熱酸化法を用いる。ゲート電極8のポリシリコンと炭化珪素上に形成される酸化膜はポリシリコンのほうが厚い、このため、炭化珪素表面の酸化膜だけを除去し、ポリシリコン表面の酸化膜を残すことが出来る。このような工程を実施することで、マスクを使用せず、セルフアラインで溝底部の一部にドリフト領域を露出させることが出来る。これによって、マスク設計ルール上において、寸法制限が無くなり、更なる高集積化ができる。

[0141] [第4実施形態の説明]

図16を参照して、第4実施形態に係わる半導体装置の構成を説明する。第4実施形態に係わる半導体装置は、図1の半導体装置と対比して、次の点が相違する。即ち、第4実施形態に係わる半導体装置は、溝5からN+型炭化珪素基体1の主面に平行な方向に離れ、且つ少なくともドリフト領域2内に形成されたP型の第2の電界緩和領域25を更に備える。第2の電界緩和領域25は、コンタクト領域26を介してソース電極13にオーミック接続している。その他の構成は、図1に示した半導体装置と同じであり説明を省略する。

[0142] 第2の電界緩和領域25は、ドリフト領域2のみならず、P型ウェル領域3の内部にも形成されている。コンタクト領域26は、N+型ソース領域4の内部に形成されている。コンタクト領域26は、N+型ソース領域4上に形成されたソース電極13と第2の電界緩和領域25との間を接続している。

[0143] 図16に示す半導体装置の動作は、図1に示す半導体装置の動作とほぼ同じである。ただし、溝5の角部は第1の電界緩和領域23及び第2の電界緩和領域25の両方から発生する空乏層により保護されているため、耐圧向上の効果は大きい。

[0144] 次に、図17A～図17Dを参照して、図16に示した半導体装置を製造する際の処理手順について説明する。

[0145] 先ず、図2A及び図2Bに示す工程と同じ処理を実施する。その後、図17Aに示すように、N+型ソース領域4上に、第2の電界緩和領域25を形成するためのレジストパターン20を形成する。レジストパターン20の開口は、第2の電界緩和領域25が形成される領域に相当する。

[0146] 図17Bに示すように、イオン注入法を用いて、P型不純物イオンをN+型ソース領域4の表面から、ドリフト領域2及びP型ウェル領域3の内部に注入する。不純物の注入濃度は、N+型ソース領域4よりも低い。注入深さは、P型ウェル領域3よりも深い。その後、レジストパターン20を除去する。

[0147] 図17Cに示すように、N+型ソース領域4上に、コンタクト領域26を形成するためのレジストパターン20'を形成する。レジストパターン20'の開口は、コンタクト領域26が形成される領域に相当する。

[0148] 図17Dに示すように、イオン注入法を用いて、P型不純物イオンをN+型ソース領域4の表面から、N+型ソース領域4の内部に注入する。不純物の注入濃度は、N+型ソース領域4よりも高い。注入深さは、第2の電界緩和領域25よりも浅いことが望ましい。その後、レジストパターン20'を除去する。その後、アニール処理を行い、注入された不純物を活性化するこ

とにより、第2の電界緩和領域25及びコンタクト領域26が形成される。
なお、第2の電界緩和領域25と溝5との距離は0.5～2.5 μm 程度が望ましい。

[0149] その後、前述した各実施形態の製造方法、例えば図2A～図2Qに示した工程と同じ処理を実施することにより、図16に示す半導体装置が完成する。

[0150] 第4実施形態の半導体装置は、第1実施形態の半導体装置と同様に動作する。高濃度の不純物注入によってコンタクト領域26を形成することにより、ソース電極13と第2の電界緩和領域25との間を電氣的に低抵抗に接続することができる。ダイオードに逆バイアスを印加する時、バイアス電圧によって、第2の電界緩和領域25とドリフト領域2から発生する空乏層が溝5の角部まで広がる。溝5の角部における電解集中を緩和することができる。半導体装置の耐圧が向上する。

[0151] <第4実施形態の第1変形例>

第2の電界緩和領域25の不純物濃度は、N+型ソース領域4の不純物濃度よりも高くても構わない。この場合、コンタクト領域26を用いて、ソース電極13とオーミック接続しなくても構わない。よって、図18に示すように、第2の電界緩和領域25をP型ウェル領域3及びドリフト領域2のみならず、N+型ソース領域4の内部に形成する。そして、第2の電界緩和領域25の上面をソース電極13に接触させる。第2の電界緩和領域25をソース電極13に、直接、オーミック接続させることができる。コンタクト領域26を形成する必要がなくなり、製造コストを低減できる。

[0152] <第4実施形態の第2変形例>

第2の電界緩和領域25を形成するために不純物を注入する深さは、溝5の底面の位置よりも深くても構わない。これにより、第2の電界緩和領域25の底部の位置が、溝5の底面の位置よりも深くなる。ダイオードに逆バイアス電圧を印加するとき、バイアス電圧によって、第2の電界緩和領域25及びドリフト領域2から発生する空乏層が、図18の場合に比べて広くなり

、更に耐圧が向上する。

[0153] <第4実施形態の効果>

第4実施形態に係る半導体装置では、溝5の内部にゲート電極8と共にアノード領域15が形成され、溝5の底面においてダイオードが形成される。これにより、N+型炭化珪素基体1における素子の面積効率を向上して、集積度を高めることができる。また、還流動作時の損失を低減した低損失な半導体装置を提供することができる。

[0154] また、ゲート電極8を貫通するように形成されたコンタクトホール10に埋設されたアノード領域15とソース電極13とをオーミック接続させることにより、アノード領域15とソース電極13間の寄生抵抗の抵抗値を低減できる。その結果、還流動作時の損失を低減することができる。

[0155] 一般的に炭化珪素トランジスタの場合には、シリコントランジスタと比較してドレイン電界が高くなる。このため、ゲート絶縁膜の底部の厚さを厚くする等の対策が必要となり、トランジスタのオン抵抗が悪化していた。第4実施形態の半導体装置では、溝5の内部の一部にP型のアノード領域15を埋込、溝5の底部でアノード領域15とドリフト領域2とが接合している。このため、トランジスタがオフ時にゲート絶縁膜7底部に印加されるドレイン電界を緩和することができる。その結果、トランジスタのオン抵抗の悪化を抑制しつつ、溝5の底部にも還流ダイオードを内蔵した低損失な半導体装置を提供することができる。

[0156] 一般的に炭化珪素トランジスタの場合、シリコントランジスタに比べてドレイン電界が高くなるため、溝5の角部に電界集中して、耐圧が弱くなる。溝5の底部と角部を保護するために、溝5の底部全部にP領域を形成する等の対策が必要となる。溝5の底部全面にP型の半導体領域を作ると、アノード領域15の底部にもP型の半導体領域を形成され、アノード領域15とドリフト領域2とからなるダイオード部はPNダイオードになってしまう。還流動作時の損失を低減した低損失な半導体装置を提供することが出来なくなる。ゲート電極8の下部にだけP型の半導体領域として第1の電界緩和領域

23を形成する。第1の電界緩和領域23から発生する空乏層が溝5の底部と角部の電界集中を保護できる。この上、アノード領域15の下部には第1の電界緩和領域23を形成しないので、還流動作時の損失を低減できて、高い耐圧と低損失な半導体装置を提供することが出来る。

[0157] 第1の電界緩和領域23は、溝5の角部に接している。第1の電界緩和領域23から発生する空乏層が溝5の角部を覆い、溝5の角部への電界集中を緩和できる。

[0158] アノード領域15は、ドリフト領域2とは異なる種類の材料で形成され、アノード領域15の底面は、ドリフト領域2と接合してユニポーラ型のダイオードを形成している。ユニポーラダイオードは、PN接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0159] アノード領域15を、ドリフト領域2とバンドギャップが異なる半導体材料（例えば、シリコン）で形成することができる。これにより、ヘテロ接合によるユニポーラダイオードを内蔵することができる。ユニポーラダイオードは、PN接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0160] 半導体装置は、溝5からN+型炭化珪素基体1の主面に平行な方向に離れ、且つ少なくともドリフト領域2内に形成されたP型の第2の電界緩和領域25を更に備える。第2の電界緩和領域25は、ソース電極13にオーミック接続している。溝5の両側に、第2の電界緩和領域25があることで、第2の電界緩和領域25から発生する空乏層が溝5の角部への電界集中を抑制することができる。半導体装置の耐圧を高めることができる。

[0161] 第2の電界緩和領域25の底部の位置は、溝5の底面の位置よりも深い。第2の電界緩和領域25は溝5から大きく離れる場合でも、第2の電界緩和領域25から発生する空乏層が溝5の角部に届く。トランジスタのオン動作時に、第2の電界緩和領域25から発生する空乏層による抵抗が減少し、低損失な半導体装置が形成できる。

- [0162] 溝5を形成し（第1の工程）、溝5の底面及び側面にゲート絶縁膜7を形成し（第2の工程）、ゲート絶縁膜7の上にゲート電極8を形成し（第3の工程）、ゲート電極8の上に層間絶縁膜9を形成する（第4の工程）。これにより、ゲート絶縁膜7を介してゲート電極8により囲まれたコンタクトホール10が形成される。コンタクトホール10の底面に、ドリフト領域2を露出させる（第5の工程）。この製方法を用いることにより、図16に示した溝5内にゲート電極8及びアノード領域15を同時に形成できる。さらに、コンタクトホール10をセルフアラインで形成でき、マスクによる合わせずれは生じない。また、上記した製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図16に示す半導体装置を製造可能である。
- [0163] 図2D及び図2Eに示すように、第1の電界緩和領域23を形成する（第6の工程）。第1の電界緩和領域23の製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図16に示す半導体装置を製造可能である。
- [0164] 第1の電界緩和領域23を形成した後、図2Lに示すように、コンタクトホール10の底面に、ドリフト領域2を露出させる（第7の工程）。ドリフト領域2を露出させる製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図1に示す半導体装置を製造可能である。
- [0165] ドリフト領域2を露出させる工程において、エッチングマスクとして層間絶縁膜9を用いて異方性エッチングを行い、コンタクトホール10の底部を選択的に除去する。これにより、マスク使用せず、ドリフト領域2を露出できる。設計ルールに依存せず、高集積度デバイスを形成でき、マスクがいらないことで、製造コストが低い製造方法が提供できる。
- [0166] 図2H(a)、(b)に示すように、ゲート電極8のポリシリコンを堆積する際に、堆積するポリシリコンの厚さを溝5の幅の $1/2$ より小さい値にする。このため、溝5をポリシリコンで完全に埋めることなく、溝5の側面と底面に堆積されるポリシリコンの膜厚がほぼ均一になる。従って、マスクを使用することなく、溝5の内部に存在するゲート電極8のポリシリコン及

びゲート絶縁膜 7 をエッチングすることにより、溝 5 の底面にドリフト領域 2 を露出させることができる。そして、マスクを使用しないことにより、マスク設計時の設計ルールによる寸法制限がなくなり、更なる集積化が可能となる。また、マスクによる合わせずれの発生を回避することができる。

[0167] 図 2 K に示す工程を異方性エッチングとすることで、溝 5 の底においてゲート電極 8 と溝 5 の底部に挟まれるゲート絶縁膜 7 を犠牲とすることなく、ドリフト領域 2 を露出することができ、半導体装置の信頼性を向上させることができる。

[0168] 図 2 J に示したゲート電極 8 のポリシリコンのエッチングを行う工程において、一部の領域をマスク層 1 4' で保護することにより、ゲート電極 8 と、ゲート電極 8 に電位を印加するパッド（図 2 Q (b) の符号 1 3' で示す部分）を同時に形成することが可能になる。このため、トータルの製造工程を簡易化でき、製造工程によるばらつきが減少させ、素子の信頼性が高くなる。

[0169] ゲート電極 8 の上に層間絶縁膜 9 を形成する工程において、熱酸化法を用いる。ゲート電極 8 のポリシリコンと炭化珪素上に形成される酸化膜はポリシリコンのほうが厚い、このため、炭化珪素表面の酸化膜だけを除去し、ポリシリコン表面の酸化膜を残すことが出来る。このような工程を実施することで、マスクを使用せず、セルフアラインで溝底部の一部にドリフト領域を露出させることが出来る。これによって、マスク設計ルール上において、寸法制限が無くなり、更なる高集積化ができる。

[0170] [第 5 実施形態の説明]

図 2 O を参照して、第 5 実施形態に係わる半導体装置の構成を説明する。第 5 実施形態に係わる半導体装置は、図 1 の半導体装置と対比して、次の点が相違する。即ち、第 5 実施形態に係わる半導体装置では、溝 5 から N+ 型炭化珪素基体 1 の主面に平行な方向に離れた位置に保護溝 2 7 が形成されている。第 2 の電界緩和領域 2 5 は、少なくとも保護溝 2 7 の底面の下方に形成されている。その他の構成は、図 1 に示した半導体装置と同じであり説明

を省略する。

[0171] 保護溝 2 7 は、N + 型ソース領域 4 及び P 型ウェル領域 3 を貫通してドリフト領域 2 に至る深さの溝である。溝 5 の底面の深さは、保護溝 2 7 の深さと同じである。第 2 の電界緩和領域 2 5 は、保護溝 2 7 の底面の下方のみならず、保護溝 2 7 の側面上にも形成されている。保護溝 2 7 の底面の直下に、コンタクト領域 2 6 が形成されている。保護溝 2 7 の内部は、ソース電極 1 3 が埋め込まれている。ソース電極 1 3 は、保護溝 2 7 の底面に表出するコンタクト領域 2 6 及び保護溝 2 7 の側面に表出する第 2 の電界緩和領域 2 5 に接触している。

[0172] 図 2 0 に示す半導体装置の動作は、図 1 に示す半導体装置の動作とほぼ同じである。ただし、溝 5 の角部は第 1 の電界緩和領域 2 3 及び第 2 の電界緩和領域 2 5 の両方から発生する空乏層により保護されているため、耐圧向上の効果は大きい。

[0173] 次に、図 2 1 A ~ 図 2 1 C を参照して、図 2 0 に示した半導体装置を製造する際の処理手順について説明する。

[0174] 先ず、図 2 A 及び図 2 B に示した工程と同じ処理を実施する。

[0175] 溝 5 を形成する工程で、図 2 1 A に示すように、溝 5 と同時に保護溝 2 7 を同時に形成する。具体的には、溝 5 及び保護溝 2 7 が形成される領域に開口を有するマスク層 1 4 を形成する。マスク層 1 4 を用いて、N + 型ソース領域 4 及び P 型ウェル領域 3 を貫通し、ドリフト領域 2 に至る溝 5 及び保護溝 2 7 を同時に形成する。溝 5 及び保護溝 2 7 は同じ深さとなる。

[0176] 図 2 1 B に示すように、溝 5 を遮蔽し、保護溝 2 7 が形成された領域に開口を有するレジストパターン 2 0 を、マスク層 1 4 の上に形成する。レジストパターン 2 0 は溝 5 を保護することを主な目的とし、露光で少し合わせずれが発生しても半導体装置の信頼性に影響しない。

[0177] 図 1 7 B に示す工程と同様な処理を行い、第 2 の電界緩和領域 2 5 を形成する。第 2 の電界緩和領域 2 5 の形成において、不入物の注入角度は、N + 型炭化珪素基体 1 の表面の法線に対して一定の角度を傾ける。これにより、

保護溝 27 の底面のみならず側面にも不純物を注入することができる。不純物として、アルミニウム、ボロンなどを用いることができる。例えば、アルミニウムの場合、注入角度を 5 deg だけ傾け、注入深さを $0.5 \mu\text{m}$ とし、不純物濃度を $2 \times 10^{18} \text{ cm}^{-3}$ とすればよい。

[0178] 図 17D に示す工程と同様な処理を行い、コンタクト領域 26 を保護溝 27 の底面の直下に選択的に形成する。この時に使用するレジストマスクは、図 21B に示したレジストパターン 20 と同じものでも構わない。第 2 の電界緩和領域 25 の場合と異なり、コンタクト領域 26 の形成において、不純物注入角度は傾けずに行うことが好適である。また、ソース電極 13 との間で電氣的に低抵抗な接続を容易に取るために、不純物注入濃度は高濃度であることが好ましい。例えば、アルミニウムの場合、注入深さを $0.1 \mu\text{m}$ とし、不純物濃度を $1 \times 10^{20} \text{ cm}^{-3}$ とすればよい。

[0179] 図 2D ～図 2F に示す工程と同じ処理を実施して、溝 5 の底面の直下に第 1 の電界緩和領域 23 を形成する。この時、保護溝 27 に第 1 の電界緩和領域 23 は形成しない。

[0180] 図 2G (a)、(b) ～図 2O (a)、(b) に示す工程と同じ処理を実施する。これにより、図 21C に示すように、溝 5 及び保護溝 27 の内部の各々に、ゲート絶縁膜 7、ゲート電極 8、層間絶縁膜 9 及びアノード領域 15 が形成される。

[0181] 溝 5 の内部に形成されたゲート絶縁膜 7、ゲート電極 8、層間絶縁膜 9 及びアノード領域 15 を保護するために、溝 5 が形成されていた領域にレジストパターン 20' を形成する。レジストパターン 20' の開口からは、保護溝 27 が形成されていた領域が表出している。続いて、保護溝 27 の内部に形成されたゲート絶縁膜 7、ゲート電極 8、層間絶縁膜 9 及びアノード領域 15 を等方性エッチング法により除去する。例えば、ゲート絶縁膜 7 がシリコン酸化膜からなり、ゲート電極 8 がポリシリコンからなり、層間絶縁膜 9 がシリコン酸化膜からなる場合、フッ酸 (HF) と硝酸 (HNO₃) を混ぜたフッ硝酸エッチング液を用いて、等方性エッチングを実施できる。続いて

、レジストパターン20'を除去し、図2P(a)、(b)及び図2Q(a)、(b)に示す工程と同じ処理を実施する。これにより、図20に示す半導体装置が完成する。

[0182] <第5実施形態の効果>

第5実施形態に係る半導体装置では、溝5の内部にゲート電極8と共にアノード領域15が形成され、溝5の底面においてダイオードが形成される。これにより、N+型炭化珪素基体1における素子の面積効率を向上して、集積度を高めることができる。また、還流動作時の損失を低減した低損失な半導体装置を提供することができる。

[0183] また、ゲート電極8を貫通するように形成されたコンタクトホール10に埋設されたアノード領域15とソース電極13とをオーミック接続させることにより、アノード領域15とソース電極13間の寄生抵抗の抵抗値を低減できる。その結果、還流動作時の損失を低減することができる。

[0184] 一般的に炭化珪素トランジスタの場合には、シリコントランジスタと比較してドレイン電界が高くなる。このため、ゲート絶縁膜7の底部の厚さを厚くする等の対策が必要となり、トランジスタのオン抵抗が悪化していた。第5実施形態の半導体装置では、溝5の内部の一部にP型のアノード領域15を埋込、溝5の底部でアノード領域15とドリフト領域2とが接合している。このため、トランジスタがオフ時にゲート絶縁膜7底部に印加されるドレイン電界を緩和することができる。その結果、トランジスタのオン抵抗の悪化を抑制しつつ、溝5の底部にも還流ダイオードを内蔵した低損失な半導体装置を提供することができる。

[0185] 一般的に炭化珪素トランジスタの場合、シリコントランジスタに比べてドレイン電界が高くなるため、溝5の角部に電界集中して、耐圧が弱くなる。溝5の底部と角部を保護するために、溝5の底部全部にP領域を形成する等の対策が必要となる。溝5の底部全面にP型の半導体領域を作ると、アノード領域15の底部にもP型の半導体領域を形成され、アノード領域15とドリフト領域2とからなるダイオード部はPNダイオードになってしまう。還

流動作時の損失を低減した低損失な半導体装置を提供することが出来なくなる。ゲート電極 8 の下部にだけ P 型の半導体領域として第 1 の電界緩和領域 2 3 を形成する。第 1 の電界緩和領域 2 3 から発生する空乏層が溝 5 の底部と角部の電界集中を保護できる。この上、アノード領域 1 5 の下部には第 1 の電界緩和領域 2 3 を形成しないので、還流動作時の損失を低減できて、高い耐圧と低損失な半導体装置を提供することが出来る。

[0186] 第 1 の電界緩和領域 2 3 は、溝 5 の角部に接している。第 1 の電界緩和領域 2 3 から発生する空乏層が溝 5 の角部を覆い、溝 5 の角部への電界集中を緩和できる。

[0187] アノード領域 1 5 は、ドリフト領域 2 とは異なる種類の材料で形成され、アノード領域 1 5 の底面は、ドリフト領域 2 と接合してユニポーラ型のダイオードを形成している。ユニポーラダイオードは、PN 接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0188] アノード領域 1 5 を、ドリフト領域 2 とバンドギャップが異なる半導体材料（例えば、シリコン）で形成することができる。これにより、ヘテロ接合によるユニポーラダイオードを内蔵することができる。ユニポーラダイオードは、PN 接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0189] 半導体装置は、溝 5 から N + 型炭化珪素基体 1 の主面に平行な方向に離れ、且つ少なくともドリフト領域 2 内に形成された P 型の第 2 の電界緩和領域 2 5 を更に備える。第 2 の電界緩和領域 2 5 は、ソース電極 1 3 にオーミック接続している。溝 5 の両側に、第 2 の電界緩和領域 2 5 があることで、第 2 の電界緩和領域 2 5 から発生する空乏層が溝 5 の角部への電界集中を抑制することができる。半導体装置の耐圧を高めることができる。

[0190] 第 2 の電界緩和領域 2 5 の底部の位置は、溝 5 の底面の位置よりも深い。第 2 の電界緩和領域 2 5 は溝 5 から大きく離れる場合でも、第 2 の電界緩和領域 2 5 から発生する空乏層が溝 5 の角部に届く。トランジスタのオン動作

時に、第2の電界緩和領域25から発生する空乏層による抵抗が減少し、低損失な半導体装置が形成できる。

[0191] 溝5からN+型炭化珪素基体1の主面に平行な方向に離れた位置に保護溝27が形成され、第2の電界緩和領域25は、保護溝27の底面の下方に形成されている。保護溝27を形成した後に、保護溝27の底面から不純物を注入することにより、第2の電界緩和領域25を形成することができる。第2の電界緩和領域25を形成するために、第4実施形態に比べて、低いエネルギーで不純物を注入すればよい。つまり、高エネルギーで不純物を注入しなくても、第2の電界緩和領域25を深く形成することができる。低コストな半導体装置を形成できる。

[0192] 保護溝27と溝5を形成した後に、第2の電界緩和領域25を形成することにより、図20に示すように、第2の電界緩和領域25の深さを溝5より深く形成できる。第4実施形態に比べて、より浅く不純物を注入しても、第2の電界緩和領域25を溝5より深く形成できる。

[0193] 溝5の底面の深さは、保護溝27の深さと同じである。保護溝27と溝5を同時に形成できる。この上、第2の電界緩和領域25の底面は溝5の底面よりも深くなる。低コストな半導体装置を形成できる。さらに、コンタクトホール10をセルフアラインで形成でき、マスクによる合わせずれは生じない。

[0194] 溝5を形成し（第1の工程）、溝5の底面及び側面にゲート絶縁膜7を形成し（第2の工程）、ゲート絶縁膜7の上にゲート電極8を形成し（第3の工程）、ゲート電極8の上に層間絶縁膜9を形成する（第4の工程）。これにより、ゲート絶縁膜7を介してゲート電極8により囲まれたコンタクトホール10が形成される。コンタクトホール10の底面に、ドリフト領域2を露出させる（第5の工程）。この製方法を用いることにより、図20に示した溝5内にゲート電極8及びアノード領域15を同時に形成できる。また、上記した製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図20に示す半導体装置を製造可能である。

- [0195] 図2D及び図2Eに示すように、第1の電界緩和領域23を形成する（第6の工程）。第1の電界緩和領域23の製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図20に示す半導体装置を製造可能である。
- [0196] 第1の電界緩和領域23を形成した後、図2Lに示すように、コンタクトホール10の底面に、ドリフト領域2を露出させる（第7の工程）。ドリフト領域2を露出させる製造方法は一般的に半導体装置の製造によく使われるもので、低コストで図1に示す半導体装置を製造可能である。
- [0197] ドリフト領域2を露出させる工程において、エッチングマスクとして層間絶縁膜9を用いて異方性エッチングを行い、コンタクトホール10の底部を選択的に除去する。これにより、マスク使用せず、ドリフト領域2を露出できる。設計ルールに依存せず、高集積度デバイスを形成でき、マスクがいらないことで、製造コストが低い製造方法が提供できる。
- [0198] 溝5を形成し（第1の工程）、溝5の底面及び側面にゲート絶縁膜7を形成し（第2の工程）、ゲート絶縁膜7の上にゲート電極8を形成し（第3の工程）、ゲート電極8の上に層間絶縁膜9を形成し（第4の工程）、コンタクトホール10の底面に、ドリフト領域2を露出させる（第5の工程）。第1の工程において、保護溝27と溝5が同時に形成される。保護溝27と溝5を形成するための露光工程が一回になり、製造コストの低減が可能である。製造コスト低い製造方法が提供できる。
- [0199] なお、保護溝27は溝5と別の工程で形成してもかまわない。この場合、保護溝27は溝5と違う深さで形成できる。保護溝27及び第2の電界緩和領域25の深さが溝5より浅い場合、第2の電界緩和領域25から発生する空乏層が溝5の角部まで伸びない可能性ができてくる。しかし、MOSFETのオン抵抗が低減できる。用途に合わせて半導体装置を設計でき、設計自由度が増加できる。
- [0200] 図2H(a)、(b)に示すように、ゲート電極8のポリシリコンを堆積する際に、堆積するポリシリコンの厚さを溝5の幅の $1/2$ より小さい値に

する。このため、溝5をポリシリコンで完全に埋めることなく、溝5の側面と底面に堆積されるポリシリコンの膜厚がほぼ均一になる。従って、マスクを使用することなく、溝5の内部に存在するゲート電極8のポリシリコン及びゲート絶縁膜7をエッチングすることにより、溝5の底面にドリフト領域2を露出させることができる。そして、マスクを使用しないことにより、マスク設計時の設計ルールによる寸法制限がなくなり、更なる集積化が可能となる。また、マスクによる合わせずれの発生を回避することができる。

[0201] 図2Kに示す工程を異方性エッチングとすることで、溝5の底においてゲート電極8と溝5の底部に挟まれるゲート絶縁膜7を犠牲とすることなく、ドリフト領域2を露出することができ、半導体装置の信頼性を向上させることができる。

[0202] 図2Jに示したゲート電極8のポリシリコンのエッチングを行う工程において、一部の領域をマスク層14'で保護することにより、ゲート電極8と、ゲート電極8に電位を印加するパッド（図2Q（b）の符号13'で示す部分）を同時に形成することが可能になる。このため、トータルの製造工程を簡易化でき、製造工程によるばらつきが減少させ、素子の信頼性が高くなる。

[0203] ゲート電極8の上に層間絶縁膜9を形成する工程において、熱酸化法を用いる。ゲート電極8のポリシリコンと炭化珪素上に形成される酸化膜はポリシリコンのほうが厚い、このため、炭化珪素表面の酸化膜だけを除去し、ポリシリコン表面の酸化膜を残すことが出来る。このような工程を実施することで、マスクを使用せず、セルフアラインで溝底部の一部にドリフト領域を露出させることが出来る。これによって、マスク設計ルール上において、寸法制限が無くなり、更なる高集積化ができる。

[0204] [第6実施形態の説明]

次に、本発明の第6実施形態について説明する。図22～図28は、本発明の第6実施形態に係わる半導体装置の構成を示す平面レイアウト図である。図22～図28に示す平面レイアウト図は、図1に示した半導体装置の断

面図の、ソース電極 13 を除去した状態を、上方（ソース電極 13 側）から見た図である。図 22～図 28 には、互いに隣接する溝 5 どうしの間隔であるゲートピッチ 16、互いに隣接する半導体装置のゲート間距離 17、溝 5 とコンタクトホール 10 との間の距離 18 の位置関係が示されている。図 22 に示す A-A' 切断面が図 1 に示す半導体装置の断面に対応する。

[0205] なお、第 6 実施形態の平面レイアウトは、前述した図 1 の半導体装置に対応付けて説明するが、他の実施形態についても適用することができる。以下、図 22～図 28 に示した各平面レイアウトについて説明する。

[0206] 図 22 に示す半導体装置においては、コンタクトホール 10 が溝 5 内に断続的に形成されている。コンタクトホール 10 が形成されている部分の溝 5 の幅がコンタクトホール 10 が形成されていない部分の溝 5 の幅より広がっている。即ち、コンタクトホール 10 は、N+型炭化珪素基体 1 の表面（平面）方向に対して、溝 5 内に離散的に複数個形成され、コンタクトホール 10 が形成された部分の溝 5 の幅は、コンタクトホール 10 が形成されていない部分の溝 5 の幅よりも広くされている。

[0207] このような構成とすることにより、溝 5 とコンタクトホール 10 との間の距離 18 を保持したまま、溝 5 の周囲長（トランジスタのチャネル幅）を長くすることができる。トランジスタのオン抵抗を低減した低損失な半導体装置を提供することができる。

[0208] 図 23 に示す半導体装置においては、コンタクトホール 10 が配置される位置が、互い違いとなっている。即ち、溝 5 は、N+型炭化珪素基体 1 の表面（平面）方向に対して直線状に複数本形成されている。コンタクトホール 10 は、N+型炭化珪素基体 1 の表面（平面）方向に対して溝 5 内に離散的に複数個形成されている。隣り合う溝 5 に形成されたコンタクトホール 10 は、互いに違いに配置されている。隣接する 2 つの溝 5 との間において、コンタクトホール 10 が配置される位置は、溝 5 が伸びている方向へ、コンタクトホール 10 間の距離の $1/2$ だけずれている。

[0209] このような構成とすることにより、互いに隣接する半導体装置のゲート間

距離 17 を図 22 に示す例と同様に保持した状態で、ゲートピッチ 16 をより一層縮めることができる。トランジスタのオン抵抗を低減した低損失な半導体装置を提供することができる。

[0210] 図 24 に示す半導体装置においては、溝 5 が格子状に形成されており、コンタクトホール 10 が格子の交点に形成されている。即ち、溝 5 は、N+型炭化珪素基体 1 の表面（平面）に対してメッシュ状に形成され、コンタクトホール 10 は、メッシュの交点に離散的に複数配置されている。複数の溝 5 が一方向に配列されているのみならず、当該一方向に直交する他の一方向にも配列されている。配列された 2 つの溝 5 の交点にコンタクトホール 10 が配置される。このような構成とすることにより、溝 5 とコンタクトホール 10 との間の距離 18 を保持した状態で、溝 5 の密度を高くすることができ、トランジスタのオン抵抗を低減した低損失な半導体装置を制御性良く形成することができる。

[0211] 図 25 に示す半導体装置においては、溝 5 が六角メッシュ状に形成された、いわゆるハニカム構造を有し、コンタクトホール 10 がメッシュの交点に形成されている。このような構成とすることにより、溝 5 とコンタクトホール 10 との間の距離 18 を保持した状態で、ハニカム構造の密度を高くすることができる。トランジスタのオン抵抗を低減した低損失な半導体装置を制御性良く形成することができる。

[0212] なお、本実施形態においては、格子状（図 24）及び六角メッシュ状（図 25）の場合について説明したが、円形やその他の多角形メッシュ形状においてもメッシュの交点にコンタクトホール 10 を配置することによって同様の効果を発揮する。

[0213] 図 26、図 27、図 28 においては、コンタクトホール 10 が溝 5 に対して平行となる線状に形成されている。図 26 に示す半導体装置においては、複数の溝 5 が一方向に互いに平行に延びており、溝 5 各々の内部に、直線状のコンタクトホール 10 も、同じ方向に延びている。図 27 に示す半導体装置においては、複数の溝 5 が直交する 2 つの方向に延びており、コンタクト

ホール 10 は、溝 5 の内部において、直交する 2 つの方向に延びている。図 28 に示す半導体装置においては、ハニカム構造の内部に、ハニカム構造を有するコンタクトホール 10 が形成されている。

[0214] このような構成とすることにより、アノード領域 15 の直上で、アノード領域 15 とソース電極 13 とが接続される。アノード領域 15 とソース電極 13 をより低抵抗に接続することができる。ダイオードの損失を低減した低損失な半導体装置を提供することができる。

[0215] なお、第 6 実施形態において、半導体装置の最外周部に、耐圧を向上させるためのガードリングや終端構造からなる電解緩和構造を有していても良い。また、前述した実施形態においては、アノード領域 15 のポリシリコンの導電型を N 型として記載したが、P 型でも良い。

[0216] [第 7 実施形態の説明]

図 29 を参照して、第 7 実施形態に係わる半導体装置の構成を説明する。第 7 実施形態に係わる半導体装置は、図 1 の半導体装置と対比して、次の点が相違する。即ち、層間絶縁膜 9 を介してゲート電極 8 により囲まれたコンタクトホール 10 の内部には、P 型のアノード領域 15 ではなく、ソース電極 13 の一部がアノード領域として埋め込まれている。層間絶縁膜 9 は、ゲート電極 8 の内側の側面とソース電極 13 との側面との間を離間している。コンタクトホール 10 内に埋め込まれたソース電極 13 の底面は、「第 1 導電型の半導体領域」の一例としての N 型のドリフト領域 2 と接合してダイオードを形成する。ソース電極 13 はダイオードのアノード極として機能する。ソース電極 13 (アノード領域) は、ドリフト領域 2 とは異なる種類の材料、例えば、ドリフト領域 2 とはバンドギャップが異なる半導体材料で形成されている。

[0217] また、ゲート電極 8 の底面にゲート絶縁膜 7 を介して、P 型の第 1 の電界緩和領域 23 が配置されていない。ゲート電極 8 の底面はゲート絶縁膜 7 を介してドリフト領域 2 に隣接している。

[0218] その他の構成は、図 1 に示した半導体装置と同じであり説明を省略する。

[0219] 次に、図30A～図30Jを参照して、図29に示した半導体装置を製造する際の処理手順について説明する。

[0220] 先ず、図2A～図2Cに示す工程と同じ処理を実施して、N+型ソース領域4及びP型ウェル領域3を貫通してドリフト領域2に至る溝5を形成する。

[0221] 次に、図30A(a)、(b)に示すように、図2G(a)、(b)工程と同じ処理を実施して、ゲート絶縁膜7を形成する。なお、図30A～図30Jの各々の(b)は、同図(a)のb-b切断面に沿った断面図を示し、溝5の終端の形状を示している。

[0222] 次に、図30B(a)、(b)に示すように、図2H(a)、(b)工程と同じ処理を実施して、ゲート絶縁膜7の表面にゲート電極8となるゲート電極材料を堆積する。

[0223] 次に、図30C(a)、(b)に示すように、図2I(a)、(b)工程と同じ処理を実施して、ゲート電極8のパッド部を形成するためのパターンニングを行う。

[0224] 次に、図30D(a)、(b)に示すように、図2J(a)、(b)工程と同じ処理を実施して、ゲート電極8となるポリシリコンのエッチングを行う。

[0225] 次に、図30E(a)、(b)に示すように、図2K(a)、(b)工程と同じ処理を実施して、ゲート絶縁膜7のエッチングを行う。

[0226] 次に、図30F(a)、(b)に示すように、図2L(a)、(b)工程と同じ処理を実施して、ゲート電極8の上に層間絶縁膜9を形成する。

[0227] 次に、図2O(a)、(b)工程と同じ処理を実施して、先ず、図30G(a)、(b)に示すように、ゲート電極8のパッド部分を露出させるためのレジスト14''をパターンニングする。そして、図30H(a)、(b)に示すように、レジスト14''をマスク層として層間絶縁膜9のエッチングを行う。

[0228] 次に、図30I(a)、(b)に示すように、図2P(a)、(b)工程

と同じ処理を実施して、ソース電極 13、及びドレイン電極 12 を形成する。本実施形態では、図 2 P (a)、(b) に示すアノード領域 15 の代わりに、ソース電極 13 の一部がコンタクトホール 10 の内部に埋め込まれ、溝 5 の底面の一部、即ち、コンタクトホール 10 の底面に露出するドリフト領域 2 と接するソース電極 13 が形成される。

[0229] 次に、図 3 O J (a)、(b) に示すように、図 2 Q (a)、(b) 工程と同じ処理を実施して、ソース電極 13 とゲート電極 8 を電氣的に絶縁する。以上の工程を経て、図 2 9 に示す半導体装置が完成する。

[0230] 図 2 9 に示す半導体装置の動作のうち、ゲート電極 8 の印加電圧に応じたトランジスタのオン／オフ動作は、図 1 の半導体装置と同じである。ただし、ソース電極 13 の電位を基準として、ドレイン電極 12 に所定の負の電圧を印加した場合、P 型ウェル領域 3 及びソース電極 13 をアノードとし、ドリフト領域 2 をカソードとするダイオードに還流電流が流れる。

[0231] <第 7 実施形態の効果>

第 7 実施形態に係る半導体装置では、溝 5 の内部にゲート電極 8 と共にソース電極 13 の一部（アノード領域）が形成され、溝 5 の底面においてダイオードが形成される。これにより、N+ 型炭化珪素基体 1 における素子の面積効率を向上して、集積度を高めることができる。また、還流動作時の損失を低減した低損失な半導体装置を提供することができる。

[0232] ソース電極 13 の一部（アノード領域）は、ゲート電極 8 を貫通するように形成されたコンタクトホール 10 に埋設され、ドリフト領域 2 との間にダイオードを形成している。これにより、ソース電極 13 は、ダイオードにおけるアノードとしての機能、及びトランジスタにおけるソース電極としての機能を有することになり、ソース電極 13 とソース電極 13 間の寄生抵抗の抵抗値を低減できる。その結果、還流動作時の損失を低減することができる。

[0233] ソース電極 13（アノード領域）は、ドリフト領域 2 とは異なる種類の材料で形成され、アノード領域の底面は、ドリフト領域 2 と接合してユニポー

ラ型のダイオードを形成している。ユニポーラダイオードは、PN接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0234] ソース電極13（アノード領域）を、ドリフト領域2とバンドギャップが異なる半導体材料（例えば、シリコン）で形成することができる。これにより、ヘテロ接合によるユニポーラダイオードを内蔵することができる。ユニポーラダイオードは、PN接合ダイオード（バイポーラダイオード）と比べて逆回復電荷を抑制できるため、低損失な半導体装置を提供することができる。

[0235] 図30E（a）、（b）に示す工程を異方性エッチングとすることで、溝5の底においてゲート電極8と溝5の底部に挟まれるゲート絶縁膜7を犠牲とすることなく、ドリフト領域2を露出することができ、半導体装置の信頼性を向上させることができる。逆に、等方性エッチングの場合は、溝5の底にゲート電極8と溝5の底部に挟まれるゲート絶縁膜も一緒にエッチングされ、ゲート電極8と溝5の底の間に空間が形成される可能性があり、素子動作の信頼性に影響が出る。

[0236] 図30D（a）、（b）に示したゲート電極8のポリシリコンのエッチングを行う工程において、一部の領域をマスク層14'で保護することにより、ゲート電極8と、ゲート電極8に電位を印加するパッドを同時に形成することが可能になる。このため、トータルの製造工程を簡易化でき、製造工程によるばらつきが減少させ、素子の信頼性が高くなる。

[0237] ゲート電極8の上に層間絶縁膜9を形成する工程において、熱酸化法を用いる。ゲート電極8のポリシリコンと炭化珪素上に形成される酸化膜はポリシリコンのほうが厚い、このため、炭化珪素表面の酸化膜だけを除去し、ポリシリコン表面の酸化膜を残すことが出来る。このような工程を実施することで、マスクを使用せず、セルフアラインで溝5の底部の一部にドリフト領域2を露出させることが出来る。これによって、マスク設計ルール上において、寸法制限が無くなり、更なる高集積化ができる。

[0238] [第8実施形態の説明]

図31を参照して、第8実施形態に係わる半導体装置の構成を説明する。第8実施形態に係わる半導体装置は、図1に示す半導体装置と対比して、次の点が相違する。即ち、図1に示す半導体装置では、ゲート絶縁膜7の底面が溝5の底部に接しているが、図31に示す半導体装置では、ゲート電極8を囲む絶縁膜(7b、9)の底面と溝5の底部との間にアノード領域15の一部が配置されている。すなわち、溝5の底部全体がアノード領域15と接している。なお、ゲート電極8を囲む絶縁膜(7b、9)には、ゲート絶縁膜7bと層間絶縁膜9とが含まれる。ゲート絶縁膜7bは、ゲート電極8の外側の側面上に配置され、ゲート電極8の外側の側面とドリフト領域2、P型ウェル領域3及びN+型ソース領域4との側面との間を離間している。層間絶縁膜9は、ゲート電極8の底面、内側の側面及び上面上に配置され、ゲート電極8の底面、内側の側面及び上面とアノード領域15及びソース電極13との間を離間している。

[0239] また、図1の半導体装置と対比して、図31に示す半導体装置は、ゲート電極8の下方に、ゲート絶縁膜7及びアノード領域15を介して、P型の第1の電界緩和領域23が配置されていない。ゲート電極8の底面は、ゲート絶縁膜7及びアノード領域15を介してドリフト領域2に隣接している。

[0240] その他の構成は、図1に示した半導体装置と同じであり説明を省略する。

[0241] 次に、図32A～図32Dを参照して、図29に示した半導体装置を製造する際の処理手順について説明する。

[0242] 先ず、図2A～図2Cに示す工程と同じ処理を実施して、N+型ソース領域4及びP型ウェル領域3を貫通してドリフト領域2に至る溝5を形成する。

[0243] 次に、図32A(a)、(b)に示すように、図2G(a)、(b)工程と同じ処理を実施して、ゲート絶縁膜7bを形成する。但し、図2G(a)、(b)工程と異なり、溝5の底部に形成されるゲート絶縁膜7bの厚さが、溝5の側壁に形成されるゲート絶縁膜7bより厚くなるような条件のもと

で、ゲート絶縁膜 7 b を形成する。例えば、熱酸化法を採用した場合、C 面が表出した炭化珪素基板を酸素雰囲気中で、1100℃程度に加熱することにより、溝 5 の側壁より底面に形成される酸化膜が厚くなる。なお、図 3 2 A ～図 3 2 D の各々の (b) は、同図 (a) の b-b 切断面に沿った断面図を示し、溝 5 の終端の形状を示している。

[0244] 次に、図 2 H ～図 2 J に示す工程と同じ処理を実施して、ゲート絶縁膜 7 の表面にゲート電極 8 となるゲート電極材料（ポリシリコン）を堆積し、エッチングする。

[0245] 次に、図 3 2 B (a)、(b) に示すように、図 2 K (a)、(b) 工程と同じ処理を実施して、ゲート絶縁膜 7 b のエッチングを行う。但し、図 2 K (a)、(b) 工程と異なり、エッチング法として等方性エッチング法を用いる。例えば、5% のフッ酸洗浄でゲート絶縁膜 7 b の等方性エッチングが可能である。図 3 2 B (a)、(b) に示した処理を行うことにより、溝 5 の底面とドリフト領域 2 との間のゲート絶縁膜 7 b を除去して、溝 5 の底面からドリフト領域 2 の一部を露出させることができる。ゲート絶縁膜 7 b は、ゲート電極 8 の外側の側面とドリフト領域 2、P 型ウェル領域 3 及び N+ 型ソース領域 4 との側面との間に残される。

[0246] 次に、図 3 2 C (a)、(b) に示すように、図 2 L (a)、(b) 工程と同じ処理を実施して、ゲート電極 8 の上に層間絶縁膜 9 を形成する。具体的には、層間絶縁膜 9 は、ゲート電極 8 の底面、内側の側面及び上面上に形成される。これにより、ゲート電極 8 は、ゲート絶縁膜 7 b 及び層間絶縁膜 9 により覆われる。ゲート電極 8 の底面に形成された層間絶縁膜 9 は、溝 5 の底部に表出するドリフト領域 2 から離間している。

[0247] 次に、図 3 2 D (a)、(b) に示すように、図 2 M (a)、(b) 工程と同じ処理を実施して、ドリフト領域 2 とは異なる種類の材料からなるアノード領域 1 5 を堆積する。ドリフト領域 2 とは異なる種類の材料は、金属材料或いは半導体材料である。アノード領域 1 5 として半導体材料を用いる場合、堆積方法は CVD 法が好適である。アノード領域 1 5 として金属材料

料を用いる場合、堆積方法はMOCVD法が好適である。アノード領域15の一部は、コンタクトホール10の内部に埋め込まれる。更に、コンタクトホール10の内部に埋め込まれたアノード領域15の一部は、ゲート電極8の底面に形成された層間絶縁膜9と、溝5の底部に表出するドリフト領域2との間に埋め込まれる。ゲート電極8とアノード領域15とは層間絶縁膜9により絶縁されている。

[0248] 次に、図2N(a)、(b)に示す工程と同じ処理を実施して、アノード領域15をエッチングして、N+型ソース領域4の主面を露出させる。

[0249] 次に、図2O(a)、(b)に示す工程と同じ処理を実施して、層間絶縁膜9をエッチングして、ゲート電極8のパッド部分を露出させる。その後、図2P(a)、(b)に示す工程と同じ処理を実施して、ソース電極13及びドレイン電極12を形成する。その後、図2Q(a)、(b)に示す工程と同じ処理を実施して、ソース電極13とゲート電極8を電氣的に絶縁する。以上の工程を経て、図31に示す半導体装置が完成する。

[0250] 図31に示す半導体装置の基本的な動作は、図1の半導体装置と同じである。ただし、図1の半導体装置とは異なり、溝5の底部全体において、ドリフト領域2とアノード領域15が接合してユニポーラ型のダイオードを形成している。このため、ダイオードの環流動作におけるダイオードのオン抵抗が更に低減し、低損失なダイオードを提供することができる。

[0251] <第8実施形態の効果>

アノード領域15の一部がゲート電極8の下部に形成されている。これにより、ドリフト領域2とアノード領域15との接合面積が増加するため、ダイオードの環流動作におけるオン抵抗が更に低減し、低損失なダイオードを提供することができる。

[0252] 図32A(a)、(b)に示す工程において、溝5の底部に形成されるゲート絶縁膜7bの厚さが、溝5の側壁に形成されるゲート絶縁膜7bより厚くなるような条件のもとで、ゲート絶縁膜7bを形成する。後の工程で、ゲート絶縁膜7bの等方性エッチングを行う場合、溝5の底部に形成されたゲ

ート絶縁膜 7 b のエッチング速度は、溝 5 の側壁に形成されたゲート絶縁膜 7 b のエッチング速度よりも早いため、溝 5 の側壁に形成されたゲート絶縁膜 7 b を残し、溝 5 の底部に形成されたゲート絶縁膜 7 b を選択的に除去することができる。また、ゲート絶縁膜 7 b の選択的エッチングを自己整合的に行うことができるため、マスク合わせズレがなく、信頼性の高い半導体素子を提供できる。

[0253] 図 3 2 A (a) 、 (b) に示す工程において、等方性エッチング法を用いる。溝 5 の底部にドリフト領域 2 を露出させるために、ゲート絶縁膜 7 b を等方性エッチング方により除去する。これによって、溝 5 の底部とゲート電極 8 に挟まれたゲート絶縁膜 7 b も除去できる。溝 5 の底面に全部露出することができ、アノード領域 1 5 と溝 5 底部の接合面積が大きくなる。素子の電気特性が向上し、低損失な半導体素子を提供できる。

[0254] [第 9 実施形態の説明]

図 3 3 を参照して、第 9 実施形態に係わる半導体装置の構成を説明する。第 9 実施形態に係わる半導体装置は、図 2 9 に示す半導体装置と対比して、コンタクトホール 1 0 の内部にソース電極 1 3 の一部が埋め込まれている点で一致しているが、ゲート電極 8 及びコンタクトホール内に埋め込まれたソース電極 1 3 と溝 5 の底部の間には、アノード領域 (2 1 、 2 2) が配置されている点で相違する。一方、第 9 実施形態に係わる半導体装置は、図 3 1 に示す半導体装置と対比して、溝 5 の底面全体にアノード領域が配置されている点で一致するが、コンタクトホール 1 0 内にはソース電極 1 3 の一部が埋設されている点で相違する。

[0255] 図 3 3 に示す半導体装置は、ドリフト領域 2 とは異なる材料からなるアノード領域として、第 1 アノード領域 2 1 及び第 2 アノード領域 2 2 を有する。第 1 アノード領域 2 1 は、コンタクトホール 1 0 の底部に配置され、コンタクトホール 1 0 に埋め込まれたソース電極 1 3 と電氣的に低抵抗に接触している。第 2 アノード領域 2 2 は、ゲート電極 8 の下方に配置され、ゲート絶縁膜 7 b によりゲート電極 8 から電氣的に絶縁されている。

- [0256] 第1アノード領域21は第2アノード領域22に挟まれている。第1アノード領域21及び第2アノード領域22は、溝5の底部においてドリフト領域2に接している。また、第2アノード領域22とドリフト領域2の内蔵電位は、第1アノード領域21とドリフト領域2の内蔵電位より大きい。また、第1アノード領域21と第2アノード領域22はソース電極に電氣的に低抵抗に接続している。
- [0257] 第1アノード領域21と第2アノード領域22は金属材料或いは半導体材料で形成される。一例として、第1アノード領域21がN型ポリシリコンからなり、第2アノード領域22がP型ポリシリコンからなる場合について説明する。
- [0258] 次に、図34A～図34Cを参照して、図33に示した半導体装置を製造する際の処理手順について説明する。
- [0259] 先ず、図2A～図2Cに示す工程と同じ処理を実施して、N+型ソース領域4及びP型ウェル領域3を貫通してドリフト領域2に至る溝5を形成する。
- [0260] 次に、図32A(a)、(b)に示す工程と同じ処理を実施して、溝5の底部の膜厚が溝5の側壁の膜厚よりも厚くなるようにゲート絶縁膜7bを形成する。
- [0261] 次に、図2H～図2Jに示す工程と同じ処理を実施して、ゲート絶縁膜7の表面にゲート電極8となるゲート電極材料（ポリシリコン）を堆積し、エッチングする。
- [0262] 次に、図32B(a)、(b)に示す工程と同じ処理を実施して、ゲート絶縁膜7bのエッチングを行う。
- [0263] 次に、図32C(a)、(b)に示す工程と同じ処理を実施して、ゲート電極8の上に層間絶縁膜9を形成する。これにより、ゲート電極8は、ゲート絶縁膜7b及び層間絶縁膜9により覆われる。ゲート電極8の底面に形成された層間絶縁膜9は、溝5の底部に表出するドリフト領域2から離間している。

[0264] 次に、図2M(a)、(b)工程と同じ処理を実施して、ドリフト領域2とは異なる種類の材料からなる第2アノード領域22を堆積する。第2アノード領域22として半導体材料（例えば、P型ポリシリコン）を用いる場合、堆積方法はCVD法が好適である。第2アノード領域22として金属材料を用いる場合、堆積方法はMOCVD法が好適である。第2アノード領域22の一部は、コンタクトホール10の内部に埋め込まれる。更に、コンタクトホール10の内部に埋め込まれた第2アノード領域22の一部は、ゲート電極8の底面に形成された層間絶縁膜9と、溝5の底部に表出するドリフト領域2との間に埋め込まれる。ゲート電極8と第2アノード領域22とは層間絶縁膜9により絶縁されている。

[0265] 次に、図34A(a)、(b)に示すように、第2アノード領域22のエッチングを行う。エッチングはマスクを使用せずにセルフアラインで行う。エッチング量は溝5の底部にドリフト領域2が露出する量に設定する。図34A(a)、(b)に示した処理を行うことにより、ゲート電極8の底面に形成された層間絶縁膜9と、溝5の底部に表出するドリフト領域2との間に埋め込まれた第2アノード領域22を残し、その他の第2アノード領域22を選択的に除去することができる。なお、図34A～図34Cの各々の(b)は、同図(a)のb-b切断面に沿った断面図を示し、溝5の終端の形状を示している。

[0266] 次に、図34B(a)、(b)に示すように、図2M(a)、(b)工程と同じ処理を実施して、ドリフト領域2とは異なる種類の材料（例えば、N型ポリシリコン）からなる第1アノード領域21を堆積する。なお、N型ポリシリコンを形成するには、例えば、ポリシリコンを堆積した後に、950℃の塩化ホスホリル（POCL₃）を用いたアニール処理を行い、ポリシリコンにリン（P）がドーピングすればよい。

[0267] 次に、図34C(a)、(b)に示すように、第1アノード領域21のエッチングを行う。エッチングはマスクを使用せずにセルフアラインで行う。エッチング量は、溝5の底部に第1アノード領域21が残り、且つ、第1ア

ノード領域 2 1 の膜厚が第 1 アノード領域 2 1 の膜厚より薄くなるように設定する。露出する量に設定する。

[0268] 次に、図 2 O (a)、(b) に示す工程と同じ処理を実施して、層間絶縁膜 9 をエッチングして、ゲート電極 8 のパッド部分を露出させる。その後、図 2 P (a)、(b) に示す工程と同じ処理を実施して、ソース電極 1 3 及びドレイン電極 1 2 を形成する。その後、図 2 Q (a)、(b) に示す工程と同じ処理を実施して、ソース電極 1 3 とゲート電極 8 を電氣的に絶縁する。以上の工程を経て、図 3 3 に示す半導体装置が完成する。

[0269] 図 3 3 に示す半導体装置の基本的な動作は、図 3 1 の半導体装置と同じである。ただし、図 3 1 の半導体装置とは異なり、トランジスタがオフの状態において、第 2 アノード領域 2 2 とドリフト領域 2 の内蔵電位が、第 1 アノード領域 2 1 とドリフト領域 2 の内蔵電位より大きいことにより、以下に示す作用効果が得られる。

[0270] <第 9 実施形態の効果>

第 1 アノード領域 2 1 とドリフト領域 2 の内蔵電位は、第 2 アノード領域 2 2 とドリフト領域 2 の内蔵電位より小さい。これにより、第 2 アノード領域 2 2 とドリフト領域 2 との間に形成される空乏層の幅が、第 1 アノード領域 2 1 とドリフト領域 2 の間に形成される空乏層幅より大きくなる。第 2 アノード領域 2 2 は第 1 アノード領域 2 1 の両側に配置されることで、第 2 アノード領域 2 2 の空乏層が、第 1 アノード領域 2 1 の端部へのドレイン電界の集中を緩和する。これにより、半導体素子の耐圧が向上する。また、ダイオードの還流動作時、第 1 アノード領域 2 1 とドリフト領域 2 の内蔵電位が小さいため、オン抵抗を低減して低損失な半導体装置を提供することができる。このため、低損失かつ高耐圧の半導体装置を提供できる。

[0271] 第 1 アノード領域 2 1 と第 2 アノード領域 2 2 は同じ半導体材料（例えば、ポリシリコン）により形成されている。このため、不純物の種類を制御することにより、アノード領域（2 1、2 2）とドリフト領域 2 の内蔵電位を容易に制御することができる。また、不純物の濃度を制御することにより、

ドリフト領域 2 に広がる空乏層の幅も容易に制御可能である。これにより、半導体装置の低損失化と高耐圧化のための設計が簡単になる。

[0272] [第 10 実施形態の説明]

図 35 を参照して、第 10 実施形態に係わる半導体装置の構成を説明する。第 10 実施形態に係わる半導体装置は、図 33 に示す半導体装置と対比して、コンタクトホール 10 が形成される領域の溝 5 の底面が、ゲート電極 8 が形成される領域の溝 5 の底面の位置よりも浅い点が相違する。また、第 1 アノード領域がソース電極 13 と同じ材料で形成されている点が相違する。よって、第 1 アノード領域（ソース電極 13 の一部）とドリフト領域 2 との接合面は、第 2 アノード領域 22 とドリフト領域 2 の接合面の一部よりも浅い。なお、図 35 では、コンタクトホール 10 が形成される領域の溝 5 の底面に接する第 1 アノード領域を、ソース電極 13 として表記している。

[0273] 次に、図 35 に示した半導体装置を製造する際の処理手順について説明する。

[0274] 先ず、図 2A 及び図 2B に示す工程と同じ処理を実施して、ドリフト領域 2 の内部に、P 型ウェル領域 3 及び N+ 型ソース領域 4 を形成する。

[0275] 次に、図 13B～図 13F に示す工程と同じ処理を実施して、図 13F に示す溝 5 を形成する。第 1 アノード領域（ソース電極 13）が形成される領域の溝 5 の底面は、ゲート電極 8 が形成される領域の溝 5 の底面よりも浅い。

[0276] 次に、図 32A (a)、(b) に示す工程と同じ処理を実施して、溝 5 の底部の膜厚が溝 5 の側壁の膜厚よりも厚くなるようにゲート絶縁膜 7b を形成する。

[0277] 次に、図 2H～図 2J に示す工程と同じ処理を実施して、ゲート絶縁膜 7b の表面にゲート電極 8 となるゲート電極材料（ポリシリコン）を堆積し、エッチングする。

[0278] 次に、図 32B (a)、(b) に示す工程と同じ処理を実施して、ゲート絶縁膜 7b のエッチングを行う。

[0279] 次に、図32C(a)、(b)に示す工程と同じ処理を実施して、ゲート電極8の上に層間絶縁膜9を形成する。これにより、ゲート電極8は、ゲート絶縁膜7b及び層間絶縁膜9により覆われる。ゲート電極8の底面に形成された層間絶縁膜9は、溝5の底部に表出するドリフト領域2から離間している。

[0280] 次に、図2M(a)、(b)に示す工程と同じ処理を実施して、ドリフト領域2とは異なる種類の材料からなる第2アノード領域22を堆積する。第2アノード領域22として半導体材料（例えば、P型ポリシリコン）を用いる場合、堆積方法はCVD法が好適である。第2アノード領域22として金属材料を用いる場合、堆積方法はMOCVD法が好適である。第2アノード領域22の一部は、コンタクトホール10の内部に埋め込まれる。更に、コンタクトホール10の内部に埋め込まれた第2アノード領域22の一部は、ゲート電極8の底面に形成された層間絶縁膜9と、溝5の底部に表出するドリフト領域2との間に埋め込まれる。ゲート電極8と第2アノード領域22とは層間絶縁膜9により絶縁されている。

[0281] 次に、図34A(a)、(b)に示す工程と同じ処理を実施して、第2アノード領域22のエッチングを行う。エッチングはマスクを使用せずにセルフアラインで行う。エッチング量は溝5の底部にドリフト領域2が露出する量に設定する。図34A(a)、(b)に示した処理を行うことにより、ゲート電極8の底面に形成された層間絶縁膜9と、溝5の底部に表出するドリフト領域2との間に埋め込まれた第2アノード領域22を残し、その他の第2アノード領域22を選択的に除去することができる。

[0282] 次に、図2O(a)、(b)に示す工程と同じ処理を実施して、層間絶縁膜9をエッチングして、ゲート電極8のパッド部分を露出させる。その後、図2P(a)、(b)に示す工程と同じ処理を実施して、ソース電極13及びドレイン電極12を形成する。ソース電極13のうち、溝5の底部においてドリフト領域2と接する部分は第1アノード領域を構成する。このため、ソース電極13の材料として、第2アノード領域22と電氣的に低抵抗で接

続できる材料を選ぶことが望ましい。例えば、第2アノード領域がリンをドーピングしたP型ポリシリコンである場合、ソース電極13（第1アノード領域）としてチタン（Ti）を用いてることが望ましい。

[0283] その後、図2Q（a）、（b）に示す工程と同じ処理を実施して、ソース電極13とゲート電極8を電氣的に絶縁する。以上の工程を経て、図35に示す半導体装置が完成する。

[0284] 図35に示す半導体装置の基本的な動作は、図33の半導体装置と同じである。ただし、図33の半導体装置とは異なり、第1アノード領域（ソース電極13の一部）とドリフト領域2との接合面は、第2アノード領域22とドリフト領域2の接合面の一部よりも浅いことにより、以下に示す作用効果が得られる。

[0285] <第10実施形態の効果>

トランジスタがオフの状態において、第2アノード領域22からドリフト領域2に延びる空乏層は、第1アノード領域（ソース電極13）よりも多くの領域に形成される。これにより、ドレイン電界を更に緩和することができる。更に、溝5の底部全体においてダイオードが形成されるため、低損失な半導体素子を提供できる。

[0286] 以上、本発明の半導体装置の製造方法を図示の実施形態に基づいて説明したが、本発明はこれに限定されるものではなく、各部の構成は、同様の機能を有する任意の構成のものに置き換えることができる。

[0287] 例えば、前述した各実施形態では、炭化珪素基板を用いた半導体装置及びその製造方法について説明したが、炭化珪素基板に限らず、バンドギャップの広い半導体材料からなるN+型炭化珪素基体1を用いて第1～第10実施形態に係る半導体装置を製造してもよい。バンドギャップの広い半導体材料としては、Ga₂N、ダイヤモンド、ZnO、AlGa₂N等が挙げられる。

[0288] また、前述した各実施形態では、ゲート電極として、N型ポリシリコンを用いる例について説明したが、P型ポリシリコンでも良い。また、他の半導体材料でも良いし、メタル材料等の他の導電性を有する材料を用いても良い。

。具体的な例としては、P型ポリ炭化珪素、SiGe、Al等を用いることができる。

[0289] 更に、各実施形態では、ゲート絶縁膜7として、シリコン酸化膜を用いる例について説明したが、シリコン窒化膜でも良い。或いは、シリコン酸化膜とシリコン窒化膜の積層でも良い。シリコン窒化膜場合の等方性エッチングの場合は、160℃の熱リン酸による洗浄でエッチングすることができる。

[0290] また、アノード領域15として、ポリシリコンの代わりに金属を用いてよいし、半導体と金属との合金を用いてもよいし、或いはそれ以外の導体を用いてもよい。金属としては、ニッケル(Ni)、チタン(Ti)、モリブデン(Mo)等が挙げられる。堆積方法は、電子ビーム蒸着やMOCVD、スパッタ等方法を用いることができる。半導体と金属との合金としては、SiNi、SiW、TiSi等が挙げられる。堆積方法はスパッタ等を用いることができる。それ以外にTiN、Ta₂N₅、WN等の導体でもアノード領域15を形成できる。

[0291] 更に、ドリフト領域2とバンドギャップが異なる半導体材料の一例として、ポリシリコンを説明したが、ゲルマニウム(Ge)、錫(Sn)、ガリウムヒ素(GaAs)等でも良い。炭化珪素の導電型をN型にするために注入する元素は、リン(P)、ヒ素(As)、アンチモン(Sb)等を用いることができる。炭化珪素の導電型をP型にするために注入する元素は、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)等を用いることができる。

[0292] 特願2013-095313号(出願日:2013年4月30日)の全内容は、ここに援用される。

符号の説明

- [0293] 1…N⁺型炭化珪素基体(半導体基板)
2…ドリフト領域
3…P型ウェル領域(ウェル領域)
4…N⁺型ソース領域(ソース領域)

5…溝

7、7 b…ゲート絶縁膜

8…ゲート電極

9…層間絶縁膜

10…コンタクトホール

12…ドレイン電極

13…ソース電極

15…アノード領域

21…第1アノード領域

22…第2アノード領域

23…第1の電界緩和領域

24…導電領域

25…第2の電界緩和領域

26…コンタクト領域

27…保護溝

B T…底部

E G…角部

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板の一方の主面上に形成された第1導電型のドリフト領域と、
 前記ドリフト領域内に形成された第2導電型のウェル領域と、
 前記ウェル領域内に形成された第1導電型のソース領域と、
 前記ソース領域及び前記ウェル領域を貫通して前記ドリフト領域に至る溝の側部に、ゲート絶縁膜を介して、埋め込まれたゲート電極と、
 前記ゲート電極を被覆する層間絶縁膜と、
 前記ウェル領域及び前記ソース領域にオーミック接続されたソース電極と、
 前記ドリフト領域にオーミック接続されたドレイン電極と、
 前記層間絶縁膜を介して前記ゲート電極により囲まれたコンタクトホールに埋め込まれ、且つ前記ソース電極にオーミック接続されたアノード領域と、
 前記ゲート電極の底面に前記ゲート絶縁膜を介して隣接する第2導電型の第1の電界緩和領域と、を備え、
 前記アノード領域の底面は第1導電型の半導体領域と接合してダイオードを形成することを特徴とする半導体装置。
- [請求項2] 前記第1の電界緩和領域は、前記溝の角部に接していることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記アノード領域の底面の位置は、前記ゲート電極の底面の位置よりも浅いことを特徴とする請求項1又は2に記載の半導体装置。
- [請求項4] 前記アノード領域の底面の位置は、前記ゲート電極の底面の位置よりも深いことを特徴とする請求項1又は2に記載の半導体装置。
- [請求項5] 前記アノード領域の底面の位置は、前記第1の電界緩和領域の底面

の位置よりも浅いことを特徴とする請求項 4 に記載の半導体装置。

[請求項6] 前記アノード領域は、前記半導体領域とは異なる種類の材料で形成され、

前記アノード領域の底面は、前記半導体領域と接合してユニポーラ型のダイオードを形成する

ことを特徴とする請求項 1 ～ 5 のいずれか一項に記載の半導体装置。

[請求項7] 前記アノード領域は、前記半導体領域とバンドギャップが異なる半導体材料で形成されていることを特徴とする請求項 6 に記載の半導体装置。

[請求項8] 前記第 1 導電型の半導体領域は、前記ドリフト領域と不純物準位が異なる第 1 導電型の導電領域であることを特徴とする請求項 1 ～ 7 のいずれか一項に記載の半導体装置。

[請求項9] 前記導電領域の不純物準位は、前記ドリフト領域の不純物準位よりも深いことを特徴とする請求項 8 に記載の半導体装置。

[請求項10] 前記溝から前記半導体基板の主面に平行な方向に離れ、且つ少なくとも前記ドリフト領域内に形成された第 2 導電型の第 2 の電界緩和領域を更に備え、

前記第 2 の電界緩和領域は、前記ソース電極にオーミック接続している

ことを特徴とする請求項 1 ～ 9 のいずれか一項に記載の半導体装置。

[請求項11] 前記第 2 の電界緩和領域の底面の位置は、前記溝の底面の位置よりも深いことを特徴とする請求項 10 に記載の半導体装置。

[請求項12] 前記溝から前記半導体基板の主面に平行な方向に離れた位置に保護溝が形成され、

前記第 2 の電界緩和領域は、前記保護溝の底面の下方に形成されている

ことを特徴とする請求項 10 又は 11 に記載の半導体装置。

[請求項13] 前記溝の底面の深さは、前記保護溝の深さと同じであることを特徴

とする請求項 1 2 に記載の半導体装置。

[請求項14]

半導体基板と、

前記半導体基板の一方の主面上に形成された第 1 導電型のドリフト領域と、

前記ドリフト領域内に形成された第 2 導電型のウェル領域と、

前記ウェル領域内に形成された第 1 導電型のソース領域と、

前記ソース領域及び前記ウェル領域を貫通して前記ドリフト領域に至る溝の側部に、ゲート絶縁膜を介して、埋め込まれたゲート電極と、

、

前記ゲート電極を被覆する層間絶縁膜と、

前記ウェル領域及び前記ソース領域にオーミック接続されたソース電極と、

前記ドリフト領域にオーミック接続されたドレイン電極と、

前記層間絶縁膜を介して前記ゲート電極により囲まれたコンタクトホールに埋め込まれ、且つ前記ソース電極にオーミック接続されたアノード領域と、

前記ゲート電極の底面に前記ゲート絶縁膜を介して隣接する第 2 導電型の第 1 の電界緩和領域と、を備え、

前記アノード領域の底面は第 1 導電型の半導体領域と接合してダイオードを形成する

半導体装置の製造方法であって、

前記溝を形成する第 1 の工程と、

前記溝の底面及び側面に前記ゲート絶縁膜を形成する第 2 の工程と、

、

前記ゲート絶縁膜の上に前記ゲート電極を形成する第 3 の工程と、

前記ゲート電極の上に前記層間絶縁膜を形成する第 4 の工程と、

前記コンタクトホールの底面に、前記半導体領域を露出させる第 5 の工程と、

を備えることを特徴とする半導体装置の製造方法。

[請求項15] 前記第1の電界緩和領域を形成する第6の工程を更に備えることを特徴とする請求項14に記載の半導体装置の製造方法。

[請求項16] 前記第5の工程は、前記コンタクトホール底面に、前記ドリフト領域を露出させる第7の工程を備えることを特徴とする請求項14又は15に記載の半導体装置の製造方法。

[請求項17] 前記第7の工程において、エッチングマスクとして前記層間絶縁膜を用いて異方性エッチングを行い、前記コンタクトホール底部を選択的に除去することを特徴とする請求項16に記載の半導体装置の製造方法。

[請求項18] 半導体基板と、
前記半導体基板の一方の主面上に形成された第1導電型のドリフト領域と、

前記ドリフト領域内に形成された第2導電型のウェル領域と、

前記ウェル領域内に形成された第1導電型のソース領域と、

前記ソース領域及び前記ウェル領域を貫通して前記ドリフト領域に至る溝の側部に、ゲート絶縁膜を介して、埋め込まれたゲート電極と、

前記ゲート電極を被覆する層間絶縁膜と、

前記ウェル領域及び前記ソース領域にオーミック接続されたソース電極と、

前記ドリフト領域にオーミック接続されたドレイン電極と、

前記層間絶縁膜を介して前記ゲート電極により囲まれたコンタクトホール内部に埋め込まれ、且つ前記ソース電極にオーミック接続されたアノード領域と、

前記ゲート電極底面に前記ゲート絶縁膜を介して隣接する第2導電型の第1の電界緩和領域と、を備え、

前記アノード領域底面は、前記ドリフト領域と不純物準位が異なる

る第1導電型の導電領域と接合してダイオードを形成する半導体装置の製造方法であって、
前記溝を形成する第1の工程と、
前記溝の底面及び側面に前記ゲート絶縁膜を形成する第2の工程と、
、
前記ゲート絶縁膜の上に前記ゲート電極を形成する第3の工程と、
前記ゲート電極の上に前記層間絶縁膜を形成する第4の工程と、
前記第1の電界緩和領域を形成する第6の工程と、
前記溝の底面の直下に、前記導電領域を形成する第8の工程と、
を備えることを特徴とする半導体装置の製造方法。

[請求項19] 前記第6の工程を実施した後に、前記第8の工程を実施することを特徴とする請求項18に記載の半導体装置の製造方法。

[請求項20] 前記第8の工程は、
前記溝の側面及び底面を含む半導体基板の一方の主面にマスク材を堆積する工程と、
異方性エッチングを行い、前記溝の側部にマスク材を選択的に残す工程と、
残された前記マスク材を不純物導入用マスクとして用いて、前記溝の底面から不純物を選択的に導入する工程と、
を有することを特徴とする請求項18又は19に記載の半導体装置の製造方法。

[請求項21] 半導体基板と、
前記半導体基板の一方の主面上に形成された第1導電型のドリフト領域と、
前記ドリフト領域内に形成された第2導電型のウェル領域と、
前記ウェル領域内に形成された第1導電型のソース領域と、
前記ソース領域及び前記ウェル領域を貫通して前記ドリフト領域に至る溝の側部に、ゲート絶縁膜を介して、埋め込まれたゲート電極と

、

前記ゲート電極を被覆する層間絶縁膜と、

前記ウェル領域及び前記ソース領域にオーミック接続されたソース電極と、

前記ドリフト領域にオーミック接続されたドレイン電極と、

前記層間絶縁膜を介して前記ゲート電極により囲まれたコンタクトホール of の内部に埋め込まれ、且つ前記ソース電極にオーミック接続されたアノード領域と、

前記ゲート電極の底面に前記ゲート絶縁膜を介して隣接する第2導電型の第1の電界緩和領域と、

前記溝から前記半導体基板の主面に平行な方向に離れ、且つ少なくとも前記ドリフト領域内に形成された第2導電型の第2の電界緩和領域と、を備え、

前記アノード領域の底面は第1導電型の半導体領域と接合してダイオードを形成し、

前記第2の電界緩和領域は、前記ソース電極にオーミック接続し

前記溝から前記半導体基板の主面に平行な方向に離れた位置に保護溝が形成され、

前記第2の電界緩和領域は、前記保護溝の底面の下方に形成されている

半導体装置の製造方法であって、

前記溝を形成する第1の工程と、

前記溝の底面及び側面に前記ゲート絶縁膜を形成する第2の工程と

、

前記ゲート絶縁膜の上に前記ゲート電極を形成する第3の工程と、

前記ゲート電極の上に前記層間絶縁膜を形成する第4の工程と、

前記コンタクトホール of の底面に、前記半導体領域を露出させる第5の工程と、を備え、

前記第 1 の工程において、前記保護溝と前記溝が同時に形成されることを特徴とする半導体装置の製造方法。

[請求項22] 前記第 1 の工程において形成された前記溝の角部の深さは、前記溝の底部より深いことを特徴とする請求項 14～21 のいずれか一項に記載の半導体装置の製造方法。

[請求項23] 前記第 3 の工程において、前記溝の幅の $1/2$ より小さい膜厚のゲート電極材料を堆積することを特徴とする請求項 14～22 のいずれか一項に記載の半導体装置の製造方法。

[請求項24] 前記第 3 の工程において、
堆積したゲート電極材料の一部の領域の上にエッチングマスクを形成し、
前記エッチングマスクを介して前記ゲート電極材料を選択的に除去する
ことを特徴とする請求項 14～23 のいずれか一項に記載の半導体装置の製造方法。

[請求項25] 前記第 4 の工程において、熱酸化法を用いて前記層間絶縁膜を形成することを特徴とする請求項 14～24 のいずれか一項に記載の半導体装置の製造方法。

[請求項26] 半導体基板と、
前記半導体基板の上に形成された第 1 導電型のドリフト領域と、
前記ドリフト領域内に形成された第 2 導電型のウェル領域と、
前記ウェル領域内に形成された第 1 導電型のソース領域と、
前記ソース領域ならびに前記ウェル領域を貫通して前記ドリフト領域に至る深さの溝の側部にゲート絶縁膜を介して、形成されたゲート電極と、
前記ゲート電極上に形成されて前記ゲート電極を被覆する層間絶縁膜と、
前記ウェル領域および前記ソース領域に接続されたソース電極と、

前記ドリフト領域とオーミック接続されたドレイン電極と、
前記溝の底部において前記ドリフト領域と接合するアノード領域と、
を備え、

前記アノード領域は、前記層間絶縁膜を介して前記ゲート電極により囲まれたコンタクトホールを介して前記ソース電極にオーミック接続され、且つ、前記ドリフト領域とは異なる種類の材料で形成されている

ことを特徴とする半導体装置。

[請求項27] 前記アノード領域と前記ソース領域は同一の材料で形成されていることを特徴とする請求項26に記載の半導体装置。

[請求項28] 前記アノード領域は、前記ドリフト領域とはバンドギャップが異なる半導体材料で形成されていることを特徴とする請求項26に記載の半導体装置。

[請求項29] 前記アノード領域の一部が前記ゲート電極の下部に形成されていることを特徴とする請求項28に記載の半導体装置。

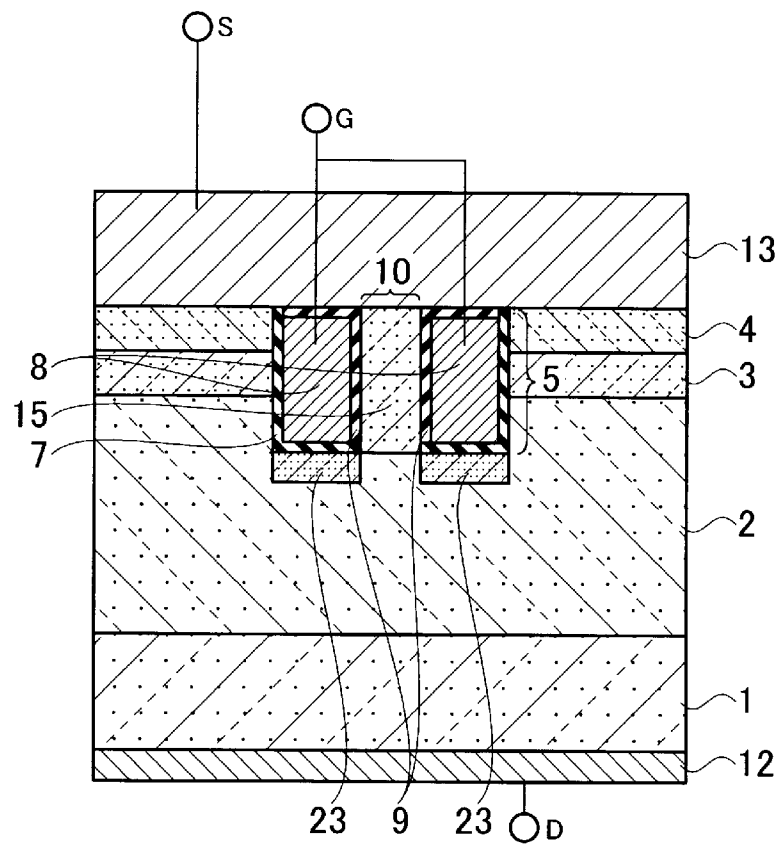
[請求項30] 前記アノード領域は、第1アノード領域と、第2アノード領域とを有し、

前記第1アノード領域と前記ドリフト領域との間の内蔵電位は、前記第2アノード領域と前記ドリフト領域との間の内蔵電位より小さいことを特徴とする請求項28に記載の半導体装置。

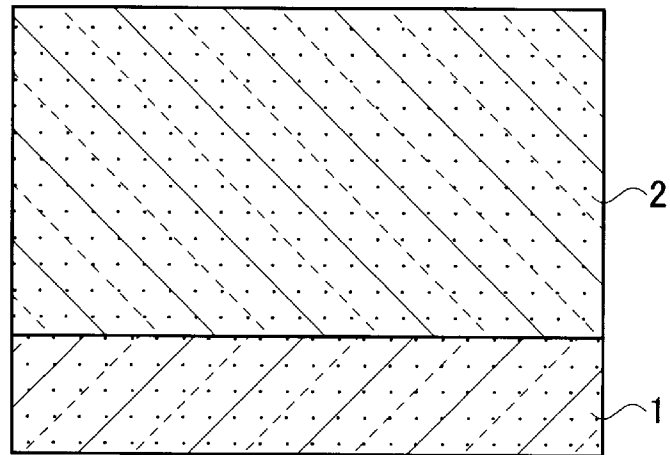
[請求項31] 前記第1アノード領域と前記ドリフト領域の接合面は、前記第2アノード領域と前記ドリフト領域の接合面の一部より浅いことを特徴とする請求項30に記載の半導体装置。

[請求項32] 前記第1アノード領域と前記第2アノード領域は、同じ半導体材料で形成されることを特徴とする請求項30又は31に記載の半導体装置。

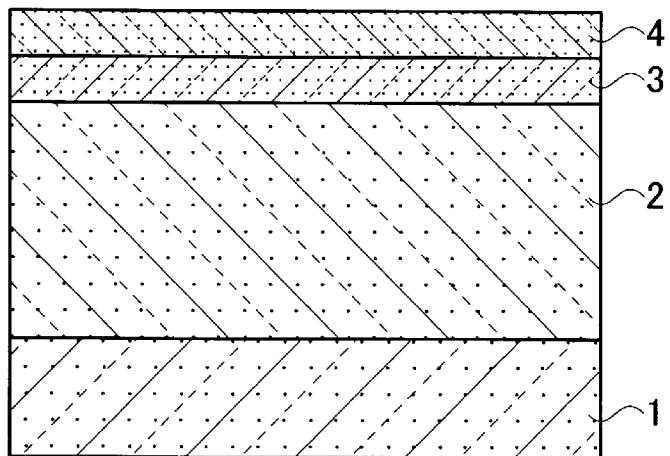
[図1]



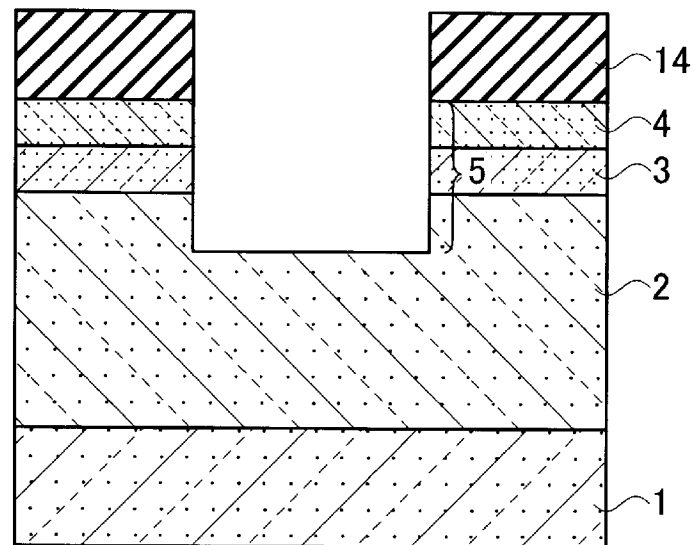
[図2A]



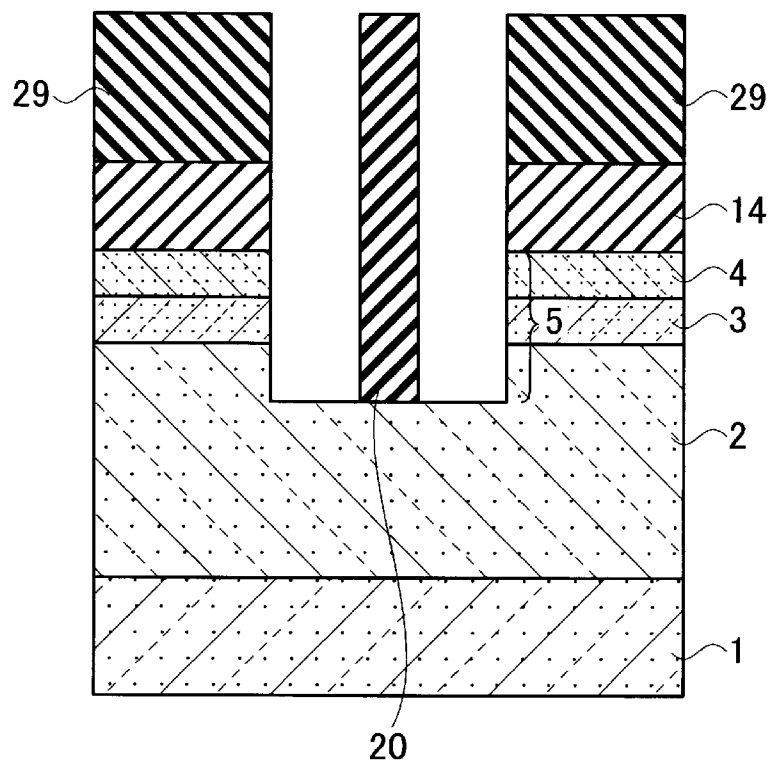
[図2B]



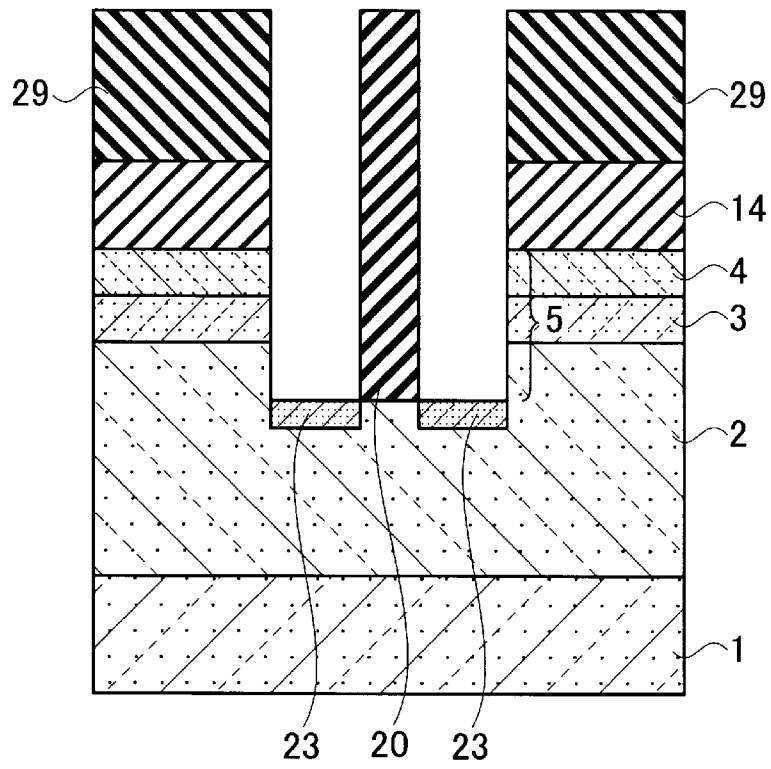
[図2C]



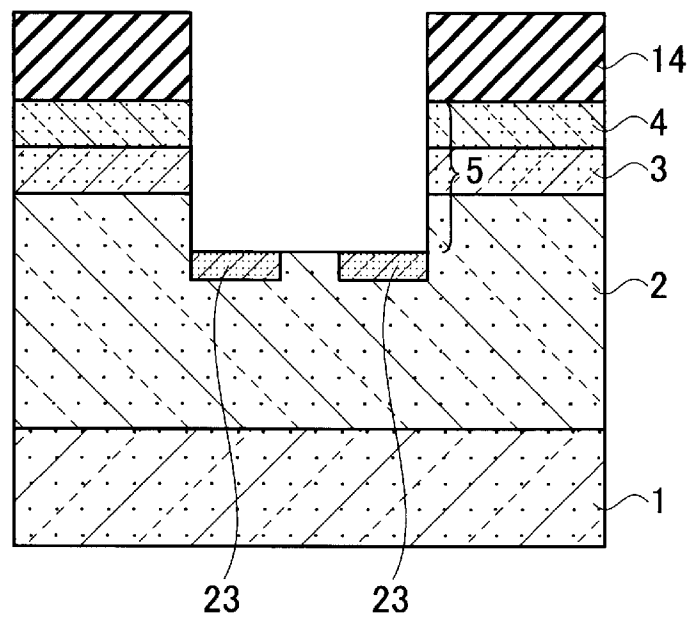
[図2D]



[図2E]

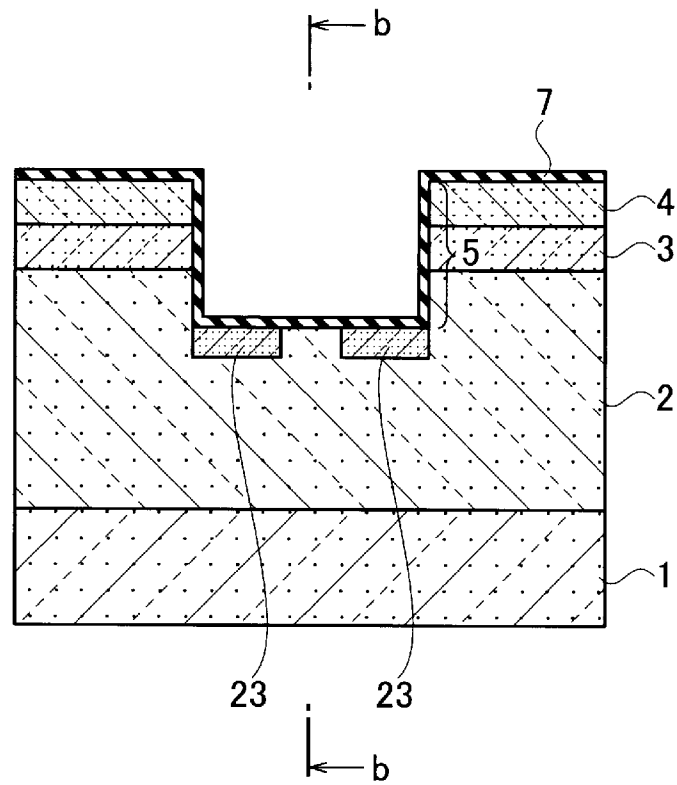


[図2F]

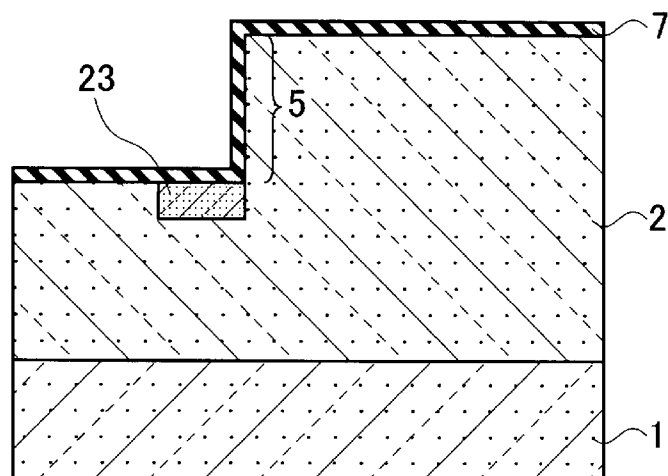


[図2G]

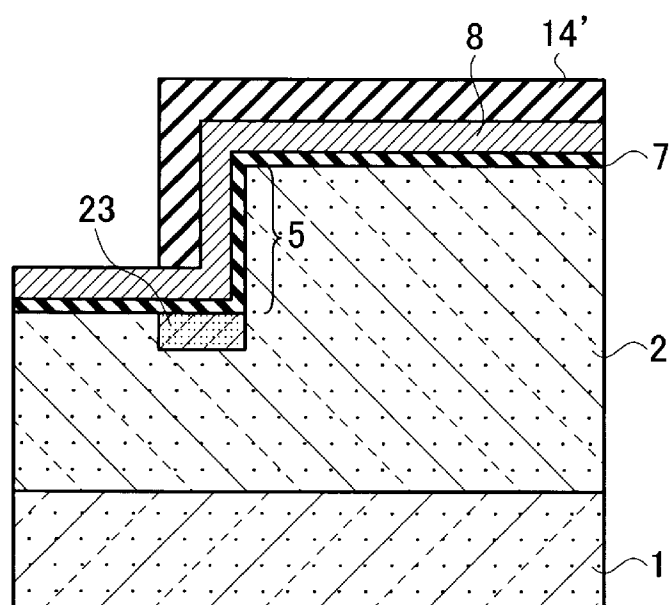
(a)



(b)



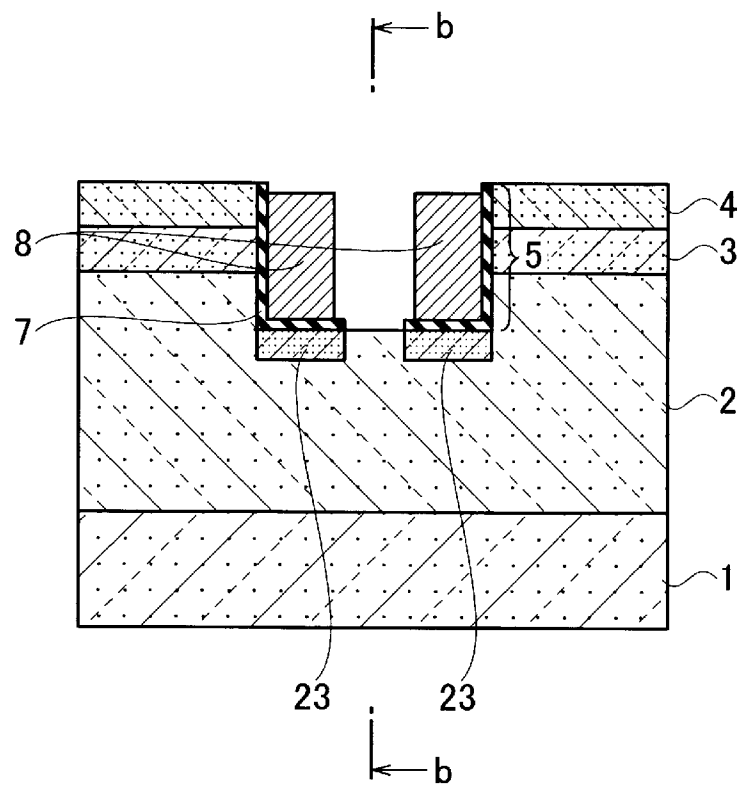
(a)



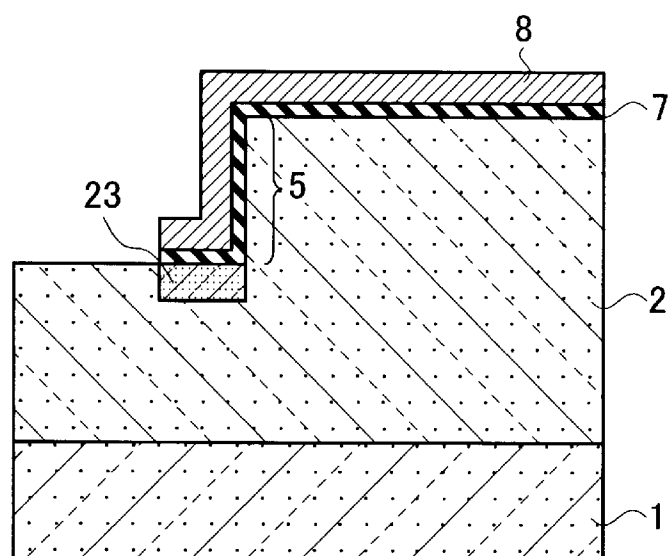
A cross-sectional view of a multi-layered structure. The structure consists of several layers. The bottom layer is labeled 1 and has a diagonal dashed line pattern. Above it is a layer labeled 2, also with a diagonal dashed line pattern. A bracket labeled 5 indicates a region within layer 2. Above layer 2 is a layer labeled 7, which has a diagonal solid line pattern. Above layer 7 is a layer labeled 8, which has a diagonal solid line pattern. The top layer is labeled 14' and has a diagonal solid line pattern. A small rectangular feature labeled 23 is shown on the left side, extending from layer 2 up to layer 7.

[図2K]

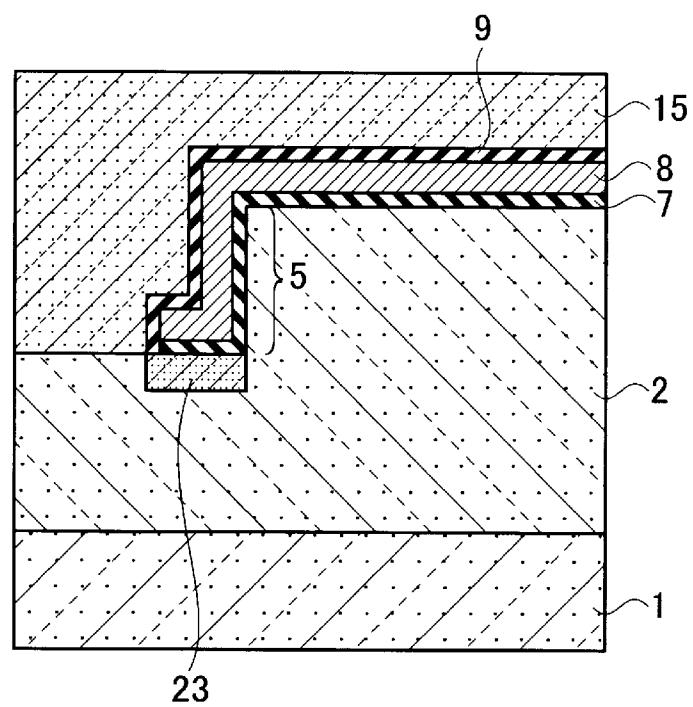
(a)



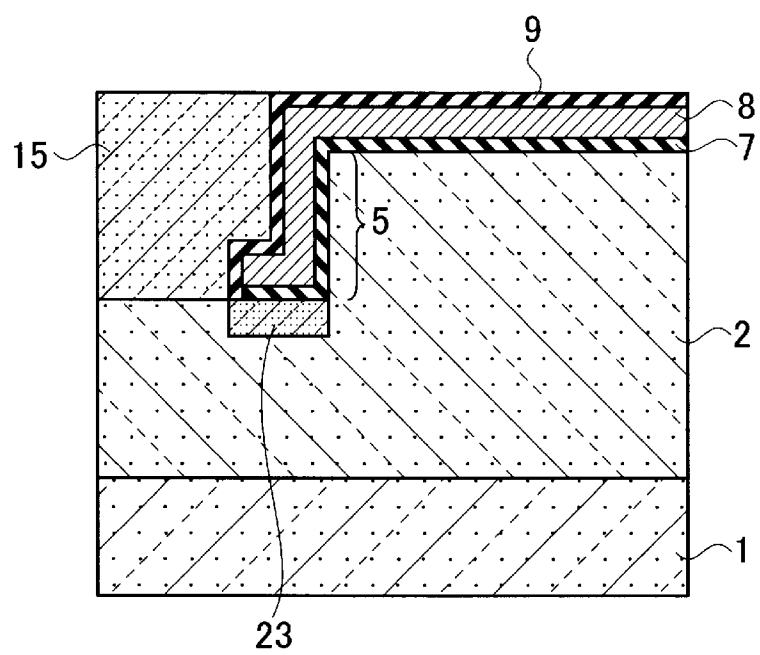
(b)



(a)

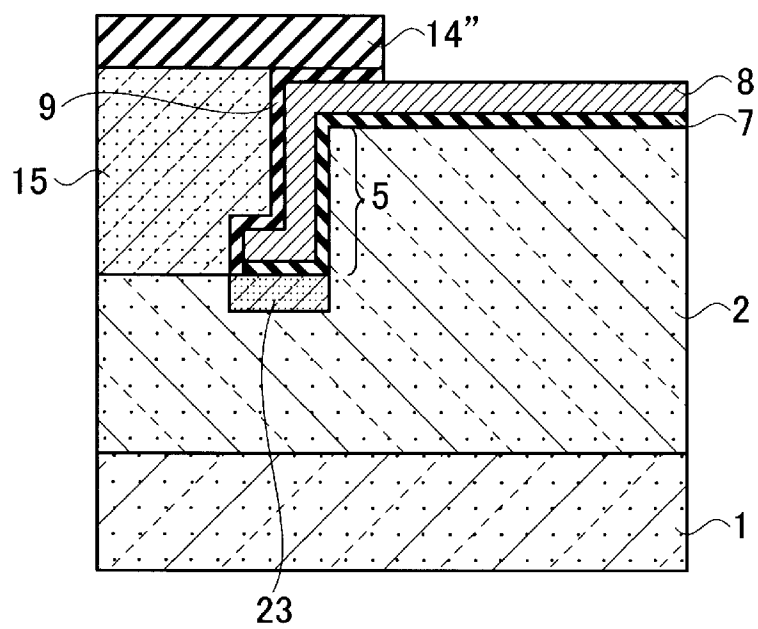


(a)



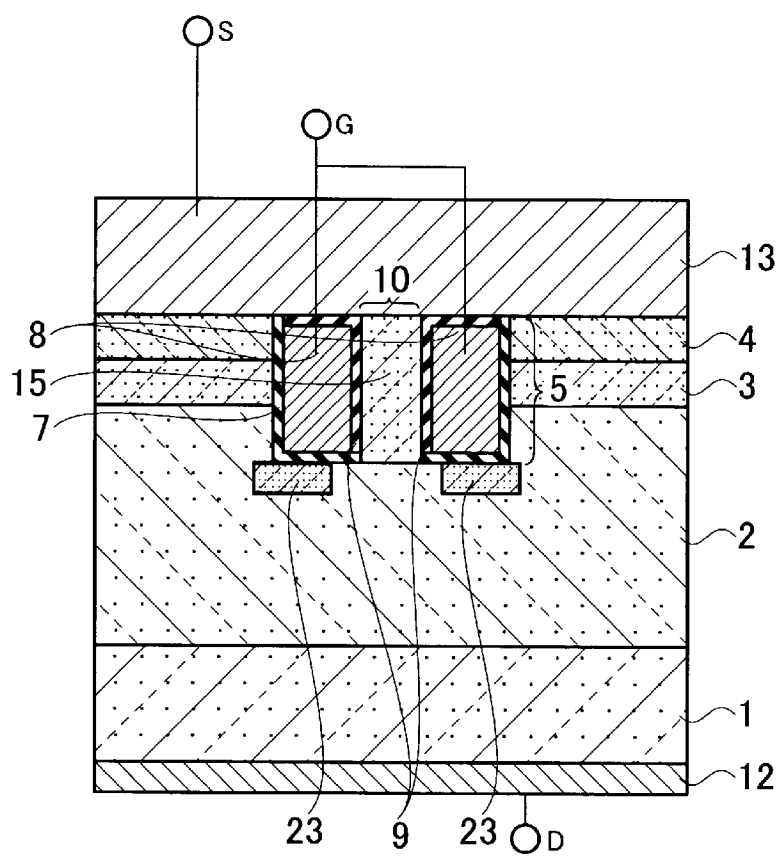
(a)

(b)

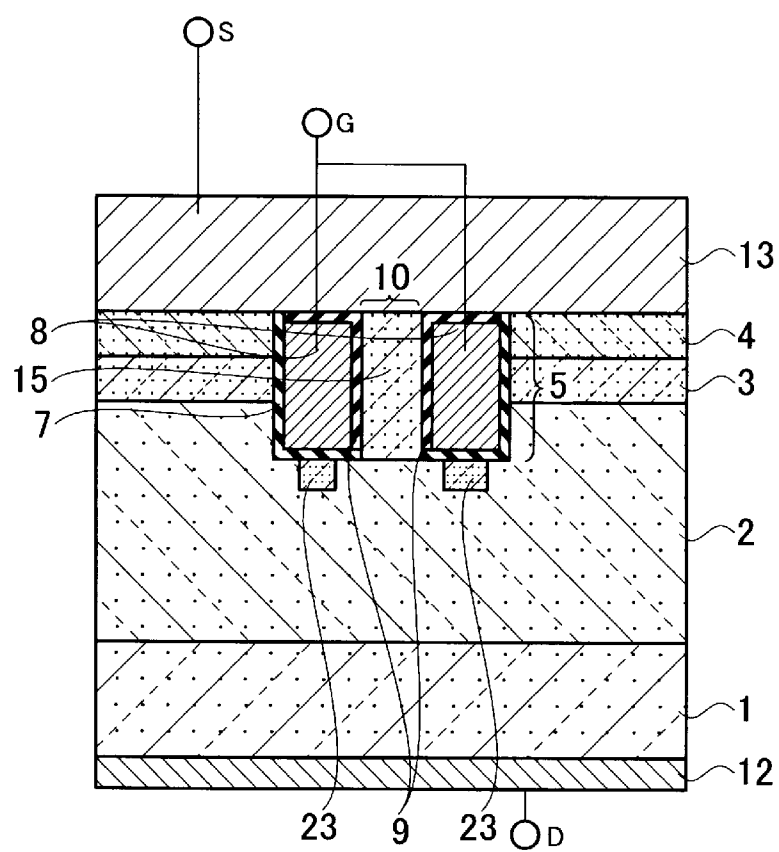


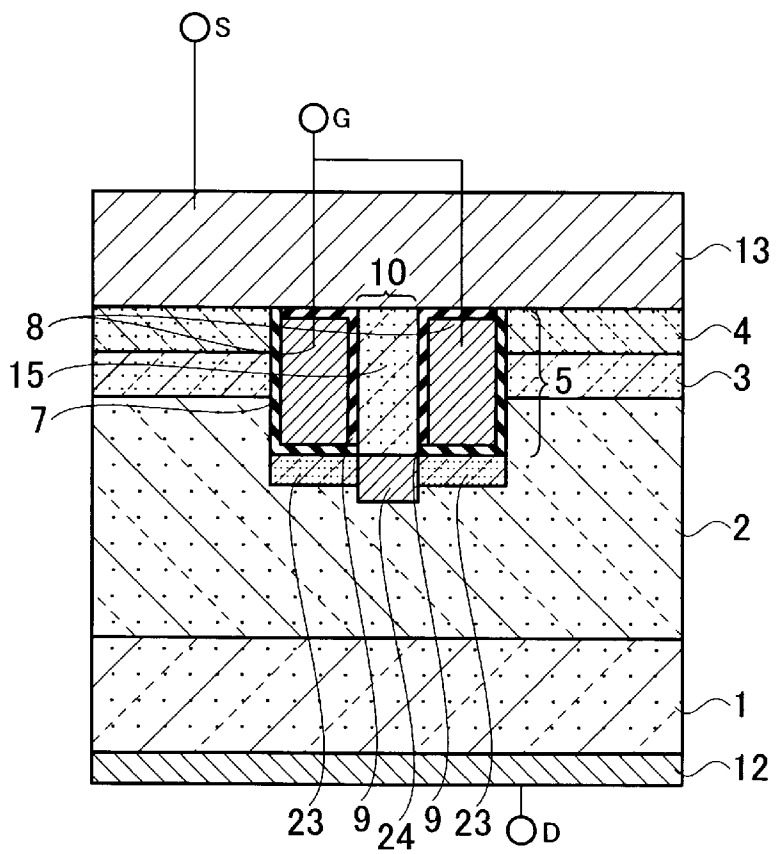
[illegible]

[図5]

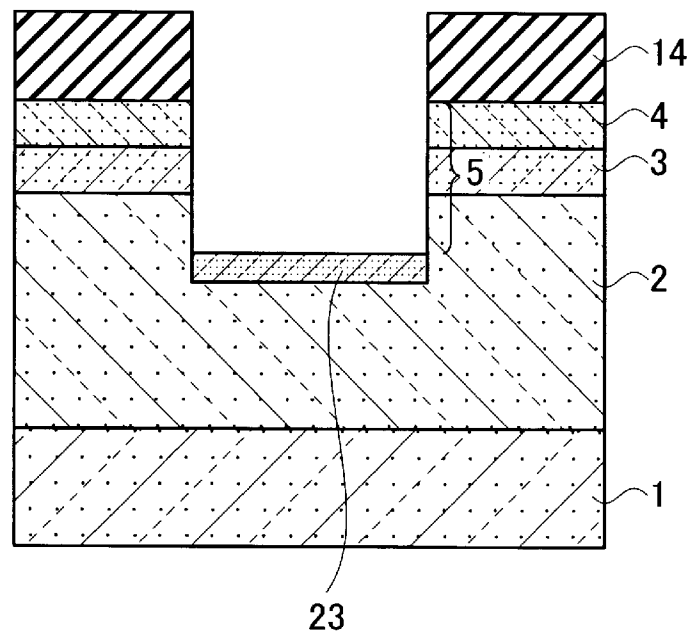


[図6]

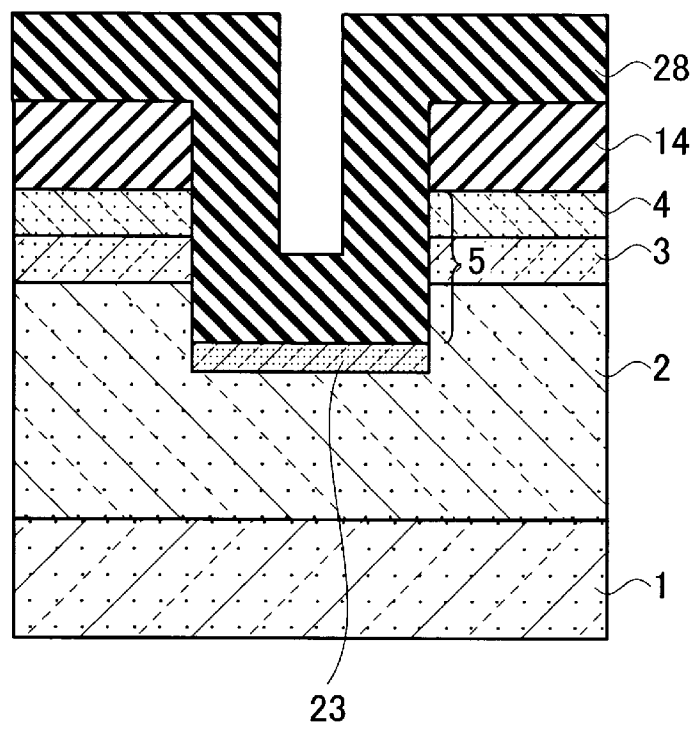




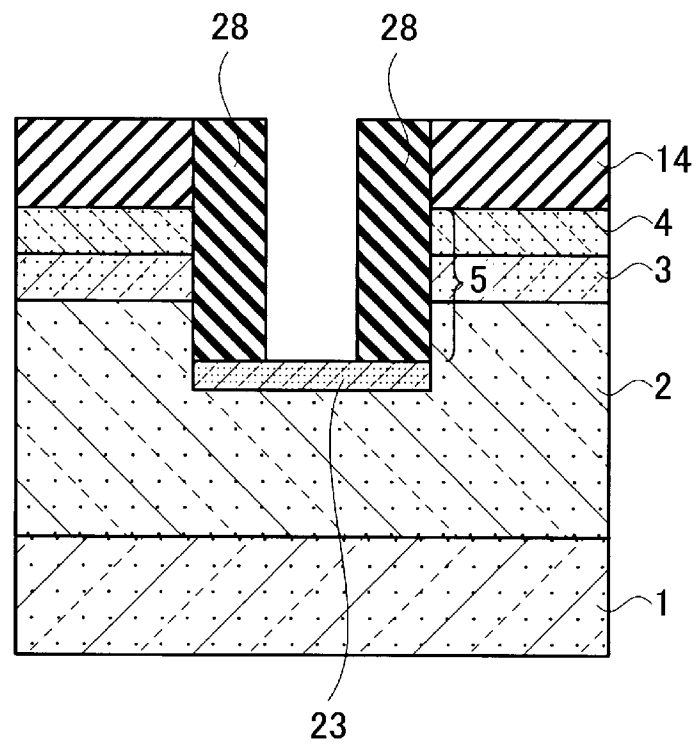
[図9A]



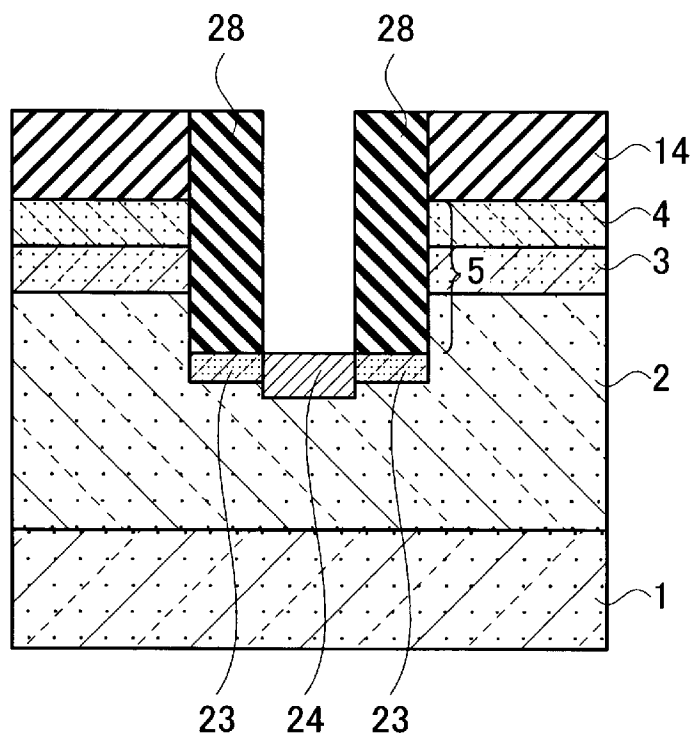
[図9B]



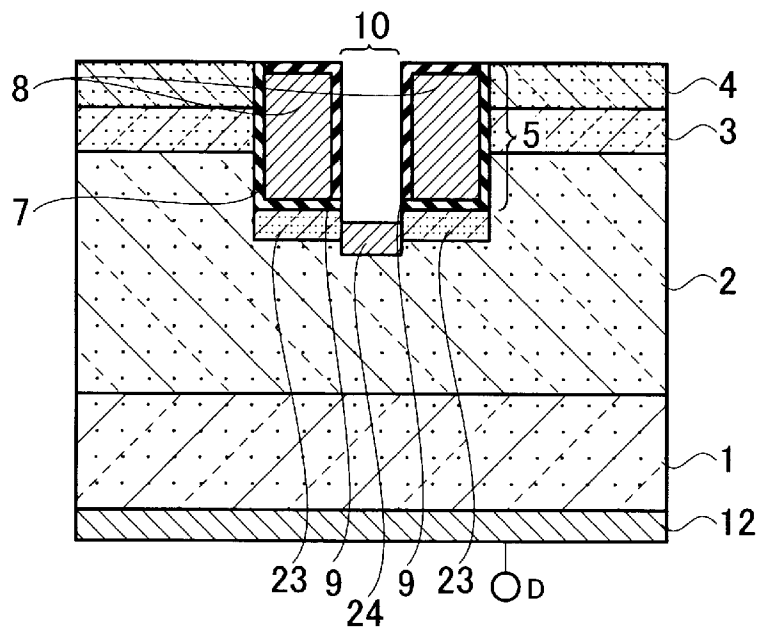
[図9C]



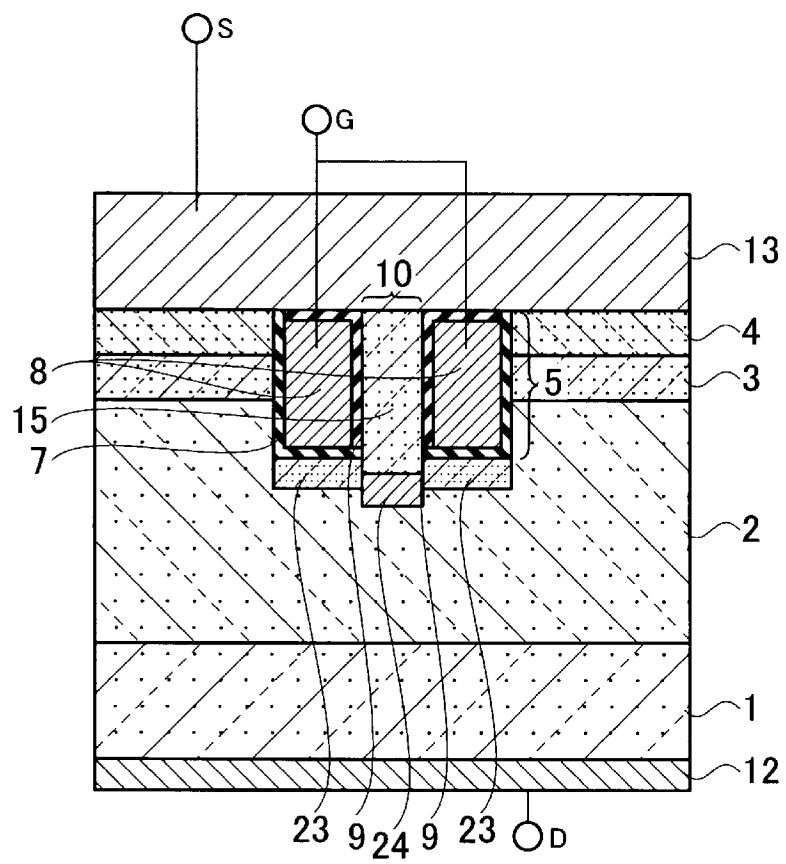
[図9D]



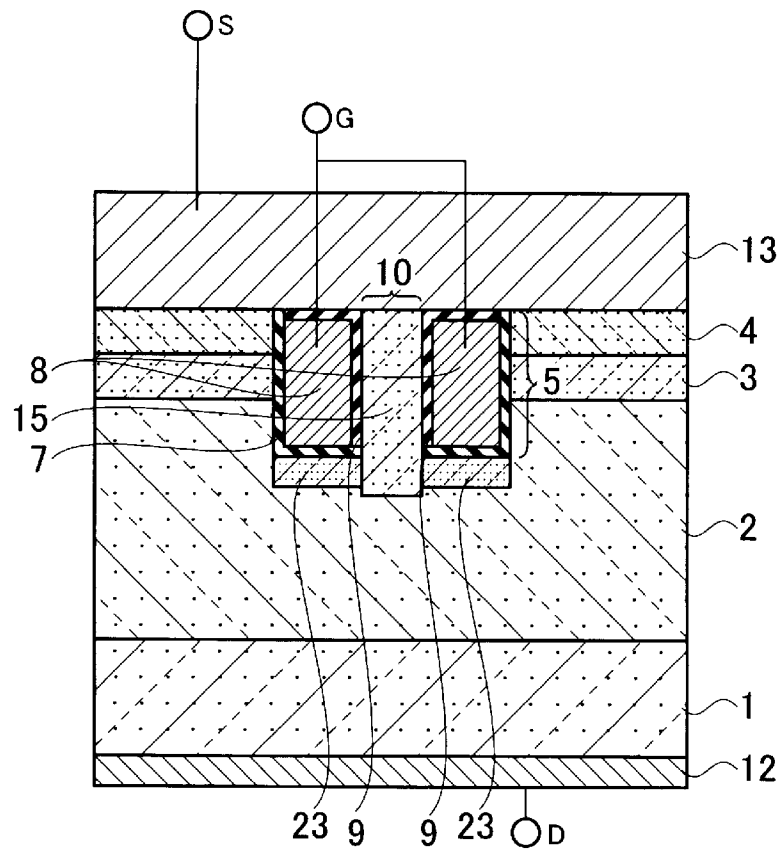
[図10A]



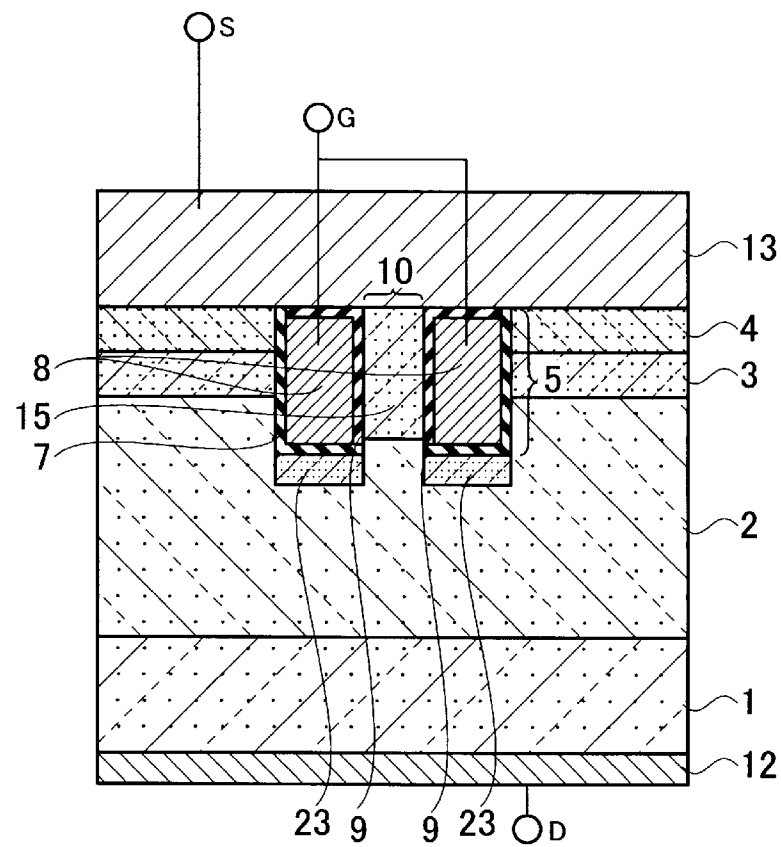
[図10B]



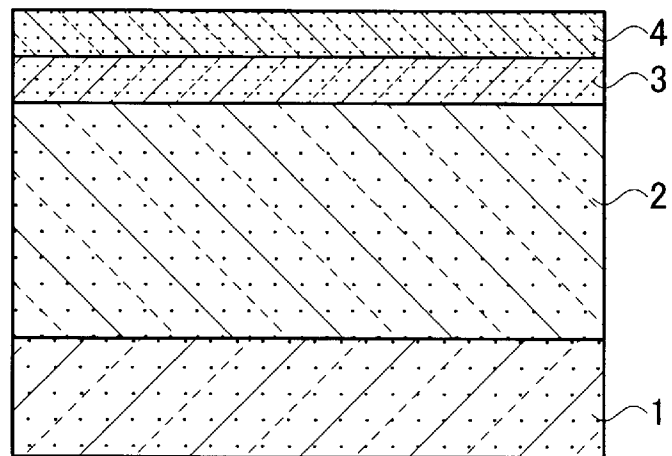
[図11]



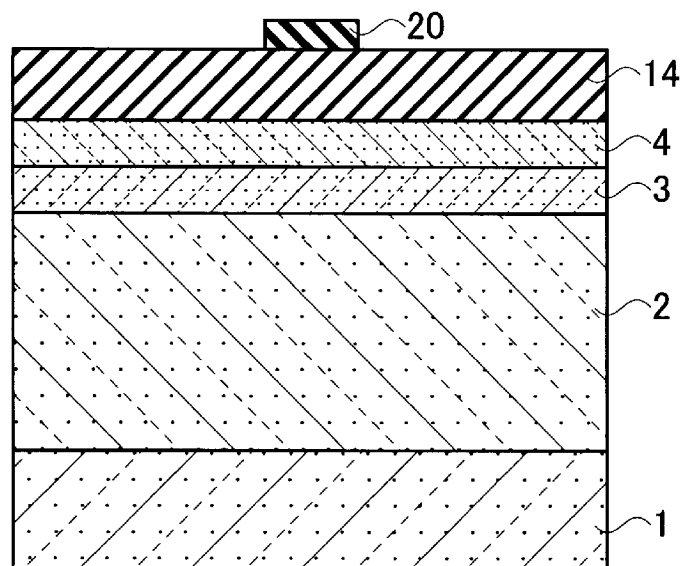
[図12]



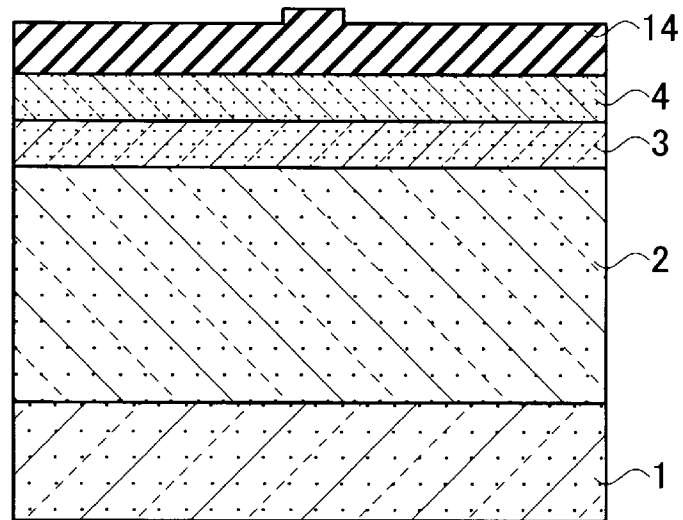
[図13A]



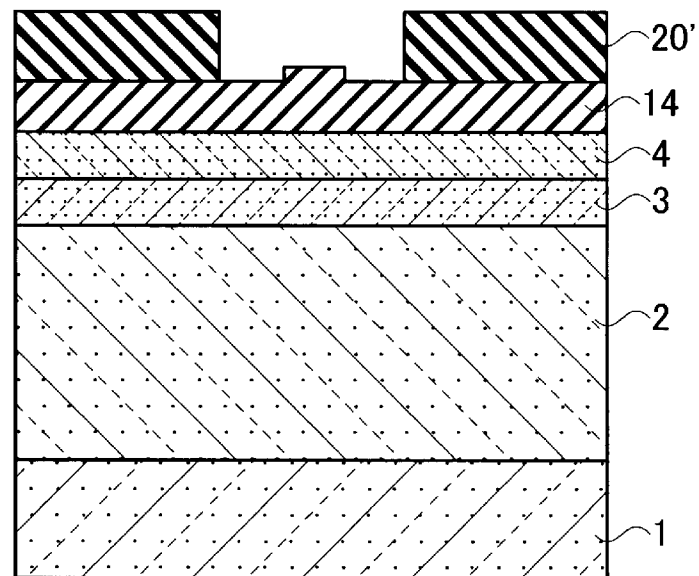
[図13B]



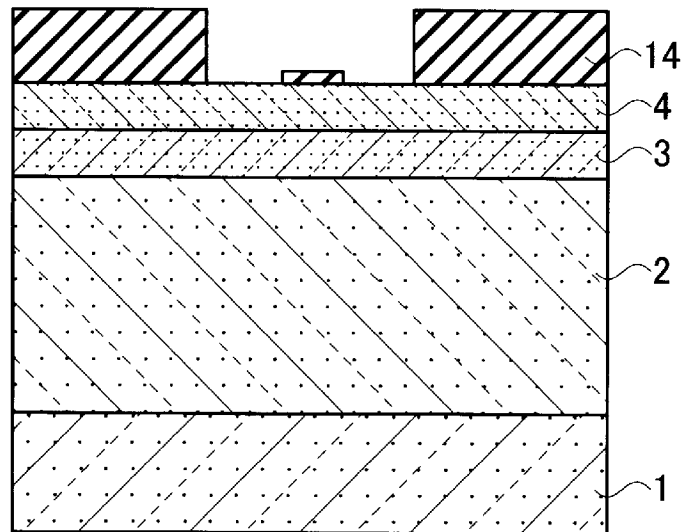
[図13C]



[図13D]



[図13E]



[図13F]

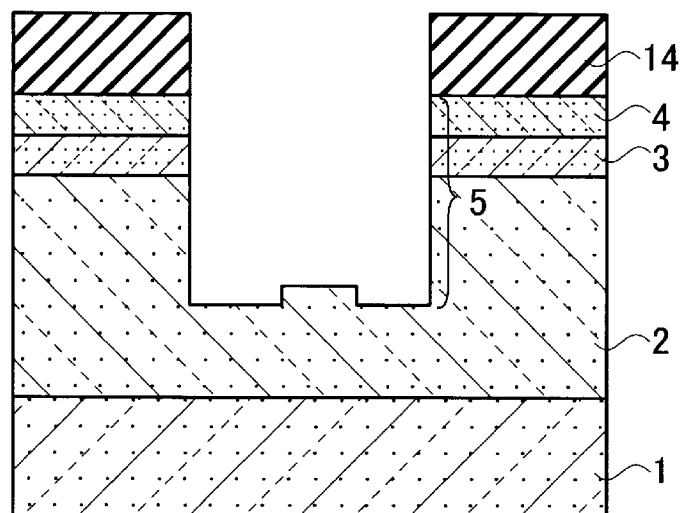
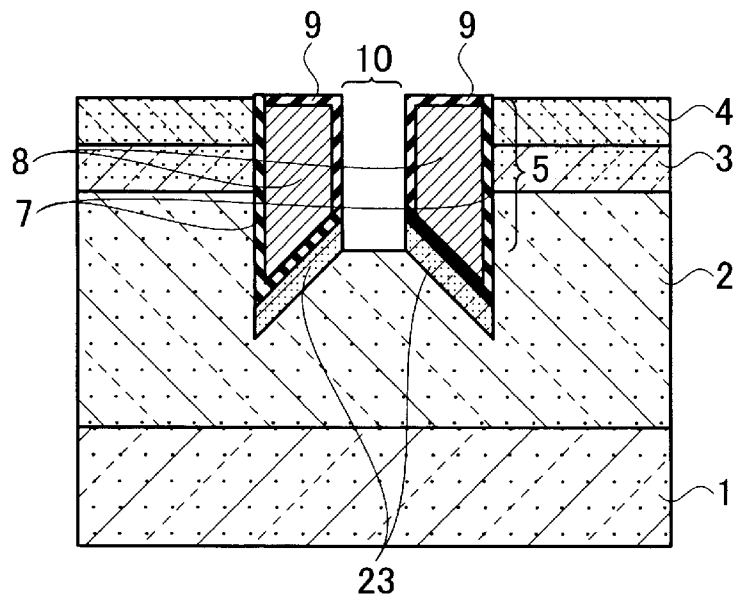


Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate 1 with a patterned layer 2. A central region 5 is defined by a trench 3 and a layer 4. A top layer 14 is shown on the right side. Three arrows 23 point to the central region 5.

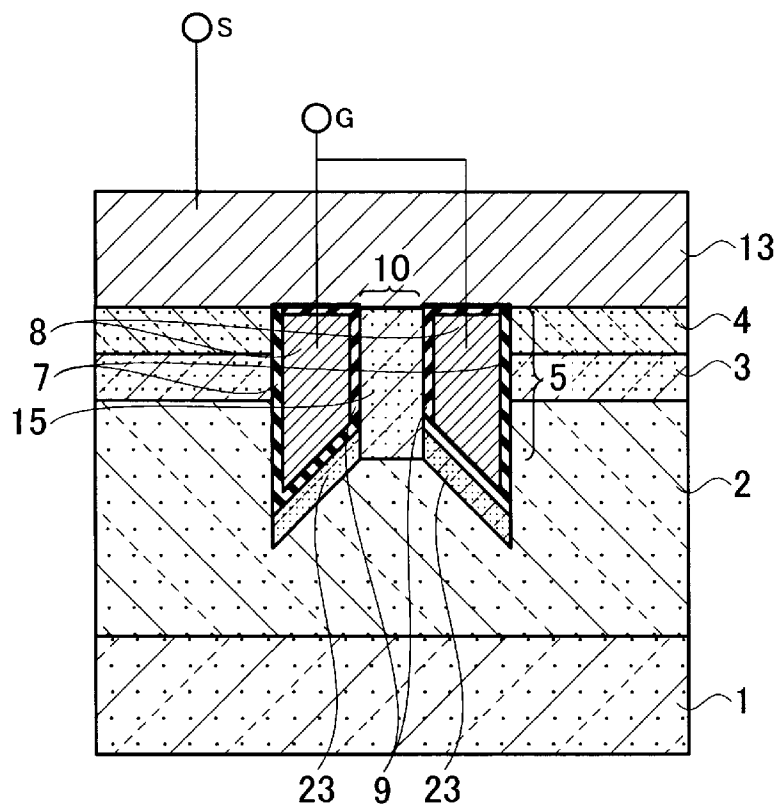
[illegible]

[illegible]

[図14D]



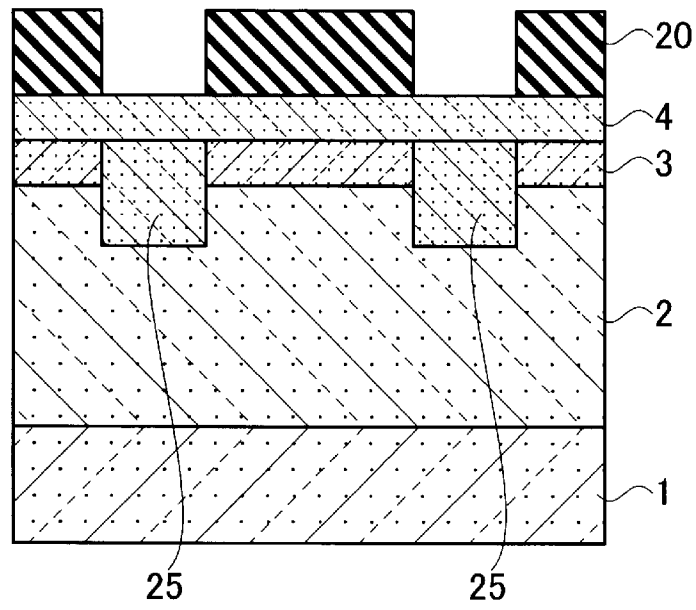
[図14E]



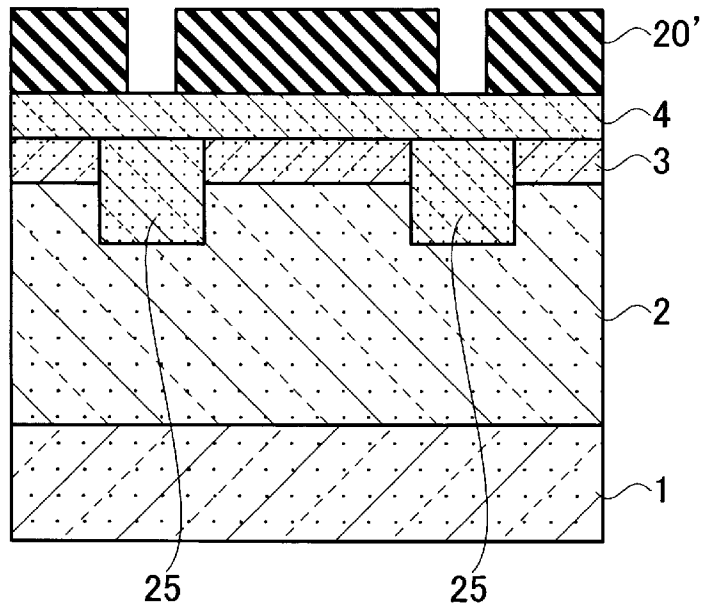
[illegible]

A cross-sectional view of a multi-layered structure. It features three rectangular pillars (20) on top of a stack of layers. The layers, from top to bottom, are: a thin dotted layer (4), a thin layer with diagonal dashed lines (3), a thick layer with diagonal solid lines and dots (2), and a bottom layer with diagonal solid lines (1). The pillars (20) have a hatched pattern.

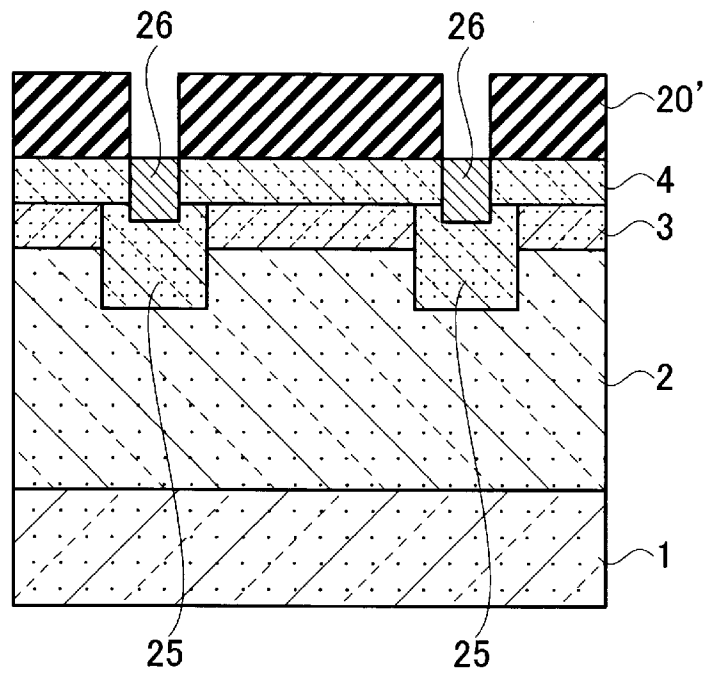
[図17B]



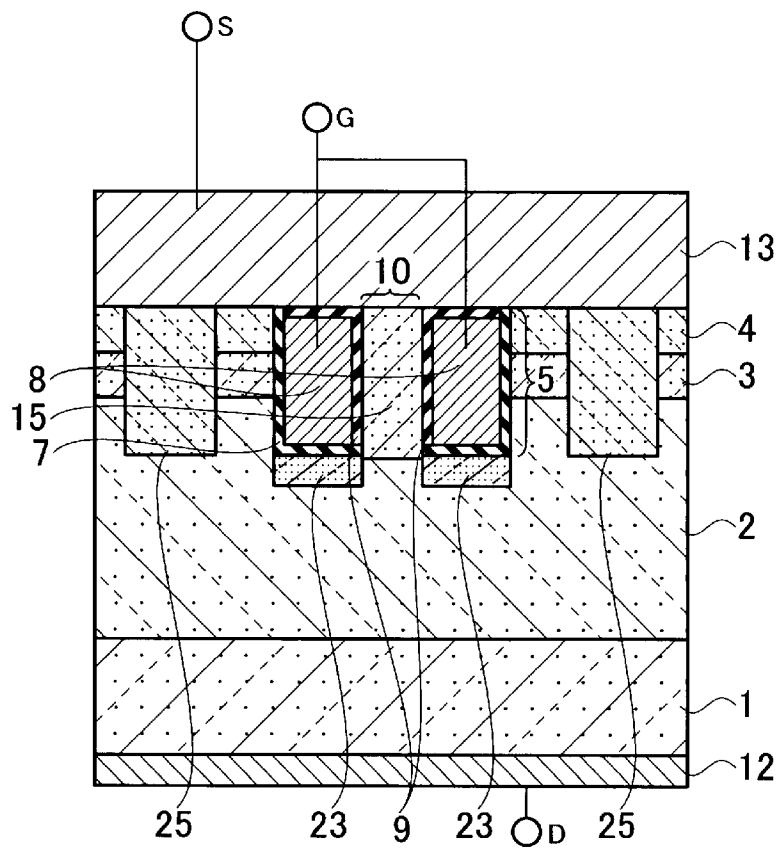
[図17C]



[図17D]



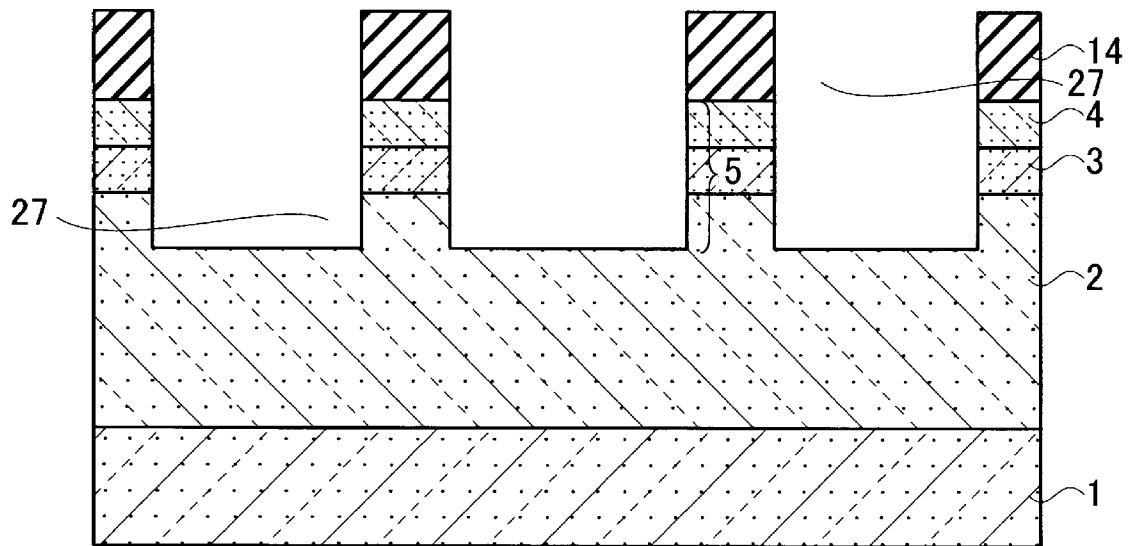
[図18]



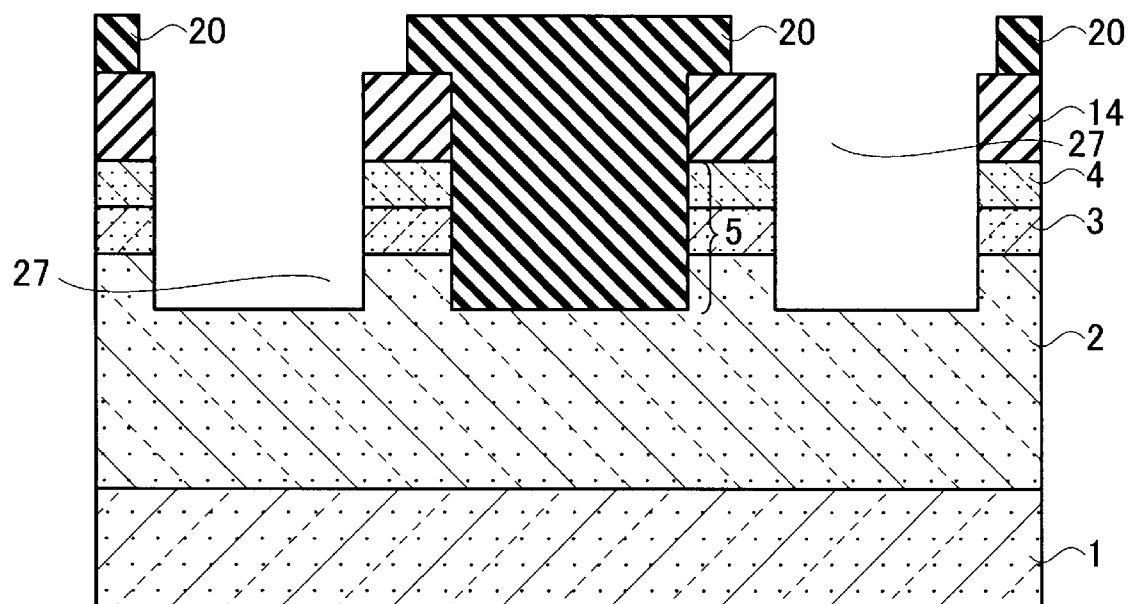
[illegible]

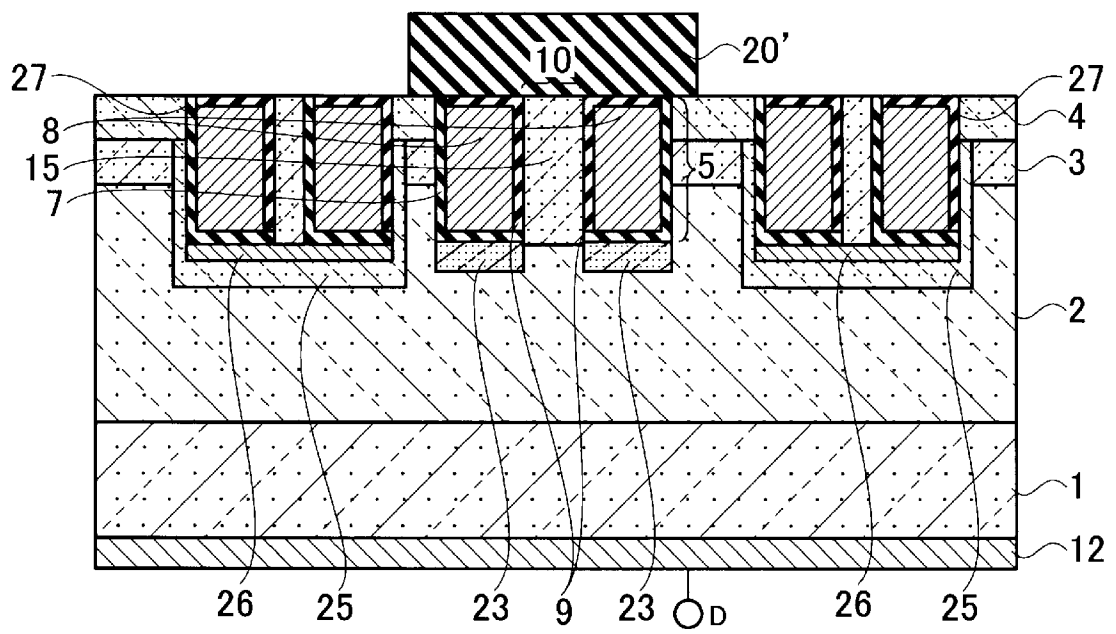
This diagram shows a cross-sectional view of a semiconductor device. A central gate structure (10) is formed on a substrate (1). The gate structure includes a gate dielectric layer (5) and a gate electrode (9). The substrate (1) is divided into regions (2, 3, 4, 7, 8, 12, 13, 25, 26, 27) by various layers and structures. A source region (S) and a drain region (D) are indicated by circles at the top and bottom, respectively. The device is shown in a cross-sectional view with various layers and structures labeled with numbers and letters.

[図21A]

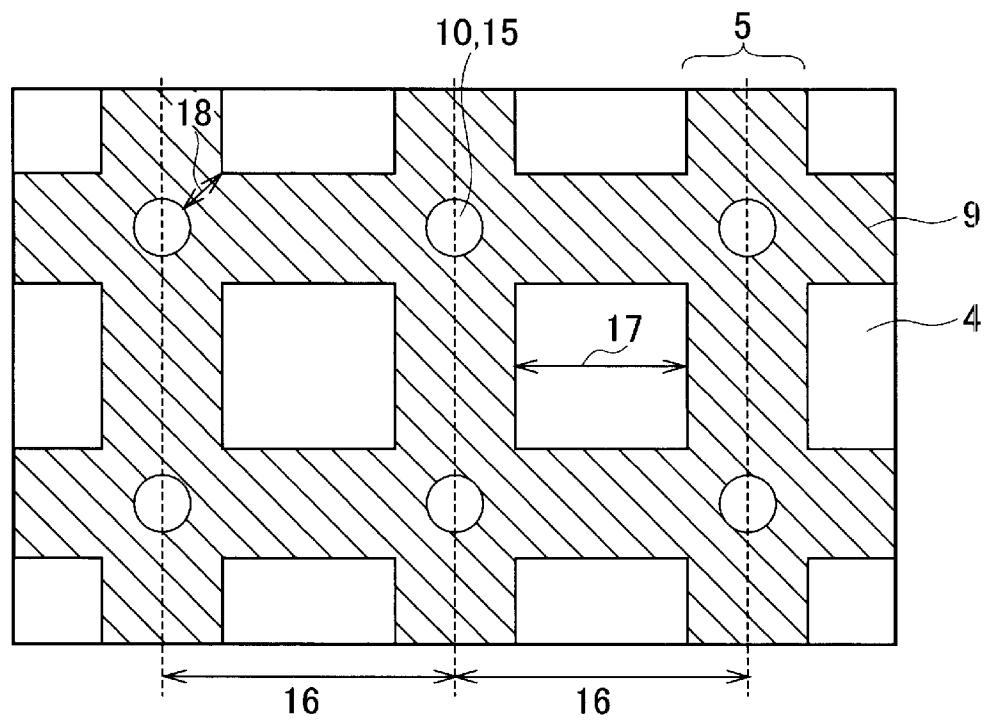


[図21B]

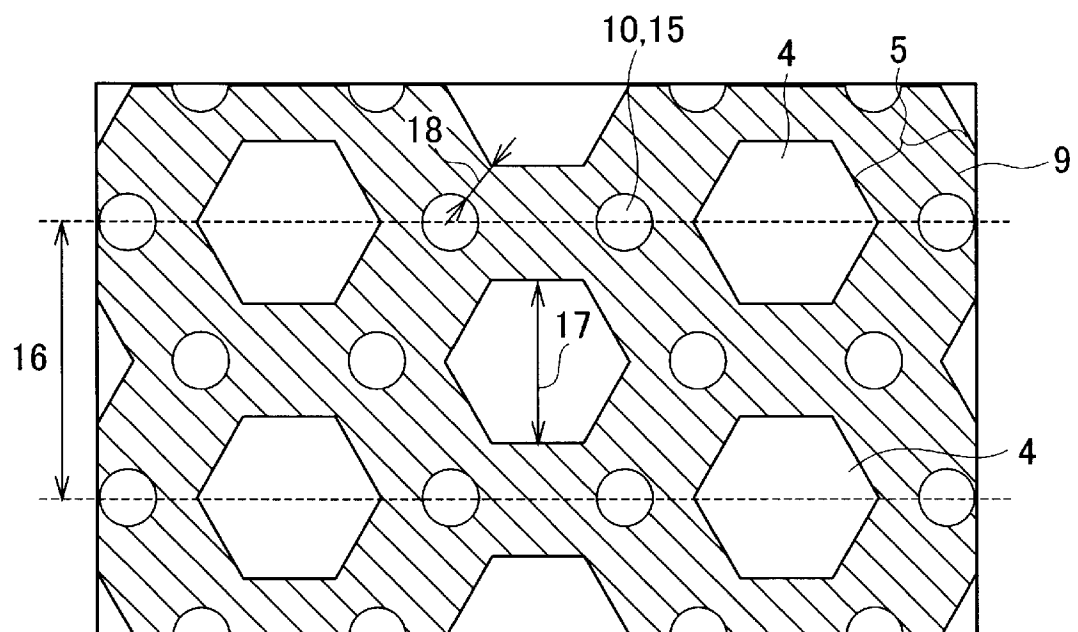




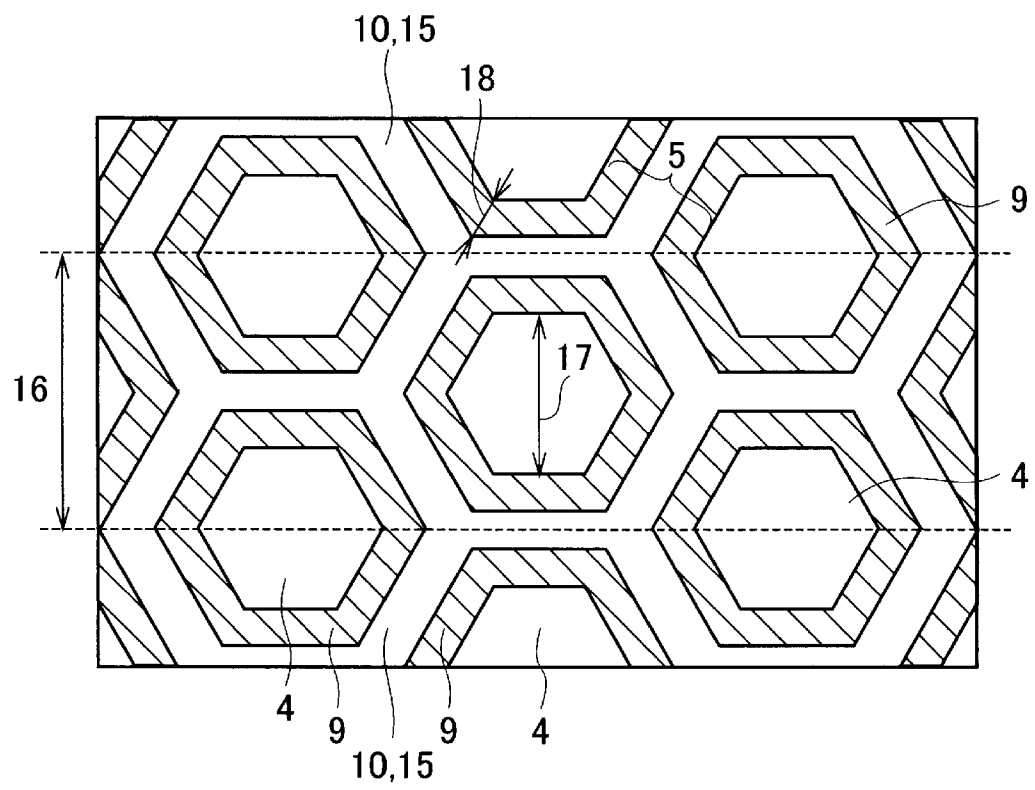
[図24]



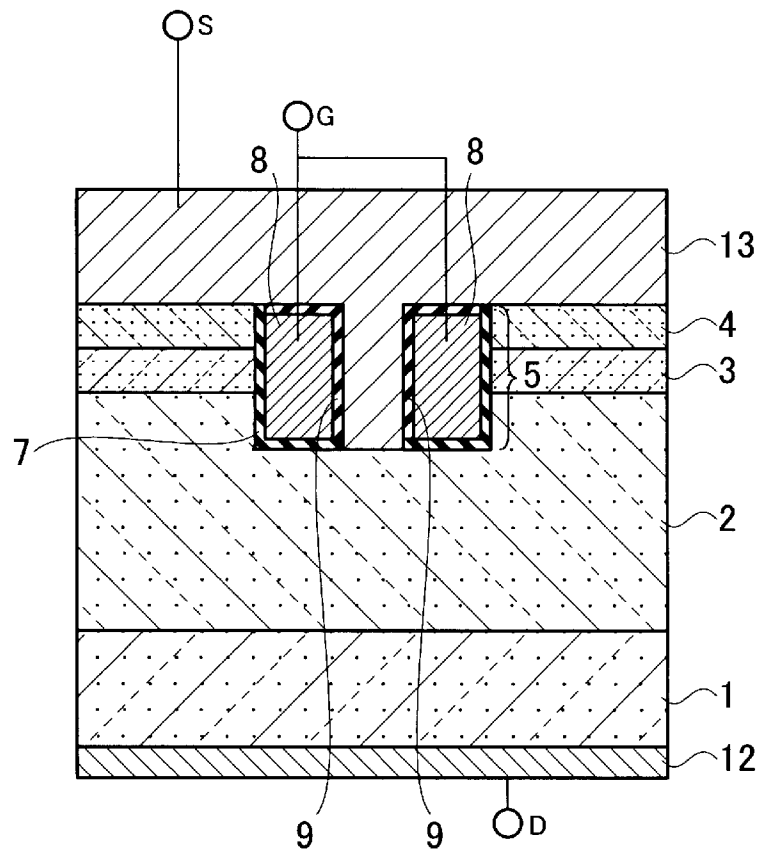
[図25]



[図28]

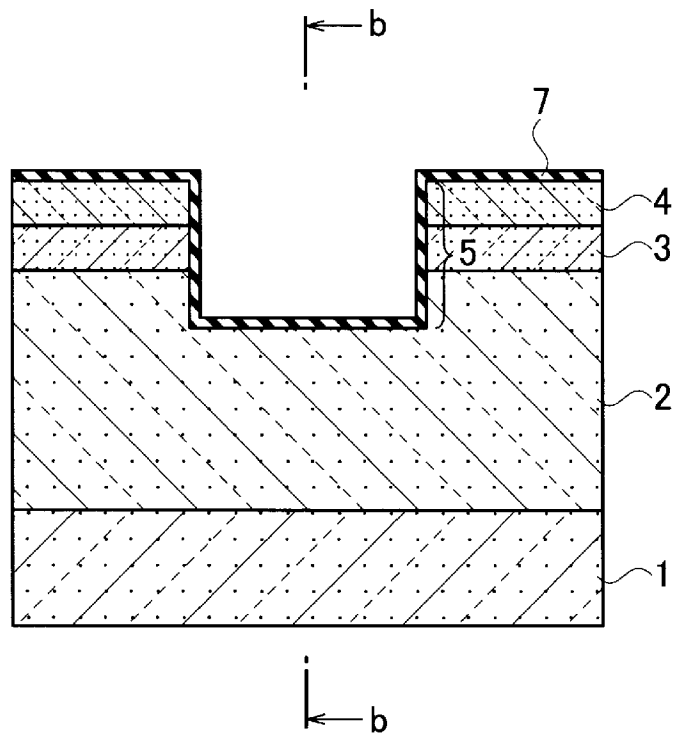


[図29]

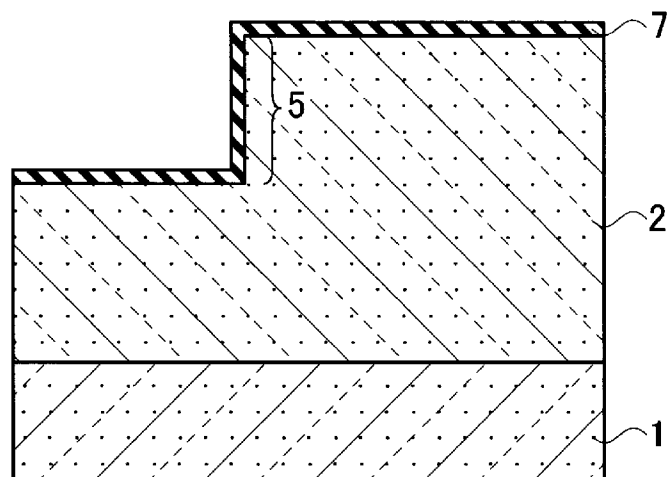


[図30A]

(a)

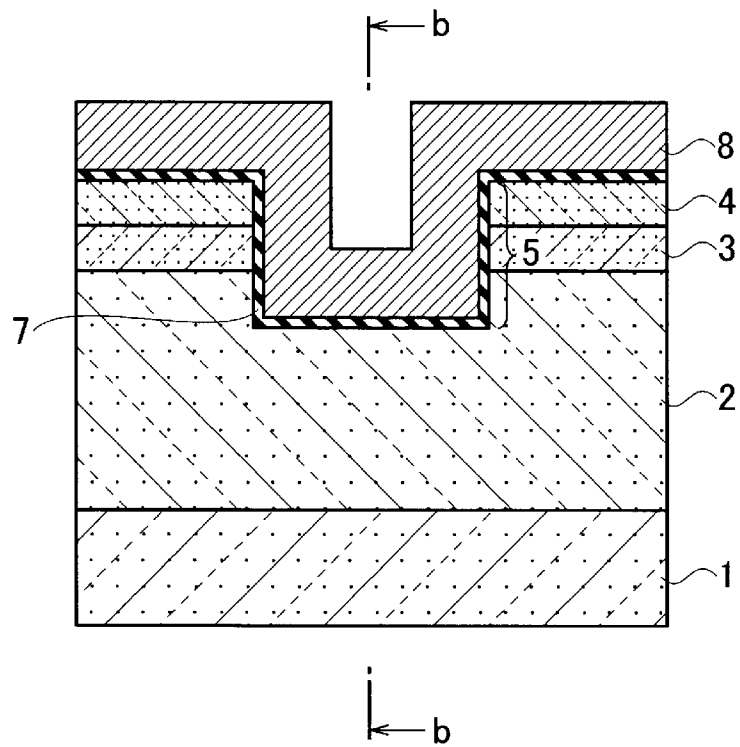


(b)

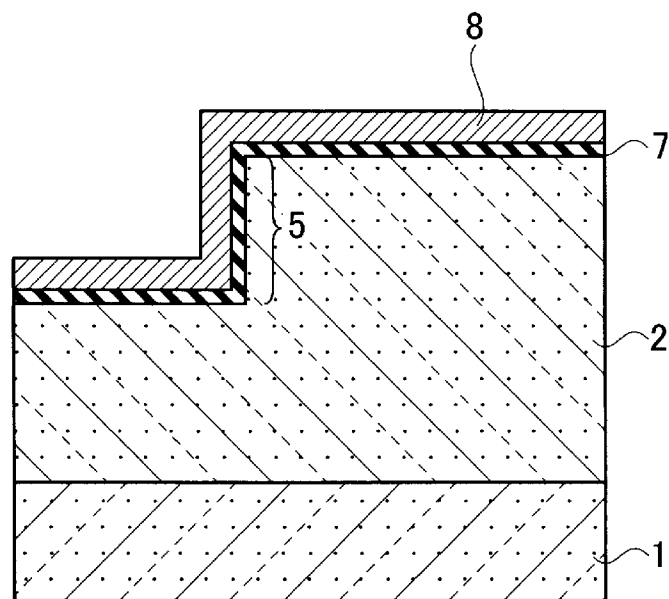


[図30B]

(a)

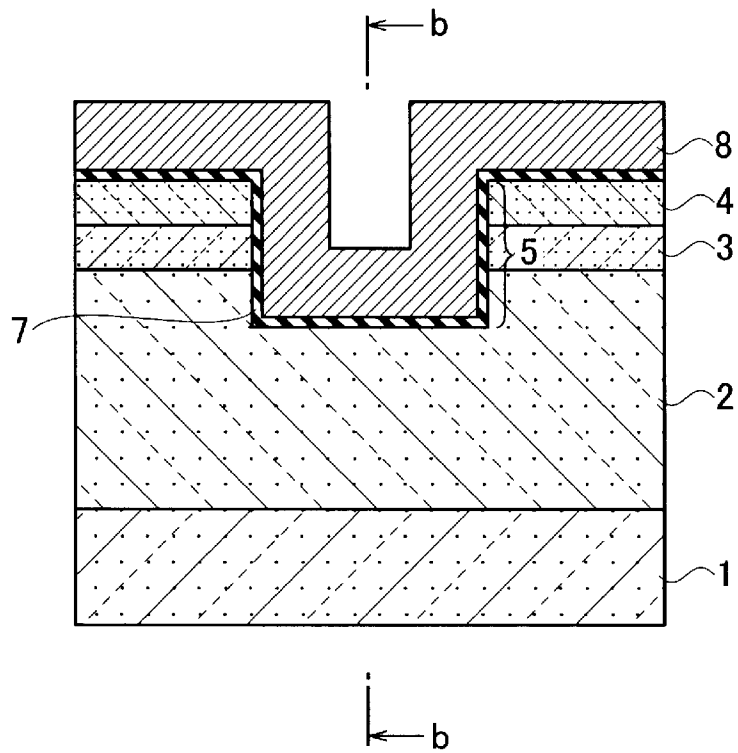


(b)

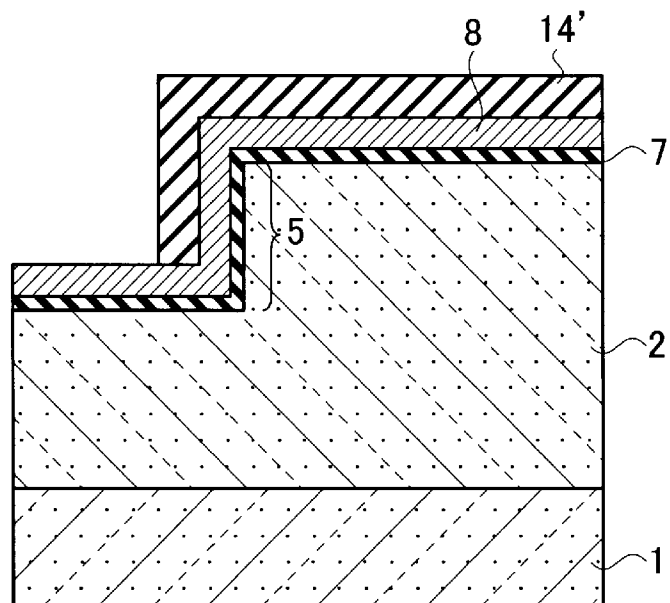


[図30C]

(a)

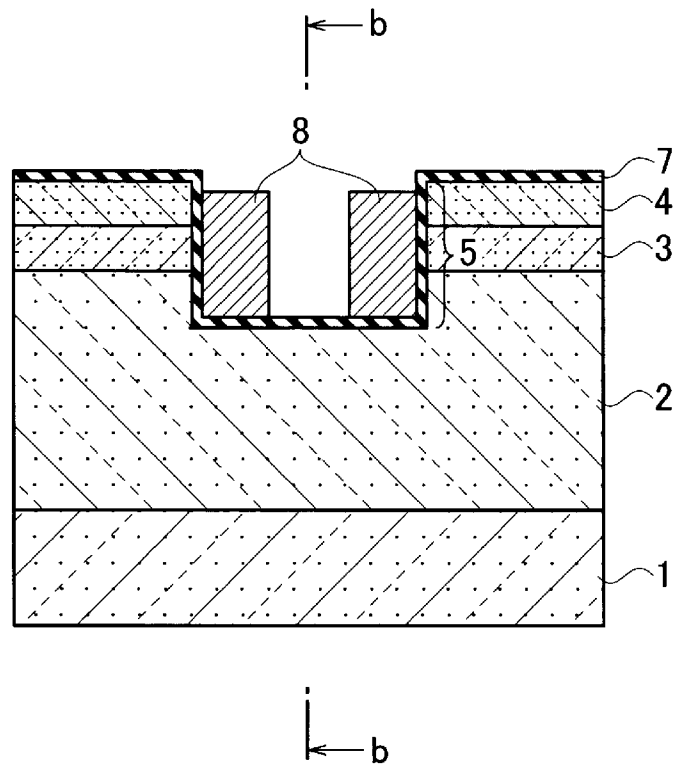


(b)

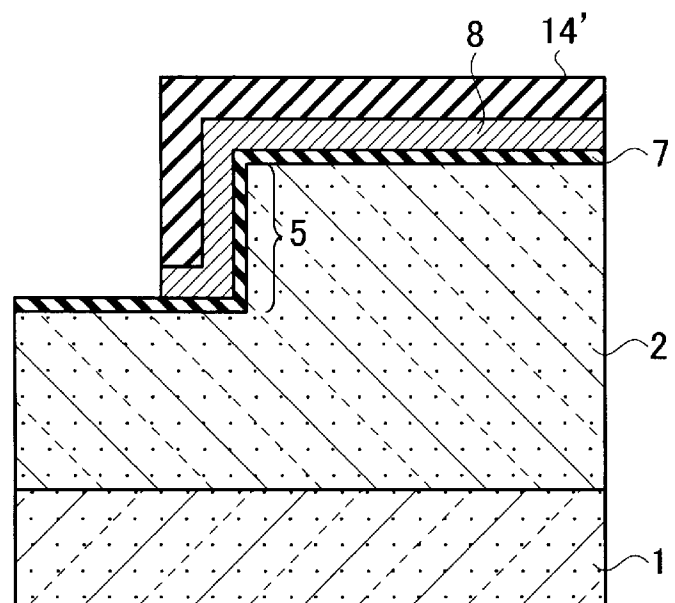


[図30D]

(a)

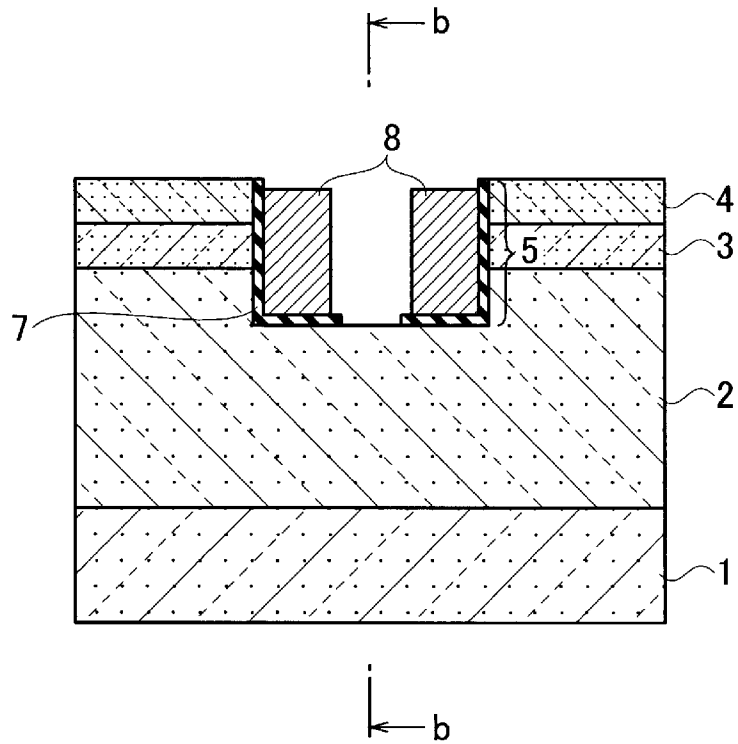


(b)

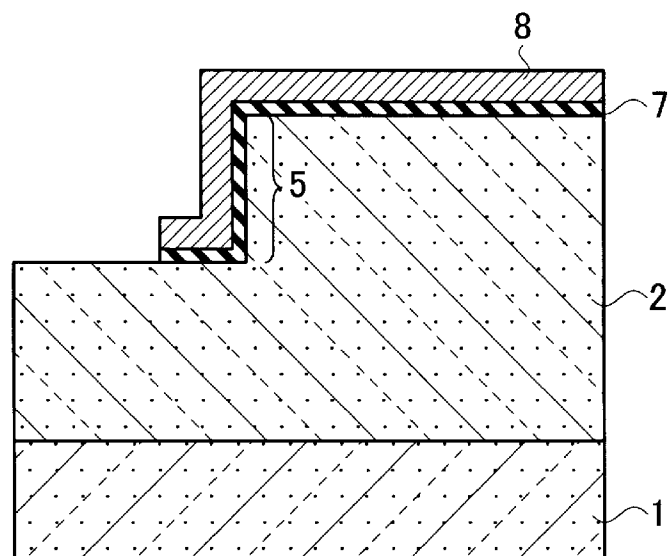


[図30E]

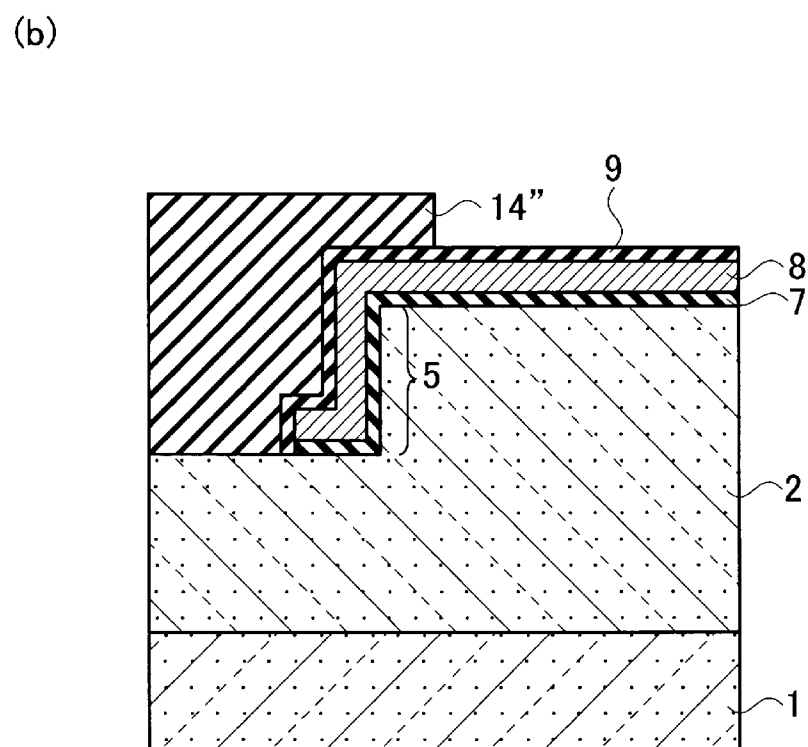
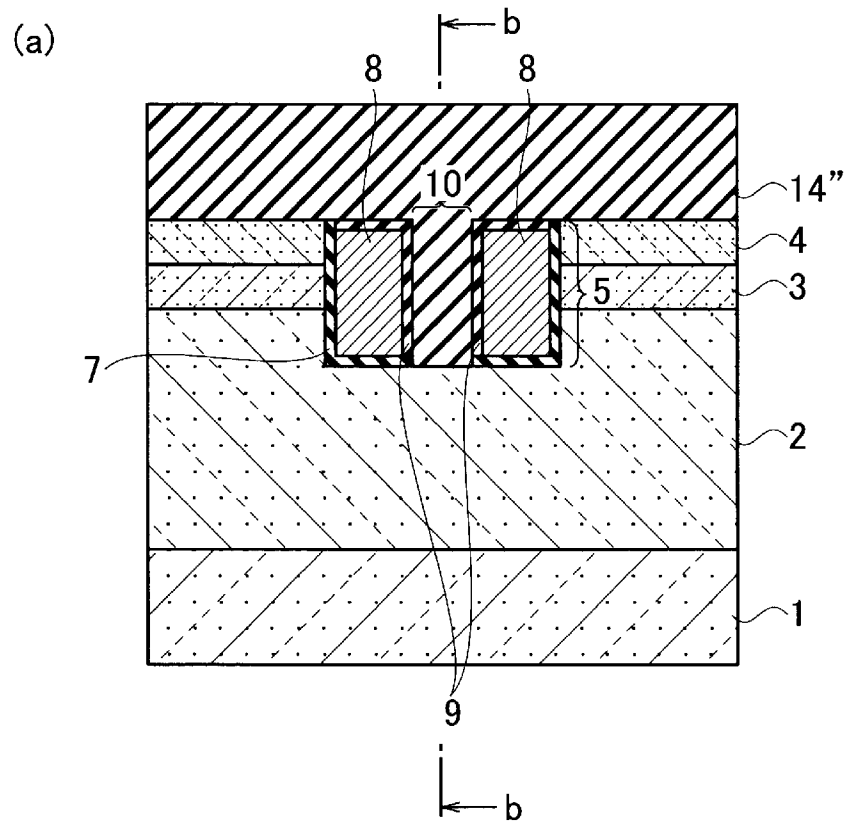
(a)



(b)

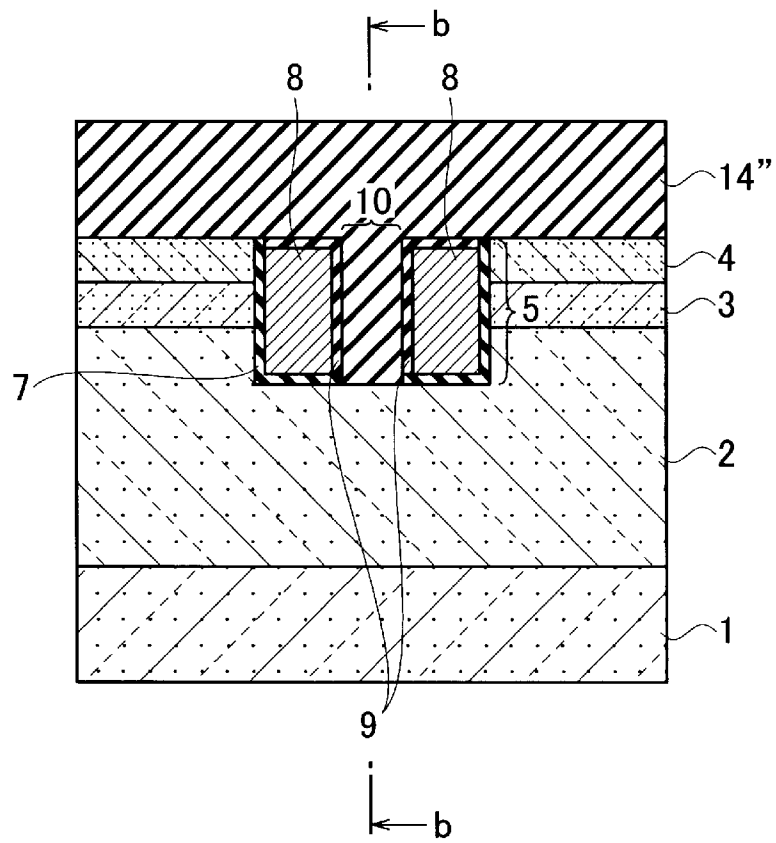


[図30G]

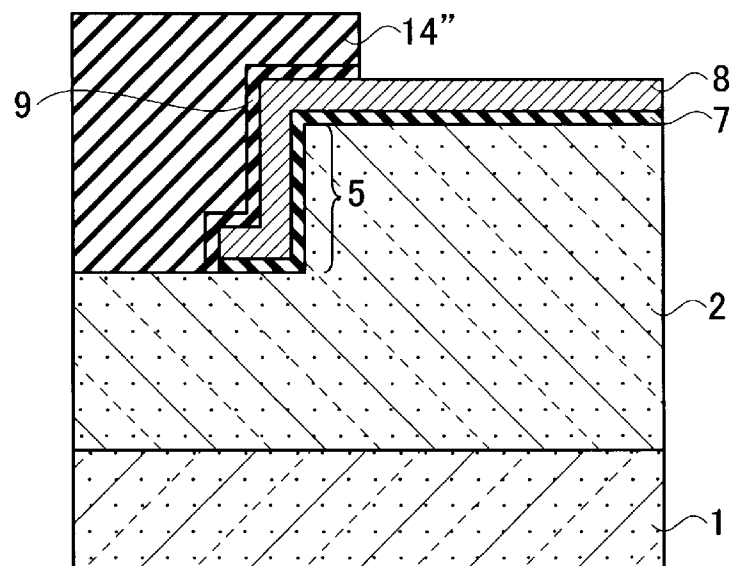


[図30H]

(a)

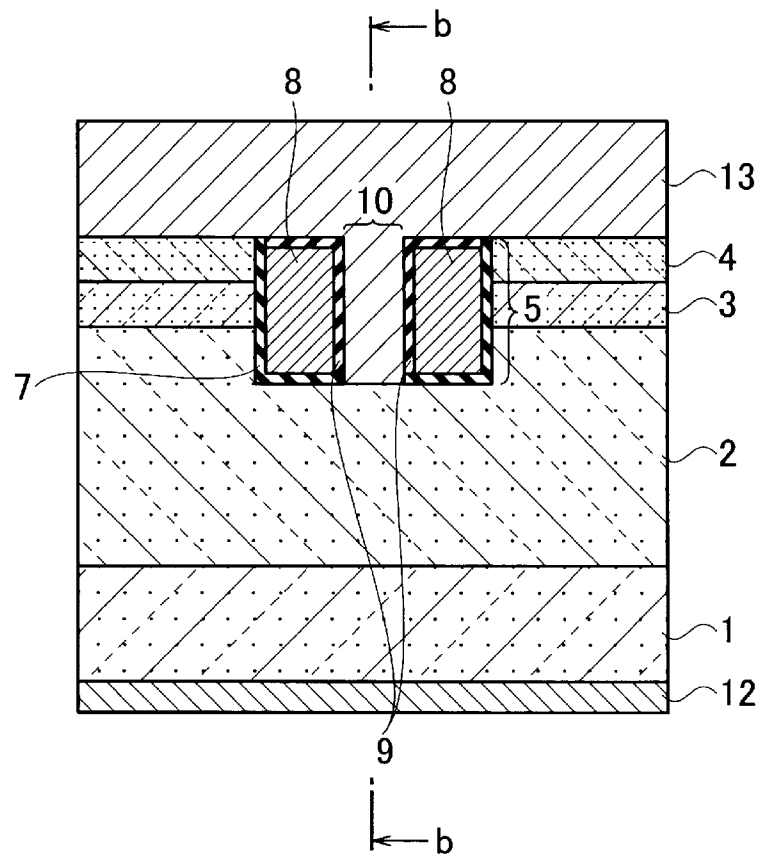


(b)

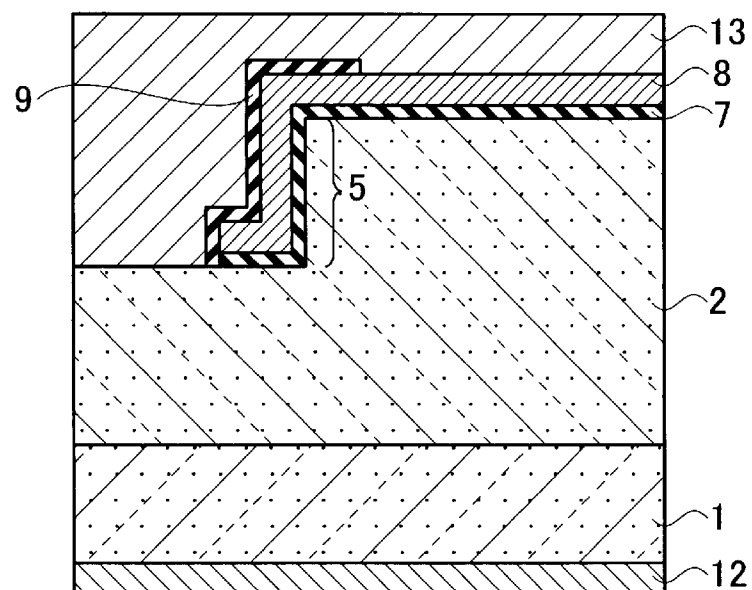


[図30I]

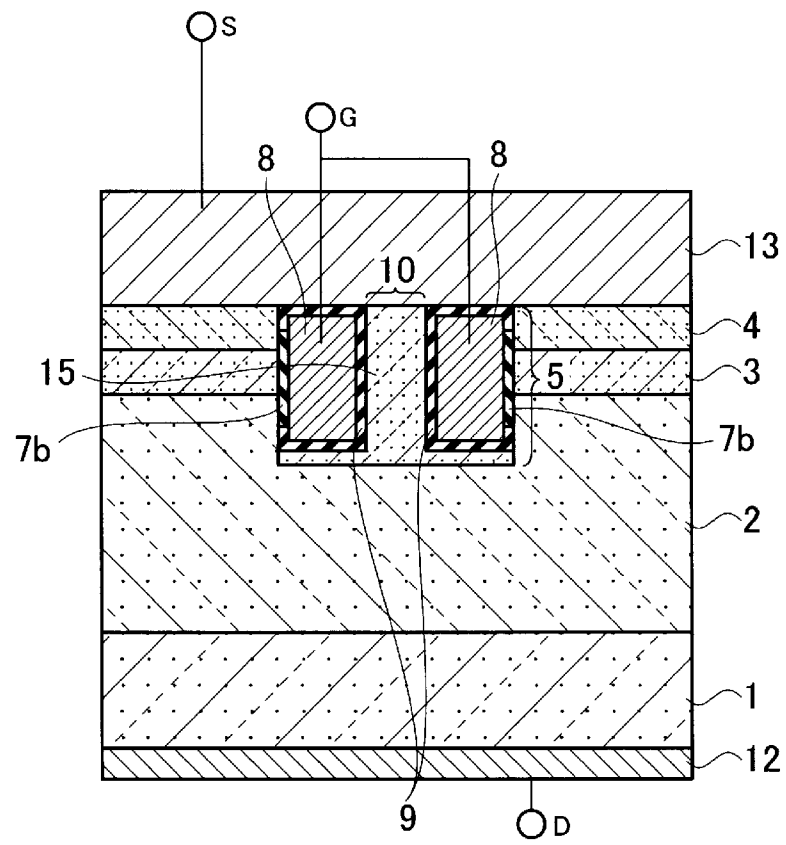
(a)



(b)

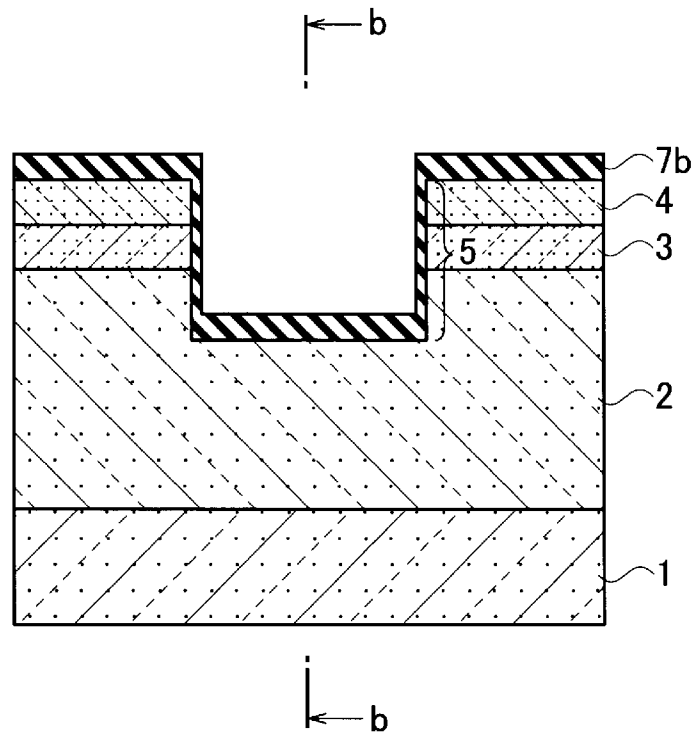


This cross-sectional view shows a multi-layered structure. At the bottom is a base layer 12 with diagonal hatching. Above it is a layer 1 with diagonal hatching and small dots. The main body is a large layer 2 with diagonal hatching and small dots. A central cavity 5 is defined by a thick, hatched wall. To the left of the cavity, there is a vertical structure 9 with a hatched top part 13 and a dotted bottom part. To the right of the cavity, there is a horizontal structure 8 with a hatched top part 13' and a dotted bottom part. A layer 7 is located between the cavity wall and the right side of the structure.

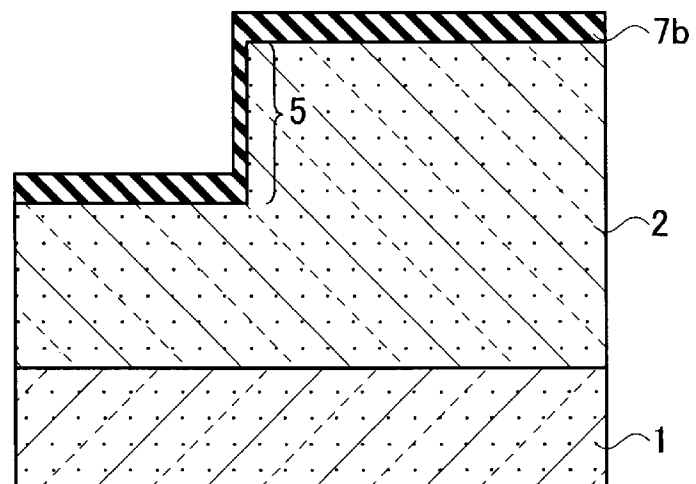


[図32A]

(a)

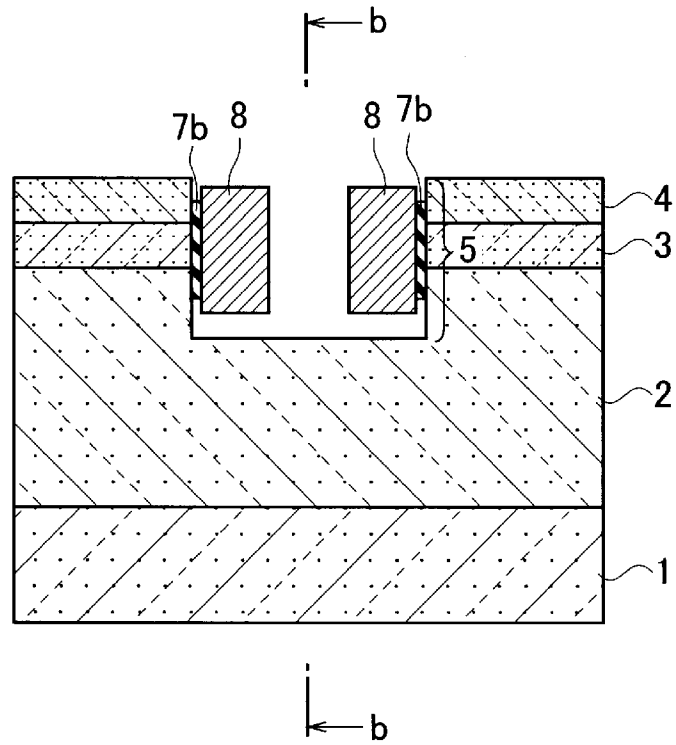


(b)

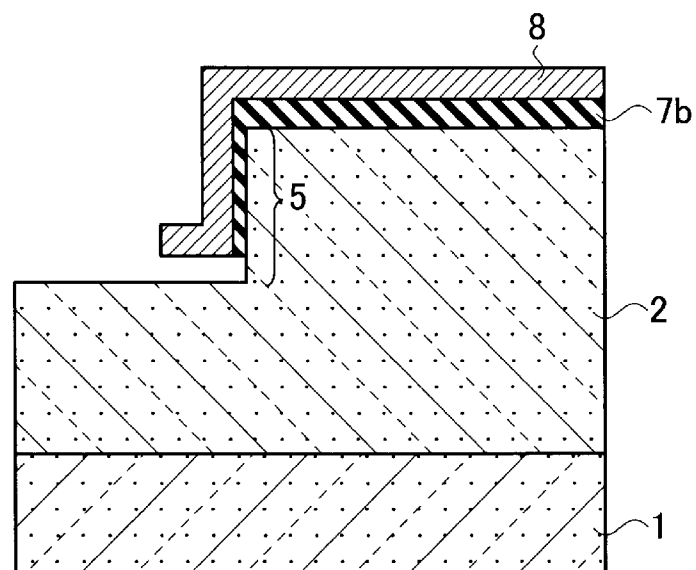


[図32B]

(a)

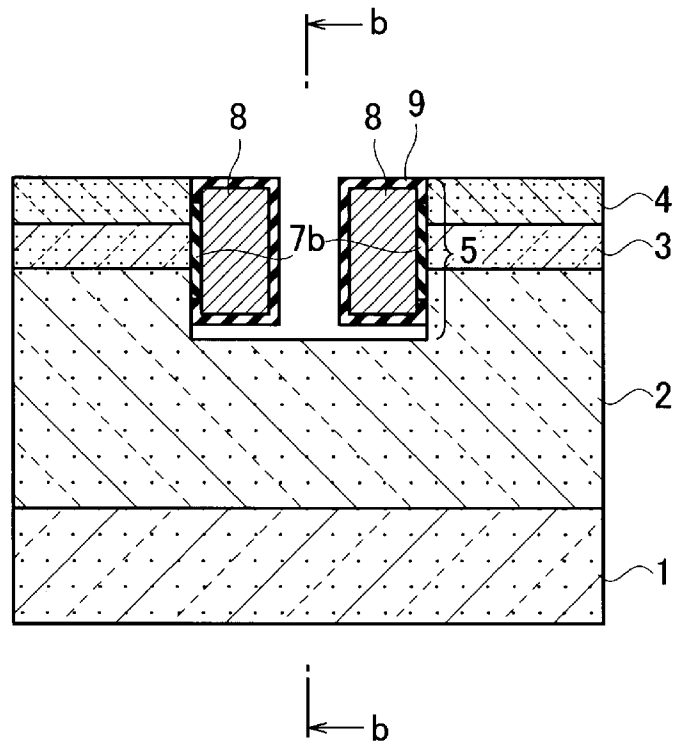


(b)

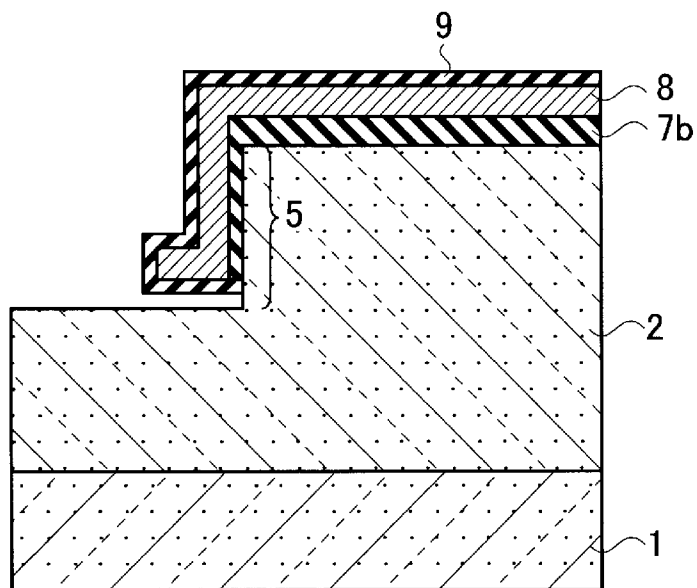


[図32C]

(a)

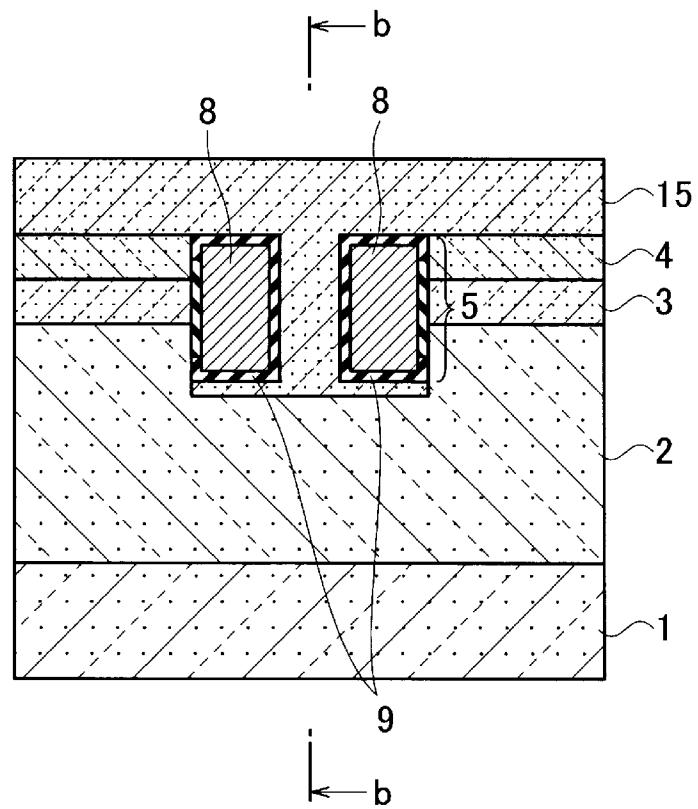


(b)

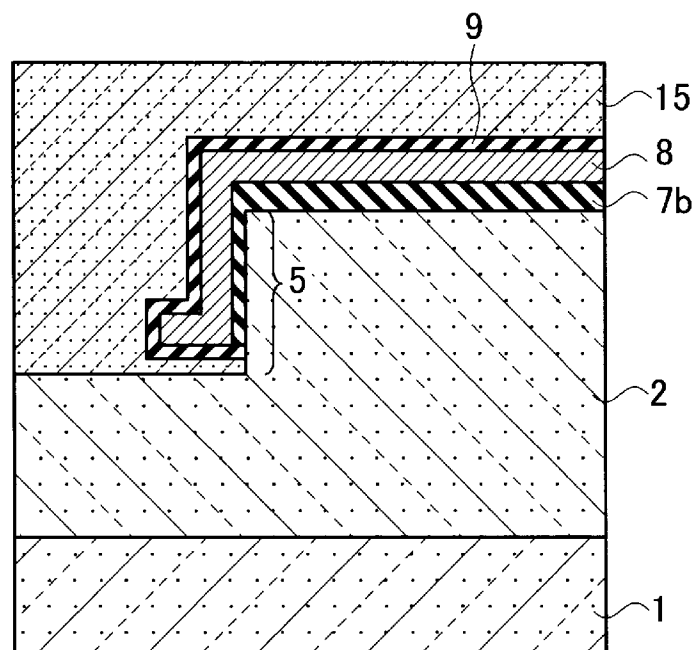


[図32D]

(a)

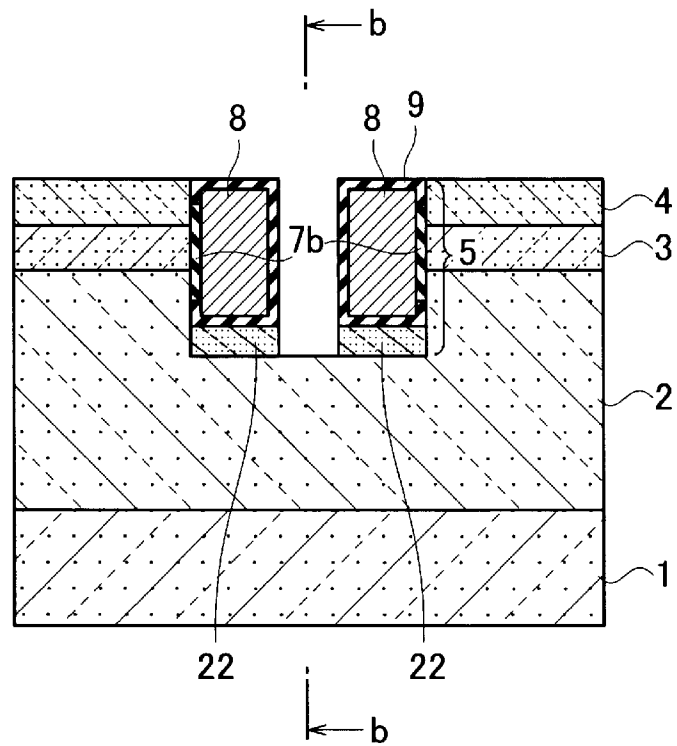


(b)

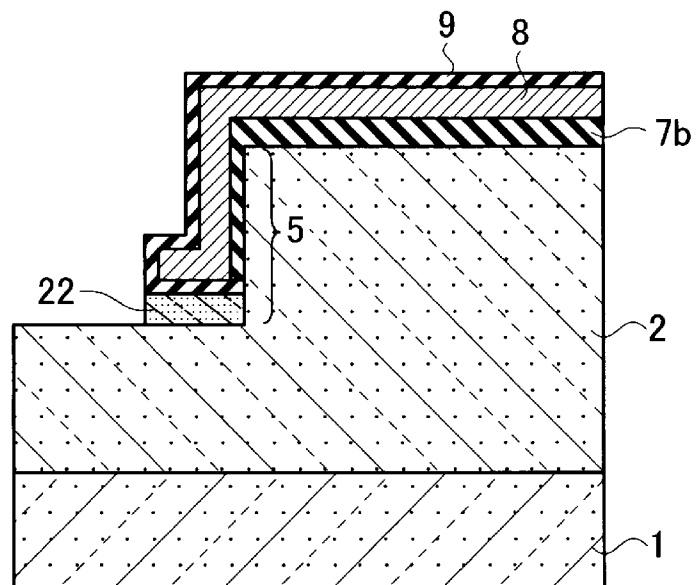


[図34A]

(a)

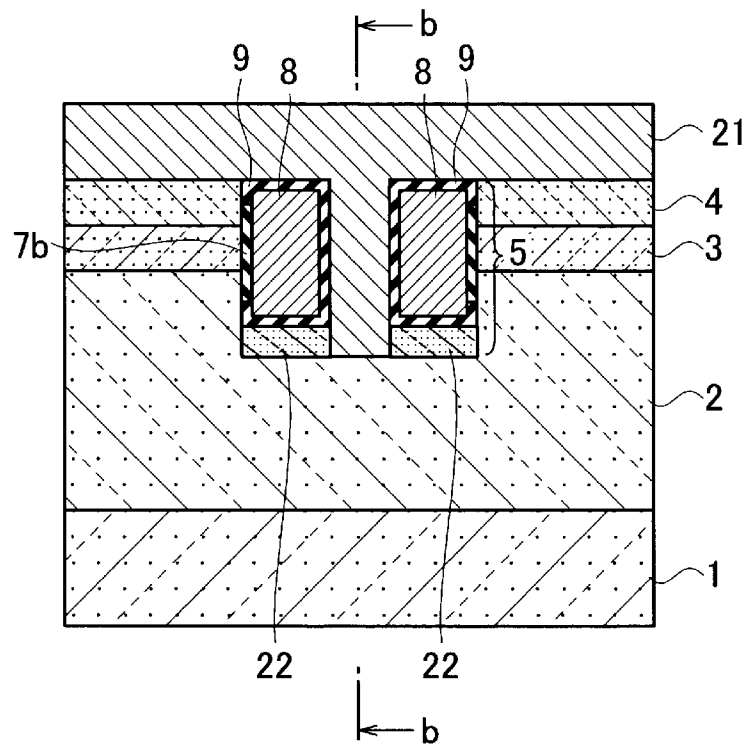


(b)

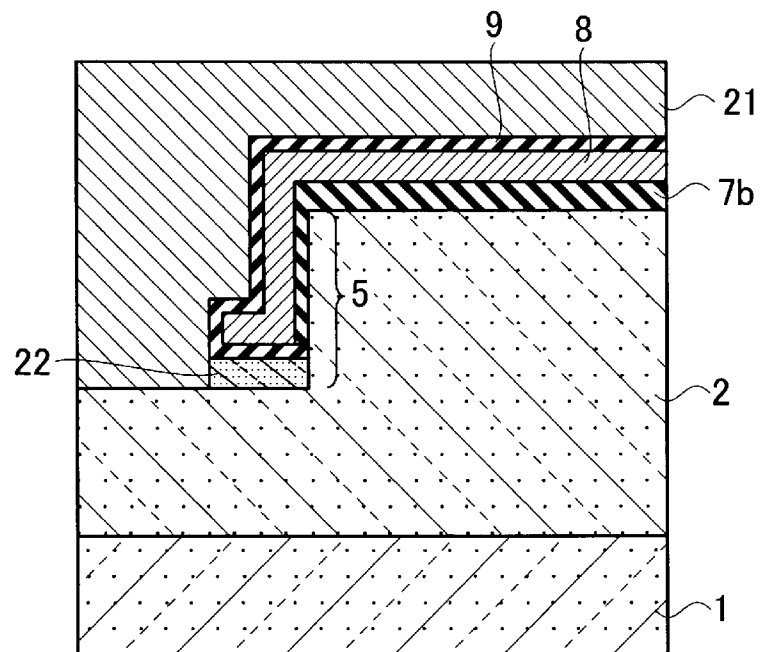


[図34B]

(a)

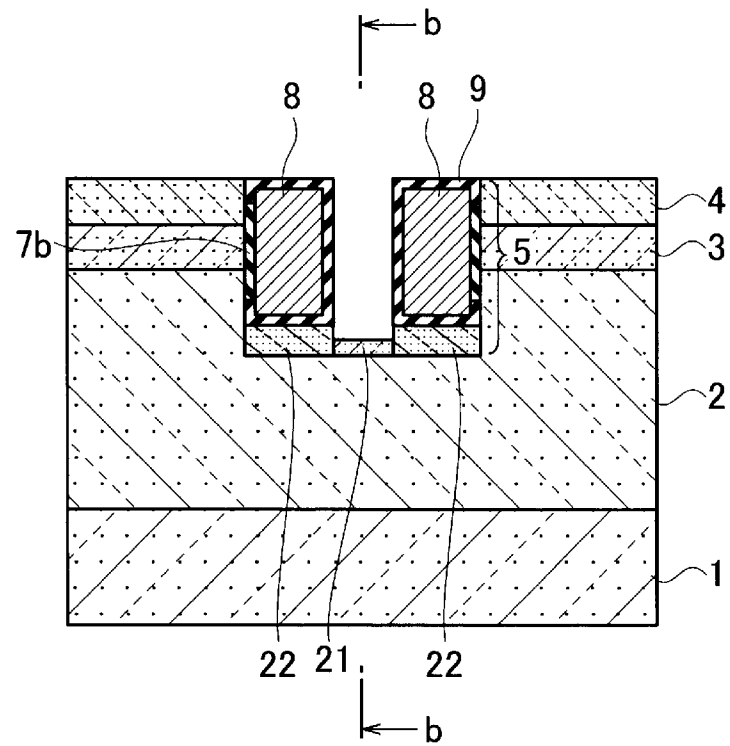


(b)

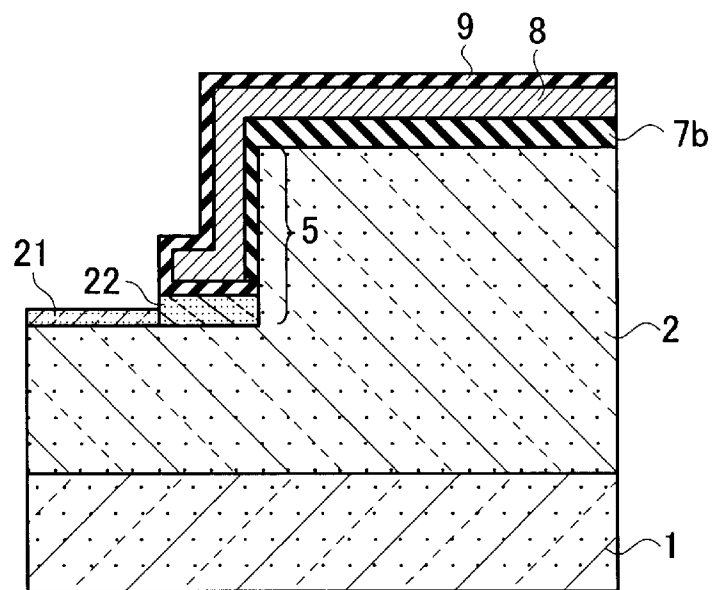


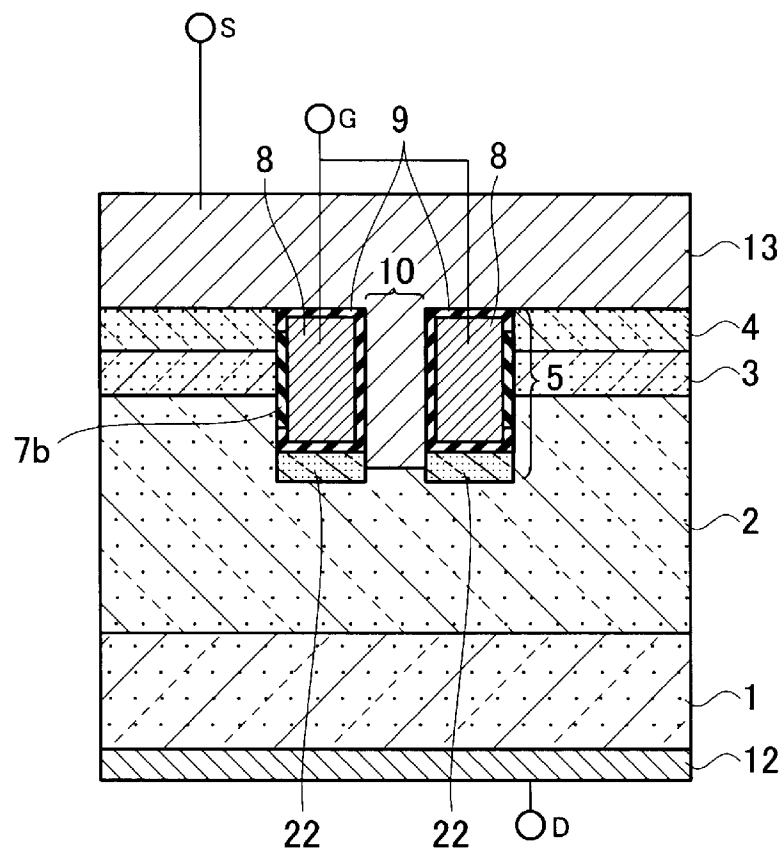
[図34C]

(a)



(b)





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/060084

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/04(2006.01)i, H01L21/28(2006.01)i, H01L21/329(2006.01)i,
H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i,
H01L29/41(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04, H01L21/28, H01L21/329, H01L21/336, H01L29/06, H01L29/12,
H01L29/41, H01L29/78, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-501408 A (General Semiconductor, Inc.), 13 January 2005 (13.01.2005), paragraphs [0023] to [0047]; fig. 5 to 7 & US 2003/0040144 A1 & EP 1425791 A & WO 03/019623 A2 & TW 583773 B & CN 1547765 A & KR 1020040036914 A & AU 2002329862 A8	26-27 1-25 28-32
X Y A	JP 5-7002 A (Mitsubishi Electric Corp.), 14 January 1993 (14.01.1993), paragraphs [0045] to [0047]; fig. 6 (Family: none)	26-27 1-13 28-32
Y A	WO 2012/105613 A1 (Rohm Co., Ltd.), 09 August 2012 (09.08.2012), paragraphs [0041] to [0042], [0054]; fig. 2, 3B & JP 2012-178536 A	1-25 26-32

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
23 June, 2014 (23.06.14)

Date of mailing of the international search report
01 July, 2014 (01.07.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/060084

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2011-199041 A (Toshiba Corp.), 06 October 2011 (06.10.2011), paragraphs [0029] to [0039]; fig. 3, 4 (Family: none)	26 1-25 27-32
X Y A	WO 2012/144271 A1 (Nissan Motor Co., Ltd.), 26 October 2012 (26.10.2012), paragraphs [0008] to [0062]; fig. 1, 3 (Family: none)	26, 28-29 1-25 27, 30-32
X Y A	JP 2010-109221 A (Rohm Co., Ltd.), 13 May 2010 (13.05.2010), paragraphs [0015] to [0019]; fig. 2 (Family: none)	26, 28-29 1-25 27, 30-32
Y A	JP 2011-146682 A (Toshiba Corp.), 28 July 2011 (28.07.2011), paragraph [0039]; fig. 6, 7 & US 2011/0140180 A1	8-9, 18-20 1-7, 10-17, 21-32
X A	JP 2002-203967 A (Matsushita Electric Industrial Co., Ltd.), 19 July 2002 (19.07.2002), paragraphs [0042] to [0043]; fig. 5 & US 2002/0047124 A1 & EP 1204145 A2	26 1-25, 27-32
A	JP 2005-354037 A (Toshiba Corp.), 22 December 2005 (22.12.2005), entire text; all drawings & US 2005/0258479 A1	1-32
A	JP 2006-100329 A (Nissan Motor Co., Ltd.), 13 April 2006 (13.04.2006), entire text; all drawings & US 2006/0060917 A1 & EP 1638148 A2	1-32
A	JP 2008-130959 A (Nissan Motor Co., Ltd.), 05 June 2008 (05.06.2008), entire text; all drawings & US 2008/0121933 A1 & EP 1926147 A2 & KR 10-2008-0047294 A & CN 101188201 A	1-32
A	JP 2012-99601 A (Sumitomo Electric Industries, Ltd.), 24 May 2012 (24.05.2012), entire text; all drawings & US 2012/0280255 A1 & EP 2637212 A1 & WO 2012/060248 A1 & TW 201222678 A & CA 2789371 A & CN 102770960 A	1-32

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/060084

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L29/868(2006.01)i

(According to International Patent Classification (IPC) or to both national classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/04(2006.01)i, H01L21/28(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i,
H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/41(2006.01)i, H01L29/78(2006.01)i,
H01L29/861(2006.01)i, H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/04, H01L21/28, H01L21/329, H01L21/336, H01L29/06, H01L29/12, H01L29/41, H01L29/78, H01L29/861,
H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2005-501408 A（ゼネラル セミコンダクター，インク．） 2005.01.13, 段落【0023】-【0047】，第5-7図 & US 2003/0040144 A1 & EP 1425791 A & WO 03/019623 A2 & TW 583773 B & CN 1547765 A & KR 1020040036914 A & AU 2002329862 A8	26-27 1-25 28-32
X Y A	JP 5-7002 A（三菱電機株式会社） 1993.01.14, 段落【0045】-【0047】，第6図（ファミリーなし）	26-27 1-13 28-32

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 6 . 2 0 1 4

国際調査報告の発送日

0 1 . 0 7 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

土谷 慎吾

5 F

3 1 4 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2012/105613 A1 (ローム株式会社) 2012.08.09, 段落【0041】 - 【0042】, 【0054】, 第2, 3B 図 & JP 2012-178536 A	1-25 26-32
X Y A	JP 2011-199041 A (株式会社東芝) 2011.10.06, 段落【0029】 - 【0039】, 第3, 4 図 (ファミリーなし)	26 1-25 27-32
X Y A	WO 2012/144271 A1 (日産自動車株式会社) 2012.10.26, 段落【0008】 - 【0062】, 第1, 3 図 (ファミリーなし)	26, 28-29 1-25 27, 30-32
X Y A	JP 2010-109221 A (ローム株式会社) 2010.05.13, 段落【0015】 - 【0019】, 第2 図 (ファミリーなし)	26, 28-29 1-25 27, 30-32
Y A	JP 2011-146682 A (株式会社東芝) 2011.07.28, 段落【0039】, 第6, 7 図 & US 2011/0140180 A1	8-9, 18-20 1-7, 10-17 , 21-32
X A	JP 2002-203967 A (松下電器産業株式会社) 2002.07.19, 段落【0042】 - 【0043】, 第5 図 & US 2002/0047124 A1 & EP 1204145 A2	26 1-25, 27-32
A	JP 2005-354037 A (株式会社東芝) 2005.12.22, 全文, 全図 & US 2005/0258479 A1	1-32
A	JP 2006-100329 A (日産自動車株式会社) 2006.04.13, 全文, 全図 & US 2006/0060917 A1 & EP 1638148 A2	1-32
A	JP 2008-130959 A (日産自動車株式会社) 2008.06.05, 全文, 全図 & US 2008/0121933 A1 & EP 1926147 A2 & KR 10-2008-0047294 A & CN 101188201 A	1-32
A	JP 2012-99601 A (住友電気工業株式会社) 2012.05.24, 全文, 全図 & US 2012/0280255 A1 & EP 2637212 A1 & WO 2012/060248 A1 & TW 201222678 A & CA 2789371 A & CN 102770960 A	1-32