



(12) 发明专利申请

(10) 申请公布号 CN 102403226 A

(43) 申请公布日 2012. 04. 04

(21) 申请号 201010284792. 1

(22) 申请日 2010. 09. 15

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 尹海洲 骆志炯 朱慧珑

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 李娜 王洪斌

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/30(2006. 01)

H01L 29/32(2006. 01)

H01L 29/78(2006. 01)

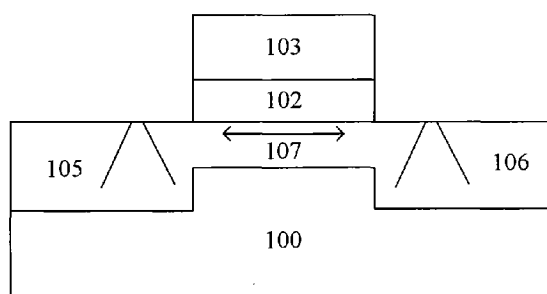
权利要求书 2 页 说明书 4 页 附图 7 页

(54) 发明名称

晶体管及其制造方法

(57) 摘要

本发明涉及应力增强型晶体管及其制造方法。根据本发明的晶体管制造方法包括如下步骤：在形成了栅极的半导体衬底上形成掩膜层，所述掩膜层覆盖所述栅极以及所述半导体衬底；图形化该掩膜层，使得源区和漏区中每一个的至少一部分暴露；非晶化所述源区和漏区的暴露部分；除去所述掩膜层；以及对所述半导体衬底进行退火以在源区和漏区中的每一个的暴露部分形成位错。



1. 一种晶体管的制造方法,该方法包括如下步骤:

在形成了栅极的半导体衬底上形成掩膜层,所述掩膜层覆盖所述栅极以及所述半导体衬底;

图形化该掩膜层,使得源区和漏区中每一个的至少一部分暴露;非晶化所述源区和漏区的暴露部分;

除去所述掩膜层;以及

对所述半导体衬底进行退火以在源区和漏区中的每一个的暴露部分形成位错。

2. 根据权利要求1所述的方法,其中所述半导体衬底包括NMOS器件区和PMOS器件区,所述暴露部分仅位于NMOS器件区内。

3. 根据权利要求1所述的方法,其中图形化所述掩膜层使得至少靠近所述栅极的所述源区和漏区的部分暴露。

4. 根据权利要求1-3之一所述的方法,其中至少源区和漏区之一具有至少两个所述暴露部分,相邻的所述暴露部分之间形成有所述掩膜层。

5. 根据权利要求4所述的方法,其中所述源区包含第一数量的暴露部分,所述漏区包含第二数量的暴露部分,所述第一数量不同于第二数量。

6. 根据权利要求1-3之一所述的方法,其中所述掩膜层是光刻胶层或硬掩膜层。

7. 根据权利要求1-3之一所述的方法,其中在对所述衬底进行退火之前除去所述掩膜层。

8. 根据权利要求1-3之一所述的方法,其中所述位错对位于源区和漏区之间的沟道区施加拉应力,使得沟道区的电子迁移率增加。

9. 根据权利要求1-3之一所述的方法,进一步包括在所述源区和漏区上方形成半导体层,以使得所述位错不暴露于自由表面。

10. 根据权利要求1-3之一所述的方法,其中所述衬底是Si衬底、SiGe衬底、SiC衬底、GaAs衬底或GaN衬底。

11. 根据权利要求1-3之一所述的方法,其中采用离子注入工艺执行所述非晶化,注入剂量为 $> 5 \times 10^{14} \text{cm}^{-2}$ 。

12. 根据权利要求11所述的方法,其中注入的离子为硅、锗、磷、硼或砷中的一种或其组合。

13. 一种晶体管,包括:

半导体衬底;

形成在所述半导体衬底上的栅极电介质;

形成在所述栅极电介质上的栅极;

位于所述半导体衬底中、且分别在所述栅极两侧的源区和漏区,

其中至少所述源区和漏区之一包含至少两个位错。

14. 根据权利要求13所述的晶体管,进一步包括位于所述源区和漏区上方的半导体层,该半导体层使得所述位错不暴露于自由表面。

15. 根据权利要求13所述的晶体管,其中源区和漏区中每一个具有至少两组位错,且其中每组包含两个位错。

16. 根据权利要求13所述的晶体管,其中源区包含第一数量的位错,漏区包含第二数

量的位错,所述第一数量不同于第二数量。

17. 根据权利要求 13-15 之一所述的晶体管,所述晶体管为 NMOS 晶体管。

18. 根据权利要求 16 所述的晶体管,其中所述位错对所述沟道区施加拉应力,使得所述沟道区的电子迁移率增加。

晶体管及其制造方法

技术领域

[0001] 本发明涉及半导体器件制造领域,尤其涉及晶体管及其制造方法。

背景技术

[0002] 通常,集成电路包含形成在衬底上的 NMOS(n 型金属-氧化物-半导体)晶体管和 PMOS(p 型金属-氧化物-半导体)晶体管的组合。集成电路的性能与其所包含的晶体管的性能有直接关系。因此,希望提高晶体管的驱动电流以增强其性能。

[0003] 美国专利申请 No. 2010010381068105A 公开了一种晶体管,在该晶体管的沟道区与源/漏区之间形成位错,这种位错产生拉应力,该拉应力提高了沟道中的电子迁移率,由此晶体管的驱动电流得以增加。图 9a-c 示出了这种位错的形成。在图 9a 中,对已经形成了栅极电介质 2 和栅极 3 的半导体衬底 1 进行硅注入,从而形成非晶区域,如图中阴影部分所示。在图 9b 中,对该半导体衬底 1 进行退火,使得非晶区域再结晶,在再结晶过程中,水平方向和竖直方向上的两个不同的晶体生长前端相遇,如图中箭头所示,从而形成了图 9c 所示的位错。

发明内容

[0004] 本发明的目的是提供一种晶体管以及一种晶体管的制造方法。

[0005] 本发明的制造晶体管的方法包括如下步骤:

[0006] 在形成了栅极的半导体衬底上形成掩膜层,所述掩膜层覆盖所述栅极以及所述半导体衬底;

[0007] 图形化该掩膜层,使得源区和漏区中每一个的至少一部分暴露;

[0008] 非晶化所述源区和漏区的暴露部分;

[0009] 除去所述掩膜层;以及

[0010] 对所述半导体衬底进行退火以在源区和漏区中的每一个的暴露部分形成位错。

[0011] 根据本发明的晶体管制造方法,通过在源区和漏区上方选择性地形成掩膜层,可以容易地控制位错形成的位置及数量。

[0012] 本发明的应力增强型晶体管包括:

[0013] 半导体衬底;

[0014] 形成在所述半导体衬底上的栅极电介质;

[0015] 形成在所述栅极电介质上的栅极;

[0016] 位于所述半导体衬底中、且分别在所述栅极两侧的源区和漏区,

[0017] 其中至少所述源区和漏区之一包含至少两个位错。

[0018] 根据本发明的晶体管由于在源/漏区具有更多的位错,因此作用在沟道区的拉应力得到增强,沟道区的电子迁移率也得以进一步增加。

附图说明

[0019] 图 1 示出根据本发明的一个实施例的晶体管的横截面示意图。

[0020] 图 2 示出了根据本发明示例性实施例制造晶体管的方法的第一步骤,其中在形成了栅极的半导体衬底上形成掩膜层。

[0021] 图 3 示出了根据该示例性实施例的制造晶体管的方法的第二步骤,在该步骤中,图形化所形成的掩膜层。

[0022] 图 4a、4b 及 4c 示出了图 3 所示的第二步骤的三种变型。

[0023] 图 5 示出了根据该示例性实施例的制造晶体管的方法的第三步骤,在该步骤中,非晶化源区和漏区的暴露部分。

[0024] 图 6 示出了根据该示例性实施例的制造晶体管的方法的第四步骤,在该步骤中,除去掩膜层。

[0025] 图 7 示出了根据该示例性实施例的制造晶体管的方法的第五步骤,在该步骤中进行退火从而在源区和漏区中形成位错。

[0026] 图 8a、图 8b 及图 8c 分别示出了当采用图 4a、4b 及 4c 的步骤时在源区和漏区中所形成的位错。

[0027] 图 9a-c 示出了现有技术中位错的形成。

具体实施方式

[0028] 以下结合附图描述本发明的优选实施例。附图是示意性的并未按比例绘制,且只是为了说明本发明的实施例而并不意图限制本发明的保护范围。贯穿附图相同的附图标记表示相同或相似的部件。为了使本发明的技术方案更加清楚,本领域熟知的工艺步骤及器件结构在此省略。

[0029] 图 1 示出了根据本发明一个实施例的晶体管的横截面图。该晶体管包括:形成在半导体衬底 100 上的栅极电介质层 102,形成在该栅极电介质 102 上的栅极 103,分别位于栅极 103 两侧的源区 105 和漏区 106,以及沟道区 107,该沟道区 107 位于源区 105 和漏区 106 之间且在栅极电介质 102 下方。在图 1 所示的实施例中,在所述源区 105 和漏区 106 中分别具有两个位错。尽管图 1 中示出了两个位错不相交,但是本发明不限于此,在另一个实施例中,源区 105 和漏区 106 中的两个位错可以是相交的。所述位错对所述沟道区 107 施加拉应力(如图中箭头所示),使得所述沟道区 107 的电子迁移率增加。在一个优选实施例中,该晶体管还包括位于所述源区 105 和漏区 106 上方的半导体层(未示出),该半导体层例如是 Si、碳化硅、硅锗或者锗层,该半导体层使得所述位错不暴露于自由表面。在另一优选实施例中,源区 105 和漏区 106 可以分别具有至少两组位错,且其中每组包含两个位错,使进一步增强所产生的拉应力,从而增强沟道区的电子迁移率成为可能。此外,源区和漏区中位错的位置和数量并不需要是对称的,例如,源区 105 和漏区 106 中的一个可以包含两个位错,而另一个可以仅包含一个位错。还优选将位错形成得尽可能靠近沟道区 107,以便作用于沟道区的拉应力更强。

[0030] 在一个优选实施例中,所述晶体管是 NMOS 晶体管。

[0031] 接下来,参照附图描述根据本发明的制造晶体管的方法。

[0032] 图 2 示出了根据本发明的示例性实施例的制造晶体管的方法的第一步骤。如图 2 所示,在已经形成了栅极电介质 102 和栅极 103 的半导体衬底 100 上形成掩膜层 104,使得

掩膜层 104 覆盖所述栅极 103 以及半导体衬底 100。该掩膜层 104 可以由光刻胶形成,或者是由诸如氧化硅和 / 或氮化硅的电介质材料形成的硬掩膜层。尽管在图 1 中示出所述掩膜层 104 形成为覆盖栅极 103,但是本发明不限于此,掩膜层 104 也可以形成为与栅极 103 齐平或者低于栅极 103。

[0033] 图 3 示出了在图 2 所示的第一步骤之后的制造晶体管的第二步骤,在该步骤中,可以利用诸如光刻的技术手段图形化所形成的掩膜层 104,以使得源区 105 和漏区 106 中的每一个的至少一部分暴露。注意,此处的术语“源区”和“漏区”旨在包括要形成晶体管的源和漏的区域,以及已经通过执行离子注入形成了晶体管的源和漏的区域。在图 3 中示出了靠近栅极的源区 105 和漏区 106 的部分被暴露。在一个优选实施例中,图形化掩膜层 104,使得至少靠近所述栅极的所述源区和漏区的部分暴露,这样,在后续步骤中将形成的错位更靠近沟道区,利于使由位错引入的应力充分作用于沟道区。图 4a 示出了该第二步骤的一个变型,如图 4a 所示,掩膜层 104 被图形化为仅保留于源区 105 和漏区 106 的中部。图 4b 示出了该第二步骤的又一个变型。尽管图 4a 和图 4b 示出了源区 105 和漏区 106 中的每一个具有两个暴露部分,相邻的暴露部分之间有掩膜层,但是本发明不限于此,源区和漏区中的每一个可以具有不止两个相邻的暴露部分。在图 3、图 4a 及 4b 中所示的方案中,源区和漏区中暴露部分的形成位置及数量是对称的。然而,本发明不限于此,源区和漏区中的暴露部分的形成位置和数量可以是不对称的。分别选择源区和漏区中暴露部分的形成位置和数量,利于根据产品需要灵活进行工艺设计。图 4c 示出了源区和漏区中的暴露部分的位置和数量不对称的一个例子。

[0034] 图 5 示出了根据该示例性实施例的制造晶体管的第三步骤,在该步骤中,将源区 105 和漏区 106 的暴露部分非晶化。在一个实施例中,该非晶化可通过执行离子注入来实现,注入的离子例如可以是硅、锗、磷、硼或砷中的一种或其组合。离子注入的剂量可以是 $> 5 \times 10^{14} \text{cm}^{-2}$ 。

[0035] 图 6 示出了根据该示例性实施例的制造晶体管的方法的第四步骤,在该步骤中,除去掩膜层。图 7 示出了根据该示例性实施例的制造晶体管的方法的第五步骤,在该步骤中进行退火使得被非晶化的源区和漏区的部分再结晶。退火温度可以大于 400°C ,优选为 $500\text{--}900^{\circ}\text{C}$,退火时间可以为数秒至数分钟。在再结晶过程中,不同的晶体生长前端相遇,从而在源区 105 和漏区 106 中分别形成两条位错,这种位错对源区和漏区之间的沟道区施加拉应力(如图 7 中的箭头所示),从而提高了沟道区的电子迁移率。应当注意,第四步骤并不一定要在第五步骤之前执行,例如,在掩膜层 104 是硬掩膜层的情况下,图 5 所示的第四步骤可以在图 6 所示的第五步骤之后执行。

[0036] 图 8a、图 8b、图 8c 分别示出了当采用图 4a、4b 及图 4c 的步骤时在源区 105 和漏区 106 中所形成的位错。为了说明的目的,图 8a、8b 及图 8c 中还示出了掩膜层 104,尽管实际上在形成了位错之后,掩膜层 104 可能已经被除去。

[0037] 之后,可以执行本领域熟知的源区和漏区的掺杂及源极 / 漏极接触的形成等步骤,以形成完整的器件。

[0038] 尽管在上面的描述中,在形成位错之后再形成源和漏的掺杂工艺,然而,本发明不限于此,可以在任何适当的阶段形成所述位错,例如,可以在进行源和漏的掺杂之后形成所述位错。

[0039] 此外,在一个优选实施例中,可以进一步在源区和漏区中形成位错的部分上方形成半导体层,使得位错不暴露于自由表面,以防止由于错位暴露于自由表面而可能导致的拉应力减小。

[0040] 上文所描述的半导体衬底可以是 Si 衬底、SiGe 衬底、SiC 衬底、或 III-V 半导体衬底(例如,GaAs、GaN 等等)。栅极电介质可以使用 SiO_2 、 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 、 LaAlO 中的一种或其组合,栅极的材料可以选自 Poly-Si、Ti、Co、Ni、Al、W,上述金属的合金或者金属硅化物。

[0041] 以上通过示例性实施例描述了本发明的晶体管及制造晶体管的方法,然而,这并不意图限制本发明的保护范围。本领域技术人员可以想到的上述实施例的任何修改或变型都落入由所附权利要求限定的本发明的范围内。

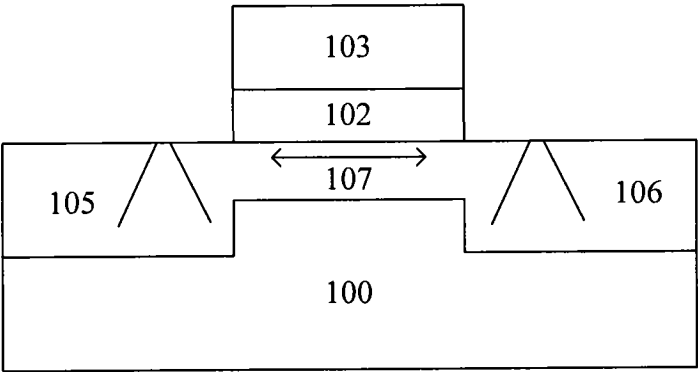


图 1

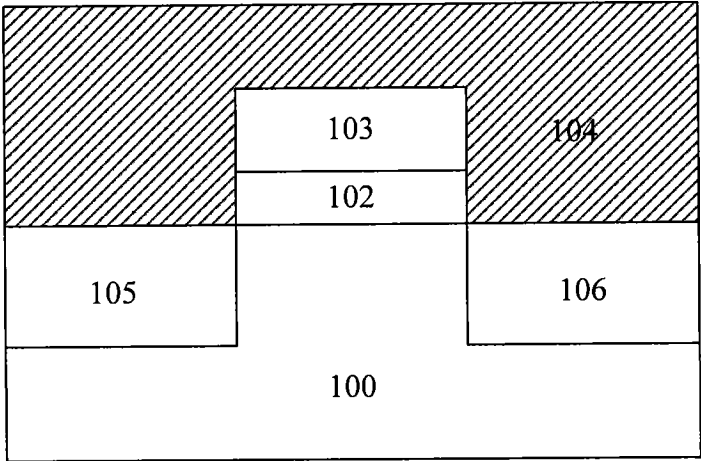


图 2

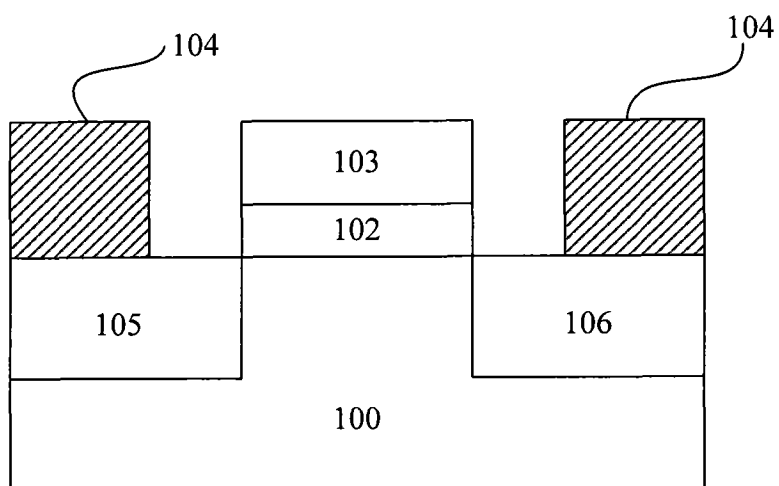


图 3

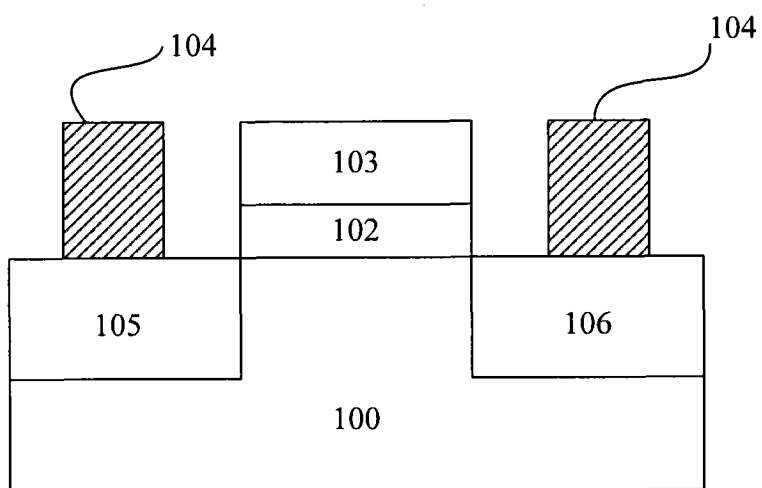


图 4a

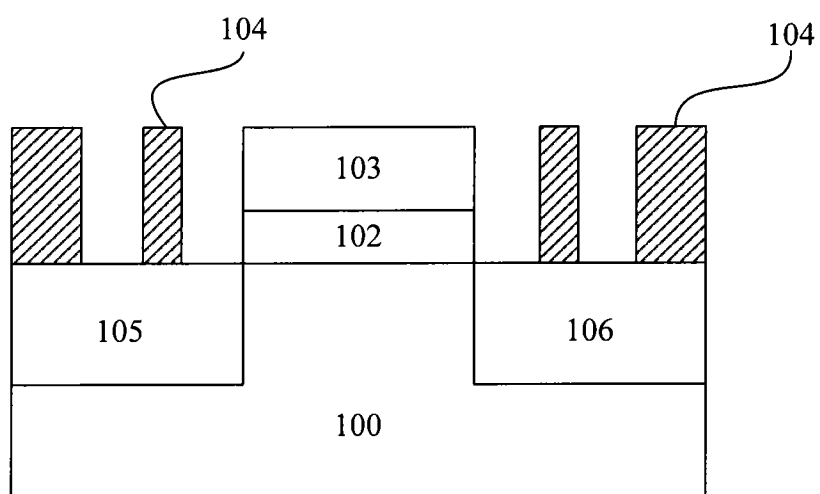


图 4b

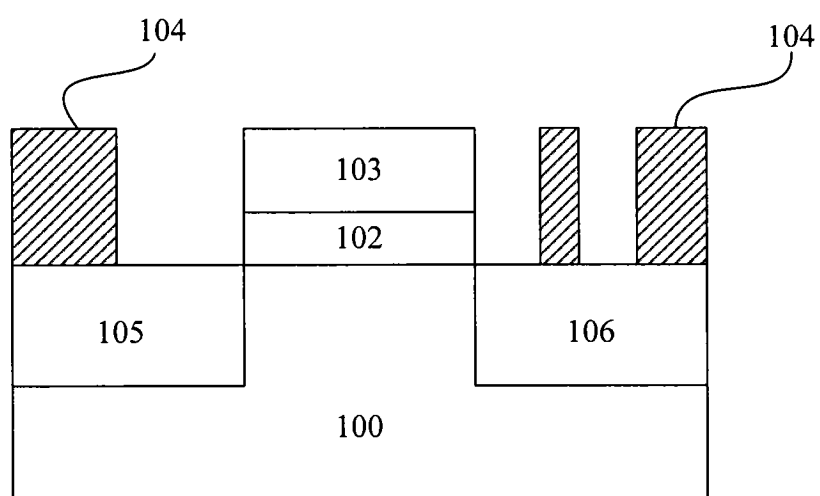


图 4c

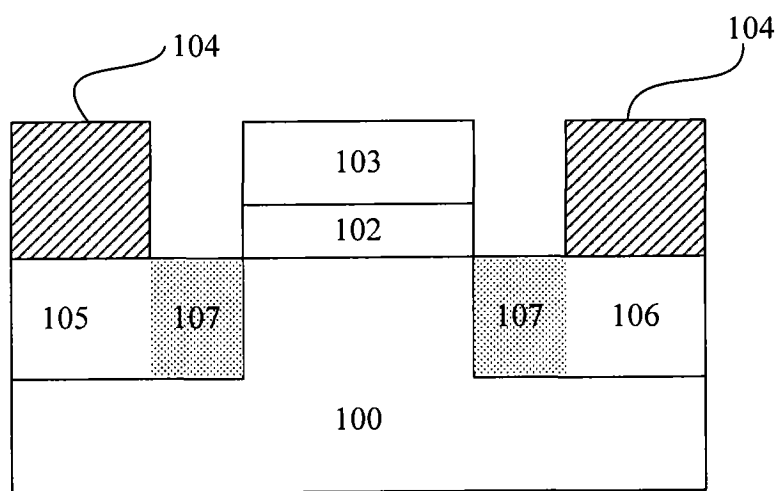


图 5

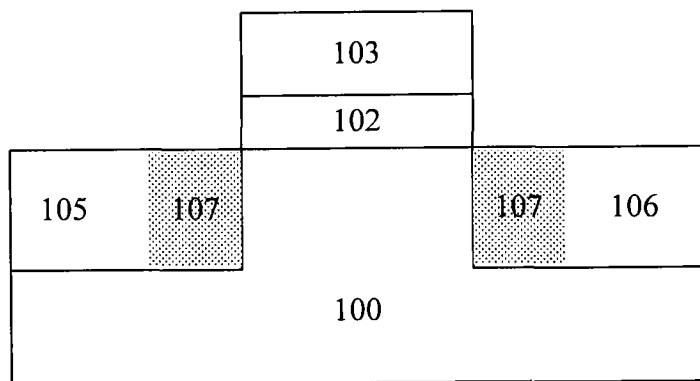


图 6

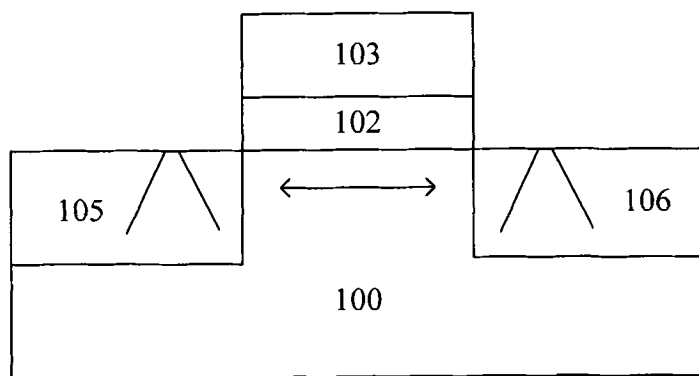


图 7

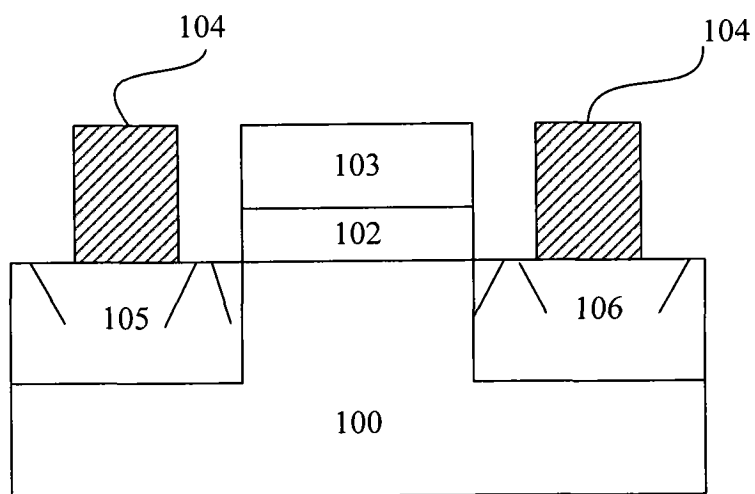


图 8a

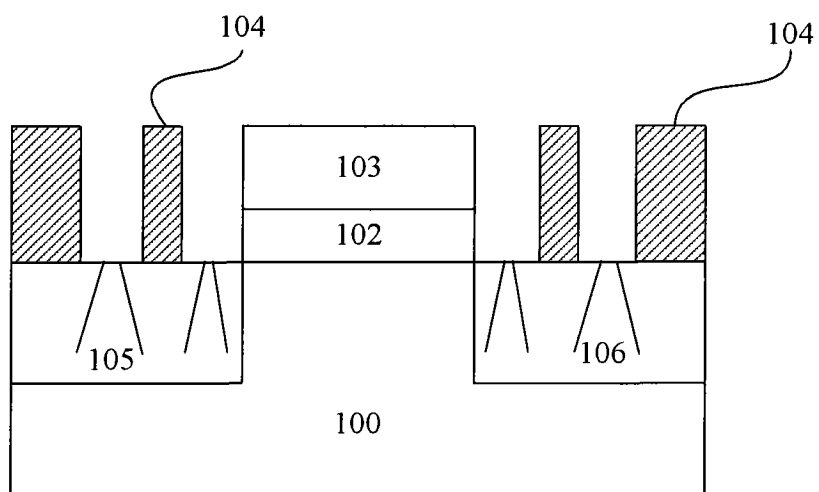


图 8b

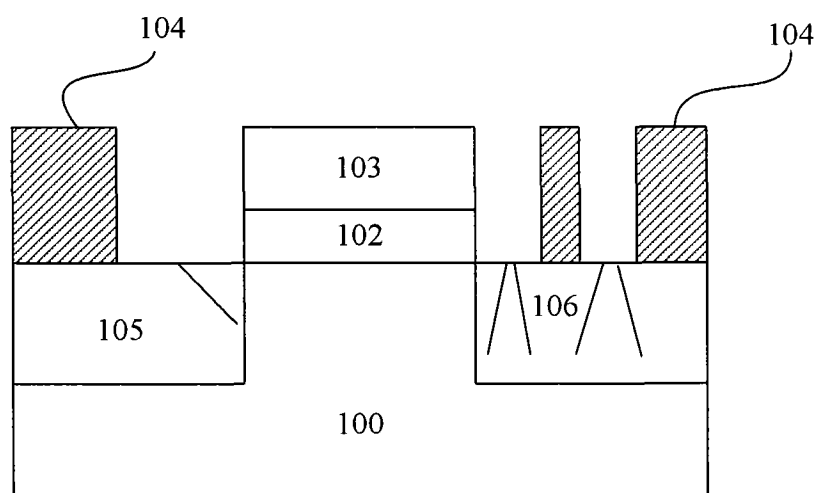


图 8c

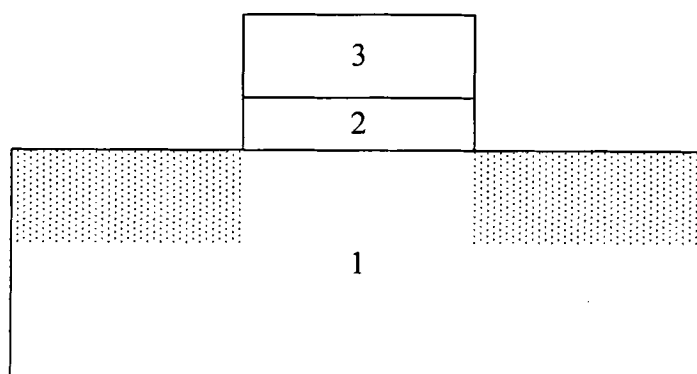


图 9a

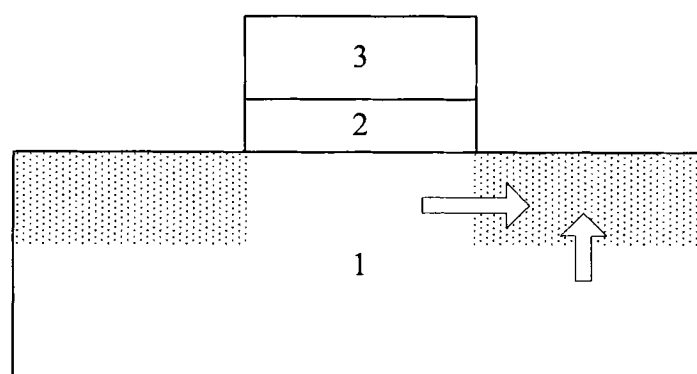


图 9b

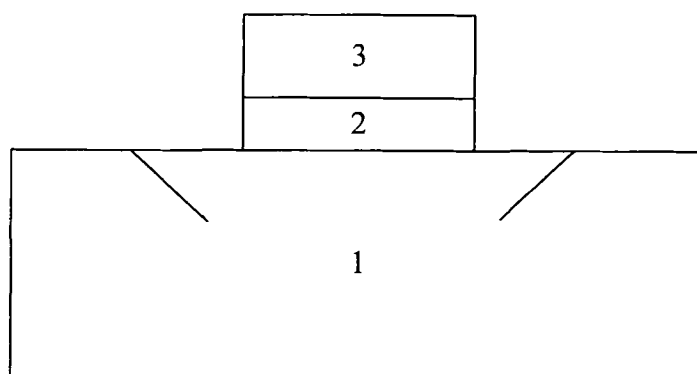


图 9c